

公告本

申請日期: 89.12.16

案號: 89127025

類別: H01L 27/04

(以上各欄由本局填註)

發明專利說明書

508794

一、 發明名稱	中文	半導體裝置及其製造方法
	英文	SEMICONDUCTOR DEVICE AND METHOD OF MANUFACTURING SAME
二、 發明人	姓名 (中文)	1. 前田茂伸 2. 山口泰男 3. 平野有一 4. 一法師隆志
	姓名 (英文)	1. 2. 3. 4.
	國籍	1. 日本 2. 日本 3. 日本 4. 日本
	住、居所	1. 日本國東京都千代田區丸の内二丁目2番3號 三菱電機株式會社內 2. 同1 3. 同1 4. 同1
三、 申請人	姓名 (名稱) (中文)	1. 三菱電機股份有限公司
	姓名 (名稱) (英文)	1. 三菱電機株式會社
	國籍	1. 日本
	住、居所 (事務所)	1. 日本國東京都千代田區丸の内二丁目2番3號
	代表人 姓名 (中文)	1. 谷口一郎
	代表人 姓名 (英文)	1.



申請日期：	案號：
類別：	

(以上各欄由本局填註)

發明專利說明書		
一、 發明名稱	中 文	
	英 文	
二、 發明人	姓 名 (中文)	5. 松本拓治
	姓 名 (英文)	5.
	國 籍	5. 日本
	住、居所	5. 同1
三、 申請人	姓 名 (名稱) (中文)	
	姓 名 (名稱) (英文)	
	國 籍	
	住、居所 (事務所)	
	代表人 姓 名 (中文)	
	代表人 姓 名 (英文)	
		

本案已向

國(地區)申請專利
日本 JP

申請日期 案號
2000/04/19 2000-117720

主張優先權
有

有關微生物已寄存於

寄存日期 寄存號碼

無



五、發明說明 (1)

【發明所屬的技術領域】

本發明是關於半導體裝置及其製造方法，尤其是關於具備帶有電感器的高頻電路的半導體裝置。

【習知的技術】

參照圖68，對具有高頻電路的半導體裝置的結構進行說明。圖68是接收無線電頻率（10kHz～100GHz）的電波信號、具有能輸出聲音信號功能的半導體裝置90的結構的方塊圖。

圖68所示的半導體裝置90至少裝設有：對接收的信號進行檢波的RF電路區91、由RF電路區91檢波的信號經過處理能轉換成聲音信號的邏輯區92、對RF電路區91及邏輯區92的信號處理所需要的資料進行存儲的存儲單元區93。半導體裝置90連接於檢測電波信號的天線裝置94及輸出聲音信號的播音裝置95。

在所謂的高頻電路中，包括RF電路區91在內，除了電阻和電容器以外，還裝設有電感器（電感元件）。電感器對高頻電流起著加快相位的作用，因此，使用對高頻電流起延遲相位作用的電容器進行補償，使高頻電流的相位實現平衡狀態。

在圖68，顯示出RF電路區91內的電感器L1，電感器L1具有寄生電容器C1，寄生電容器C1通過電阻R1接地。電阻R1是形成RF電路91的半導體基板的電阻，該電阻值非常低，儘管當電阻值非常高時也沒有問題，但根據不同種類的基板存在有因靜電感應損失而消耗功率的電阻值（例如10Ω



五、發明說明 (2)

cm 左右)。

為了防止這種靜電感應損失的結構示於圖69。在圖69中，寄生電容器C1不單單是通過電阻R1接地，而且還採用了通過電阻R2接地的結構。所設定的電阻R2的電阻值遠遠低於電阻R1，高頻電流主要是通過電阻R2接地而流過，不產生靜電感應損失。

電感器L1的端部A連接於天線裝置94一側，端部B連接於MOS電晶體Q1的源極·汲極，此為電感器連接的一例。

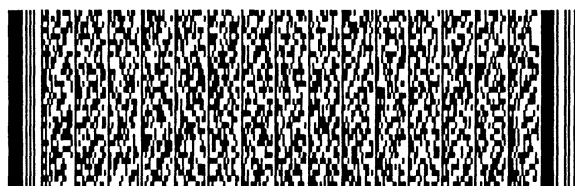
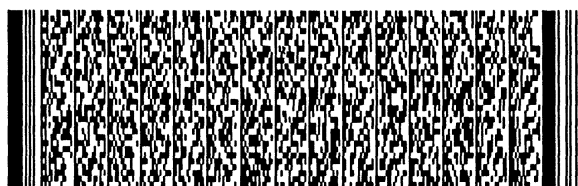
電阻R2是被稱為"遮罩板極"的導電板，配設於電感器L1的下層。圖70顯示電感器L1及遮罩板極結構的斜視圖。

如圖70所示，電感器L1是用繞線卷成線圈而形成的，因此以下的說明稱為"螺旋電感器SI"。螺旋電感器SI的一端在螺旋形的中心區，通過貫穿圖中未示出的層間絕緣膜的接點區CP連接於下層布線WL。布線WL配設於覆蓋半導體基板SB的層間絕緣膜SZ上。

布線WL與圖69所示的電感器L1的端部B對應，端部A與螺旋電感器SI的另一端對應。

半導體基板SB是SOI基板(絕緣體上的矽基板)，在圖70僅給出SOI層SL和SOI層SL中配設的元件分離氧化膜FZ。在元件分離氧化膜FZ上對應於螺旋電感器SI的形成區的位置，配設至少具有與螺旋電感器SI的俯視圖方向的配設面積等同面積的板狀的遮罩板極SP。

遮罩板極SP是以"與布線材料同樣低電阻的導體材料"製成的，通過圖中未示出的布線接地，因此不引起靜電感應



五、發明說明 (3)

損失。

但是，由於螺旋電感器SI有電流流過，使遮罩板極SP內產生渦流，增加電磁感應損失，因此總功率損失增大，出現新的問題。

為了解決此問題，需要遮斷渦流的通路，所以提出將遮罩板極各個部位作成缺口的"穿孔接地遮罩" (Perforated Ground Shield，後文簡稱"PG遮罩")。

圖71顯示PG遮罩的一例。圖71所示PG遮罩有多個板極PL構成，各個板極之間進行電性絕緣。板極PL的俯視圖形狀是三角形，各個頂點構成PG遮罩的中心區，形成放射狀配置。

採用這樣的結構，遮斷了渦流的通路，可以降低電磁感應損失。

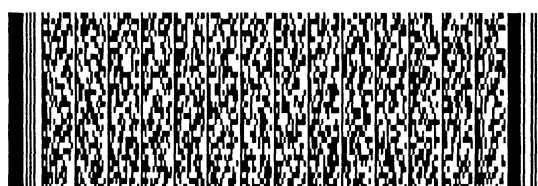
【發明所欲解決的課題】

對於習知的具有電感器的半導體裝置，使用PG遮罩時，儘管能夠減少電磁感應損失，但是形成PG遮罩需要增加一層導電層，不僅使結構複雜化，而且產生製造步驟增多的問題。

本發明是為了解決上述問題而提出的，其目的在於：對於具有電感器的半導體裝置，在可以減低靜電感應損失的同時，提供可以防止結構及製造步驟複雜化的半導體裝置。

【解決課題的手段】

屬於本發明申請專利範圍第1項記載的半導體裝置，具



五、發明說明 (4)

有半導體基板；在上述半導體基板的主面內配設的遮罩層；及在上述遮罩層的形成區上由層間絕緣膜隔開的感應元件；在上述遮罩層裝設有連接接地電位用的至少一個導電區，及至少在一個導電區的平面內對感應元件感應出渦流的通路能夠遮斷的至少一個電流遮斷區。

屬於本發明申請專利範圍第2項記載的半導體裝置，其上述半導體基板是具有作為底部的基板區；在該基板區上配設的埋入氧化膜；及在該埋入氧化膜上配設SOI層的SOI基板，上述至少一個電流遮斷區包括從上述SOI層的表面貫穿上述SOI層達到上述埋入氧化膜的選擇性配設的多個分離氧化膜，上述至少一個導電區包括由上述多個分離氧化膜進行電性分離的多個SOI區。

屬於本發明申請專利範圍第3項記載的半導體裝置，上述多個分離氧化膜分別以規定的成形寬度對上述埋入氧化膜的表面大致成垂直的方向延伸。

屬於本發明申請專利範圍第4項記載的半導體裝置，上述多個分離氧化膜分別以規定的成形寬度，對上述埋入氧化膜的表面大致以垂直的方向延伸的第1部分；以及與該第1部分的下部連接並以窄於第1成形寬度的第2成形寬度，對上述埋入氧化膜的表面大致以垂直的方向延伸的第2部分所構成。

屬於本發明申請專利範圍第5項記載的半導體裝置，其中上述半導體基板是具有作為底部的基板區，在該基板區上配設的埋入氧化膜，及在該埋入氧化膜上配設SOI層的



五、發明說明 (5)

SOI 基板，至少一個導電區包括將上述SOI層作得很薄並成為規定厚度的多個SOI區，上述至少一個電流遮斷區至少呈埋設於上述多個SOI區之間而配置。

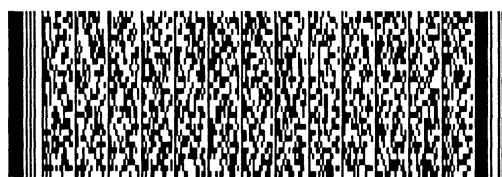
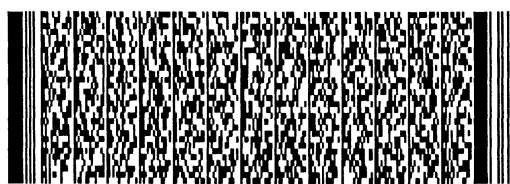
屬於本發明申請專利範圍第6項記載的半導體裝置，上述多個SOI區分別具有濃度較高的半導體摻雜物。

屬於本發明申請專利範圍第7項記載的半導體裝置，上述多個SOI區的各個上面都具有矽化膜。

屬於本發明申請專利範圍第8項記載的半導體裝置，其上述半導體基板是具有作為底部的基板區，在該基板區上配設的埋入氧化膜，及在該埋入氧化膜上配設SOI層的SOI基板，上述遮罩層具有第1導電型的多個第1的SOI區和第2導電型的多個第2的SOI區，上述多個第1和第2的SOI區相互組合構成多個二極體，上述至少一個電流遮斷區由上述多個二極體中能施加反偏壓的至少一個反偏壓二極體構成，上述至少一個導電區由上述多個第1和第2的SOI區中連接於接地電位的SOI區構成。

屬於本發明申請專利範圍第9項記載的半導體裝置，上述多個第1和第2的SOI區配設成上述SOI層作得較薄並成為規定厚度的區域，並且具有能覆蓋上述第1和第2的SOI整個區的分離氧化膜。

屬於本發明申請專利範圍第10項記載的半導體裝置，上述多個第1的SOI區分別具有與上述SOI層大致相同厚度的第1區，以及與上述第1區相鄰的並將上述SOI層作得較薄的第2區，上述多個第2的SOI區分別具有與上述SOI層大致



五、發明說明 (6)

相同的厚度，還設有能覆蓋上述第2區的分離氧化膜。

屬於本發明申請專利範圍第11項記載的半導體裝置，上述多個第1的SOI區的上述第1區及上述多個第2的SOI區的上述第2區分別在其上面配置矽化膜。

屬於本發明申請專利範圍第12項記載的半導體裝置，上述多個第1的SOI區是上述SOI層作得很薄的規定厚度的區域，上述多個第2的SOI區均具有與上述SOI層大致相同的厚度，上述多個第1及第2的SOI區相互鄰接，還具有分別覆蓋上述多個第1的SOI區的分離氧化膜。

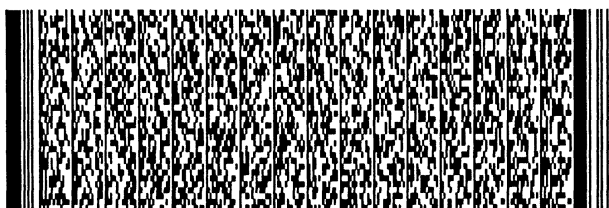
屬於本發明申請專利範圍第13項記載的半導體裝置，上述多個第2的SOI區，在其上面均設有矽化膜。

屬於本發明申請專利範圍第14項記載的半導體裝置，上述多個第2的SOI區的俯視圖形狀屬於矩形；上述遮罩層的俯視圖形狀是呈矩陣形狀配設，它們之間由上述分離氧化膜隔開。

屬於本發明申請專利範圍第15項記載的半導體裝置，上述多個第2的SOI區採用與MOS電晶體閘極同樣結構的閘極布線進行電性連接。

屬於本發明的半導體裝置，其上述多個第1及第2的SOI區分別交互配設，在上述多個第1的SOI區上配設MOS電晶體的閘極構造。

屬於本發明的半導體裝置，其上述多個第1及第2的SOI區分別交互配設，在上述多個第1的SOI區分別具有第1區和與第1區相鄰的第2區，在上述各自的第2區上分別配設



五、發明說明 (7)

MOS 電晶體的閘極構造。

屬於本發明的半導體裝置，其上述多個第1及第2的SOI區分別交互配設，在上述多個第1的SOI區分別具有第1區和與第1區相鄰的第2區，上述多個第2的SOI區以及上述各自的第1區上選擇性地形成與上述第2區無關的矽化膜。

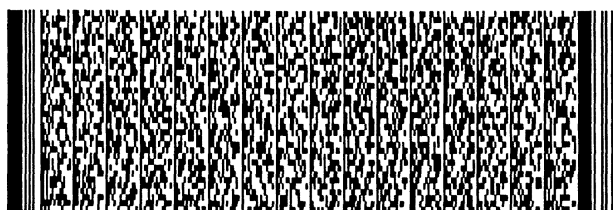
屬於本發明的半導體裝置，其上述多個第1及第2的SOI區分別交互配設，在上述多個第1的SOI區上選擇性地形成與上述多個第2的SOI區無關的矽化膜。

屬於本發明的半導體裝置，其上述半導體基板是具有作為底部的基板區，在該基板區上配設的埋入氧化膜，及在該埋入氧化膜上配設SOI層的SOI基板，上述基板區的結構中，至少在對應於電感元件的形成區至少有一個中空區，配設能抑制上述電感元件感應出渦流的渦流抑制區。

屬於本發明的半導體裝置，其上述渦流抑制區，具有與上述電感元件平面方向的長度相同程度乃至 $1/10$ 的深度，至少由具有與上述電感元件的形成區相同長度的沿平面方向擴展的空腔區構成。

屬於本發明的半導體裝置，其上述渦流抑制區，具有與上述電感元件平面方向的長度相同程度乃至 $1/10$ 的深度，至少由具有與上述電感元件的形成區相同程度的沿平面方向擴展的多孔層構成。

屬於本發明的半導體裝置，其上述半導體基板是具有作為底部的基板區、在該基板區上配設的埋入氧化膜、在該埋入氧化膜上配設SOI層的SOI基板，上述SOI層具有與上



五、發明說明 (8)

述電感元件的平面方向的長度相同程度乃至 $1/10$ 的深度，至少由具有與上述電感元件的形成區相同長度的沿平面方向擴展的多孔層構成。

屬於本發明的半導體裝置，其上述半導體基板，在對應於上述電感元件形成區的區域，具有與上述電感元件平面方向的長度相同程度乃至 $1/10$ 的深度，至少由具有與上述電感元件的形成區相同長度的沿平面方向擴展的多孔層構成。

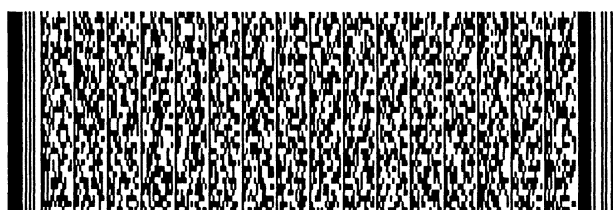
屬於本發明的半導體裝置，上述多孔層包括經過蝕刻形成的多個孔或者多個溝渠，以及陽極氧化法形成的多個孔。

屬於本發明的半導體裝置，還設有配設於上述多個分離氧化膜下部，貫穿上述埋入氧化膜而到達上述基板內的溝渠。

屬於本發明的半導體裝置，還設有配設於上述多個SOI區之間的上述絕緣膜下部，貫穿上述埋入氧化膜而到達上述基板內的溝渠。

屬於本發明的半導體裝置，上述至少一個電流遮斷區包括以距離上述半導體基板的表面一定深度部位配設的多個分離氧化膜，上述至少一個導電區包括由上述多個分離氧化膜劃分的多個基板區，還設有配設於上述多個分離氧化膜下部的能到達上述半導體基板內一定深度的溝渠。

屬於本發明的半導體裝置，上述多個孔或多個溝渠的內部近於真空狀態。



五、發明說明 (9)

屬於本發明的半導體裝置，上述多個溝渠的內部近於真空狀態。

屬於本發明的半導體裝置，具有半導體基板，以及在布線層的下層沿著該布線層的配設方向配設於上述半導體基板的主面內的遮罩層，上述遮罩層具有沿著上述布線層的配設方向以一定的間隔配設並與接地電位連接的多個導電區，以及配設於多個導電區之間的多個絕緣區。

屬於本發明的半導體裝置，上述多個導電區分別具有交互重疊的多個導電膜和絕緣膜。

屬於本發明的半導體裝置，是裝設有電感元件的半導體裝置的製造方法，該製造方法具有：作為底部的基板區，在該基板區上配設的埋入氧化膜，及在該埋入氧化膜上配設SOI層的整個SOI基板的準備步驟(a)；至少貫穿上述SOI層及上述埋入氧化膜到達上述基板區的形成開口區的步驟(b)；及從上述開口區注入KOH溶液蝕刻上述基板，形成與上述電感元件的平面方向的長度相同程度乃至1/10的深度，至少與上述電感元件形成區相同程度的向平面方向擴展的空腔形成步驟(c)。

屬於本發明的半導體裝置，是裝設有電感元件的半導體裝置的製造方法，該製造方法具有：準備第1矽基板，使其主面內形成與上述電感元件的平面方向的長度相同程度乃至1/10的深度，至少與上述電感元件形成區相同程度的向平面方向擴展的多孔形成步驟(a)；準備第2矽基板，在該第2矽基板的主面上形成氧化矽膜的步驟(b)；上述第1



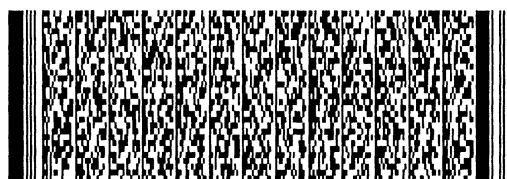
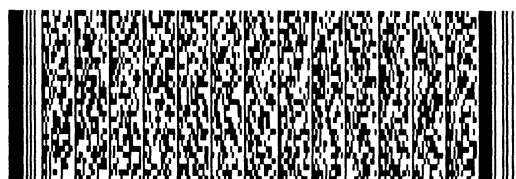
五、發明說明 (10)

矽基板形成上述多孔層的主面與上述第2矽基板的上述氧化矽膜呈對面配置而黏合在一起，以上述第1矽基板為基板區，以上述氧化矽膜為埋入氧化膜，借助研磨使上述第2矽基板減薄形成一定厚度SOI層的步驟(c)；以及在上述多孔層形成區的上部形成上述電感元件的步驟(d)。

屬於本發明的半導體裝置，是裝設有電感元件的半導體裝置的製造方法，該製造方法具有：準備第1矽基板，在該第1矽基板的主面上形成氧化矽膜的步驟(a)；準備第2矽基板，使其主面內形成與上述電感元件的平面方向的長度相同程度乃至1/10的深度，至少具有與上述電感元件形成區相同程度的向平面方向擴展的多孔形成步驟(b)；上述第1矽基板的上述氧化矽膜與上述第2矽基板形成上述多孔層的主面呈對面配置將上述第1和第2矽基板黏合在一起，以上述第1矽基板為基板區，以上述氧化矽膜為埋入氧化膜，借助研磨使上述第2矽基板減薄形成一定厚度SOI層的步驟(c)；以及在上述多孔層形成區的上部形成上述電感元件的步驟(d)。

屬於本發明的半導體裝置，其上述步驟(a)包括在上述第1矽基板的主面內借助於蝕刻形成多個孔或多個溝渠而構成上述多孔層的步驟(a-1)；及用絕緣膜覆蓋上述多個孔或多個溝渠，在其內部形成中空的步驟(a-2)。

屬於本發明的半導體裝置，其上述步驟(a)包括在上述第1矽基板的主面內借助於蝕刻形成多個孔或多個溝渠而構成上述多孔層的步驟(a-1)；以及通過在氫保護氣氛中



五、發明說明 (11)

退火還原去除上述多個孔或多個溝渠的開口區，在其內部形成中空的步驟(a-2)。

屬於本發明的半導體裝置，其上述步驟(a)包括在上述第1矽基板的主面內借助於陽極氧化形成多個孔構成上述多孔層的步驟(a-1)；及用絕緣膜覆蓋上述開口區，在其內部形成中空的步驟(a-2)。

屬於本發明的半導體裝置，其上述步驟(a)包括在上述第1矽基板的主面內借助於陽極氧化形成多個孔構成上述多孔層的步驟(a-1)；及通過在氬保護氣氛中退火還原去除上述多個孔的開口區，在其內部形成中空的步驟(a-2)。

【發明的實施形態】

(A・實施形態1))

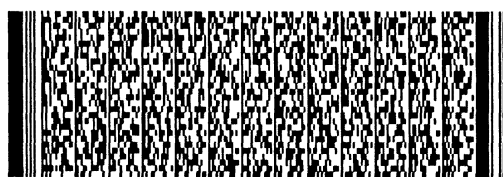
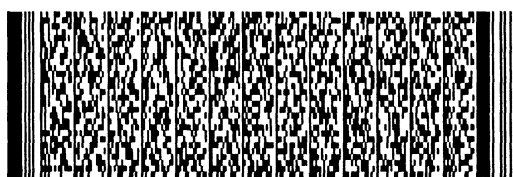
(A-1・裝置的構成)

作為本發明所屬的實施形態1，將半導體裝置100的結構示於圖1。

圖1所示的半導體裝置100，以圖68說明的半導體裝置90為例，顯示出RF電路區91的一部分，給出RF電路RP。

在圖1中，於矽基板1、該矽基板1上配設的埋入氧化膜2、以及在埋入氧化膜2上配設的SOI層3構成的SOI基板SB上，配設RF電路區RP。

在RF電路區RP，對應於SOI層3的螺旋電感器SI（平面結構參考圖70）的配設區，由多個溝渠分離氧化膜11進行分隔，形成多個SOI區21。為了從SOI層3的表面到達埋入氧



五、發明說明(12)

化膜2的表面而配設的溝渠內，埋入氧化矽膜，形成溝渠分離氧化膜11，各個SOI區21在電性上完全絕緣隔離。

溝渠分離氧化膜11，具有以一定的寬度對埋入氧化膜大致呈垂直的方向延伸的形狀。

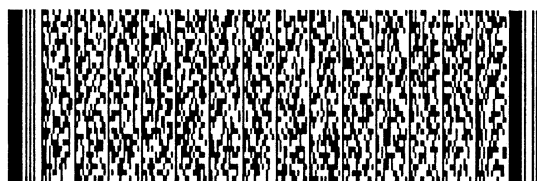
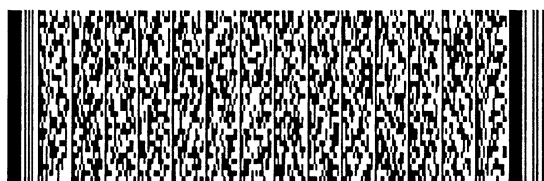
在各個SOI區的上部，配設矽化膜31，分別由多個溝渠分離氧化膜11、SOI區21、矽化膜31，構成PG遮罩101（遮罩層）。

像溝渠分離氧化膜11相同，在電性上完全隔離的SOI區的分離氧化膜被稱為“完全分離氧化膜”。

PG遮罩101的形成區由溝渠分離氧化膜12來確定，在PG遮罩101的形成區以外的區域，由溝渠分離氧化膜12將SOI層3分隔開來，形成SOI區51和52。溝渠分離氧化膜12屬於完全分離氧化膜，SOI區51及52在電性上完全絕緣隔離。

在SOI區51及52分別形成MOS電晶體Q11和Q12。MOS電晶體Q11和Q12，都具有在SOI區51及52上配設的閘極絕緣膜GZ、在閘極絕緣膜GZ上配設的閘極GT、在閘極GT上配設的矽化膜GS以及覆蓋它們的側面而配設的側壁絕緣膜GW。MOS電晶體Q11和Q12是通常的MOS電晶體，其結構和製作方法並不特殊。

在MOS電晶體Q11顯示出於側壁絕緣膜GW外側的SOI區51的表面內配設有矽化膜SS及源極、汲極區SD，MOS電晶體Q12具有與MOS電晶體Q11同樣的結構。MOS電晶體Q12顯示出沿著閘極GT的長度方向的剖面結構，而上述結構沒有在圖中顯示出來。



五、發明說明 (13)

為了完全覆蓋整個SOI基板SB，例如可以配設由氧化矽膜構成的層間絕緣膜4，在層間絕緣膜4上配設將螺旋感應器SI與MOS電晶體Q11電性連接的布線WL。布線WL的一端貫穿層間絕緣膜4，與達到MOS電晶體Q11的矽化膜SS的導電區CP1連接。導電區CP1是在貫穿層間絕緣膜4的導電孔中埋入導體而形成的。

為了覆蓋層間絕緣膜4，例如配設用氧化矽膜構成層間絕緣膜5，在層間絕緣膜5上配設螺旋電感器SI。螺旋電感器SI的一端貫穿層間絕緣膜5，通過到達WL的導電區CP與布線WL連接。

將PG遮罩101的俯視圖形狀示於圖2。如圖2所示，構成PG101遮罩的各個SOI區21的俯視圖形狀分別呈近於"L"字型，並且是對稱配置。

即，各個SOI區21分為形狀相似的大小2種：SOI區21L和SOI區21S。配設的SOI區21S與SOI區21L具有相同的配設形態，SOI區21S配設於與SOI區21L垂直的2個臂規定的區域（稱為"內側區"）。

把1組SOI區21L及21S定義為"第1單元"時，對第1單元，在線對稱形狀部位配設第2單元，對於第1和第2單元，於線對稱形狀部位配設第3及第4單元。因此，PG遮罩101具有4個SOI區21S及4個SOI區21L。

4個SOI區21L，在各自的2個臂的其中之一與另一個SOI區21L的的2個臂的其中之一呈對置配置，因此4個SOI區21L所規定的溝渠分離絕緣膜11的俯視圖形狀是"十字型



五、發明說明 (14)

"。

圖1所示的PG遮罩101的結構，例如與圖2中X-X線的剖面對應。各個SOI區21貫穿圖1所示的層間絕緣膜4，通過到達矽化膜31的導電區（圖中未示出）與規定的布線（圖中未示出）進行電性連接，再通過該布線接地。

(A-2·作用效果)

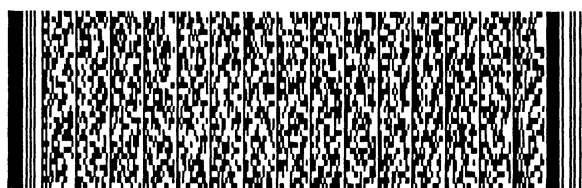
綜上所述，PG遮罩101由溝渠分離絕緣膜11作電性隔離的多個SOI區21及矽化膜31的疊層體所構成，該疊層體由於矽化膜31的存在，使電阻變得較低，因此，在降低靜電感應損失的同時，渦流的通路由溝渠分離氧化膜11遮斷，不會引起因渦流產生的電磁感應損失。

靜電感應損失及電磁感應損失的增加，使顯示電感器性能的Q值（電感器中儲存的能量除以各種損失的值）下降，因此減低靜電感應損失及電磁感應損失可以提高Q值。

在MOS電晶體Q11及Q12等形成的元件形成區的溝渠分離氧化膜12的形成步驟，例如採用共同的抗蝕劑遮蔽膜同時對SOI層3繪製圖案，可以形成溝渠分離氧化膜11，矽化膜31能夠與MOS電晶體Q11及Q12的氮化矽膜GS及SS同時形成，所以為了形成PG遮罩101而不必增加新的步驟，在製造方法上並不複雜。

在SOI層3內形成PG遮罩101，因此為了形成PG遮罩不需要導電層，裝置結構並不複雜。

在上述說明中，顯示出利用溝渠分離進行元件之間的隔離，運用LOCOS（矽的局部氧化物）隔離和臺面型電晶體



五、發明說明 (15)

隔離等其他的元件之間的隔離技術當然也是可以的。這在以下說明的關於本發明的實施形態2~16中，以解決溝渠分離特有的扭曲為目的的實施形態以外的實施形態同樣適用。

(A-3・變形例)

PG遮罩的俯視圖形狀不僅限於圖2所示的形狀，只要是開設能遮斷渦流通路的缺口區即可。

圖3~圖7顯示PG遮罩的俯視圖形狀的另外的實例。

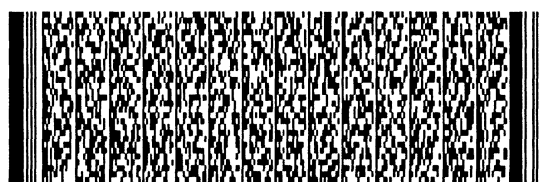
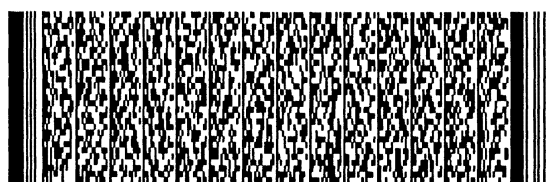
圖3所示的PG遮罩，俯視圖形狀的2個三角形的SOI區21A各自的底邊呈對置配設，構成第1單元，對第1單元呈線對稱形狀配設第2單元，進一步對第1和第2單元呈線對稱形狀配設第3和第4單元，共有8個SOI區21A。在各個SOI區21A之間配設溝渠分離氧化膜11。

圖4所示的PG遮罩，整個PG遮罩的尺寸相等、俯視圖形狀呈矩形SOI區21B，在到達其中心部位具有切槽區NP的結構。在切槽區NP配設溝渠分離氧化膜11，渦流在切槽區NP部位被遮斷。

圖5所示的PG遮罩，4個矩形的SOI區21C具有2行、2列的呈矩陣形狀配置的結構。在各個SOI區21C之間配設溝渠分離氧化膜11。

圖6所示的PG遮罩，細長形狀的4個SOI區21D配設成一行，其長度方向相互平行，在各個SOI區21D之間配設溝渠分離氧化膜11。

圖7所示的PG遮罩，具有形狀相似、大小不同的3種L字



五、發明說明 (16)

型的SOI區21L、21M、21S及矩形的SOI區21E。SOI區21M以SOI區21L同樣的配置形態配設於21L的2個垂直臂規定的內側區、SOI區21S以21M同樣的配置形態配設於21M的2個垂直臂規定的內側區、SOI區21E配設於21M的2個垂直臂規定的內側區。各個SOI區21L、21M、21S及21E之間，配設溝渠分離氧化膜11。

(B·實施形態2)

(B-1·裝置結構)

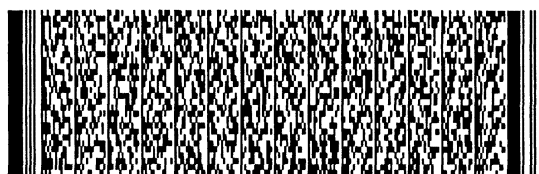
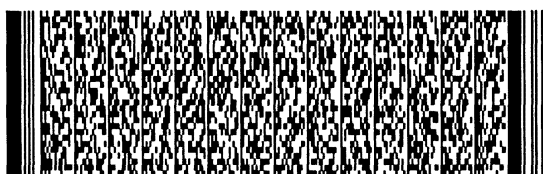
作為本發明所屬的半導體裝置的實施形態2，將半導體裝置200的結構示於圖8。

圖8所示的半導體裝置200，採用圖68說明的半導體裝置90的實例，顯示出RF電路91及邏輯區92的一部分，分別作為RF電路區RP及邏輯區LP。

在圖8中，於矽基板1、該基板1上配設的埋入氧化膜2、在埋入氧化膜2上配設的SOI層3等部分構成的SOI基板上，配設RF電路區RP及邏輯區LP。

在RF電路區RP，對應於SOI層3的螺旋電感器SI（平面圖結構參考圖70）的配設區的區域由多個溝渠分離氧化膜13隔離開來，形成多個SOI區22。溝渠分離氧化膜13是由埋入溝渠內的氧化矽膜形成的，該溝渠能到達SOI區表面埋入的氧化膜2的表面，各個SOI區22在電性上實行完全的隔離狀態。

在各個SOI區22的上部配設矽化膜32，分別由多個溝渠分離氧化膜13、SOI區22、矽化膜32，構成PG遮罩102（遮



五、發明說明 (17)

罩層)。

溝渠分離氧化膜13由兩部分構成，其中第1部分大致配置在以第1形成寬度埋入氧化膜2的表面的垂直延伸方向，第2部分大致配置在以窄於第1形成寬度的第2形成寬度埋入氧化膜2的表面的垂直延伸方向。

PG遮罩102的俯視圖形狀，例如可以採用圖2說明的形狀，也可以採用圖3～圖7說明的形狀。

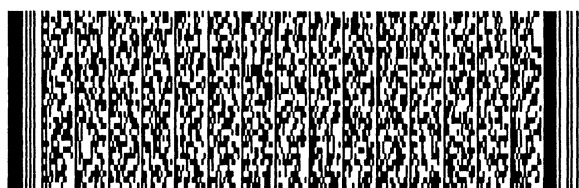
RF電路區RP與邏輯區LP之間，由溝渠分離氧化膜14實行電性隔離，在邏輯區LP，由溝渠分離氧化膜15隔離開SOI層3，形成SOI區61和SOI區62。

像溝渠分離氧化膜15那樣，SOI區沒有完全電性絕緣隔離，在其下部SOI層3作為井區WR配設的分離氧化膜被稱為局部分離氧化膜。

(B-1-1．關於局部分離氧化膜)

在此，簡單說明局部分離氧化膜。由完全分離氧化膜與其他元件進行完全電性絕緣隔離的MOS電晶體，從原理上看，與其他MOS電晶體之間不發生封閉狀態。

因此，使用完全隔離氧化膜製造具有CMOS電晶體的SOI裝置時，可以運用精細加工技術確定的最小隔離寬度，優點在於可以縮小晶片的面積。但是，衝擊電離現象所發生的載流子(NMOS時為孔)堆積於通道形成區(主體區)，由此會發生扭曲障礙，或工作耐壓性劣化，導致通道形成區的電位不穩定，因此產生延遲時間與頻率的依存關係等的基板浮動效應的影響。



五、發明說明 (18)

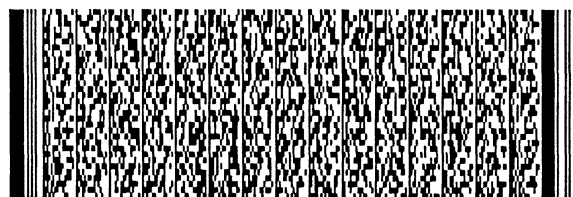
關於此類通道形成區的電位的波動，已經在[IEEE TRANSACTIONS ON ELECTRON DEVICES, VOL. 45, NO. 7, JULY 1998, pp1479~1484, "Analysis of Delay Time Instability According to the Operating frequency in field Shield Isolated SOI Circuits" S. Maeda et al.](文獻1)中具體記述。即，由於主體區的電位過渡性的波動，會引起電晶體的特性過渡性的波動，導致工作電路的不穩定性(見文獻1的圖7)。

如文獻1中圖5所示，已經證明頻率特性與時間滯後之間存在相關性。

在此，所考察的是也被稱為局部溝渠分離膜的局部分離氧化膜，根據圖8的結構例，載流子通過溝渠分離氧化膜15的下部的井區WR能夠移動，可以防止載流子在通道中的積存，又由於通過井區WR能夠固定通道形成區的電位，因此不會發生基板浮動效應引起的各種問題。

在圖8中，顯示出同時並用局部分離氧化膜和完全分離氧化膜的結構，關於並用局部分離氧化膜和完全分離氧化膜的結構例及其製造方法，曾經在特許申請編號11-177091的詳細說明書中圖4~圖7及圖8~圖27中提出。

當並用局部分離氧化膜和完全分離氧化膜時，使用其分離氧化膜的一側為完全分離氧化膜的形狀、而另一側為局部分離氧化膜形狀的併合分離氧化膜，關於併合分離氧化膜的結構及其製造方法，曾經在特許申請編號2000-39484的說明書中圖1~圖38提出。



五、發明說明 (19)

關於局部分離氧化膜的剖面形狀，在[IEEE International SOI Conference, Oct. 1999. pp131 ~ 132, "Bulk-Layout Compatible 0.18 μ m SOI-COMS Technology Using Body-Fixed Partial Trench Isolation(PIT)" Y.Hirano et al.] (文獻2) 的圖2中以SEM照片給出。

現在返回到圖8的說明。在圖8的邏輯區LP，於SOI區61及62分別形成MOS電晶體Q21和Q22。

MOS電晶體Q21和Q22，與圖1所示的MOS電晶體Q11和Q12相同，屬於一般的MOS電晶體，其基本構成要素相同，因此與MOS電晶體Q11和Q12相同的結構，採用同樣的元件編號，對此省略重複的說明。

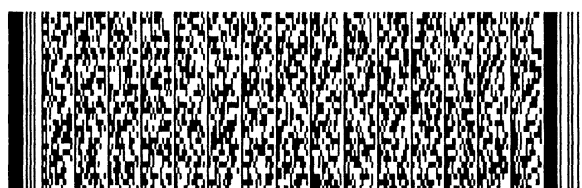
其他的與圖1所示的半導體裝置100相同的結構，採用同樣的元件編號，對此省略重複的說明。

(B-2. 製造方法)

其次，利用以製造步驟順序先後為序的圖9～圖11，說明半導體裝置200的製造方法。

首先，準備SOI基板SB，在圖9所示的步驟中，於SOI層3上，依次形成20nm厚的氧化矽膜OX和200nm厚的氮化矽膜SN以後，使用繪製圖案的抗蝕劑遮蔽膜RM1，蝕刻氧化矽膜OX、氮化矽膜SN以及SOI層3的多層膜，而殘留SOI層3的下層區，在溝渠分離氧化膜13、14及15的形成區形成溝渠TR131、TR141及TR15。

其次，在圖10所示的步驟中，覆蓋溝渠TR131、TR141的



五、發明說明 (20)

一部分的同時，用完全覆蓋溝渠TR15的抗蝕劑遮蔽膜RM2，通過對沒被溝渠TR131、TR141的遮蔽膜RM2覆蓋的部分進行蝕刻，形成貫穿SOI層3的溝渠TR13及TR14。

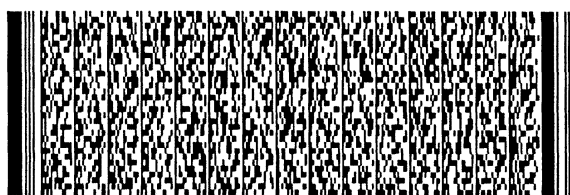
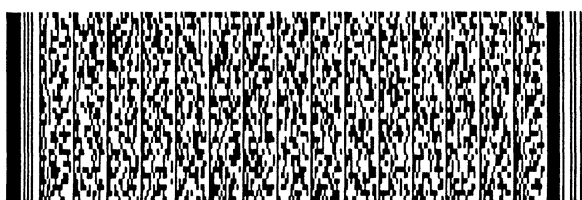
其次，去除抗蝕劑遮蔽膜RM2以後，在整個面上形成厚度500nm左右的氧化矽膜，埋入溝渠TR13~TR15，經過CMP（化學機械拋光）處理，一直研磨到氮化矽膜SN為止，然後去除氮化矽膜SN和氧化矽膜OX，可以得到圖11所示的溝渠分離氧化膜13~15。

然後，經過原有的MOS電晶體的製造步驟（包括現有的矽化步驟：Salicide）、層間絕緣膜的製造步驟、布線層的製造步驟、螺旋電感器的製造步驟等各道步驟，得到半導體裝置200。

(B-3. 作用效果)

經過上述說明可知，PG遮罩102是由溝渠分離氧化膜13進行電性隔離的多個SOI區22及矽化膜32的疊層體所構成，該疊層體中由於存在矽化膜32，所以電阻較低，因此在減小靜電損失的同時，渦流的通路可由溝渠分離氧化膜13遮斷，所以不產生渦流引起的電磁感應損失。

可以在邏輯區LP和RF電路區RP的分界線的溝渠分離氧化膜14以及邏輯區LP的MOS電晶體Q21和Q22的分離用溝渠分離氧化膜15的形成步驟，採用共同的抗蝕劑遮蔽膜RM1和RM2形成溝渠分離氧化膜13，矽化膜32可以與MOS電晶體Q21和Q22的矽化膜GS及SS同時形成，因此不必為了形成PG遮罩102而增加新的步驟，不會使製造方法複雜化。



五、發明說明 (21)

溝渠分離氧化膜13的上部邊緣部形狀可以加工成與溝渠分離氧化膜14和15的上部邊緣部完全相同的形狀，此為一個特點。

PG遮罩102是在SOI層3內形成的，因此不必為了形成遮罩而重新製作導電層，避免了該裝置結構的複雜化。

在邏輯區LP，由局部分離氧化膜的溝渠分離氧化膜15隔離開元件，因此可以通過溝渠分離氧化膜15的下部井區WR固定通道形成區（主體區）的電位，能夠避免因基板的浮動效應引起的各種問題。

(B-4·變形例)

關於PG遮罩102，給出了一個實例，即在溝渠分離氧化膜14和溝渠分離氧化膜15的形成步驟使用共同的抗蝕劑遮蔽膜RM1、RM2可以形成溝渠分離氧化膜13的實例，如果步驟稍微複雜一點也允許時，如圖1說明的半導體裝置100的溝渠分離氧化膜11那樣，作成比較簡單的斷面形狀也可以。

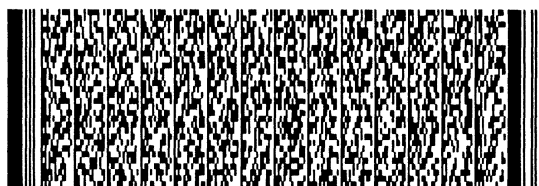
(C·實施形態3)

(C-1·裝置的構成)

作為本發明所屬的半導體裝置的實施形態3，於圖12中顯示出半導體裝置300的結構。

圖12所示的半導體裝置300，與圖8所示的半導體裝置200相同，顯示出在SOI基板SB上配設RF電路區RP及邏輯區LP的結構。

關於RF電路RP，在對應於螺旋電感器SI（平面結構參考



五、發明說明 (22)

圖70) 的配設區的埋入氧化膜2上，形成獨立的多個SOI區23，構成PG遮罩103(遮罩層)。然後，PG遮罩103完全被溝渠分離氧化膜16覆蓋。

PG遮罩103的俯視圖形狀，例如採用圖2中說明的形狀也可以，採用圖3～圖7中說明的形狀也可以。

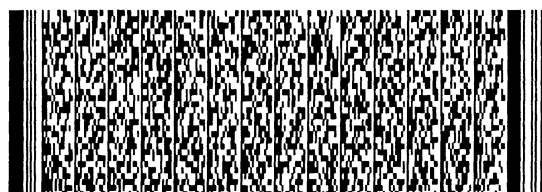
關於邏輯區LP，由作為局部分離氧化膜的溝渠分離氧化膜15來隔開SOI層3，形成SOI區71和72。在SOI區71和72，分別形成MOS電晶體Q31及Q32。

MOS電晶體Q31及Q32，與圖1所示的MOS電晶體Q11和Q12相同，屬於一般的MOS電晶體，其基本構成要素相同，與MOS電晶體Q11和Q12的同樣結構，採用同樣的符號，對此省略重複的說明。

其他的與圖1所示的半導體裝置100相同的結構，採用同樣的元件編號，對此省略重複的說明。

關於SOI區23，用顯示半導體裝置200的製造方法的圖10加以說明。於RF電路區RP，對沒有被溝渠TR141的抗蝕劑遮蔽膜RM2覆蓋的部分，進一步進行蝕刻，形成貫穿SOI層3的溝渠TR14。然後，去除抗蝕劑遮蔽膜RM2，在完全去除氧化矽膜OX、氮化矽膜NS的同時，去除部分SOI層3形成SOI區23。此時，在邏輯區LP，為了不去除掉氧化矽膜OX、氮化矽膜NS，需要覆蓋抗蝕劑遮蔽膜。

形成SOI區23以後，去除掉邏輯區LP的抗蝕劑遮蔽膜，全面形成氧化矽膜，在埋入溝渠TR15的同時，埋入於形成SOI區23時所形成的溝渠，經過CMP處理，直到邏輯區LP上



五、發明說明 (23)

殘留的氮化矽膜SN曝露出為止進行研磨，然後去除掉氮化矽膜NS和氧化矽膜OX，得到溝渠分離氧化膜16和15。

SOI區23是相當於所謂的主體區的基部的區域，其厚度與溝渠分離氧化膜15下部的井區WR的厚度相同。

(C-1・作用效果)

如上所述，PG遮罩103是由溝渠分離氧化膜16覆蓋的多個獨立的SOI區23構成的，因此在減低靜電感應損失的同時，渦流的通路被溝渠分離氧化膜16遮斷，故不會發生因渦流引起的電磁感應損失。

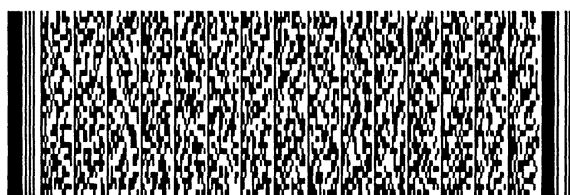
PG遮罩103是借助分隔SOI層3而形成的，為了形成PG遮罩不用重新製作導電層，使裝置結構不致複雜化。

在邏輯區LP，由作為局部分離氧化膜的溝渠分離氧化膜15進行元件之間的隔離，因此通過溝渠分離氧化膜15下部的井區WR可以固定通道形成區（主體區）的電位，能夠防止因基板浮動效應引起的各種問題的發生。

(C-3・變形例1)

上述說明的PG遮罩103，是由多個獨立的SOI區23構成的。由於在SOI層3進行井注入（也稱為“通道注入”），因此電阻比矽基板1的還低，所以，以SOI區23作為導體使用，要想進一步降低電阻時，在SOI區23注入較高濃度的摻雜物即可。圖13給出此步驟的實例。

即，如圖13所示，在至少形成溝渠分離氧化膜16為止的狀態（在圖13中，列舉出MOS電晶體Q31及Q32的形成狀態）的SOI基板SB，於邏輯區LP及不注入摻雜物的部分形成抗



五、發明說明 (24)

蝕劑遮蔽膜RM3，穿過溝渠分離氧化膜16通過離子注入，注入摻雜物。摻雜量為 $1 \times 10^{14} \sim 1 \times 10^{16} / \text{cm}^2$ 。

摻雜物的注入不僅限於上述方法，在形成上述PG遮罩103後，於形成元件分離氧化膜16之前進行也可以，或者，去除對應於PG遮罩103的元件分離氧化膜16後，在曝露SOI區23的狀態下進行也可以。

(C-4・變形例2)

像圖14所示的半導體裝置300A那樣，使用在各自的SOI區23的上部形成的矽化膜33的PG遮罩103A（遮罩層）也可以。

PG遮罩103A，在形成圖12所示的PG遮罩103後，暫時用元件分離氧化膜16覆蓋，再去除對應PG遮罩103的元件分離氧化膜16，形成開口區161，曝露出SOI區23。然後，在邏輯區LP的MOS電晶體Q31、Q32形成時的矽化步驟，於曝露出的SOI區23上同時形成矽化膜33。溝渠分離氧化膜16的開口區161，隨後由層間絕緣膜埋入。

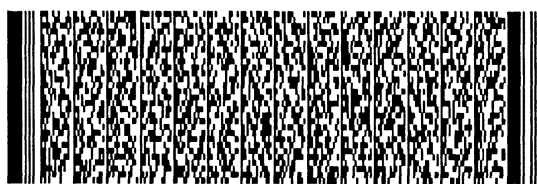
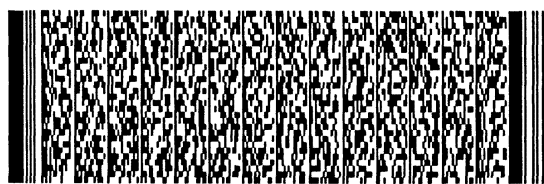
這樣，在SOI區23上裝設有矽化膜33的PG遮罩103A，比PG遮罩103的電阻低，因此防止靜電感應損失的效果提高。

(D・實施形態4)

(D-1・裝置的構成)

作為本發明所屬的半導體裝置的實施形態4，將半導體裝置400的結構示於圖15。

圖15所示的半導體裝置400的結構，與圖12所示的半導



五、發明說明 (25)

體裝置300相同，在SOI基板SB上配設有RF電路RP及邏輯區LP的結構。

關於RF電路RP，在對應螺旋電感器SI（俯視圖結構參考圖70）的配設區的SOI層3內，形成由緊密連接的SOI區241～249構成的PG遮罩104（遮罩層）。

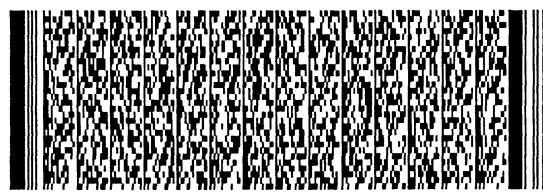
在RF電路RP和邏輯區LP之間配設作為局部分離絕緣膜的溝渠分離絕緣膜15，在邏輯區LP由溝渠分離氧化膜15分隔SOI層3，形成SOI區71及72。並在SOI區71及72分別形成MOS電晶體Q31及Q32。

其他的與圖12所示的半導體裝置300相同的結構，採用同樣的元件編號，對此省略重複的說明。

構成PG遮罩104的SOI區241～249，是相互鄰接的區，分別由摻雜物濃度或摻雜物的導電型不同的區構成，具有通過PN結能遮斷渦流的結構。

在圖15中，SOI區241～249分別由P⁻（含有低濃度P型摻雜物）區、P⁺（含有高濃度P型摻雜物）區、P⁻區、N⁺（含有高濃度N型摻雜物）區、P⁻區、P⁺區、P⁻區、N⁺區、P⁻區構成。

圖16顯示出PG遮罩104的俯視圖形狀。PG遮罩104的俯視圖形狀與圖2說明的PG遮罩101的形狀相同，因此，關於對形狀的說明予以省略。但是在PG遮罩101，溝渠分離氧化膜11的部分是SOI區此點以及沒有配設矽化膜31此點，與上述PG遮罩104卻不同。圖16的X-X剖面線的剖面與圖15所示的PG遮罩104的結構相對應。



五、發明說明 (26)

在PG遮罩104，不像PG遮罩101那樣的全部SOI區都接地的結構，為了遮斷渦流，對PN結所構成的二極體提供反偏壓，因此有時連接電源電位(V_{cc})。

例如，在圖16中，SOI區242及246連接於接地電位、SOI區244及248連接於電源電位，SOI區241、243、245、247及249通過相鄰的 P^+ 區接地。在上述的說明中，SOI區244及248連接於電源電位，包括這種連接電源電位的結構，為了方便起見稱為"PG遮罩"(穿孔接地遮罩)。在下述的其他實施形態中也採用同樣用語。

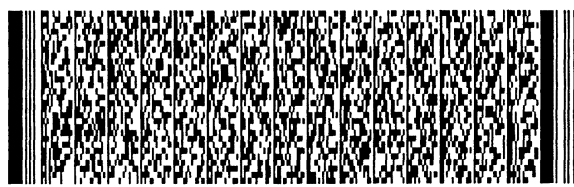
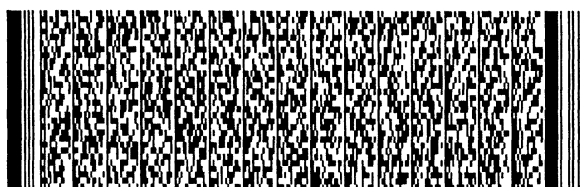
(D-2 · 作用效果)

按照上述說明的連接方式，對SOI區242、243、244、SOI區244、245、246、SOI區246、247、248構成的二極體提供反偏壓，防止由於發生渦流的反電動勢引起的正偏壓，不會發生起因於渦流的電磁感應損失，並可以減低靜電感應損失。

PG遮罩104通過接地的 P^+ 區(低電阻區)流過靜電感應的電流，因此毫無疑問地可以減低靜電感應損失，PG遮罩104形成於SOI層3內，因此不必為了形成遮罩而重新製作導電層，避免了該裝置結構的複雜化。

在邏輯區LP，由局部分離氧化膜的溝渠分離氧化膜15隔離開元件，因此可以通過溝渠分離氧化膜15的下部井區WR固定溝渠形成區(主體區)的電位，能夠避免因基板的浮動效應引起的各種問題。

(D-3 · 變形例1)



五、發明說明 (27)

在上述說明中曾經提到，PG遮罩104的俯視圖形狀與圖2中說明的PG遮罩101相同，但是採用圖3～圖7中說明的形狀也可以。然而，此時SOI區注入摻雜物的狀態卻有所不同。

即，關於圖3所示的形狀，面對圖3，如果將右側最上部的SOI區21A作為 P^+ 區、則與在時鐘方向相鄰的SOI區21A之間的區域（圖3中溝渠分離氧化膜11的區域）為 P^- 區，以下按照時鐘方向依次形成 N^+ 區、 P^- 區、 P^+ 區、 P^- 區，將 N^+ 區連接於電源電位、 P^+ 區接地，可以實現二極體的反偏壓。

在圖5所示的形狀，面對圖5，如果將右側最上部的SOI區21C作為 P^+ 區、與在時鐘方向相鄰的SOI區21C之間的區域為 P^- 區，以下按照時鐘方向依次形成 N^+ 區、 P^- 區、 P^+ 區、 P^- 區，將 N^+ 區連接於電源電位、 P^+ 區接地，可以實現二極體的反偏壓。

在圖6所示的形狀，如果將最上部的SOI區21D作為 P^+ 區、則其下面與SOI區21D之間的區域為 P^- 區、以下依次形成 N^+ 區、 P^- 區、 P^+ 區、 P^- 區，將 N^+ 區連接於電源電位、 P^+ 區接地，可以實現二極體的反偏壓。

在圖7所示的形狀，如果將SOI區21E作為 P^+ 區、將與SOI區21E和21S之間的區域作為 P^- 區，以下SOI區21S為 N^+ 區、SOI區21S與21M之間為 P^- 區、SOI區21M為 P^+ 區、SOI區21M與21L之間為 P^- 區，SOI區21L為 N^+ 區，將 N^+ 區連接於電源電位、 P^+ 區接地，可以實現二極體的反偏壓。

(D-2. 變形例2)



五、發明說明 (28)

於圖15所示的PG遮罩104，低濃度摻雜物區(P^- 區)左右的SOI區成為 P^+ 區及 N^+ 區，但是將低濃度摻雜物區左右配設成相同的導電型也可以。

即，正如顯示PG遮罩104區的圖17所示，SOI區242、244、246及248作成 N^- 區、將其他各區作成 P^+ 區也可以。

將SOI區243及247連接於電源電位，將SOI區241、245及249接地，對SOI區241及242構成的二極體、SOI區248及249構成的二極體、SOI區245及246構成的二極體、SOI區244及245構成的二極體，施加反偏壓，借助於使渦流發生的反電動勢可以防止正偏壓，不產生起因於渦流的電磁感應損失，能夠降低靜電感應損失。

SOI區只有2種即可，在其離子注入步驟，注入遮蔽膜的重疊次數可以減少，在重疊遮蔽膜時需要的邊緣小，因此可以使SOI區的圖案精細化。

在上述說明中，將SOI區分為 N^- 區和 P^+ 區共兩種區，將SOI區分成 P^- 區和 N^+ 區的兩種區當然也可以。

(E·實施形態5)

(E-1·裝置的構成)

作為本發明的半導體裝置的實施形態5，將半導體裝置500的結構示於圖18。

圖18中所示的半導體裝置500，與圖12所示的半導體裝置300相同，在SOI基板SB上配設有RF電路區RP及邏輯區LP的結構。

關於RF電路區RP，在對應螺旋電感器SI（俯視圖結構參



五、發明說明 (29)

考圖70)的配設區的SOI層3內，形成由緊密連接的SOI區261~269構成的PG遮罩105(遮罩層)。然後，PG遮罩105由作為局部分離氧化膜的溝渠分離氧化膜17覆蓋。

溝渠分離氧化膜17延伸到邏輯區LP，在邏輯區LP由溝渠分離氧化膜15分隔SOI層3，形成SOI區71及72。並在SOI區71及72分別形成MOS電晶體Q31及Q32。

其他的與圖12所示的半導體裝置300相同的結構，採用同樣的元件編號，對此省略重複的說明。

構成PG遮罩105的SOI區261~269，是相互鄰接的區，分別由摻雜物濃度或摻雜物的導電型不同的區構成，具有通過PN結能遮斷渦流的結構。

在圖18中，SOI區261~269分別由P⁻區、P⁺區、P⁻區、N⁺區、P⁻區、P⁺區、P⁻區、N⁺區、P⁻區構成。其俯視圖形狀、與電源電位及接地電位的連接及其動作，與圖15說明的PG遮罩104相同。

如圖18所示，關於與電源電位及接地電位的連接，為了貫穿層間絕緣膜4及溝渠分離氧化膜17而到達SOI區268(N⁺區)，設置導電區CP2，將連接在電源電位或接地電位的連接布線WL1連接於導電區CP2即可。

(E-2. 作用效果)

以上說明的半導體裝置500，與圖15說明的半導體裝置400相同，於PG遮罩105可以遮斷渦流，因此不產生渦流引起的電磁感應損失。

PG遮罩105通過接地的P⁺區(低電阻區)流過靜電感應引



五、發明說明 (30)

起的電流，因此毫無疑問地可以減低靜電感應損失，PG遮罩104形成於SOI層3內，因此不必為了形成遮罩而重新製作導電層，避免了該裝置結構的複雜化。

在邏輯區LP形成溝渠分離氧化膜15的步驟，可以同時形成溝渠分離氧化膜17，並且很容易進行對SOI區的摻雜物的注入，因此可以防止製造步驟的複雜化。

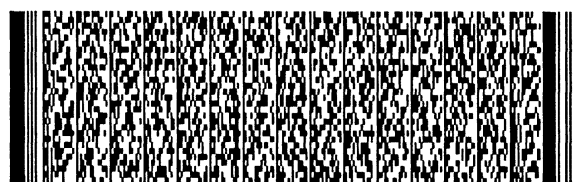
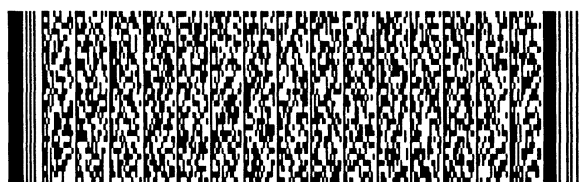
即，採用圖9～圖11說明的同樣的步驟形成溝渠分離氧化膜15和17以後，採用圖13所說明的步驟，從溝渠分離氧化膜17的上部，對溝渠分離氧化膜17的下部的SOI層選擇性地進行P型摻雜物及N型摻雜物的離子注入，可以形成PG遮罩105。

在邏輯區LP，由作為局部分離氧化膜的溝渠分離氧化膜15隔離開元件，因此可以通過溝渠分離氧化膜15的下部井區WR固定溝渠形成區（主體區）的電位，能夠避免因基板的浮動效應引起的各種問題。

(F．實施形態6)

在實施形態5中說明的半導體裝置500，顯示出PG遮罩105上部是作為局部分離氧化膜的溝渠分離氧化膜17所覆蓋的結構，PG遮罩在形成時至少具有與螺旋電感器SI的平面方向的配設面積相同的面積，因此在很寬的面積上需要設置溝渠分離氧化膜17。

在形成溝渠分離氧化膜時，埋入溝渠氧化膜後，用CMP處理去除不要部分的氧化膜，當在很大的面積上形成溝渠分離氧化膜時，該溝渠分離氧化膜容易發生盤形凹陷的扭



五、發明說明 (31)

曲。

圖19顯示出發生扭曲的狀態。在圖19中，面積寬大的溝渠分離氧化膜17A的表面成盤形凹陷，窄面積的溝渠分離氧化膜15可以正常的形成。

發生扭曲的溝渠分離氧化膜的上端邊緣形狀與正常的溝渠分離氧化膜的上端邊緣的形狀不同，很可能對MOS電晶體的特性產生影響。

本發明所屬的半導體裝置實施形態6，對如何防止發生此種扭曲的結構進行說明。

(F-1．裝置構成)

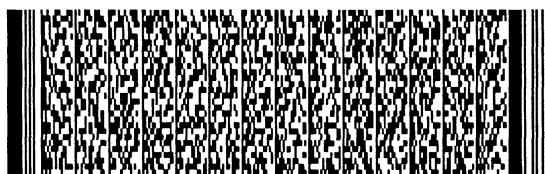
作為本發明所屬的半導體裝置的實施形態6，圖20顯示半導體裝置600的結構。

圖20所示的半導體裝置600，與圖12所示的半導體裝置300相同，在SOI基板SB上配設有RF電路區RP及邏輯區LP的結構。

關於RF電路區RP，在對應螺旋電感器SI（俯視圖結構參考圖70）的配設區的SOI層3內，形成由緊密連接的SOI區271～279以及SOI區272、274、276和278上形成的矽化膜34所構成的PG遮罩106（遮罩層）。

在此，SOI區271、273、275、277及279比其他的SOI區的氧化膜薄，在其上部形成作為局部分離氧化膜的溝渠分離氧化膜18。在SOI區271上的溝渠分離氧化膜延伸到邏輯區LP。

在邏輯區LP，由溝渠分離氧化膜15分隔SOI層3，形成



五、發明說明 (32)

SOI 區 71 及 72。然後，在 SOI 區 71 及 72 分別形成 MOS 電晶體 Q31 和 Q32。

其他的與圖 12 所示的半導體裝置 300 相同的結構，採用同樣的元件編號，對此省略重複的說明。

構成 PG 遮罩 106 的 SOI 區 271 ~ 279，是相互鄰接的區，分別由摻雜物濃度或摻雜物的導電型不同的區構成，具有通過 PN 結能遮斷渦流的結構。

在圖 20 中，SOI 區 271 ~ 279 分別由 P⁻ 區、N⁺ 區、P⁻ 區、P⁺ 區、P⁻ 區、N⁺ 區、P⁻ 區、P⁺ 區、P⁻ 區構成，在 P⁻ 區形成溝渠分離氧化膜 18。

圖 21 顯示 PG 遮罩 106 的俯視圖形狀。PG 遮罩 106 的俯視圖形狀與圖 2 說明的 PG 遮罩 101 的形狀相同，關於形狀的說明予以省略。圖 21 的 X-X 剖面線的剖面圖與圖 20 所示的 PG 遮罩 106 的結構相對應。

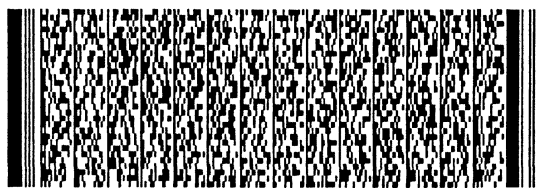
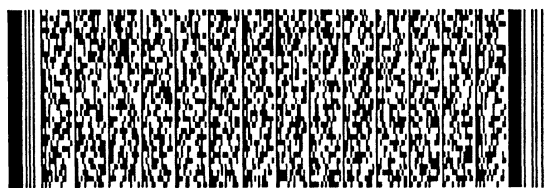
在圖 21 中，為了遮斷渦流，對"PN 接面"構成的二極體提供反偏壓，因此 SOI 區的 272 及 276 與電源電位 (V_{cc}) 連接，SOI 區 274 及 278 接地。

(F-2. 作用效果)

在上述說明的半導體裝置 600 中，與 PG 遮罩 106 的形成區形成面積狹窄的溝渠分離氧化膜 18，可以防止扭曲的發生。

與圖 15 說明的半導體裝置 400 相同，在 PG 遮罩 106 可以降低渦流引起的電磁感應損失。

PG 遮罩 106 通過接地的 P⁺ 區 (高電阻區) 流過靜電感應的



五、發明說明 (33)

電流，因此毫無疑問地可以減低靜電感應損失，PG遮罩106形成於SOI層3內，因此不必為了形成遮罩而重新製作導電層，避免了該裝置結構的複雜化。

在邏輯區LP形成溝渠分離氧化膜15的步驟，可以同時形成溝渠分離氧化膜18，矽化膜34的形成和SOI區的摻雜物的注入較為容易進行，因此可以防止製造步驟的複雜化。

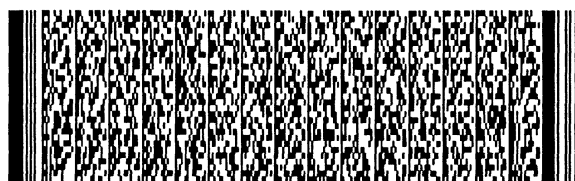
即，溝渠分離氧化膜15和18，由圖9～圖11說明的同樣的步驟形成後，在邏輯區LP的MOS電晶體Q31和Q32形成時的矽化步驟，於曝露的SOI區上同時形成矽化膜34，在PG遮罩106的形成區通過選擇性地進行P型摻雜物和N型摻雜物的離子注入，可以形成PG遮罩106。

在邏輯區LP，由局部分離氧化膜的溝渠分離氧化膜15隔離開元件，因此可以通過溝渠分離氧化膜15的下部井區WR固定通道形成區（主體區）的電位，能夠避免因基板的浮動效應引起的各種問題。

(F-3．變形例)

在圖20所示的半導體裝置600的PG遮罩106，給出的是低濃度的摻雜物區（P⁻區）左右的SOI區為P⁺區及N⁺區，實際上在低濃度的摻雜物區的左右配置相同導電型的區也可以。

作為半導體裝置600的變形例，在圖22中顯示出半導體裝置600A。圖22中的PG遮罩106A（遮罩層），將SOI區271、273、275、277及279作為N⁻區，將其他的所有區都作為P⁺區。



五、發明說明 (34)

將PG遮罩106A的俯視圖形狀示於圖23。PG遮罩106A的俯視圖形狀與圖2說明的PG遮罩101的俯視圖形狀相同，因此關於形狀的說明予以省略。圖23的X-X剖面線的剖面圖與圖22所示的PG遮罩106A的結構相對應。

在圖23中，為了遮斷渦流，對"PN接面"構成的二極體提供反偏壓，因此SOI區的272及276與電源電位(V_{cc})連接，SOI區274及278接地。

通過上述連接，對SOI區273及274構成的二極體、SOI區274及275構成的二極體、SOI區277及278構成的二極體施加反偏壓，借助於使渦流發生的反電動勢可以防止正偏壓，不產生起因於渦流的電磁感應損失，能夠降低靜電感應損失。

SOI區只有2種即可，在其離子注入步驟，注入遮蔽膜的重疊次數可以減小，在重疊遮蔽膜時需要的邊緣小，因此可以使SOI區的圖案精細化。

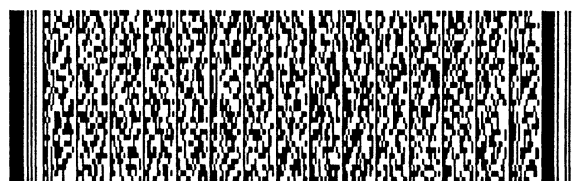
在上述說明中，將SOI區分為 N^- 區和 P^+ 區共2個區，將SOI區分成 P^- 區和 N^+ 區的2個區當然也可以。

(G-1. 實施形態7)

在上述實施形態6中，顯示出為了防止PG遮罩形成區溝渠分離氧化膜的扭曲的結構，但是作成以下說明的實施形態7的結構也同樣是可以的。

(G-1. 裝置的結構)

作為本發明所屬的半導體裝置的實施形態7，在圖24顯示出半導體裝置700的結構。在圖24中，為了簡化起見只



五、發明說明 (35)

給出了RF電路區RP的結構。

在圖24所示的RF電路區RP，在對應螺旋電感器SI（俯視圖結構參考圖70）的配設區的SOI層3內，形成由相互緊密連接的SOI區281~287及SOI區282、284及286上形成的矽化膜35構成的PG遮罩107（遮罩層）。

在此，SOI區281、283、285、及287比其他的SOI區的氧化膜薄，在其上部形成作為局部分離氧化膜的溝渠分離氧化膜19。在SOI區281及287上的溝渠分離氧化膜19比其他部位形成的溝渠分離氧化膜19要寬些。

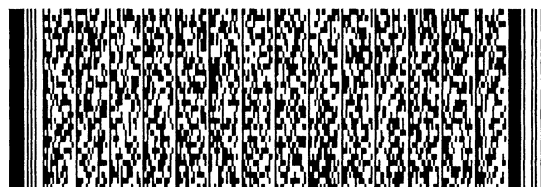
SOI區282、284、及286上的矽化膜35，與貫穿層間絕緣膜4而配設的導電區CP3連接，該導電區與配設於層間絕緣膜4的連接地線的WL2相連接。

其他的與圖12所示的半導體裝置300相同的結構，採用同樣的元件編號，對此省略重複的說明。

構成PG遮罩107的SOI區281~287，其SOI區282、284及286全部屬於P⁺區，SOI區281、283、285及287為N⁻區，具有通過PN結能遮斷渦流的結構。

圖25顯示PG遮罩107的俯視圖形狀。遮罩107的俯視圖形狀，具有矽化膜的矩形SOI區28（SOI區282、284及286的總稱）相互隔開一定間隔並配設成矩陣形狀，在各個SOI區28之間配設溝渠分離氧化膜19。

圖25的Y-Y剖面線的剖面圖，與圖24所示的PG遮罩107的結構相對應，布線WL2分散配置的SOI區282、284、286呈"L字型"配置。



五、發明說明 (36)

在具有矽化膜的其他SOI區28上也可以配設布線，其布線通路，在4角的SOI區28以外的部分以L字型配設，提供給布線的電位，是以接地電位和電源電位交互的形式提供。

在離開PG遮罩107的位置，配設為了將低濃度摻雜物區連接於電源電位的接點CR。

(G-2・作用效果)

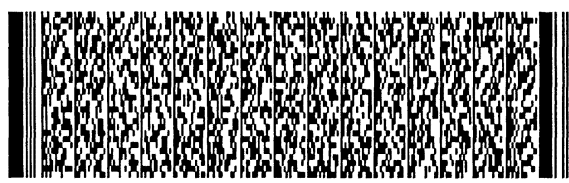
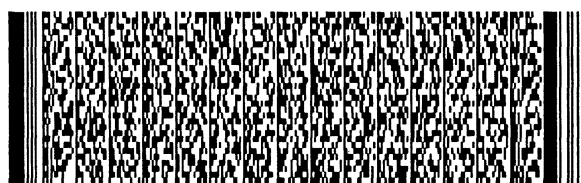
通過這樣的連接，對低濃度SOI區和高濃度SOI區構成的所有的二極體提供反偏壓，借助使渦流發生的反電動勢可以防止正偏壓，不產生起因於渦流的電磁感應損失，能夠降低靜電感應損失。

PG遮罩107通過接地的P⁺區(高電阻區)流過靜電感應引起的電流，因此毫無疑問地可以減低靜電感應損失，PG遮罩107形成於SOI層3內，因此不需要為了形成布線WL2的步驟的形成PD遮罩的新的導電層，避免了該裝置結構的複雜化。

(G-3・變形例)

在上述的半導體裝置700中，對PG遮罩107的SOI區用布線WL2進行電性連接的結構作了說明，代替布線WL2使用圖26所示的半導體裝置700A的閘極布線也可以。

即，在圖26所示的半導體裝置700A的PG遮罩107A(遮罩層)，於SOI區282、284、286上沒有矽化膜，與MOS電晶體的閘極相同的步驟形成的連接閘極布線GTL直接連接於SOI區282、284、286。



五、發明說明 (37)

在溝渠分離氧化膜19上，配設以MOS電晶體的閘極絕緣膜相同的步驟所形成的絕緣膜GZL；在閘極布線GTL上，配設以MOS電晶體的矽化膜相同的步驟所形成的矽化膜GSL。

閘極布線GTL的俯視圖形狀與圖25中說明的布線WL2相同，成L字型配設。

由於採用這樣的結構，使SOI區的電性連接的布線製作步驟簡化。

(G-4 · 變形例2)

半導體裝置700的結構，借助於作為局部分離氧化膜的溝渠分離氧化膜19覆蓋的SOI區與其它的SOI區之間的PN結遮斷渦流，但是取代溝渠分離氧化膜19，採用圖27及圖28所示的半導體裝置700B及700C那樣的結構，用完全分離氧化膜形成完全電性隔離的SOI區也可以。

圖27所示的半導體裝置700B的PG遮罩107B(遮罩層)，由作為完全分離氧化膜的溝渠分離氧化膜191實行完全的電性隔離。

圖28所示的半導體裝置700C的PG遮罩107C(遮罩層)，由作為完全分離氧化膜的溝渠分離氧化膜192實行完全的電性隔離。

PG遮罩107B和107C，從完全隔離SOI區此點看二者是相同的，但是，當溝渠分離氧化膜192在圖中未示出的邏輯區對MOS電晶體之間作局部分離時，可以用共用的抗蝕劑遮蔽膜形成，不必增加新的步驟，使製造方法簡單化。

(H · 實施形態8)



五、發明說明 (38)

(H-1 · 裝置結構)

作為本發明所屬的半導體裝置的實施形態8，將半導體裝置800的結構示於圖29。圖29所示的半導體裝置800，為了簡化起見僅顯示出RF電路區的RP結構。

於圖29所示的RF電路區的RP，在對應螺旋電感器SI（俯視圖結構參考圖70）的配設區的SOI層3內，形成由緊密連接的SOI區291～299以及SOI區291、293、295、297和299上形成的矽化膜36所構成的PG遮罩108（遮罩層）。

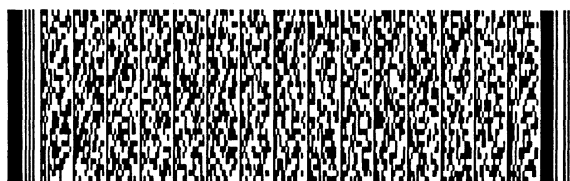
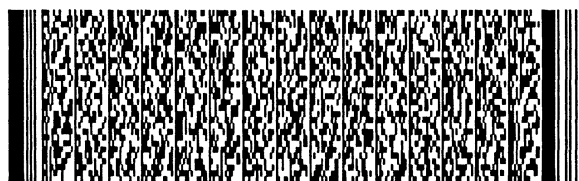
在此，SOI區292、294、296及298的上部配設與MOS電晶體的閘極具有相同剖面結構的虛設閘極MD1。虛設閘極MD1與圖中未示出的MOS電晶體相同，具有閘極絕緣膜DGZ、閘極DGT、矽化膜DGS及側壁絕緣膜DGW。

矽化膜36，配設於虛設閘極MD1的側壁絕緣膜DGW外側的SOI區291、293、295、297及299上。

SOI區291、293、295、297及299為 N^+ 區，SOI區292、294、296、及298為 P^- 區，SOI區293及297上的矽化膜36連接於電源電位（Vcc），SOI區291、295及299上的矽化膜36和虛設閘極MD1上的矽化膜DGS接地。

其他的與圖12所示的半導體裝置300相同的結構，採用同樣的元件編號，對此省略重複的說明。

圖30顯示PG遮罩108的俯視圖形狀。PG遮罩108的俯視圖形狀與圖2說明的PG遮罩101的形狀相同，關於形狀的說明予以省略，但是在PG遮罩108上，溝渠分離氧化膜11的部分成為虛設閘極MD1的此點有很大不同。圖30的X-X剖面



五、發明說明 (39)

線的剖面圖與圖29所示的PG遮罩108的結構相對應。

在PG遮罩108，為了遮斷渦流，對"PN接面"構成的二極體提供反偏壓，因此SOI區293與297與電源電位連接，SOI區291、295及299接地。

於虛設閘極MD1，閘極DGT的下部是P⁻區，其兩側是N⁺區，因此形成所謂的N通道MOS電晶體的形態，但是互相調換導電型製成P通道MOS電晶體的形態也同樣可以。此時，將圖30所示的電源電位的布線與接地電位的布線互相調換位置即可。

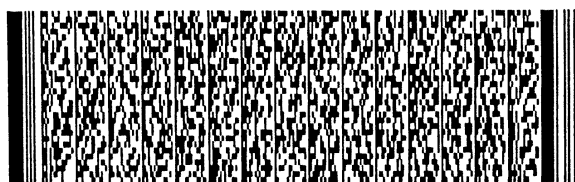
(H-2·作用效果)

對SOI區292及293構成的二極體、SOI區293及294構成的二極體、SOI區296及297構成的二極體、SOI區297及298構成的二極體提供反偏壓，借助使渦流發生的反電動勢可以防止正偏壓，不產生起因於渦流的電磁感應損失，能夠降低靜電感應損失。

PG遮罩108，可以區分為在SOI層3內形成的SOI區291～299和矽化膜36構成的第1個PG遮罩以及虛設閘極MD1構成的第2個PG遮罩，如果把第1及第2個PG遮罩分別想像成是電阻元件，則它們在寄生電容器與接地電位之間呈並聯狀態，可以進一步降低PG遮罩的電阻值。

(H-3·變形例)

對於上述說明的半導體裝置800的PG遮罩108，閘極DGT的下部是P⁻區，其兩側是N⁺區，因此形成N通道MOS電晶體的形態，但此時如果將電源電位連接於閘極DGT時，就成



五、發明說明 (40)

為MOS電晶體的工作狀態，因此將閘極DGT連接於接地電位，虛設閘極DM1並不是作為MOS電晶體使用的，所以SOI層3內的SOI區的摻雜物圖案並不止限於此。

例如圖31所示的半導體裝置800A（遮罩層），將SOI區291、295及299作為P⁺區、將SOI區292、294、296及298作為P⁻區、將SOI區293及297作為N⁺區也可以。

然後，將SOI區293及297連接於電源電位(V_{cc})、將SOI區291、295及299接地、將虛設閘極MD1的矽化膜DSG連接於閘極電位VGT也可以。

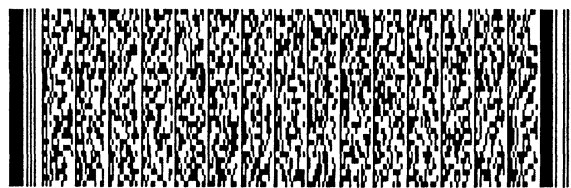
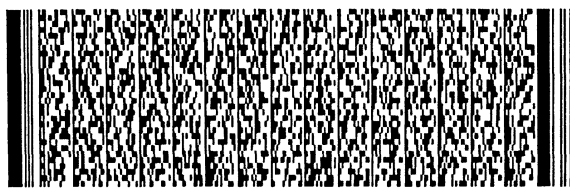
通過上述連接，對"PN接面"構成的二極體施加反偏壓，借助於使渦流發生的反電動勢可以防止正偏壓，在遮斷渦流的同時，即使對虛設閘極MD1的閘極DGT提供閘極電壓VGT，也不會形成MOS電晶體的功能，增加虛設閘極MD1的閘極DGT的電位的選擇自由度。

圖32顯示PG遮罩108A的俯視圖形狀。PG遮罩108A的俯視圖形狀與圖2說明的PG遮罩101的形狀相同，關於形狀的說明予以省略，電位的配置也已經在圖31中進行了說明，對此一併省略。圖32的X-X剖面線的剖面圖與圖31所示的PG遮罩108A的結構相對應。

(I．實施形態9)

(I-1．裝置的構成)

作為本發明所屬的半導體裝置的實施形態9，將半導體裝置900的結構示於圖33。圖33所示的半導體裝置900，為了簡化起見僅顯示出RF電路區的RP結構。



五、發明說明 (41)

於圖33所示的RF電路區的RP，在對應螺旋電感器SI(俯視圖結構參考圖70)的配設區的SOI層3內，形成由緊密連接的SOI區291~299以及SOI區291、293、295、297和299上選擇性地形成的矽化膜36所構成的PG遮罩109(遮罩層)。

SOI區291、295及299為P⁺區，SOI區292、294、296、及298為P⁻區，SOI區293及297為N⁺區，SOI區293及297通過矽化膜36連接於電源電位(V_{cc})，SOI區291、295及299通過矽化膜36接地。

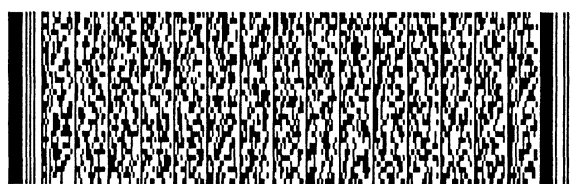
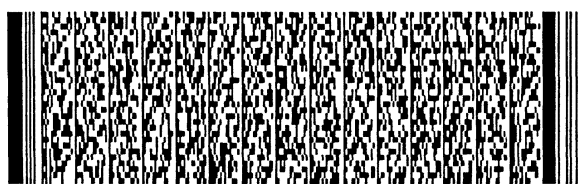
在PG遮罩109，為了遮斷渦流，對"PN接面"構成的二極體提供反偏壓，因此SOI區293與297與電源電位連接，SOI區291、295及299接地。

圖35顯示PG遮罩109的俯視圖形狀。PG遮罩109的俯視圖形狀與圖2說明的PG遮罩101的形狀相同，對該形狀的說明予以省略。在PG遮罩109，溝渠分離氧化膜11的部分是矽化膜36，此點與PG遮罩101不同。圖35的X-X剖面線的剖面圖與圖33所示的PG遮罩109相對應。

其他的與圖31所示的半導體裝置800A相同的結構，採用同樣的元件編號，對此省略重複的說明。

(I-2. 製造方法)

現在簡要說明PG遮罩109的形成方法。首先，對SOI層3以比較低的濃度注入P型摻雜物，形成P⁻層(或者N⁻層)，然後採用抗蝕劑遮蔽膜以比較高的濃度注入P型摻雜物，選擇性地形成P⁺區的SOI區291、295及299，並且以比較高的濃度注入N型摻雜物，選擇性地形成N⁺區的SOI區293及



五、發明說明 (42)

297。此時，沒有注入任何一種高濃度摻雜物的區域殘留為P⁻區。

如圖34所示，為了覆蓋P⁻區的SOI區292、294、296及298，形成矽化保護膜PT。

矽化物防護膜，是覆蓋住因為形成矽化膜而引起不適當的MOS電晶體的源極、汲極區、是為了防止形成矽化膜的防護膜，是由氧化矽膜等絕緣膜形成的。

為了覆蓋SOI區291、293、295、297及299，在整個面上形成Co(鈷)和Ti(鈦)的金屬膜，通過矽化反應將該金屬膜變成矽化膜361。然後，去除矽化物防護膜PT上的未反應的金屬膜MF，選擇性地形成矽化膜36。

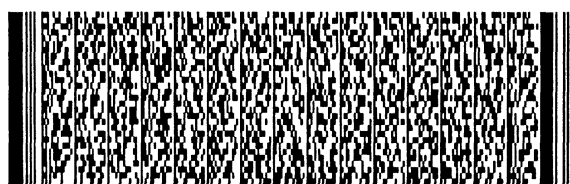
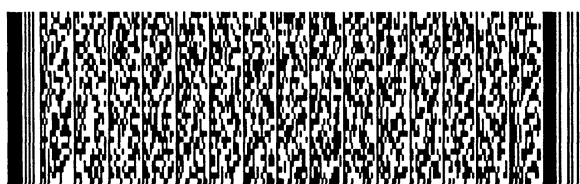
矽化物防護膜PT在P⁻區兩側的SOI區相匹配形成，可以切實地防止在P⁻區兩側的SOI區上形成矽化膜36。

(I-3. 作用效果)

用圖35說明的半導體裝置400的PG遮罩104，同樣顯示出SOI區緊密連接的結構，在各個SOI區上如果連續形成矽化膜，則不能由PN結構成二極體，顯示出沒有形成矽化膜的結構。但是，如果完全沒有矽化膜，有時很難降低SOI區的電阻值，對於PG遮罩109，形成比較分散的矽化膜，因此可以使SOI區的電阻值降低。

(I-4. 變形例)

在上述說明的半導體裝置900的PG遮罩109，P⁻區兩側SOI區的導電型顯示出相互不同的構成，但是，如圖36所示的半導體裝置900A的PG遮罩109A(遮罩層)那樣，在低



五、發明說明 (43)

濃度區兩側的SOI區的導電型相同也可以。

即，在PG遮罩109A，於SOI區292、294、296及298為N⁻區，在SOI區291、293、295、297及299均為P⁺區。

SOI區291、295及299通過矽化膜36接地，SOI區293及297通過矽化膜36連接於電源電位(V_{cc})。

採用上述的結構，對PN結構成的二極體提供反偏壓，借助使渦流發生的反電動勢可以防止正偏壓，不產生起因於渦流的電磁感應損失，能夠降低靜電感應損失。

SOI區只要有2種類型即可。因此在離子注入步驟，其注入遮蔽膜的重疊次數減少，遮蔽膜重疊需要的餘量減小，因此可以使SOI區精細化。

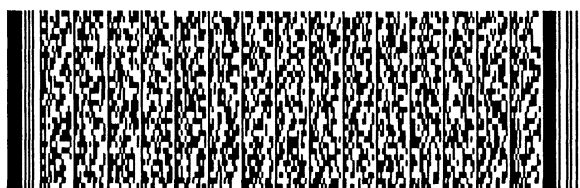
在上述說明中，SOI區是N⁻區和P⁺區的2種類型，當然，作成SOI區是P⁻區和N⁺區的2種類型也可以。

(J·實施形態10)

(J-1·裝置的構成)

作為本發明所屬的半導體裝置的實施形態10，將半導體裝置1000的結構示於圖37。

在上述說明的本發明實施形態1~9中，對防止螺旋電感器產生的靜電感應損失的同時、防止內部渦流引起的電磁感應損失的PG遮罩結構作了說明。靜電感應損失並不完全是從螺旋電感器發生的，有時金屬布線等直線形的導線、或者曲線形的導體也同樣發生靜電感應損失。即，不僅僅是電感元件，具有感應效應的結構等，都存在此課題。本發明對螺旋電感器以外的感應元件、具有感應的結構同樣



五、發明說明 (44)

適用。以下通過具體實例，顯示出適用本發明的結構可以防止由直線布線的感應引起的靜電損失。

在圖37所示的半導體裝置1000，於布線WL3的下部，配設沿著配設方向排列的相互獨立的導電層而構成的PG遮罩201(遮罩層)，導電層CL接地，可以防止布線WL3引起的靜電感應損失。

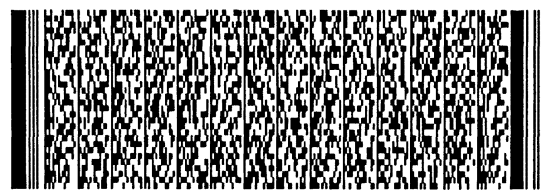
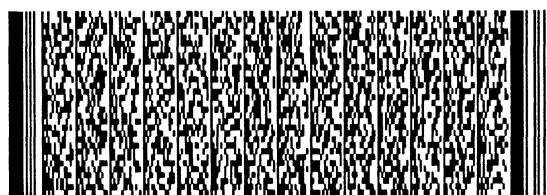
圖38顯示半導體裝置1000的剖面結構的一例。圖38所示的半導體裝置1000，以圖68說明的半導體裝置90為例，只顯示出RF電路區RP的結構。

在圖38中，於矽基板1、該矽基板1上配設的埋入氧化膜2、在埋入氧化膜2上配設的SOI層3所構成的SOI基板SB上，對應SOI層3的布線WL3的布線區的區域，由多個溝渠分離氧化膜13分隔，形成多個SOI區22。溝渠分離氧化膜13，是在從SOI層表面到達埋入氧化膜2的表面而配設的溝渠內埋入氧化矽膜形成的，各個SOI區之間在電性上是完全隔離的。

各個SOI區22的上部，配設矽化膜32，分別由多個溝渠分離氧化膜13、SOI區22、矽化膜32構成PG遮罩201。SOI層22和矽化膜32構成的疊層膜與圖37所示的導電層CL相對應。

如圖37所示，為了在布線WL3的寬度方向的下部很好地形成SOI層22和矽化膜32，其俯視圖形狀是沿著布線WL3的寬度方向延伸並成為矩形的形狀。

螺旋電感器在PG遮罩內產生的渦流，是在平行於半導體



五、發明說明 (45)

基板主面的面內發生的，但是直線狀的布線WL3產生的渦流如圖37的虛線所示，是在垂直於半導體基板的面內發生的，因此，導電層厚度薄一些為好，至少要比導電層CL的短向長度小一些。

導電層CL的長度方向的長度及導電層CL的配設間距設定在 $1 \sim 3 \mu\text{m}$ 左右。

圖38所示的PG遮罩201的剖面結構只是一個例子，可以採用的結構不僅限於此。

(J-2・作用效果)

在上述說明的半導體裝置1000，於布線WL3的下部，裝設沿著配設方向排列相互獨立的導電層而構成的PG遮罩201，因此可以防止布線WL3引起的靜電感應損失。

PG遮罩201形成於SOI層3內，因此為了形成PG遮罩不需要新的導電層，不會導致裝置結構的複雜化。

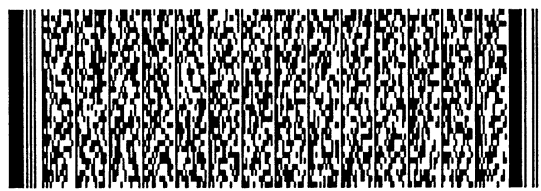
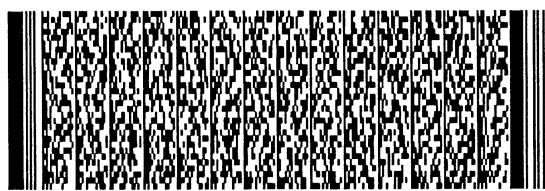
(J-3・變形例)

作為防止與半導體裝置垂直的面內發生渦流的結構，以導體膜和多層膜構成導電層CL也同樣有效。

即，如圖39所示的半導體裝置1001，由SOI層3內交互配設導體膜CF和絕緣膜ZF的多層膜形成導電層CL1。

各導體膜CF的電性連接，是由貫穿SOI層3及導電層CL1的接點區CP4完成的，接點區CP4形成於SOI層3，與連接於接地的布線WL4連接。

採用這樣的結構，導電層內的垂直於半導體基板的面內發生的渦流，由絕緣膜ZF遮斷，不產生因渦流引起的電磁



五、發明說明 (46)

感應損失。

代替採用多層膜，使用導體和絕緣體的超晶格結構交替重疊的超晶格膜也可以。

(K·實施形態11)

上述說明的實施形態1~10，是在SOI基板上形成的半導體裝置上，在防止螺旋電感器或布線引起的靜電感應損失的同時，對防止內部產生的渦流所引起的電磁感應損失的PG遮罩的結構，進行了說明。但本發明不僅限於使用SOI基板，同樣可適用於稱為"大塊基板"的矽基板。

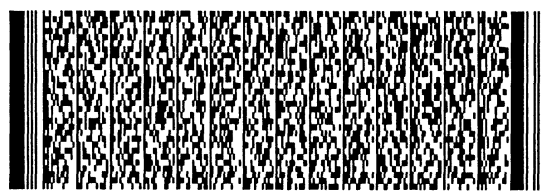
(K-1·裝置的構成)

作為本發明所屬的半導體裝置的實施形態11，將半導體裝置2000的結構示於圖40。圖40所示的半導體裝置2000，用圖68說明的半導體裝置90為例，僅顯示出RF電路區RP的結構。

在圖40中，與P型矽基板1的螺旋電感器SI（平面結構參考圖70）的配設區對應的區域被多個溝渠分離氧化膜111分隔，形成較高濃度(P^+)注入P型摻雜物的摻雜物區121。溝渠分離氧化膜111，是由從矽基板1的表面起到達一定深度配設的溝渠內埋入氧化矽膜而形成的。

在摻雜物區121的下部形成注入較低濃度(N^-)N型摻雜物的溝渠區NW。

在各個摻雜物區121的上部配設矽化膜131，分別由多個溝渠分離氧化膜111、摻雜物區121、矽化膜131構成PG遮罩301（遮罩層）。



五、發明說明 (47)

與圖1所示的半導體裝置100相同的其他部分的結構，採用同樣的元件編號，對此省略重複的說明。

圖40所示的剖面結構只是一個例子，該結構不只限於此，實施形態1~10說明的各種PG遮罩結構都可以適用。

(K-2 · 作用效果)

正如上述說明，在基板中形成低濃度的溝渠區，在其上面形成PG遮罩，高電阻低濃度溝渠區代替了埋入氧化膜，將摻雜物區121相互電性隔離，在大塊基板上可以防止靜電感應損失的同時，可以獲得不發生渦流引起的電磁感應損失的PG遮罩效果。

(L · 實施形態12)

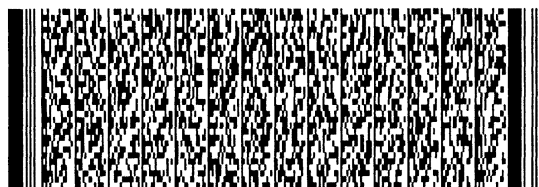
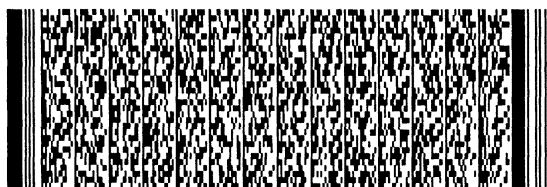
在上述說明的實施形態1~11，說明了在防止螺旋電感器或者布線引起的靜電感應損失的同時，還說明了防止內部發生的渦流引起的電磁感應損失的各種PG遮罩結構。在這些PG遮罩結構的下部的半導體基板中，也有可能發生螺旋電感器或布線引起的電磁感應損失。以下，就防止半導體基板中的電磁感應損失的結構加以說明。

(L-1 · 裝置的構成)

作為本發明所屬的半導體裝置的實施形態12，將半導體裝置3000的結構示於圖41。

圖41所示的半導體裝置3000，採用圖68說明的半導體裝置90為例，顯示出RF電路區91及邏輯區92的一部分，分別顯示RF電路區RP和邏輯區LP。

在圖41中，於矽基板1、該矽基板1上配設的埋入氧化膜



五、發明說明 (48)

2、在埋入氧化膜2上配設的SOI層3所構成的SOI基板SB上，配設RF電路區RP和邏輯區LP。

在RF電路區RP，與SOI層3的螺旋電感器SI（平面結構參考圖70）的配設區相對應的區域，被多個溝渠分離氧化膜13所隔離，形成多個SOI區22。在SOI區22的上部配設矽化膜32，分別由多個溝渠分離氧化膜13、SOI區22、矽化膜32構成PG遮罩102。

在PG遮罩102的下部的矽基板1的內部，配設空腔區CV。

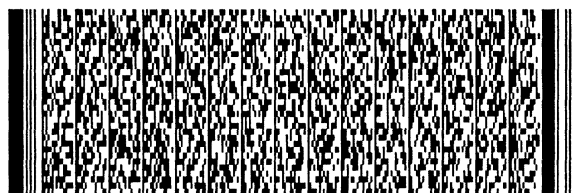
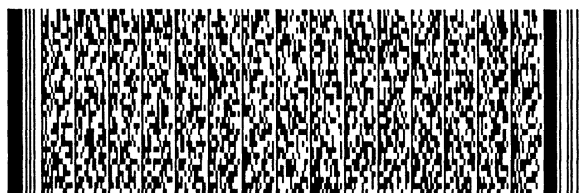
空腔區CV，具有與螺旋電感器SI的平面方向的長度相同的深度（最大為100 μm 左右），在平面方向的擴展範圍至少設定在能包括螺旋電感器SI的形成區。

貫穿埋入氧化膜2、SOI層3、層間絕緣膜4和5、以及貫穿覆蓋螺旋電感器SI的絕緣膜6，配設能到達空腔區CV的開口區OP。

與圖8中說明的半導體裝置200相同的其他部分的結構，採用同樣的元件編號，對此省略重複的說明。

關於空腔區CV的形成方法，在SOI基板SB上形成直到空腔區CV以外的絕緣膜6為止的結構以後，形成到達矽基板1的開口區OP，例如，可以從開口區OP注入20%KOH（氫氧化鉀）溶液，採用對矽基板1進行蝕刻的方法。最後用絕緣膜等埋入開口區OP。

作為蝕刻液，不僅限於KOH溶液，只要是僅能使矽基板溶化的溶液即可。例如使用NaOH等強鹼溶液也可以。使用這樣的溶液時需要注意鉀(K)和鈉(Na)的污染，但是由於物



五、發明說明 (49)

質單純，所以容易操作。此外，使用鄰苯二酚($C_6H_6O_2$)和TMAH(氫氧化四甲基胺： $N(CH_3)_4OH$)等有機物也可以。具體使用什麼溶液合適，應根據製造裝置時半導體工廠的整個結構情況進行選擇。並且，KOH溶液等蝕刻溶液，在不同溫度下的蝕刻能力不同，對於20%的KOH溶液，在50℃下的蝕刻率為100nm/min。

在SOI基板SB上什麼都沒有形成的狀態下也可以形成空腔CV，在形成了PG遮罩102後的階段形成也可以，總的說來，在哪一個階段形成都是可以的。

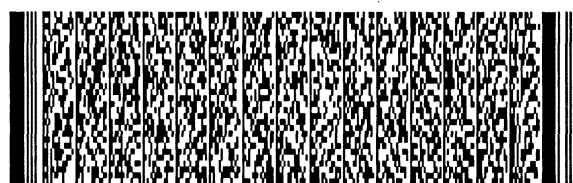
(L-2·作用效果)

通過上述的說明，半導體裝置3000在PG遮罩102的下部的矽基板1的內部具有空腔CV，因此，在借助PG遮罩102防止螺旋電感器的靜電感應損失的同時，也沒有因PG遮罩102內部發生的渦流所導致的電磁感應損失。而且，在矽基板1內，防止螺旋電感器SI發生的渦流，能夠減低電磁感應損失。

在上述說明中給出使用PG遮罩102的結構，關於PG遮罩的形態並不僅限於此，使用實施形態1~9中說明的PG遮罩完全可以。

(M·實施形態13)

在上述實施形態12中，於矽基板1的內部設有空腔CV，顯示出降低矽基板1內的電磁感應損失的結構，但是降低矽基板1內的電磁感應損失的結構也不僅限於此，在矽基板1內設有多孔層遮斷渦流通路也可以。



五、發明說明 (50)

本說明書的多孔層，不僅顯示具有多個"孔"的層，也包括具有多個溝渠的含義在內。

(M-1．裝置的構成)

作為本發明所屬的半導體裝置的實施形態13，將半導體裝置4000的結構示於圖42。

在圖42中，埋入氧化膜2上部的結構，與圖8說明的半導體裝置200相同，對於相同的結構，採用相同的元件編號，對此說明予以省略。

在圖42中，於PG遮罩102的下部的矽基板1的內部配設多孔層PR。

多孔層PR，是由矽基板從表面到內部進行蝕刻形成的多個溝渠或者電洞、或者採用陽極氧化法形成的多個電洞的結構，內部成為接近真空狀態或者以絕緣物埋入的狀態。

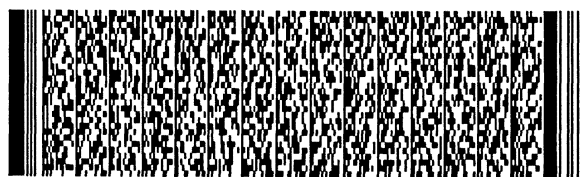
因此，由螺旋電感器SI發生的渦流，通過遮斷其通路可以減低矽基板1內的電磁感應損失。

多孔層PR的俯視圖形狀，當屬於多孔狀態時，在規定整個區域內，規則地或不規則地設置即可；當屬於溝渠時，至少在一個方向上並列配設延長的溝渠，可以遮斷渦流。

在上述說明中，顯示出使用PG遮罩102的結構，但是PG遮罩的形態不僅限於此，也可以使用實施形態1～9說明的各種PG遮罩。

(M-2．製造方法)

以下，用圖43～圖53說明具有多孔層PR的SOI基板SB的形成方法。



五、發明說明 (51)

(M-2-1 · 蝕刻方法)

用圖43～圖46說明通過蝕刻形成多孔層PR的方法。以下，為了明確起見，稱由蝕刻形成的多孔層為"多孔層PR1"，用陽極氧化法形成的多孔層為"多孔層PR2"。

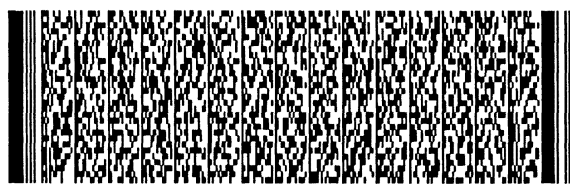
如圖43所示，首先準備矽基板1，從矽基板1的表面到內部，通過蝕刻可以形成多個溝渠TR1(或者多個孔)，構成多孔層PR1。多個溝渠(或多個孔)TR1，至少在對應PG遮罩102的下部的整個區域進行配設，其溝渠寬度或直徑設定在10nm～50nm左右、多孔層厚度設定在10 μ m～100 μ m左右。

希望多個溝渠TR1(或者多個孔)的深度與螺旋電感器SI的平面方向的長度大體相同，即使該深度相當於螺旋電感器SI的平面方向的長度的1/10，也能獲得降低電磁感應損失的效果。

其次，在圖44所示的步驟，為了覆蓋住矽基板1，例如以氧化矽膜形成絕緣膜ZF1，埋入多孔層PR1。

圖45顯示出形成ZF1狀態的多孔層PR1的詳細情況。如圖45所示，絕緣膜ZF1是為了覆蓋構成多孔層PR1的溝渠(或者電洞)TR1內面而配設的，但是在完全埋入內部之前，首先使用堵塞開口區的具有阻塞特性的絕緣膜時，可以使溝渠內部形成空腔(或電洞)。

此時，如果在真空狀態下形成絕緣膜ZF1，則空腔HL變成真空狀態，由於介電常數低，因此可以減低靜電感應損失。



五、發明說明 (52)

即使以絕緣膜埋入溝渠(或者電洞)TR1的內部時,例如作為該絕緣膜使用含有氟的等離子氧化膜(用等離子CVD法形成的氧化矽膜)等介電常數較低的絕緣膜,可以減低靜電感應損失。

在進行熱氧化、形成熱氧化膜時,與上述結果相同,可以在溝渠(或電洞)TR1的內部形成空腔HL。

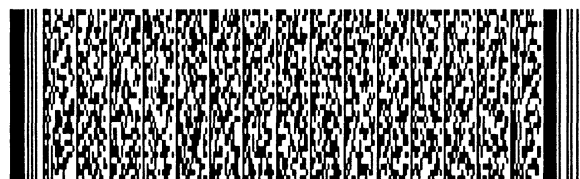
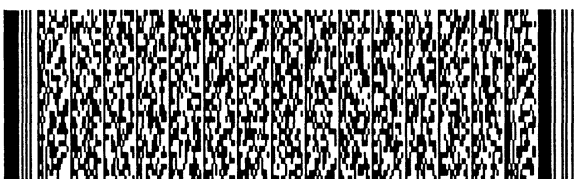
當用氧化矽膜等埋入溝渠(或電洞)TR1時,通過注入氟(F)離子使介電常數降低即可。

在圖46所示的步驟,準備好其主面上具有規定厚度的絕緣膜ZF2(例如氧化矽膜)的矽基板1A,將絕緣膜ZF1與絕緣膜ZF2面對面地粘在矽基板1A上。

對矽基板1A進行CMP處理,使矽基板1A減薄,減薄後的矽基板1A作為SOI層3,以絕緣膜ZF1與絕緣膜ZF2作為埋入氧化膜2,可以得到矽基板1中帶有多孔層PR1的SOI基板SB。

在上述說明中,多孔層PR1由絕緣膜ZF1覆蓋,顯示出多孔層PR1內部設置中空區的步驟,用下述方法堵塞構成多孔層PR1的溝渠或電洞的開口區也可以。

即,如圖47所示,在矽基板1內形成溝渠(或電洞)TR1以後,在氫氣氛下於1000℃以上進行數秒鐘熱處理(氫氣退火)。這樣,通過多孔層PR1的表面能的最小化,急劇提高表面原子的移動度,表面自然氧化,可以還原去除溝渠(或電洞)TR1的開口區(圖48)。其結果,溝渠(或電洞)TR1的內部成為空腔HL,形成上部平滑的多孔層PR1(圖49)。



五、發明說明 (53)

以後的步驟與圖46所示的步驟相同，但是矽基板1的表面不需要形成絕緣膜，因此矽基板1A的絕緣膜ZF2與矽基板1的多孔層PR1形成一側的主面相對地粘在一起。

(M-2-2 · 陽極氧化法)

其次，用圖50～圖53說明採用陽極氧化法形成多孔層PR的方法。關於用陽極氧化法形成多孔層，在特許申請號11-117770的說明書中的圖6～圖10曾經提出過。

以下就上述提出的內容進行說明，首先準備對置配設的陰極上部白金電極和陽極下部白金電極、其內部充滿氧化溶液的氧化槽。

其次，將形成多孔層一側的主面對著上部白金電極、將矽基板1配置於上部白金電極和下部白金電極之間，在陽極槽中充滿HF溶液。然後，對矽基板1通電流。例如陽極氧化條件為：氧化時間30s、電流密度 $10\text{mA}/\text{cm}^2$ 時，在矽基板1的上面成為多孔狀態，於矽基板1的主面內形成具有 0.2μ 膜厚的多孔層PR2。

在多孔層PR2上形成的電洞並不像是蝕刻形成的直線形狀，其形狀錯綜複雜，經過簡化後，成為圖50所示的形狀。

多孔層PR2的厚度可通過調整氧化時間和氧化電流密度得到控制，並且也可以根據改變氧化溶液的類型得到控制。多孔層PR2的密度（相當於電洞與矽的體積之比）可由HF的濃度進行調節。

關於多孔層PR2的厚度，希望與螺旋電感器SI的平面方



五、發明說明 (54)

向的長度大體相同，即使該厚度相當於螺旋電感器SI的平面方向的長度的 $1/10$ ，也能獲得降低電磁感應損失的效果。

其次，如上所述，在氫氣氛下於 1000°C 以上溫度處理數秒鐘時間，還原去除電洞的開口區，使電洞的內部形成空腔HL，形成多孔層PR2上面平滑的矽基板1（圖50）。

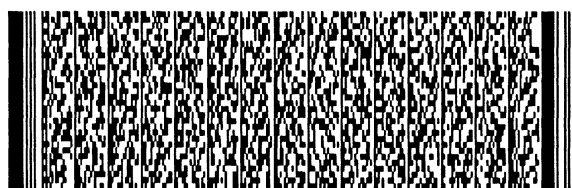
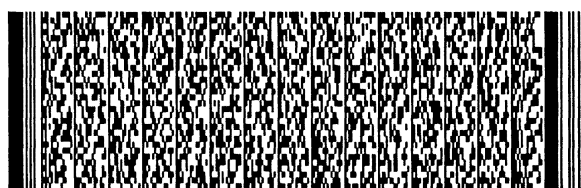
在矽基板1上選擇性地形成多孔層PR2，這與後來形成的螺旋電感器SI的形成區成對應配設，在沒有形成多孔層PR2的區域，形成遮蔽膜使其不與HF溶液接觸即可。當然，在整個矽基板1上全面配設多孔層PR2也是可以的。

在整個矽基板1上全面配設多孔層PR2時，不僅能夠降低螺旋電感器引起的電磁感應損失，而且還具有降低布線引起的電磁感應損失的效果。

其次，如圖51所示，準備好在矽基板1C上重疊多孔層PR21、延伸層EX、絕緣膜ZF3的多孔基板PSB。

關於多孔基板PSB的形成方法，採用特許申請號11-117770說明書中的圖6～圖10提出的方法即可，首先經過與上述說明的多孔層PR2的形成方法相同的步驟，於矽基板1C的內部形成多孔層PR21。在此，在多孔層PR21的上面保持矽基板1C的單晶結構，具有與矽基板1C相同的晶粒取向。接著，由延伸長大法在多孔層PR21主面上形成規定厚度的延伸層EX。延伸層EX在隨後成為SOI層3，因此形成與SOI層3相同的厚度。

然後，在延伸層EX上，例如以氧化矽膜形成規定厚度的



五、發明說明 (55)

絕緣膜ZF3。絕緣膜ZF3隨後成為埋入氧化膜2，因此形成與氧化膜2相同的厚度。

其次，在圖52所示的步驟，於矽基板1的多孔層PR2的形成一側的主面，與多孔基板PSB的絕緣膜ZF3面對面地接合使矽基板1和多孔基板PSB黏在一起。

然後，如圖53所示，以多孔基板PSB的多孔層PR21為分界線，或者將多孔層PR21與矽基板C1剝離開來，或者通過CMP處理對延伸層EX上面為止的部分進行研磨去除，可以得到矽基板1內具有多孔層PR2的SOI基板SB。

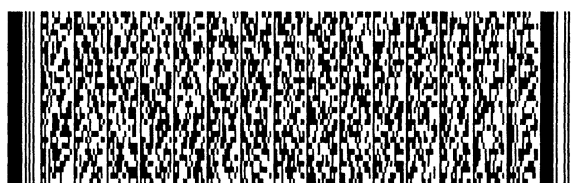
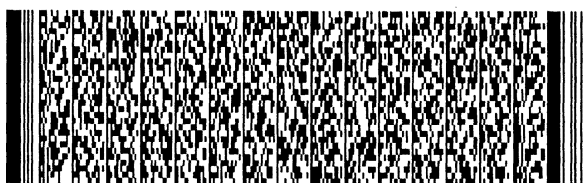
(M-3・作用效果)

綜上所述，於圖42所示的半導體裝置4000，在借助於PG遮罩102可以防止螺旋電感器引起的靜電損失的同時，也可以避免因PG遮罩102內部發生的渦流所引起的電磁感應損失。在矽基板1內具有形成的多孔層PR、其內部或者是近於真空狀態，或者是以絕緣物的埋入狀態，因此，由螺旋電感器SI發生的渦流通路被遮斷，故可以降低矽基板1內的電磁感應損失。

(M-4・變形例)

對於上述說明的半導體裝置4000的多孔層PR的形成方法，給出了準備好裝設有多孔層PR的SOI基板SB、在其上面形成有PG遮罩102為主的結構的實例。採用下述圖54所說明的製造方法也可以。

如圖54所示，首先準備好在SOI層3上形成有溝渠分離氧化膜PTI等結構的SOI基板SB，在SOI層3上不僅可以形成溝



五、發明說明 (56)

渠分離氧化膜PTI的結構，成為MOS電晶體等結構狀態也可以。

選擇性地去除對應於SOI基板的螺旋電感器的配設區的SOI層3及埋入氧化膜2，形成開口區OP1。

然後，使形成多孔層PR2的區的矽基板1曝露出來，形成抗蝕劑遮蔽膜RM4，使其覆蓋住開口區OP1的端緣部及SOI層3上面。

將形成抗蝕劑遮蔽膜RM4的SOI基板SB，配設於具有上部白金電極UE、下部陽白金電極LE的氧化槽CC內，在槽內充滿HF溶液，並於上部陰白金電極UE和下部陽白金電極LE之間通電，於矽基板1的曝露部分形成多孔層PR2。

在形成多孔層PR2以後，去除抗蝕劑遮蔽膜RM4，在開口區OP1內形成絕緣膜，修復埋入氧化膜2，在該絕緣膜上形成矽層，修復SOI層3，在SOI層3內形成PG遮罩102，得到與半導體裝置4000同樣的結構即可。

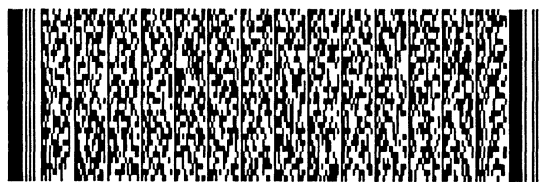
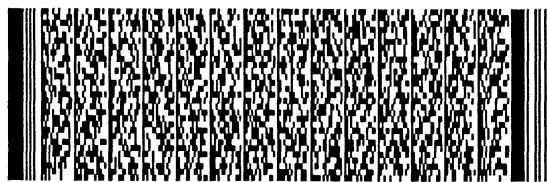
在不使用實施形態1~10說明的各種PG遮罩的場合，只是單純地以絕緣膜埋入開口區OP1也可以。

(N・實施形態14)

在上述的實施形態13中，儘管顯示出SOI基板SB的矽基板1內具有多孔層PR的結構，但是在SOI基板的SOI層內具有多孔層PR的結構也可以。

(N-1・裝置的結構)

以下，作為本發明的半導體裝置的實施形態14，將半導體裝置5000的結構示於圖55。



五、發明說明 (57)

於矽基板1、配設於矽基板1上的埋入絕緣膜2A、配設於埋入絕緣膜2A上的SOI層3A構成的SOI基板SBA上，配設的RF電路區示於圖55。

在對應於螺旋電感器SI(平面結構參考圖70)的配設區SOI層3A內，形成相互緊密連接的SOI區251~257構成的PG遮罩105。PG遮罩105的結構與圖18說明的半導體裝置500相同，該結構還具有SOI區258和259，圖中予以省略。

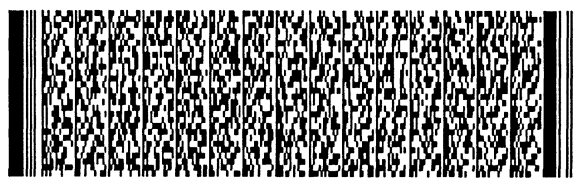
在PG遮罩105上，由作為局部分離氧化膜的溝渠分離氧化膜17覆蓋。

在相鄰溝渠分離氧化膜17的部位，形成MOS電晶體Q40。MOS電晶體Q40包括：溝渠分離氧化膜17規定的SOI區域內所配設的閘極絕緣膜GZ、閘極絕緣膜GZ上配設的閘極GT、閘極GT上配設的矽化膜GS、以及覆蓋它們的側面而配設的側壁絕緣膜GW1和GW2。

在此，側壁絕緣膜GW2形成一側的源極·汲極區SD2，比反向側的源極·汲極區SD1形成得寬一些，側壁絕緣膜GW2在源極·汲極區SD2的延長線上。

在側壁絕緣膜GW1的外側源極·汲極區SD1的表面內，配設矽化膜SS1，在側壁絕緣膜GW2的外側源極·汲極區SD2的表面內，配設矽化膜SS2，其結果，閘極GT靠近於源極·汲極SD1而配設，即成為所謂的"偏置閘極"。偏置閘極可以緩和汲極區的電場集中，以期得到MOS電晶體的耐高壓性能，因此適合於電力用半導體裝置的結構。

矽化膜SS1和SS2借助於接點區CP5及CP6與上層的布線



五、發明說明 (58)

WL5 和 WL6 連接。

與圖18中說明的半導體裝置500相同的其他部分的結構，採用同樣的元件編號，對此省略重複的說明。

如圖55所示，在SOI層3A內部配設多孔層PR3。

多孔層PR3，是從矽基板1的表面到內部由陽極氧化法形成的多個電洞的結構，其內部，或者是接近於真空狀態，或者是埋入絕緣膜的狀態。

因此，由螺旋電感器SI產生的渦流通路被遮斷，可以減低SOI層3A內的電磁感應損失。

(N-2．製造方法)

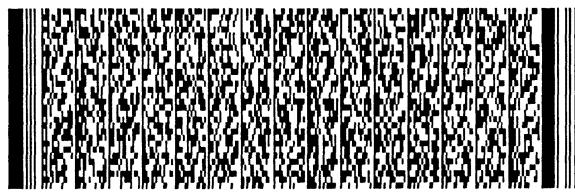
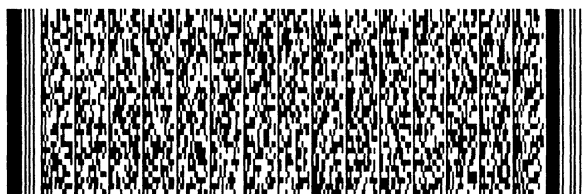
以下，用圖56～圖59說明在SOI層內具有多孔層PR3的SOI基板SBA的形成方法。

關於在SOI層內具有多孔層的SOI基板的形成方法，在特許申請號11-165951的說明書中圖1～圖9曾經提出過。

根據該提出的內容進行說明。首先，於圖56所示的步驟中，在矽基板1D的主面內用陽極氧化法形成厚度為 $1\mu\text{m}$ 左右的多孔層PR3。然後，在形成多孔層PR3後，按照先前的說明，於氫氣保護氣氛下進行 1000°C 以上的數秒鐘退火熱處理，還原去除電洞的開口區，使電洞內部形成空腔，將多孔層PR3的上部作得平滑一些當然也可以。

替代陽極氧化法，通過蝕刻形成多個溝渠(或者電洞)構成多孔層PR3也可以。

其次，如圖57所示，準備好在其主面上形成規定厚度絕緣膜ZF4的基板。絕緣膜ZF4以後成為埋入氧化膜2A，因此



五、發明說明 (59)

形成與氧化膜2A相同的厚度。

在圖58所示的步驟，以矽基板1D的多孔層PR3形成側的主面與矽基板ZF4面成面對面的接合狀態，將矽基板1和1D黏在一起。

然後，如圖59所示，對矽基板1D通過CMP處理，進行研磨減薄，與多孔層PR3重疊，形成與SOI層3A相同的厚度，可以獲得在SOI層3A內具有多孔層PR3的SOI層SBA。

SOI基板的形成方法不僅限於上述方法，使用特許申請號11-165951說明書中圖10～圖19所提出的方法也可以。

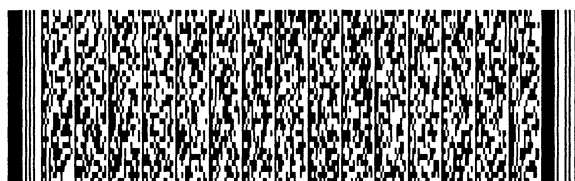
即，在第1矽基板上形成第1多孔層，在其上面，通過延伸長大法形成所規定厚度的延伸層。然後，在延伸層的主面內形成第2多孔層，在第2多孔層上形成氧化矽膜，製成第1基板。

然後，作為第2基板，另外準備第2個矽基板，以第1基板的氧化矽膜與第2基板的主面相接合的狀態將2張基板黏在一起。

其次，以第1多孔層為分界線，將第1多孔層與第1矽基板剝離開來，可以得到由第2矽基板、氧化矽膜、第2多孔層、延伸層等重疊構成的SOI基板。

(N-3．作用效果)

通過上述說明，對於圖55所示的半導體裝置5000，在借助PG遮罩105防止螺旋電感器SI引起的靜電損失的同時，還可以避免PG遮罩105內部發生的渦流引起的電磁感應損失。具有在SOI層3A內形成的多孔層PR3、在其內部是接近



五、發明說明 (60)

真空狀態或埋入絕緣物的狀態，因此由螺旋電感器SI發生的渦流通路被遮斷，可以降低SOI層3A內產生的電磁感應損失。

(0．實施形態15)

在上述說明的實施形態12～14中，對SOI基板上形成的半導體裝置，說明了在矽基板內或SOI層內具有多孔層、防止起因於矽基板內及SOI層內的螺旋電感器及布線引起的電磁感應損失的結構，但是，本發明的適用範圍不僅限於SOI基板，對被稱為大塊基板的矽基板也同樣適用。

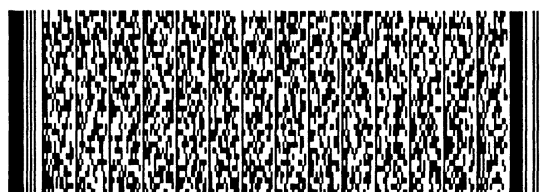
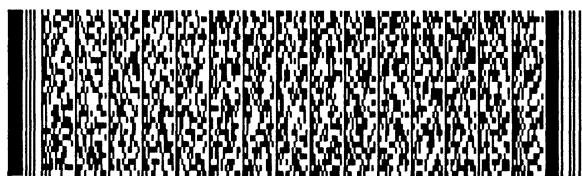
(0-1．裝置的構成)

作為本發明所屬的實施形態15，將半導體裝置6000示於圖60。在圖60中所示的半導體裝置6000，如果用圖68說明的半導體裝置90為例，則顯示出PF電路區RP及邏輯區LP的結構。

在圖60中，對應P型矽基板1的螺旋電感器SI（平面結構參考圖70）的配設區被多個溝渠分離氧化膜111分隔開來，形成注入較高濃度(P^+)摻雜物的多個摻雜物區121。溝渠分離氧化膜111是在矽基板表面至規定深度配設的溝渠內埋入氧化矽膜形成的。

在各個摻雜物區121上部配設矽化膜131，分別由多個溝渠分離氧化膜111、摻雜物區121、矽化膜131構成PG遮罩301。

於邏輯區LP，由溝渠分離氧化膜15分隔SOI層3，形成SOI區61及62，於SOI區61及62分別形成MOS電晶體Q21及



五、發明說明 (61)

Q22。

在摻雜物區121以下的矽基板1的內部注入比較低濃度的N型摻雜物(N^-)，於整個矽基板1上形成摻雜物溝渠區NW的同時，在包括溝渠區NW在內的矽基板1的內部於整個基板1形成規定厚度的多孔層PR4。

與圖8中說明的半導體裝置200相同的其他部分的結構，採用同樣的元件編號，對此省略重複的說明。

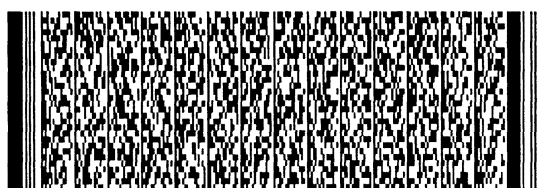
(O-2. 作用效果)

通過上述說明，對於圖60所示的半導體裝置6000，在借助PG遮罩301防止螺旋電感器SI引起的靜電損失的同時，還可以避免PG遮罩301內部發生的渦流引起的電磁感應損失。具有在SOI層1內形成的多孔層PR4、在其內部是接近真空狀態，因此由螺旋電感器SI發生的渦流通路被遮斷，可以降低矽基板1內的電磁感應損失。

由於在矽基板1的整個區域內配設多孔層PR4，因此不僅消除螺旋電感器SI引起的電磁感應損失，對減低布線引起的電磁感應損失也同樣有效果。

(P. 實施形態16)

在上述說明的實施形態12~15中，對SOI基板上或大塊基板上形成的半導體裝置，說明了在矽基板內或SOI層內具有多孔層、防止起因於矽基板內及SOI層內的螺旋電感器及布線引起的電磁感應損失的結構，但是，對實施形態1~10中說明的各種PG遮罩做進一步改進的下述說明的結構，可以防止基板內及SOI層內的電磁感應損失。



五、發明說明 (62)

(P-1 . 裝置的構成)

作為本發明所屬的實施形態16，將半導體裝置7000示於圖61。在圖61中所示的半導體裝置7000，如果以圖68說明的半導體裝置90為例，則顯示出RF電路區RP及邏輯區LP的結構。

於RF電路PR，對應SOI層3的螺旋電感器SI（平面結構參考圖70）的配設區被多個溝渠分離氧化膜13分隔開來，形成多個SOI區22。溝渠分離氧化膜13是在SOI層3表面至到達埋入氧化膜2的表面配設的溝渠內埋入氧化矽膜形成的，各個SOI區22在電性上處於完全隔離狀態。

在SOI區22的上部配設矽化膜32，分別由多個溝渠分離氧化膜13、SOI區22、矽化膜32構成PG遮罩102。

於邏輯區LP，由溝渠分離氧化膜15分隔SOI層3，形成SOI區61及62，於SOI區61及62分別形成MOS電晶體Q21及Q22。

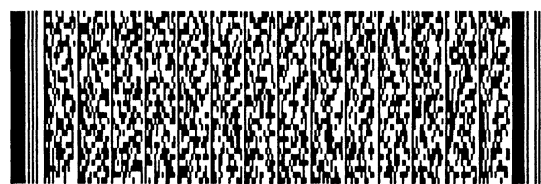
然後，在各自的溝渠分離氧化膜13的下部配設由溝渠分離氧化膜13堵塞開口區的溝渠TR3。

溝渠TR3，貫穿埋入氧化膜2到達矽基板1的內部，其深度大約為100 μm 。

由溝渠分離氧化膜13堵塞開口區，在溝渠TR3的內部，形成空腔HL。

與圖8中說明的半導體裝置200相同的其他部分的結構，採用同樣的元件編號，對此省略重複的說明。

(P-2 . 製造方法)



五、發明說明 (63)

以下，用圖62～圖64說明PG遮罩102及溝渠TR3的製造方法。

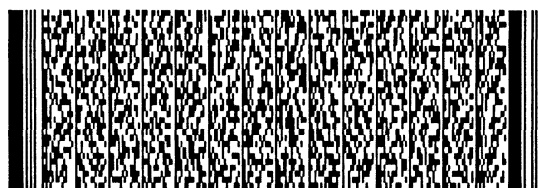
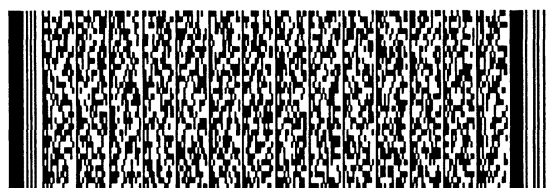
與圖9說明的半導體裝置200的製造方法相同，在SOI層3上依次形成20nm厚左右的氧化矽膜OX及200nm厚左右的氮化矽膜SN以後，通過繪製圖案，對氧化矽膜OX、氮化矽膜SN及SOI層3的多層膜進行蝕刻，保留其SOI層3的下層區，在形成溝渠分離氧化膜13、14及15的區域，形成溝渠TR131、TR141及TR15。

其次，在圖62所示的步驟，覆蓋溝渠TR131、TR141的一部分的同時，使用完全覆蓋住溝渠TR15的抗蝕劑遮蔽膜RM2，對沒被抗蝕劑遮蔽膜RM2覆蓋的溝渠TR131、TR141的部分進行蝕刻，形成貫穿SOI層3的溝渠TR13及TR14。

其次，去除抗蝕劑遮蔽膜RM2以後，如圖63所示的步驟，使用所繪製的溝渠TR13部分帶有開口區的抗蝕劑遮蔽膜RM21，貫穿埋入氧化膜2到達矽基板1的內部，形成深度100 μm 左右的溝渠TR3。

其次，去除抗蝕劑遮蔽膜RM2以後，於圖64所示的步驟，在整個面上形成比溝渠TR3的溝寬（例如200 μm ～500 μm ）厚一些（例如厚度500 μm ）的氧化矽膜ZF5，埋入溝渠TR13～TR15及溝渠TR3，通過CMP（化學機械拋光）處理，進行研磨，直到曝露出氮化矽膜SN為止，然後去除氮化矽膜SN和氧化矽膜OX，得到溝渠分離氧化膜13～15及由溝渠分離氧化膜13覆蓋的溝渠TR13。

氧化矽膜ZF5是為了覆蓋溝渠TR13的內面配設的，在其



五、發明說明 (64)

內部尚未完全埋入之前，為首先堵塞開口區而使用具有覆蓋特性的絕緣膜時，在溝渠TR3的內部可以形成空腔HL。

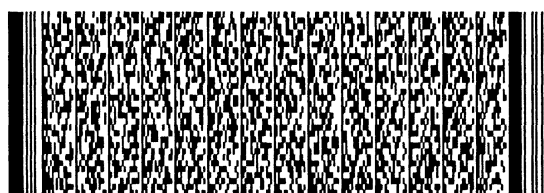
此時，如果在真空狀態下形成絕緣膜ZF5，則空腔HL成為真空狀態，由於真空狀態的介電常數低，所以可以降低靜電感應損失。

然後，經過原有的MOS電晶體的製造步驟(包括原有的矽化步驟)、層間絕緣膜製造步驟、布線層的製造步驟、螺旋電感器的製造步驟等，得到半導體裝置7000。

PG遮罩102的俯視圖形狀，例如採用圖2說明的形狀也可以，採用圖3～圖7所說明的形狀也可以，溝渠TR3的俯視圖形狀是與PG遮罩的溝渠分離氧化膜的形狀相似的形狀。(P-3. 作用效果)

通過上述說明，對於圖61所示的半導體裝置7000，在借助PG遮罩102防止螺旋電感器SI引起的靜電損失的同時。還可以避免PG遮罩102內部發生的渦流引起的電磁感應損失。通過貫穿溝渠分離氧化膜13的下部配設的埋入氧化膜2而到達矽基板1的內部的溝渠TR13，能夠遮斷螺旋電感器SI發生的渦流通路，可以降低矽基板1內的電磁感應損失。

上述說明的半導體裝置7000，顯示出貫穿構成PG遮罩102的溝渠分離氧化膜13下部配設的埋入氧化膜2而到達矽基板1的內部的溝渠TR13的配設結構，如圖65所示的半導體裝置8000那樣，在構成PG遮罩101的溝渠分離氧化膜11的下部，裝設能貫穿埋入氧化膜2而到達矽基板1的內部的



五、發明說明 (65)

溝渠TR4也可以。

溝渠TR4的深度為 $400\text{ }\mu\text{m}$ 左右，由溝渠分離氧化膜11堵塞開口區的溝渠TR4的內部形成空腔區HL。

與圖1中說明的半導體裝置100相同的其他部分的結構，採用同樣的元件編號，對此省略重複的說明。

(P-5，變形例2)

圖66所示的半導體裝置9000，在構成PG遮罩103A的溝渠分離氧化膜16的下部，配設貫穿埋入氧化膜2而到達矽基板1的內部的溝渠TR5也可以。

溝渠TR5的深度為 $100\text{ }\mu\text{m}$ 左右，由溝渠分離氧化膜16堵塞開口區的溝渠TR5的內部形成空腔區HL。

與圖14中說明的半導體裝置300A相同的其他部分的結構，採用同樣的元件編號，對此省略重複的說明。

(P-6，變形例3)

如圖67所示的半導體裝置8001，在構成對應於P型矽基板1的螺旋電感器SI(平面結構參考圖70)的配設區所形成的PG遮罩301的溝渠分離氧化膜111的下部，配設規定深度的溝渠TR6也可以。

溝渠TR6的深度為 $100\text{ }\mu\text{m}$ 左右，由溝渠分離氧化膜111堵塞開口區的溝渠TR6的內部形成空腔區HL。

與圖40中說明的半導體裝置2000相同的其他部分的結構，採用同樣的元件編號，對此省略重複的說明。

【發明的效果】

按照本發明所屬的申請專利範圍第1項記載的半導體裝



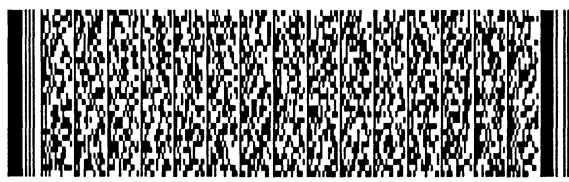
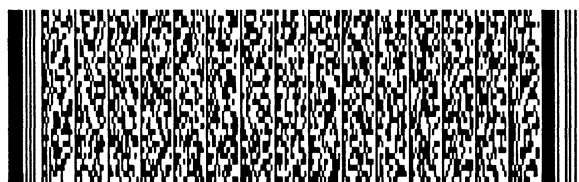
五、發明說明 (66)

置，在半導體基板的主面內，具有至少一個導電區連接於接地電位、以及具有至少對螺旋電感器等感應元件產生渦流的通路能在至少一個導電區的平面內遮斷的遮罩層，因此在降低靜電感應損失的同時，能遮斷遮罩層內的渦流通路，也可以降低電磁感應損失。又由於遮罩層是在半導體基板內形成的，所以在例如MOS電晶體的形成步驟可同時形成遮罩層，故可以省略為了形成遮罩層而重新製作導電層的步驟，使裝置的結構不致複雜化。

按照本發明所屬的申請專利範圍第2項記載的半導體裝置，至少一個電流遮斷區是由到達埋入氧化膜的多個分離氧化膜所構成，至少一個導電區由多個分離氧化膜作電性隔離的多個SOI區所構成，因此，通過多個SOI區流過電流並降低靜電感應損失的同時，由分離氧化膜遮斷渦流通路，可以防止渦流引起的電磁感應損失。

按照本發明所屬的申請專利範圍第3項記載的半導體裝置，多個分離氧化膜分別以規定的形成寬度對埋入氧化膜的表面大致成垂直延伸的形狀，即所謂的完全分離氧化膜的形狀，因此例如在MOS電晶體的形成區用完全分離氧化膜隔離元件時，可以同時形成，製造方法並部複雜。

按照本發明所屬的申請專利範圍第4項記載的半導體裝置，上述多個分離氧化膜分別以規定的成形寬度對上述埋入氧化膜的表面大致以垂直的方向延伸的第1部分，以及與該第1部分的下部連接並以"窄於第1成形寬度的第2成形寬度"對上述埋入氧化膜的表面大致以垂直的方向延伸的



五、發明說明 (67)

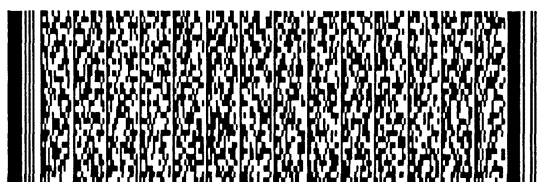
第2部分所構成，即通過所謂的局部分離氧化膜而形成，例如在MOS電晶體的形成區用局部分離氧化膜隔離元件時，可以同時形成，製造方法並不複雜。

按照本發明所屬的申請專利範圍第5項記載的半導體裝置，至少一個導電區由SOI層較薄、具有規定厚度的多個SOI區所構成，至少一個電流遮斷區為了埋入多個SOI區而由配設的絕緣膜所構成，因此通過多個SOI區流過電流，在可以降低靜電感應損失的同時，由絕緣膜遮斷渦流通路，因此可以防止渦流引起的電磁感應損失。並且至少有一個導電區是通過分隔SOI層而形成的，所以不需要為了形成遮罩層而重新製作導電層，使裝置的結構不致複雜化。

按照本發明所屬的申請專利範圍第6項記載的半導體裝置，多個SOI區各自具有較高濃度的半導體摻雜物，因此可以得到電阻值較低的SOI區。

按照本發明所屬的申請專利範圍第7項記載的半導體裝置，多個SOI區分別在其面上具有矽化膜，因此可以得到電阻值較低的SOI區。

按照本發明所屬的申請專利範圍第8項記載的半導體裝置，至少一個電流遮斷區由多個二極體中被施加反偏壓的至少一個反偏壓二極體構成、至少一個導電區由多個第1和第2個SOI區中連接接地電位的SOI區構成，因此，由於至少存在一個反偏壓二極體，通過發生渦流引起的反電動勢，可以防止二極體出現正偏壓，遮斷渦流，防止渦流引



五、發明說明 (68)

起的電磁感應損失。至少一個電流遮斷區以及至少一個導電區是由分隔SOI層而形成的，因此不需要為了形成遮罩層而新設導電層，使裝置的結構不致複雜化。

按照本發明所屬的申請專利範圍第9項記載的半導體裝置，由多個第1及第2的SOI區以及其上面形成的分離氧化膜形成所謂的局部分離結構，例如在MOS電晶體的形成區，通過局部隔離進行元件的隔離時，可以同時形成，不致使結構複雜化。並且，在MOS電晶體的形成區，通過局部隔離進行元件的隔離時，通過局部分離氧化膜下部的溝渠區能夠固定通道形成區的電位，可以防止基板浮動效應引起的各種問題的發生。

按照本發明所屬的申請專利範圍第10項記載的半導體裝置，只是在第2區上形成分離氧化膜，因此其形成面積窄，可以防止製造時發生扭曲。

按照本發明所屬的申請專利範圍第11項記載的半導體裝置，在多個第1的SOI區及第2個SOI區各自的上面具有矽化膜，因此可以得到低電阻值的SOI區。

按照本發明所屬的申請專利範圍第12項記載的半導體裝置，只是在第2區上形成分離氧化膜，因此其形成面積窄，可以防止製造時發生扭曲。

並且在第1和第2的SOI區由二極體構成，結構簡單。

按照本發明所屬的申請專利範圍第13項記載的半導體裝置，在多個第2的SOI區上面具有矽化膜，因此可以得到低電阻值的SOI區。



五、發明說明 (69)

按照本發明所屬的申請專利範圍第14項記載的半導體裝置，在多個第2的SOI區各個區之間被分離氧化膜隔離開，形成矩陣狀的排列，因此通過改變連接第2的SOI區布線的形態，可以從根本上改變遮罩導電區的配置。

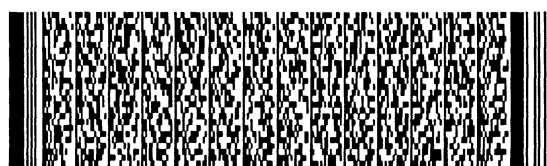
按照本發明所屬的申請專利範圍第15項記載的半導體裝置，多個第2的SOI區，通過與MOS電晶體閘極相同結構的閘極布線可以進行電性連接，因此可以簡化為了電性連接SOI區的布線製作步驟。

按照本發明的半導體裝置，在多個第1的SOI區上配設MOS電晶體的閘極構造，因此如果將第1和第的SOI區構成的部分作為第1電阻元件，MOS電晶體的閘極構造可以作為與第1電阻元件並列配設的電阻元件，可以進一步降低遮罩層的電阻值。

按照本發明的半導體裝置，在各自第2的SOI區上配設MOS電晶體的閘極構造，在閘極構造兩側的SOI區的導電型都是不同類型的，因此即使對閘極構造提供閘極電位，也不具有"閘極"的功能，提供給閘極構造的電位選擇的自由度增大。

按照本發明的半導體裝置，在多個第2的SOI區上，以及在各自的第1區上，具有與第2區無關的選擇性地形成的矽化膜，可以降低遮罩層的電阻值。

按照本發明的半導體裝置，在多個第1的SOI區上，具有與多個第2區無關的選擇性地形成的矽化膜，可以降低遮罩層的電阻值。



五、發明說明 (70)

按照本發明的半導體裝置，在SOI基板的基板區，至少有一個空腔區構成的渦流控制區，因此在基板區可以抑制電感元件引起的渦流，減低電磁感應損失。

按照本發明的半導體裝置，其渦流控制區具有與電感元件平面方向的長度相同程度乃至 $1/10$ 左右的深度的、至少由具有感應元件形成區相同程度的平面方向擴展的空腔區所構成，因此在基板區可以防止電感元件引起的渦流。

按照本發明的半導體裝置，其渦流控制區具有與電感元件平面方向的長度相同程度乃至 $1/10$ 左右的深度的、至少具有與感應元件形成區相同程度的平面方向擴展的多孔層所構成，因此在基板區可由多孔層遮斷電感元件引起的渦流通路，可以防止渦流引起電磁感應損失。

按照本發明的半導體裝置，SOI層內設有與電感元件平面方向的長度相同程度乃至 $1/10$ 左右的深度的、至少具有與感應元件形成區相同程度的平面方向擴展的多孔層，因此在SOI層可由多孔層遮斷電感元件引起的渦流通路，可以防止渦流引起電磁感應損失。

按照本發明的半導體裝置，其半導體基板內具有與電感元件平面方向的長度相同程度乃至 $1/10$ 左右的深度的、至少具有與感應元件形成區相同程度的平面方向擴展的多孔層，因此在半導體基板內可由多孔層遮斷電感元件引起的渦流通路，可以防止渦流引起電磁感應損失。

按照本發明的半導體裝置，可以得到實現多孔層的結構。



五、發明說明 (71)

按照本發明的半導體裝置，在由遮罩層減低靜電感應損失的同時，遮斷遮罩層內的渦流的通路，可以降低電磁感應損失。而且，具有貫穿埋入氧化膜、到達基板內部的多個溝渠，因此在埋入氧化膜內和基板內部，感應元件引起的渦流的通路，被多個溝渠遮斷，可以防止渦流引起的電磁感應損失。

按照本發明的半導體裝置，在所謂的大塊基板上，在由基板內形成的遮罩層減低靜電感應損失的同時，遮斷遮罩層內的渦流的通路，可以降低電磁感應損失。而且，具有到達基板內部的多個溝渠，因此在埋入氧化膜內和基板內部，感應元件引起的渦流的通路，被多個溝渠遮斷，可以防止渦流引起的電磁感應損失。

按照本發明的半導體裝置，多個空腔或多個溝渠內部，接近於真空狀態，因此在遮斷感應元件引起的渦流的通路的同時，可以減低靜電感應損失。

按照本發明的半導體裝置，多個溝渠內部，接近於真空狀態，因此在遮斷感應元件引起的渦流的通路的同時，可以減低靜電感應損失。

按照本發明的半導體裝置，在布線的底層，裝設有沿著布線層的配設方向配設於半導體基板主面內的遮罩層，因此可以減低布線層引起的靜電感應損失。

按照本發明的半導體裝置，多個導電區具有多個相互重疊的導體膜和絕緣膜，因此通過布線層流過電流可以防止與半導體基板垂直方向發生的渦流，避免因渦流引起的電



五、發明說明 (72)

磁感應損失。

按照本發明的半導體裝置，對應於SOI基板的基板區的電感元件，例如對應於螺旋電感器的形成區，可以有效地形成能抑制電感元件引起的渦流發生的空腔區。

按照本發明的半導體裝置，對應於SOI基板的基板區的電感元件，例如對應於螺旋電感器的形成區，可以有效地形成能抑制電感元件引起的渦流發生的多孔層。

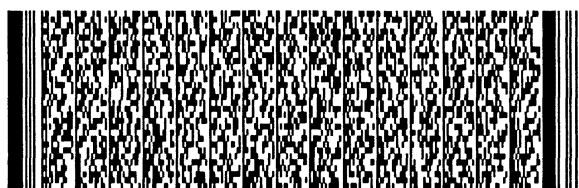
按照本發明的半導體裝置，對應於SOI基板的SOI層的電感元件，例如對應於螺旋電感器的形成區，可以有效地形成能抑制電感元件引起的渦流發生的多孔層。

按照本發明的半導體裝置，可以獲得為使蝕刻形成的多孔層的內部成為中空狀態的具體實施方法。

按照本發明的半導體裝置，可以得到為使陽極氧化法形成的多孔層的內部成為中空狀態的具體實施方法。

【元件編號的說明】

1	矽基板
2	埋入氧化膜
3	SOI層
4	層間絕緣膜
5	層間絕緣膜
11	溝渠分離氧化膜
12	溝渠分離氧化膜
13、14及15	溝渠分離氧化膜
16	溝渠分離氧化膜



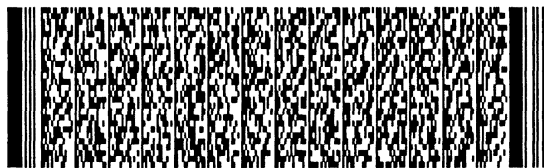
五、發明說明 (73)

17	溝渠分離氧化膜
21	SOI 區
22	SOI 區
21A	SOI 區
21B	矩形SOI 區
21C	SOI 區
21D	SOI 區
21E	SOI 區
21L、21M、21S	SOI 區
31	矽化膜
32	矽化膜
51 和 52	SOI 區
61、62	SOI 區
71 和 72	SOI 區
90	半導體裝置
91	RF 電路區
92	邏輯區
93	存儲單元區
94	天線裝置
95	播音裝置
100	半導體裝置
101	PG 遮罩
102	PG 遮罩
103	PG 遮罩



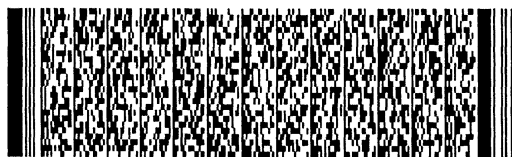
五、發明說明 (74)

200	半 導 體 裝 置	
241 ~ 249	S0I 區	
271 ~ 279	S0I 區	
291 ~ 299	S0I 區	
300	半 導 體 裝 置	
400	半 導 體 裝 置	
500	半 導 體 裝 置	
600 、 600A	半 導 體 裝 置	
700 、 700A ~ C	半 導 體 裝 置	
800 、 800A	半 導 體 裝 置	
900 、 900A	半 導 體 裝 置	
1000 、 1001 、 2000 、 3000 、 4000	半 導 體 裝 置	
5000 、 6000 、 7000 、 8000 、 8001 、 9000	半 導 體 裝 置	
A 、 B	端 部	
C1	寄 生 電 容 器	
CP	接 點 區	
CP1	導 電 區	
FZ	元 件 分 離 氧 化 膜	
GT	閘 極	
GS	矽 化 膜	
GW	側 壁 絕 緣 膜	
GZ	閘 極 絕 緣 膜	
L1	電 感 器	
NP	切 槽 區	



五、發明說明 (75)

PL	板 極
Q1	MOS 電 晶 體
Q11 和 Q12	MOS 電 晶 體
R1 、 R2 、 ...	電 阻
RM2	抗 蝕 劑 遮 蔽 膜
RP	RF 電 路 區
SB	半 導 體 基 板
SD	源 極 · 汲 極 區
SI	螺 旋 電 感 器
SL	SOI 層
SP	遮 罩 板 極
SS	矽 化 膜
SZ	層 間 絕 緣 膜
TR131 、 TR141 及 TR15	溝 渠
WL	下 層 布 線



圖式簡單說明

圖1為顯示本發明實施形態1的半導體裝置結構的剖面圖。

圖2為顯示本發明實施形態1的半導體裝置的PG屏蔽結構的俯視圖。

圖3為表PG遮罩的其他結構的俯視圖。

圖4為表PG遮罩的其他結構的俯視圖。

圖5為表PG遮罩的其他結構的俯視圖。

圖6為表PG遮罩的其他結構的俯視圖。

圖7為表PG遮罩的其他結構的俯視圖。

圖8為顯示本發明實施形態2的半導體裝置結構的剖面圖。

圖9為顯示本發明實施形態2的半導體裝置製造步驟的剖面圖。

圖10為顯示本發明實施形態2的半導體裝置製造步驟的剖面圖。

圖11為顯示本發明實施形態2的半導體裝置製造步驟的剖面圖。

圖12為顯示本發明實施形態3的半導體裝置結構的剖面圖。

圖13為顯示本發明實施形態3的半導體裝置結構的剖面圖。

圖14為顯示本發明實施形態3的半導體裝置的變形例結構的剖面圖。

圖15為顯示本發明實施形態4的半導體裝置結構的剖面



圖式簡單說明

圖。

圖16為顯示本發明實施形態4的半導體裝置的PG遮罩結構的俯視圖。

圖17為顯示本發明實施形態4的半導體裝置的變形例結構的剖面圖。

圖18為顯示本發明實施形態5的半導體裝置結構的剖面圖。

圖19為說明扭曲的示意圖。

圖20為顯示本發明實施形態6的半導體裝置結構的剖面圖。

圖21為顯示本發明實施形態6的半導體裝置的PG遮罩結構的俯視圖。

圖22為顯示本發明實施形態6的半導體裝置的變形例結構的剖面圖。

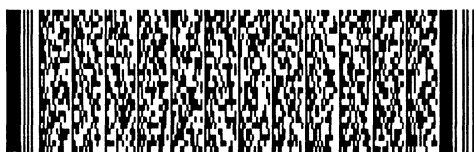
圖23為顯示本發明實施形態6的半導體裝置的變形例的PG遮罩結構的俯視圖。

圖24為顯示本發明實施形態7的半導體裝置結構的剖面圖。

圖25為顯示本發明實施形態7的半導體裝置的PG遮罩結構的俯視圖。

圖26為顯示本發明實施形態7的半導體裝置的變形例結構的剖面圖。

圖27為顯示本發明實施形態7的半導體裝置的變形例結構的剖面圖。



圖式簡單說明

圖28為顯示本發明實施形態7的半導體裝置的變形例結構的剖面圖。

圖29為顯示本發明實施形態8的半導體裝置結構的剖面圖。

圖30為顯示本發明實施形態8的半導體裝置的PG遮罩結構的俯視圖。

圖31為顯示本發明實施形態8的半導體裝置的變形例結構的剖面圖。

圖32為顯示本發明實施形態8的半導體裝置的變形例的PG遮罩結構的俯視圖。

圖33為顯示本發明實施形態9的半導體裝置結構的剖面圖。

圖34為顯示本發明實施形態9的半導體裝置製造步驟的剖面圖。

圖35為顯示本發明實施形態9的半導體裝置的PG遮罩結構的俯視圖。

圖36為顯示本發明實施形態9的半導體裝置的變形例結構的剖面圖。

圖37為顯示本發明實施形態10的半導體裝置的結構的斜視圖。

圖38為顯示本發明實施形態10的半導體裝置結構的剖面圖。

圖39為顯示本發明實施形態10的半導體裝置的變形例結構的剖面圖。



圖式簡單說明

圖40為顯示本發明實施形態11的半導體裝置結構的剖面圖。

圖41為顯示本發明實施形態12的半導體裝置結構的剖面圖。

圖42為顯示本發明實施形態13的半導體裝置結構的剖面圖。

圖43為顯示本發明實施形態13的半導體裝置製造步驟的剖面圖。

圖44為顯示本發明實施形態13的半導體裝置製造步驟的剖面圖。

圖45為顯示本發明實施形態13的半導體裝置製造步驟的剖面圖。

圖46為顯示本發明實施形態13的半導體裝置製造步驟的剖面圖。

圖47為顯示氫氣氛下退火設置空腔區的步驟的剖面圖。

圖48為顯示氫氣氛下退火設置空腔區的步驟的剖面圖。

圖49為顯示氫氣氛下退火設置空腔區的步驟的剖面圖。

圖50為顯示用陽極氧化法形成多孔層的步驟的剖面圖。

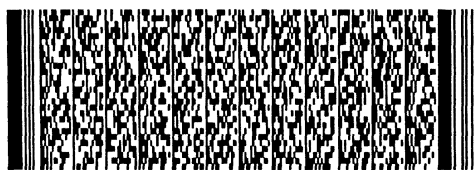
圖51為顯示用陽極氧化法形成多孔層的步驟的剖面圖。

圖52為顯示用陽極氧化法形成多孔層的步驟的剖面圖。

圖53為顯示用陽極氧化法形成多孔層的步驟的剖面圖。

圖54為顯示用陽極氧化法形成多孔層的其他方法的剖面圖。

圖55為顯示本發明實施形態14的半導體裝置結構的剖面



圖式簡單說明

圖。

圖56為顯示本發明實施形態14的半導體裝置製造步驟的剖面圖。

圖57為顯示本發明實施形態14的半導體裝置製造步驟的剖面圖。

圖58為顯示本發明實施形態14的半導體裝置製造步驟的剖面圖。

圖59為顯示本發明實施形態14的半導體裝置製造步驟的剖面圖。

圖60為顯示本發明實施形態15的半導體裝置結構的剖面圖。

圖61為顯示本發明實施形態16的半導體裝置結構的剖面圖。

圖62為顯示本發明實施形態16的半導體裝置製造步驟的剖面圖。

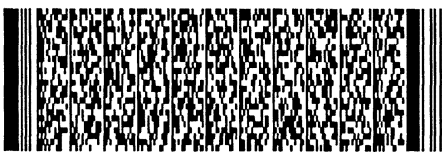
圖63為顯示本發明實施形態16的半導體裝置製造步驟的剖面圖。

圖64為顯示本發明實施形態16的半導體裝置製造步驟的剖面圖。

圖65為顯示本發明實施形態16的半導體裝置變形例結構的剖面圖。

圖66為顯示本發明實施形態16的半導體裝置變形例結構的剖面圖。

圖67為顯示本發明實施形態16的半導體裝置變形例結構



圖式簡單說明

的剖面圖。

圖68為顯示具有高頻電路的半導體裝置的結構例的方塊圖。

圖69為說明電感器引起靜電損失的示意圖。

圖70為顯示螺旋電感器及遮罩板極的結構的立體。

圖71為顯示穿孔遮罩結構的示意圖。



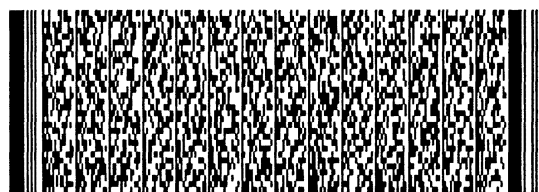
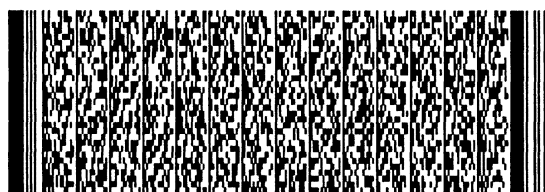
四、中文發明摘要 (發明之名稱：半導體裝置及其製造方法)

本發明之目的在於，在具有電感器的半導體裝置中，在減低靜電感應損失及電磁感應損失的同時，提供能防止結構和製造步驟複雜化的半導體裝置。

本發明之方法係在RF電路區RP中，對應於SOI層3的螺旋電感器SI的配設區的區域內，被多個溝渠分離氧化膜11分隔開來，形成多個SOI區21。將氧化矽膜埋入從SOI層3的表面達到埋入氧化膜2表面而配設的溝渠內，形成溝渠分離氧化膜11，由溝渠分離氧化膜11對各個SOI區21之間進行完全電性隔離。又，溝渠分離氧化膜11具有以規定的形成寬度，對埋入氧化膜2的表面大致呈垂直方向延伸的形狀。

英文發明摘要 (發明之名稱：SEMICONDUCTOR DEVICE AND METHOD OF MANUFACTURING SAME)

A semiconductor device having an inductor is provided. In an RF circuit portion (RP), a region in an SOI layer (3) corresponding to a region in which a spiral inductor (SI) is provided is divided into a plurality of SOI regions (21) by a plurality of trench isolation oxide films (11). The trench isolation oxide films (11) are formed by filling trenches extending from the surface of the SOI layer (3) to the surface of a buried oxide film (2) with a silicon oxide film, and completely



四、中文發明摘要 (發明之名稱：半導體裝置及其製造方法)

英文發明摘要 (發明之名稱：SEMICONDUCTOR DEVICE AND METHOD OF MANUFACTURING SAME)

electrically isolate the SOI regions (21) from each other. The trench isolation oxide films (11) have a predetermined width and are shaped to extend substantially perpendicularly to the surface of the buried oxide film (2). The semiconductor device is capable of reducing electrostatically induced power dissipation and electromagnetically induced power dissipation, and preventing the structure and manufacturing steps thereof from becoming complicated.



六、申請專利範圍

1. 一種半導體裝置，具備半導體基板，在上述半導體基板的主面內配設的遮罩層，及在上述遮罩層的形成區上由層間絕緣膜隔開的感應元件；

在上述遮罩層裝設有連接接地電位用的至少一個導電區，及至少在一個導電區的平面內遮斷由感應元件感應出的渦流通路的至少一個電流遮斷區。

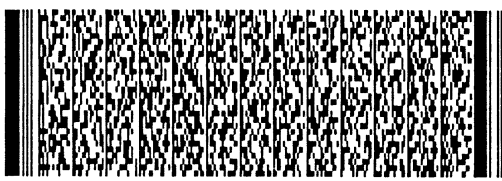
2. 如申請專利範圍第1項之半導體裝置，其中，上述半導體基板係為具備作為底部的基板區，在該基板區上配設的埋入氧化膜，及在該埋入氧化膜上配設SOI層的SOI基板，

上述至少一個電流遮斷區包括從上述SOI層的表面貫穿上述SOI層達到上述埋入氧化膜的選擇性配設的多個分離氧化膜，

上述至少一個導電區包括由上述多個分離氧化膜進行電性分離的多個SOI區。

3. 如申請專利範圍第2項之半導體裝置，其中，上述多個分離氧化膜係分別以規定的成形寬度對上述埋入氧化膜的表面大致以垂直的方向延伸。

4. 如申請專利範圍第2項之半導體裝置，其中，上述多個分離氧化膜係由分別以規定的成形寬度對上述埋入氧化膜的表面大致以垂直的方向延伸的第1部分，以及與該第1部分的下部連接並以窄於第1成形寬度的第2成形寬度的對上述埋入氧化膜的表面大致以垂直的方向延伸的第2部分所構成。



六、申請專利範圍

5. 如申請專利範圍第1項之半導體裝置，其中，上述半導體基板係為具有作為底部的基板區，在該基板區上配設的埋入氧化膜，及在該埋入氧化膜上配設SOI層的SOI基板，

上述至少一個導電區包括將上述SOI層作得很薄並成為規定厚度的多個SOI區，

上述至少一個電流遮斷區包括至少埋設於上述多個SOI區之間而配設的絕緣膜。

6. 如申請專利範圍第5項之半導體裝置，其中，上述多個SOI區分別具有濃度較高的半導體摻雜物。

7. 如申請專利範圍第5項之半導體裝置，其中，在上述多個SOI區的上部都具有矽化膜。

8. 如申請專利範圍第1項之半導體裝置，其中，上述半導體基板係為具有作為底部的基板區，在該基板區上配設的埋入氧化膜，及在該埋入氧化膜上配設SOI層的SOI基板，

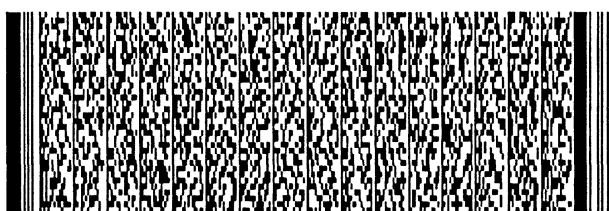
上述遮罩層具有第1導電型的多個第1的SOI區和第2導電型的多個第2的SOI區，

上述多個第1和第2的SOI區相互組合構成多個二極體，

上述至少一個電流遮斷區由上述多個二極體中能施加反偏壓的至少一個反偏壓二極體構成，

上述至少一個導電區由上述多個第1和第2的SOI區中連接於接地電位的SOI區構成。

9. 如申請專利範圍第8項之半導體裝置，其中，上述多



六、申請專利範圍

個第1和第2的SOI區配設成上述SOI層作得較薄並成為規定厚度的區域，

又具備覆蓋上述第1和第2的SOI整個區的分離氧化膜。

10. 如申請專利範圍第8項之半導體裝置，其中，上述多個第1的SOI區分別具有與上述SOI層大致相同厚度的第1區，及與上述第1區相鄰的並將上述SOI層作得較薄的第2區，

上述多個第2的SOI區分別具有與上述SOI層大致相同的厚度，並且設有覆蓋上述第2區的分離氧化膜。

11. 如申請專利範圍第10項之半導體裝置，其中，上述多個第1的SOI區的上述第1區及上述多個第2的SOI區，分別在其上面配置矽化膜。

12. 如申請專利範圍第8項之半導體裝置，其中，上述多個第1的SOI區係為上述SOI層作得很薄的規定厚度的區域，

上述多個第2的SOI區均具有與上述SOI層大致相同的厚度，

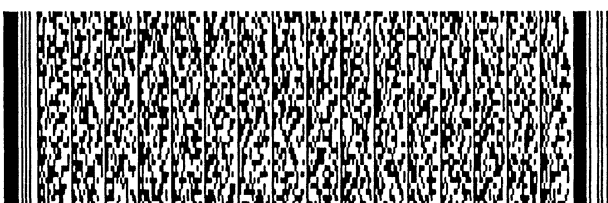
上述多個第1及第2的SOI區相互鄰接，

又具備分別覆蓋上述多個第1的SOI區的分離氧化膜。

13. 如申請專利範圍第12項之半導體裝置，其中，在上述多個第2的SOI區，其上面均設有矽化膜。

14. 如申請專利範圍第12項之半導體裝置，其中，上述多個第2的SOI區的俯視圖形狀屬於矩形，

上述遮罩層的俯視圖形狀是呈矩陣形狀配設，在它們之



六、申請專利範圍

間由上述分離氧化膜隔開。

15. 如申請專利範圍第12項之半導體裝置，其中，上述多個第2的SOI區採用與MOS電晶體閘極相同結構的閘極布線進行電性連接。

16. 如申請專利範圍第8項之半導體裝置，其中，上述多個第1及第2的SOI區係分別交互配設，在上述多個第1的SOI區上配設MOS電晶體的閘極構造。

17. 如申請專利範圍第8項之半導體裝置，其中，上述多個第1及第2的SOI區係分別交互配設，在上述多個第1的SOI區係分別具有第1區和與第1區相鄰的第2區，

在上述各自的第2區上分別配設MOS電晶體的閘極構造。

18. 如申請專利範圍第8項之半導體裝置，其中，上述多個第1及第2的SOI區係分別交互配設，

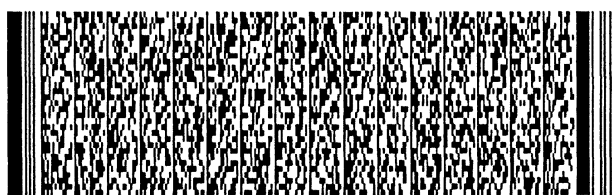
在上述多個第1的SOI區係分別具有第1區和與第1區相鄰的第2區，

上述多個第2的SOI區以及上述各自的第1區上選擇性地形成與上述第2區無關的矽化膜。

19. 如申請專利範圍第8項之半導體裝置，其中，上述多個第1及第2的SOI區係分別交互配設，

在上述多個第1的SOI區上選擇性地形成與上述多個第2的SOI區無關的矽化膜。

20. 如申請專利範圍第1項之半導體裝置，其中，上述半導體基板係具有作為底部的基板區，在該基板區上配設的埋入氧化膜，及在該埋入氧化膜上配設SOI層的SOI基板，



六、申請專利範圍

上述基板區的結構中，至少在對應於電感元件的形成區至少有一個中空區，配設能抑制上述電感元件感應出渦流的渦流抑制區。

21. 如申請專利範圍第20項之半導體裝置，其中，上述渦流抑制區，係具有與上述電感元件平面方向的長度相同程度乃至 $1/10$ 的深度，至少由具有與上述電感元件的形成區相同長度的沿平面方向擴展的空腔區構成。

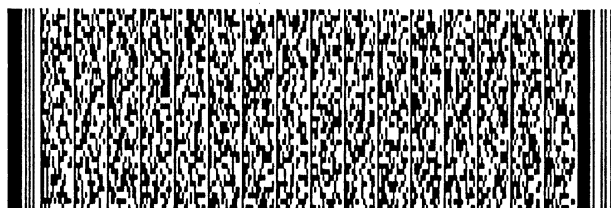
22. 如申請專利範圍第20項之半導體裝置，其中，上述渦流抑制區，係具有與上述電感元件平面方向的長度相同程度乃至 $1/10$ 的深度，至少由具有與上述電感元件的形成區相同程度的沿平面方向擴展的多孔層構成。

23. 如申請專利範圍第1項之半導體裝置，其中，上述半導體基板係具有作為底部的基板區、在該基板區上配設的埋入氧化膜、在該埋入氧化膜上配設SOI層的SOI基板，

上述SOI層係具有與上述電感元件的平面方向的長度相同程度乃至 $1/10$ 的深度，至少由具有與上述電感元件的形成區相同長度的沿平面方向擴展的多孔層構成。

24. 如申請專利範圍第1項之半導體裝置，其中，上述半導體基板係，在對應於上述電感元件形成區的區域，具有與上述電感元件平面方向的長度相同程度乃至 $1/10$ 的深度，至少由具有與上述電感元件的形成區相同長度的沿平面方向擴展的多孔層構成。

25. 如申請專利範圍第22至24項中任何一項之半導體裝置，其中，上述多孔層係包括任一經過蝕刻形成的多個孔



六、申請專利範圍

或者多個溝渠，以及陽極氧化法形成的多個孔。

26. 如申請專利範圍第1項之半導體裝置，其中，還設有配設於上述多個分離氧化膜下部，貫穿上述埋入氧化膜而到達上述基板內的多個溝渠。

27. 如申請專利範圍第5項之半導體裝置，其中，還設有配設於上述多個SOI區之間的上述絕緣膜下部，貫穿上述埋入氧化膜而到達上述基板內的多個溝渠。

28. 如申請專利範圍第1項之半導體裝置，其中，上述至少一個電流遮斷區係包括以距離上述半導體基板的表面一定深度部位配設的多個分離氧化膜，

上述至少一個導電區係包括由上述多個分離氧化膜劃分的多個基板區，

還設有配設於上述多個分離氧化膜下部的能到達上述半導體基板內一定深度的多個溝渠。

29. 如申請專利範圍第25項之半導體裝置，其中，上述多個孔或多個溝渠的內部近於真空狀態。

30. 如申請專利範圍第26至28項中任何一項之半導體裝置，其中，上述多個溝渠的內部近於真空狀態。

31. 一種半導體裝置，其係具有半導體基板，以及在布線層的下層沿著該布線層的配設方向配設於上述半導體基板的主面內的遮罩層，

上述遮罩層係具有沿著上述布線層的配設方向以一定的間隔配設並與接地電位連接的多個導電區，

以及配設於上述多個導電區之間的多個絕緣區。



六、申請專利範圍

32. 如申請專利範圍第31項之半導體裝置，其中，上述多個導電區係分別具有交互重疊的多個導電膜和絕緣膜。



圖 1

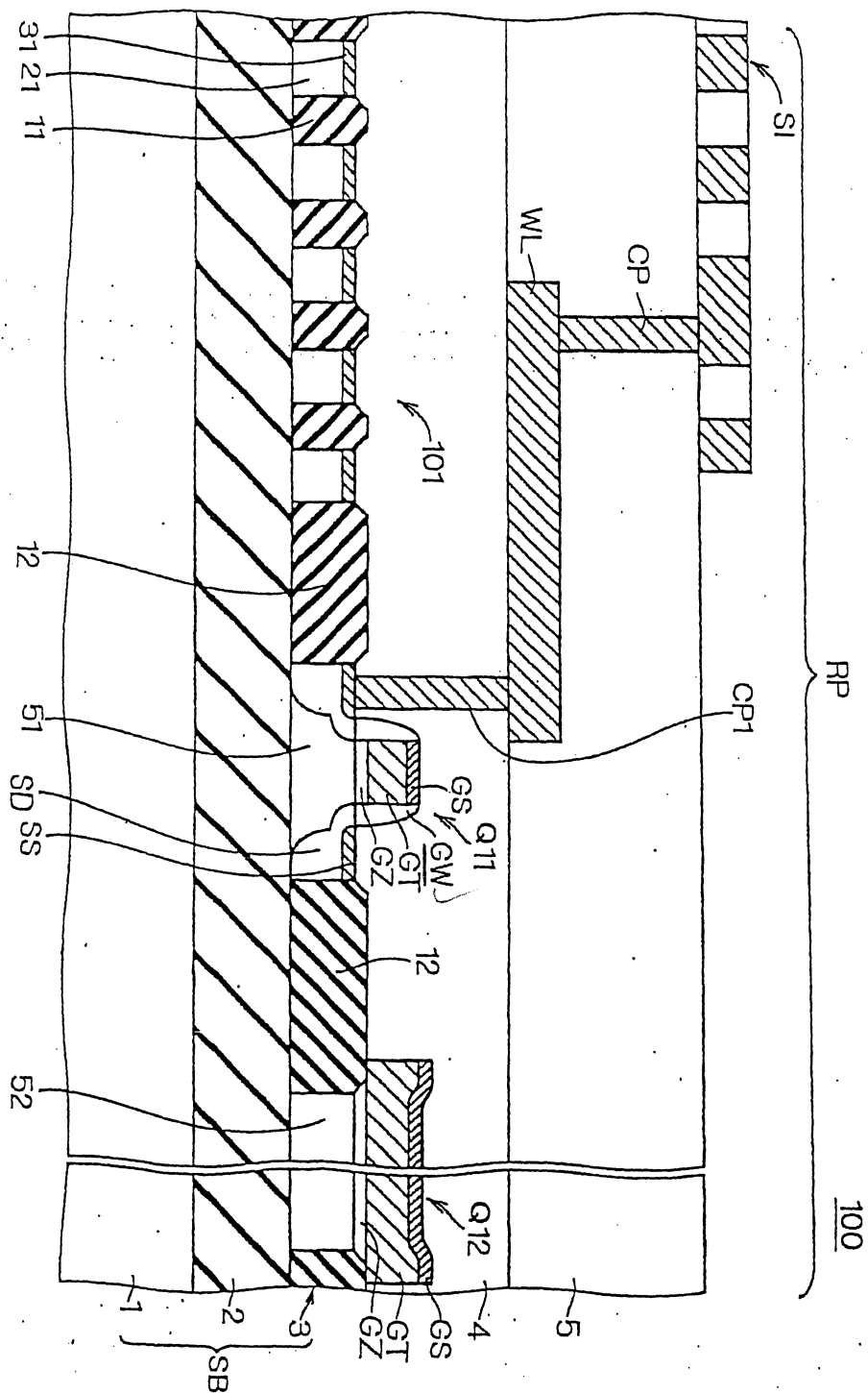


圖 2

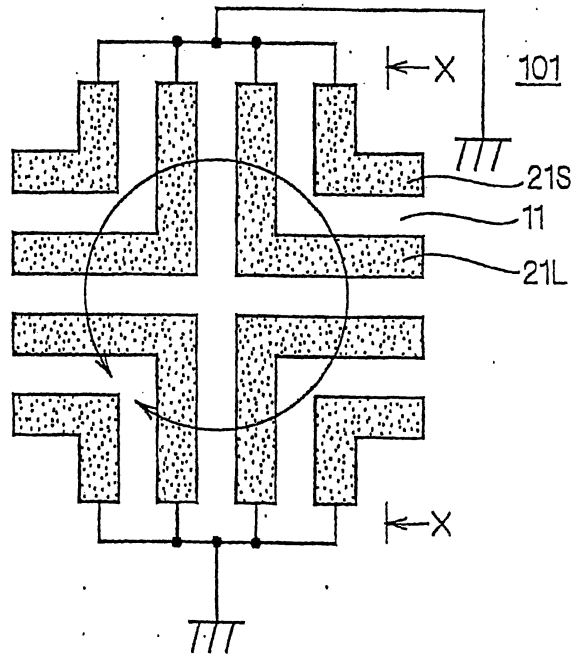


圖 3

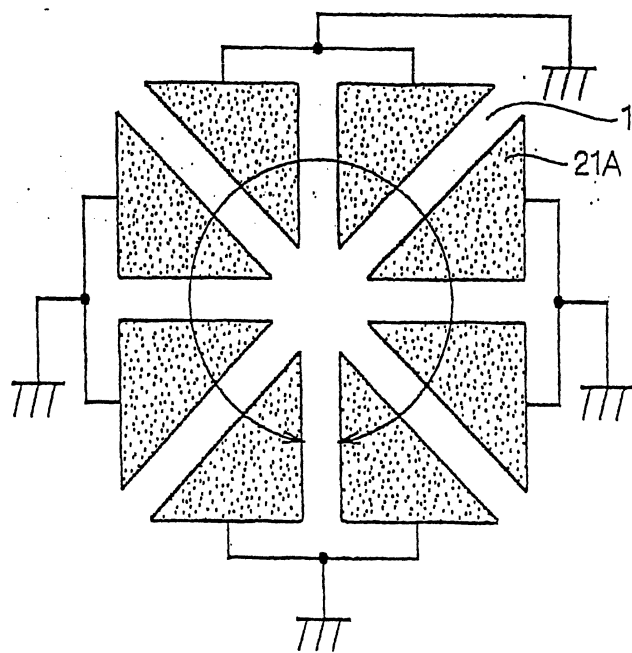


圖 4

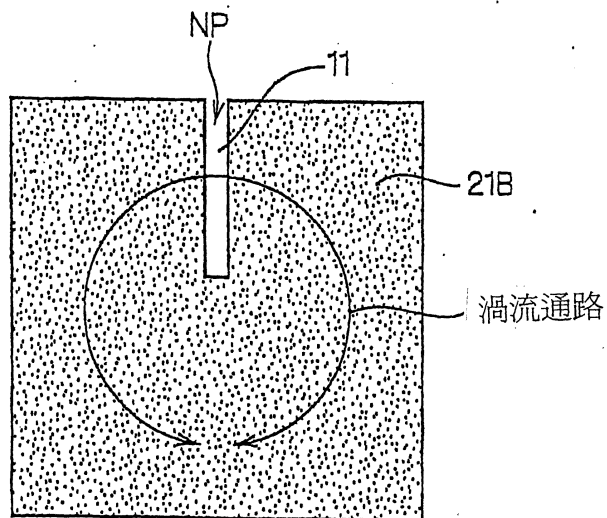


圖 5

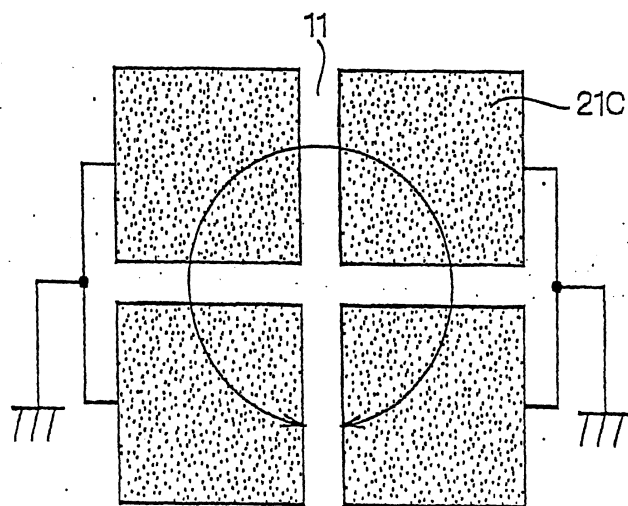


圖 6

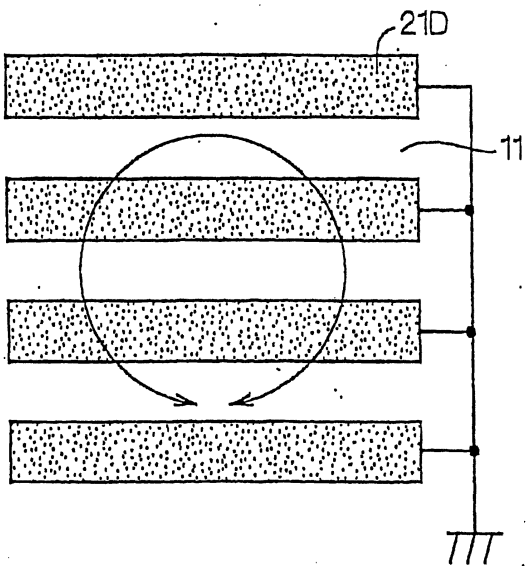


圖 7

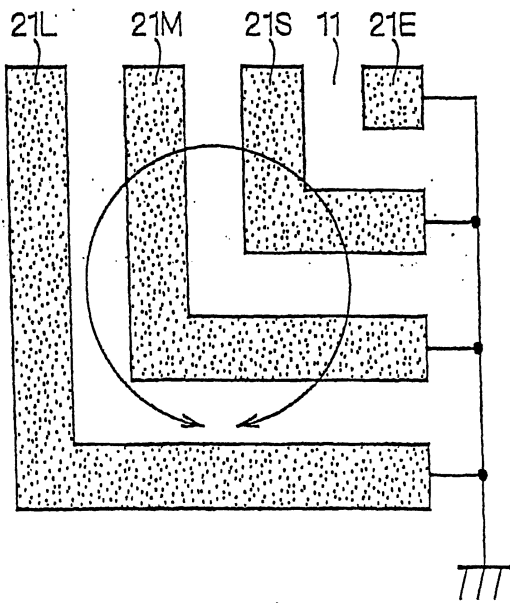


圖 8

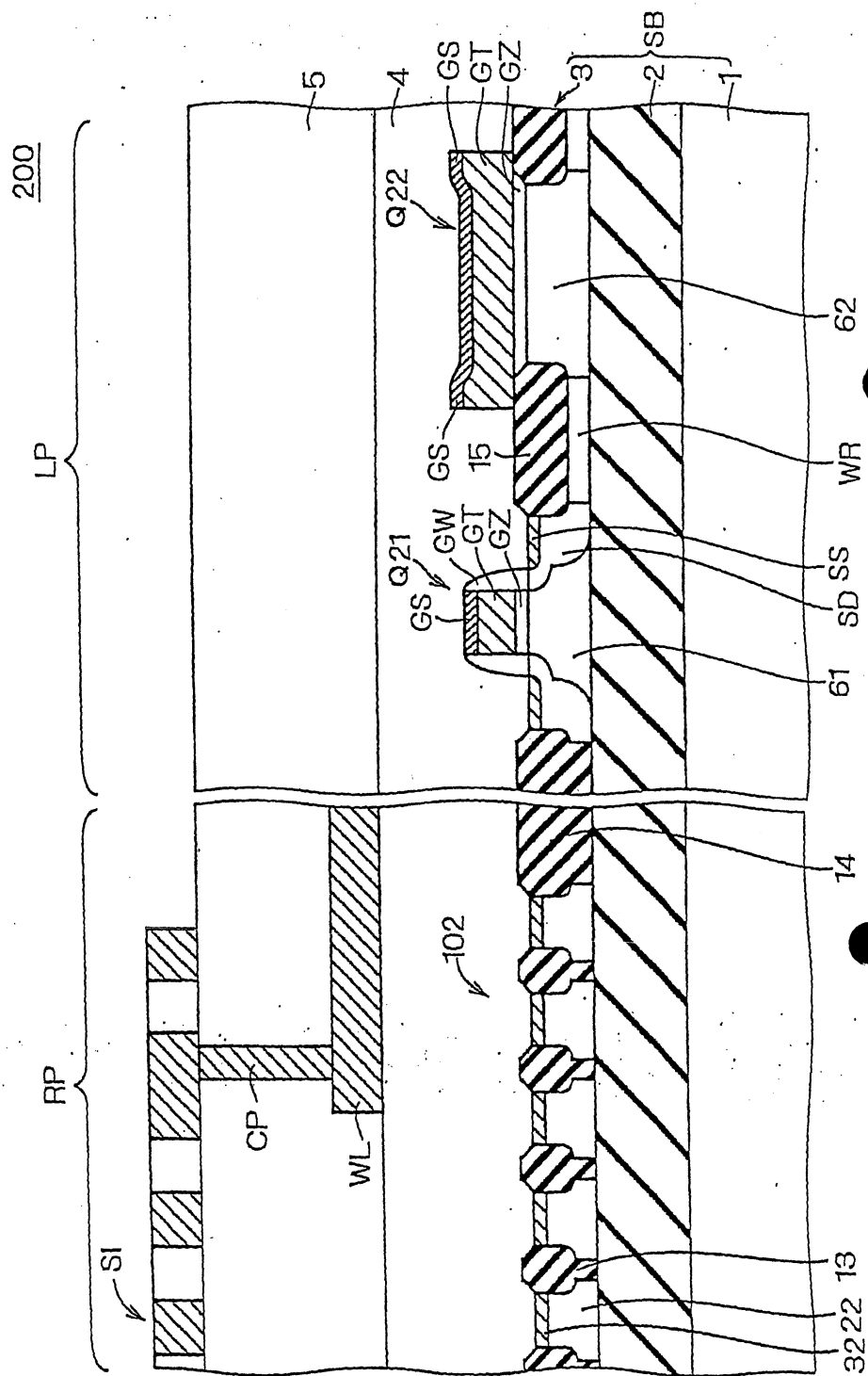


圖 9

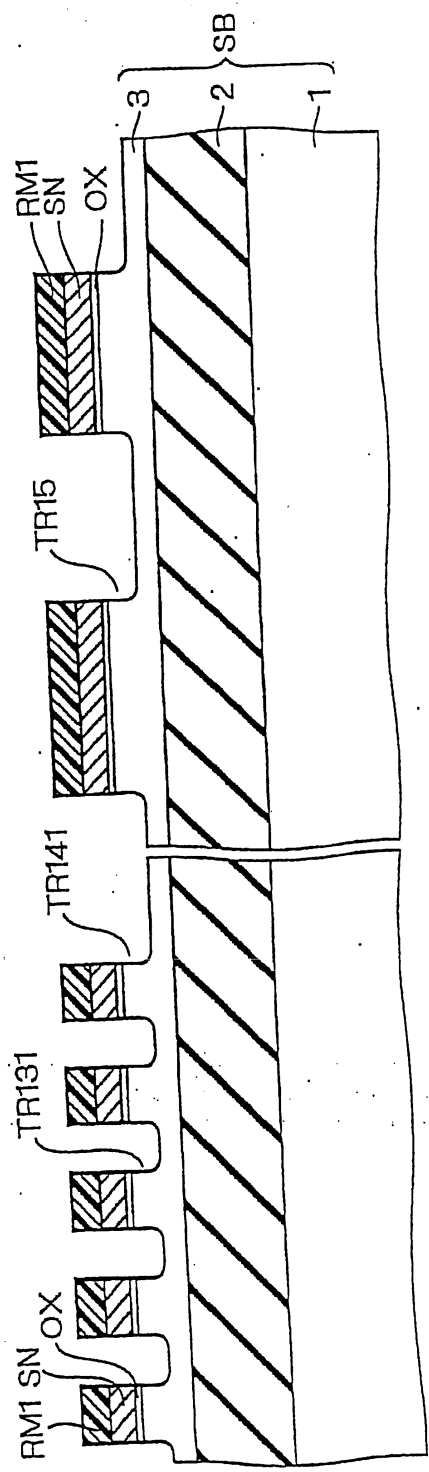


圖 10

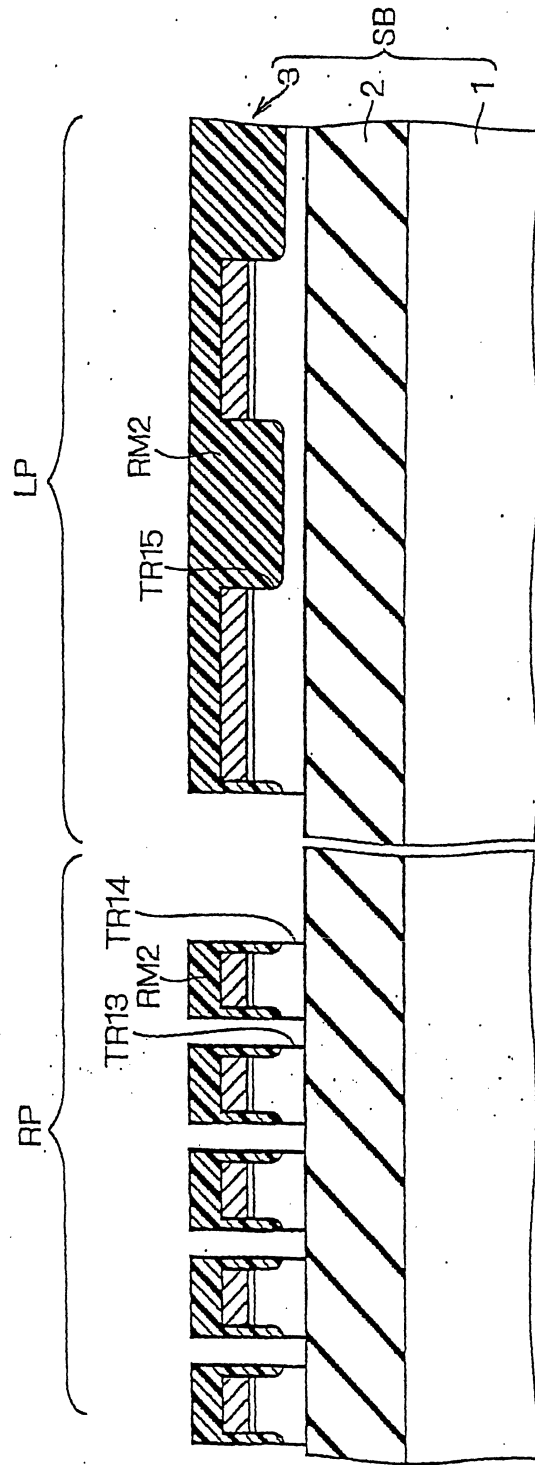


圖 11

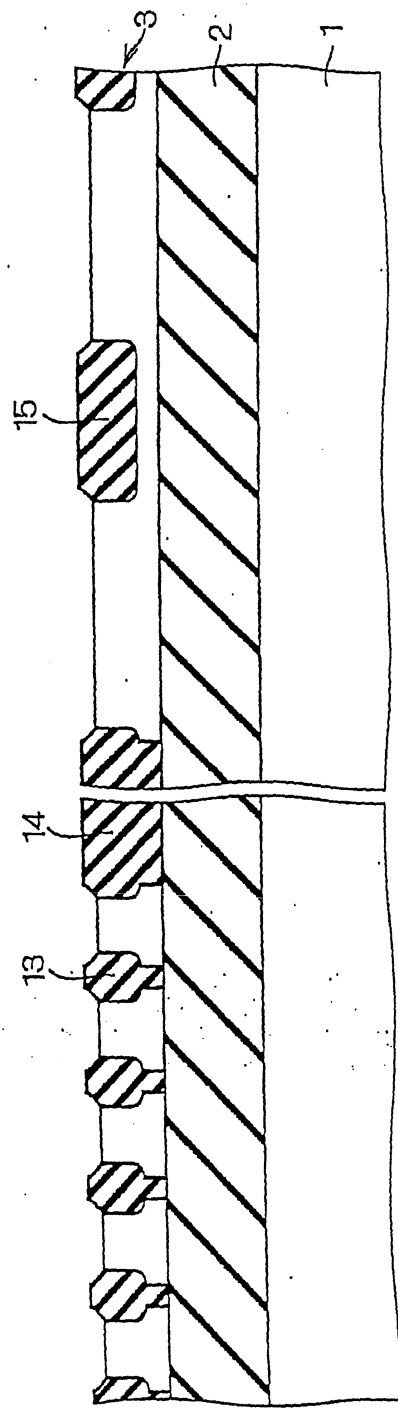


圖 12

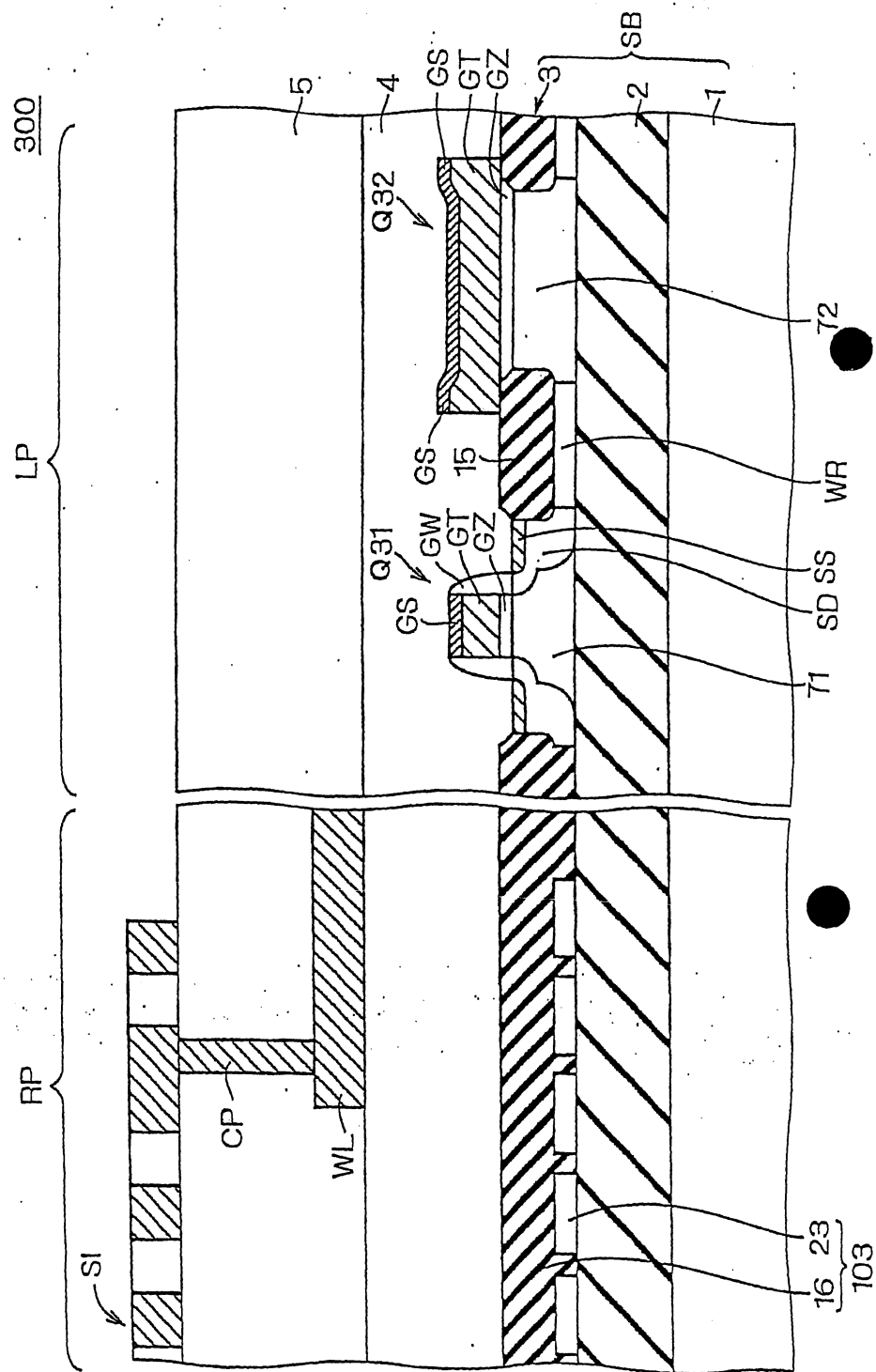


圖 13

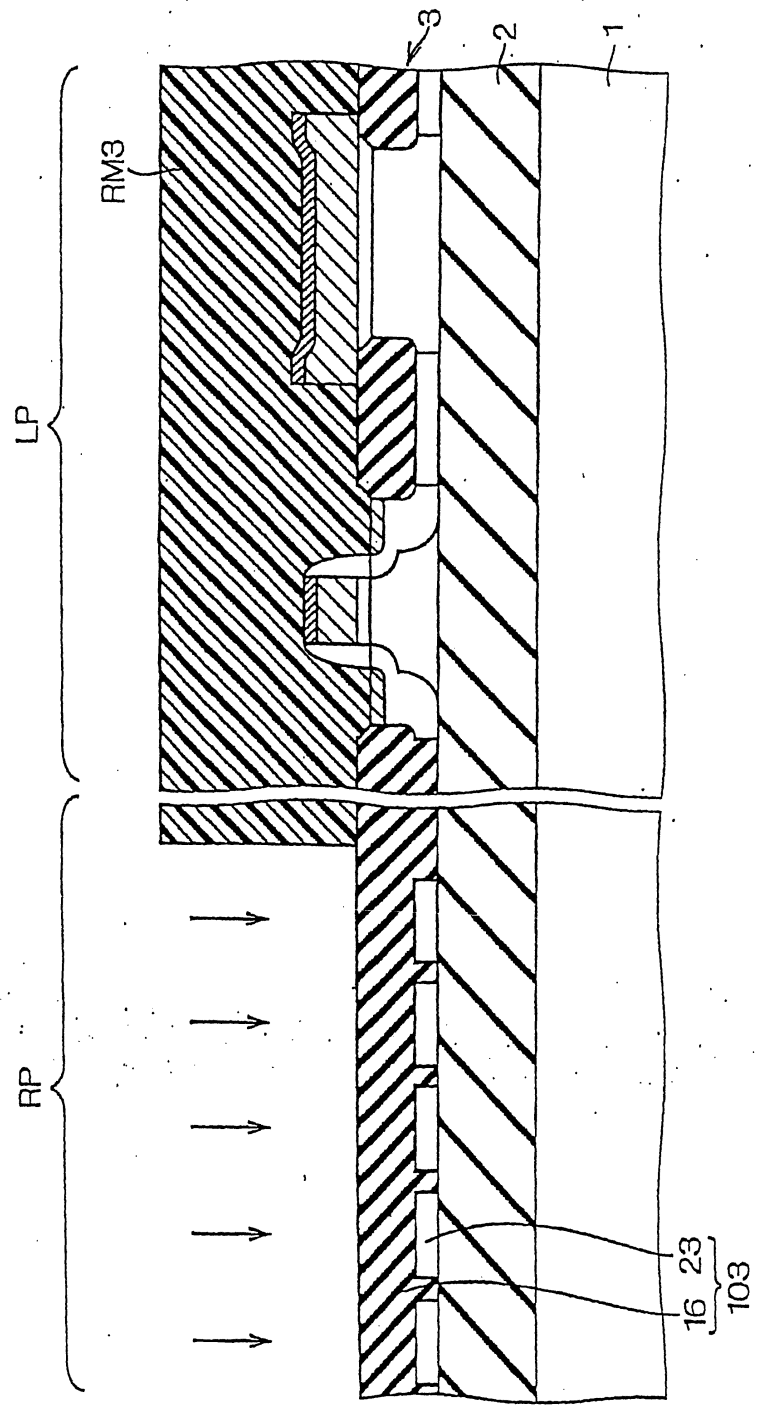


圖 15

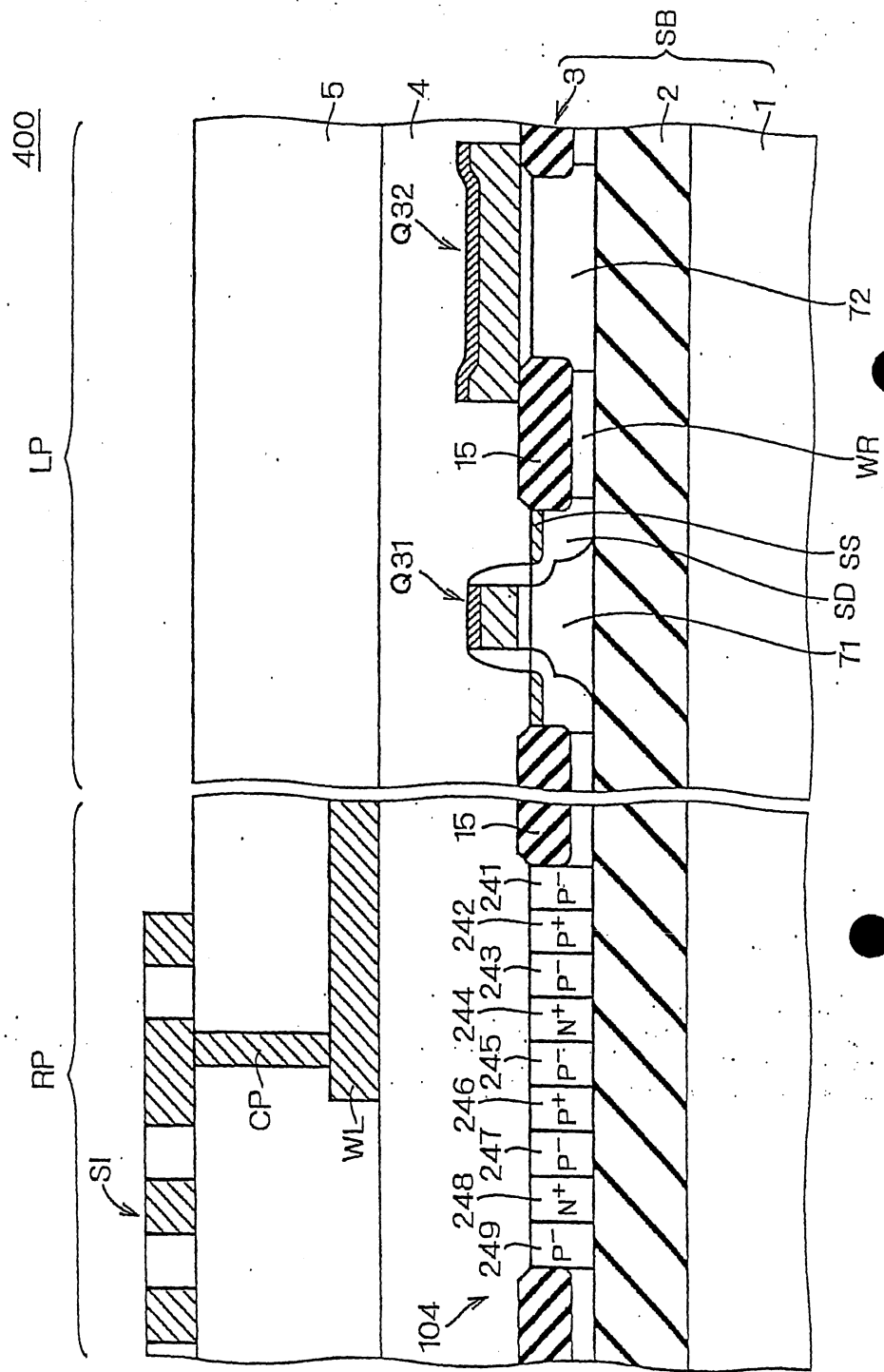


圖 16

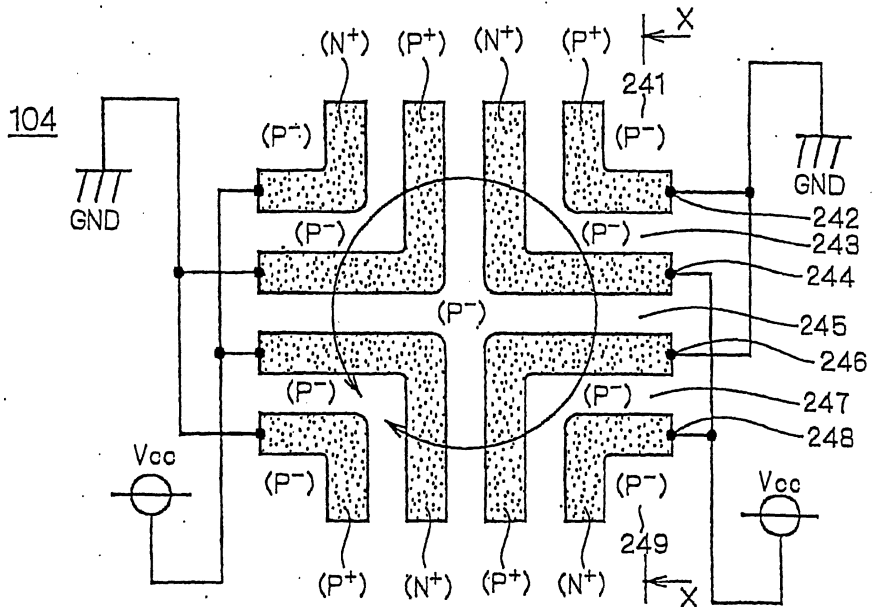


圖 17

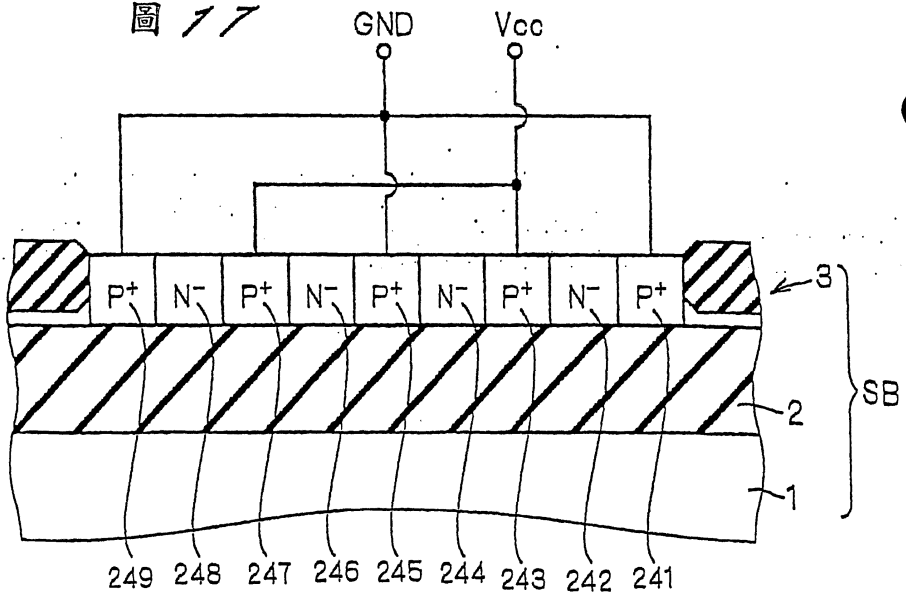


圖 18

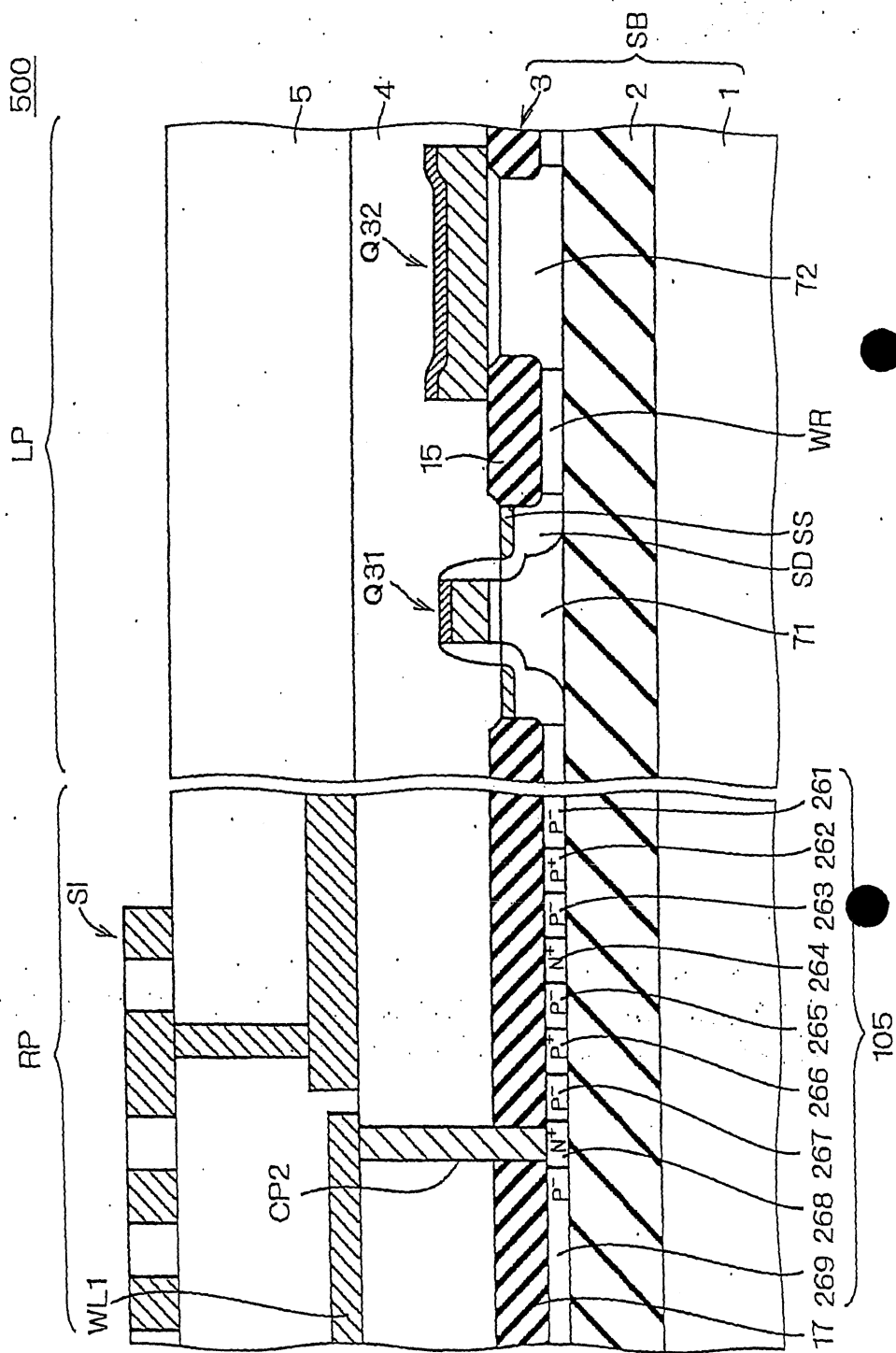
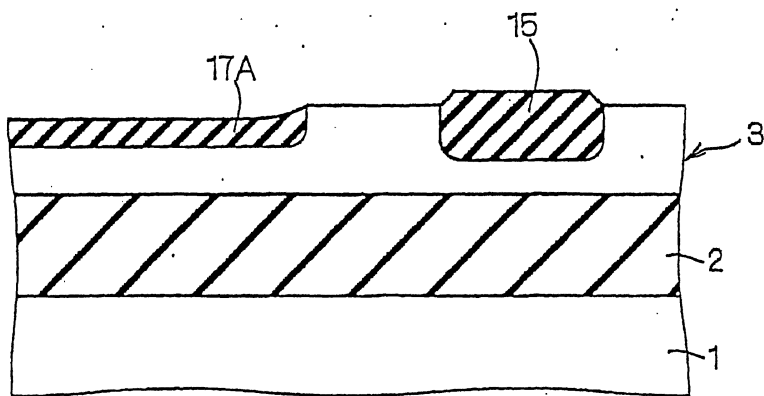


圖 19



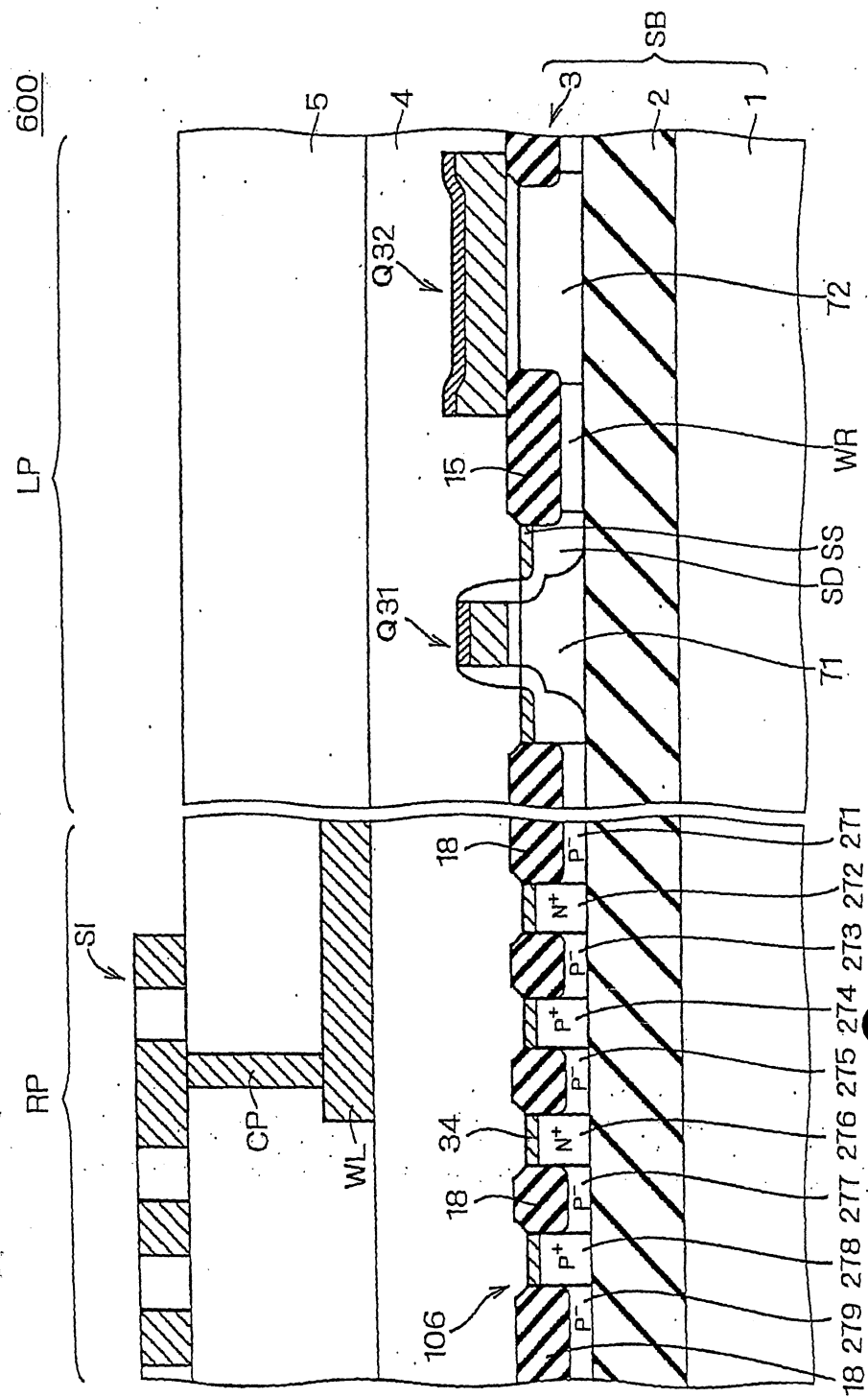


圖 21

106

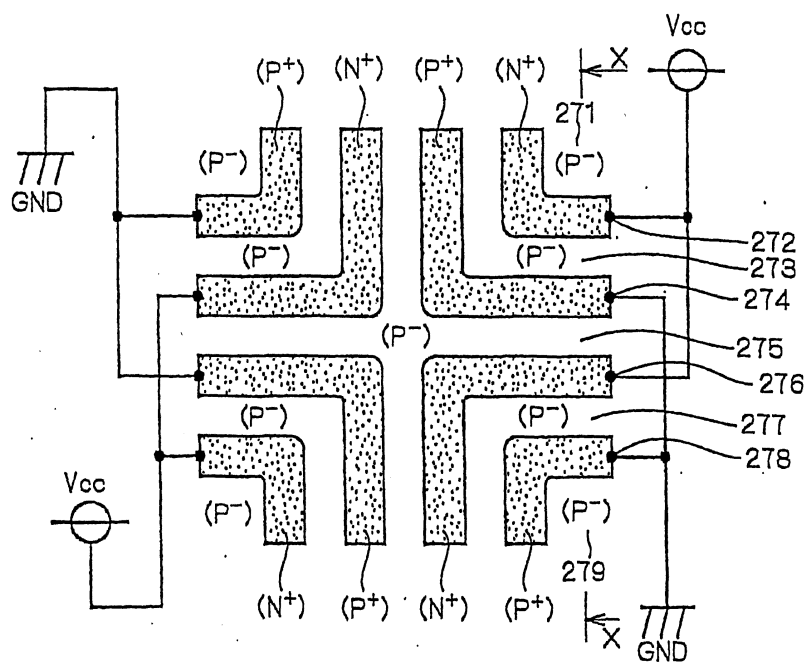
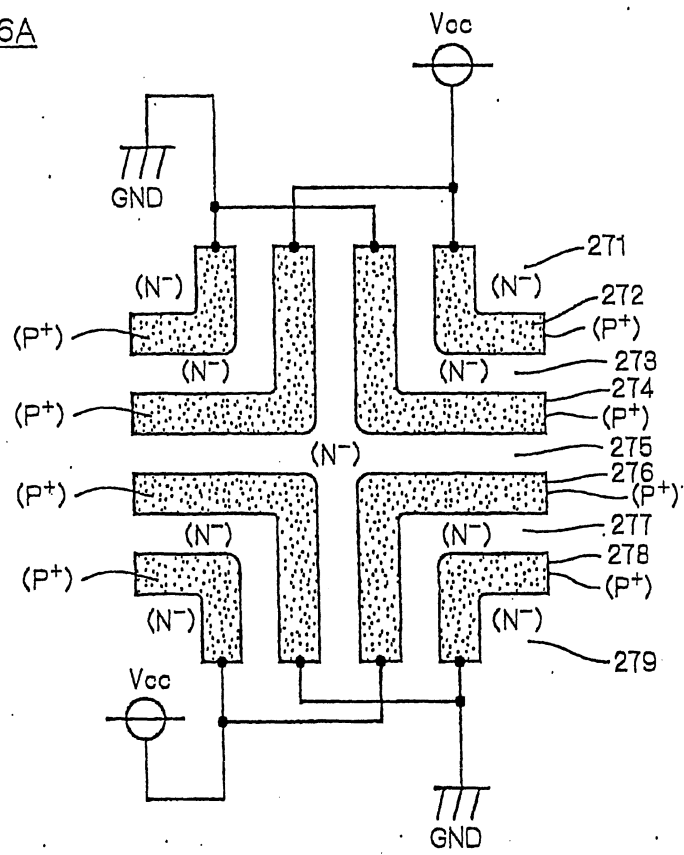


圖 23

106A



24

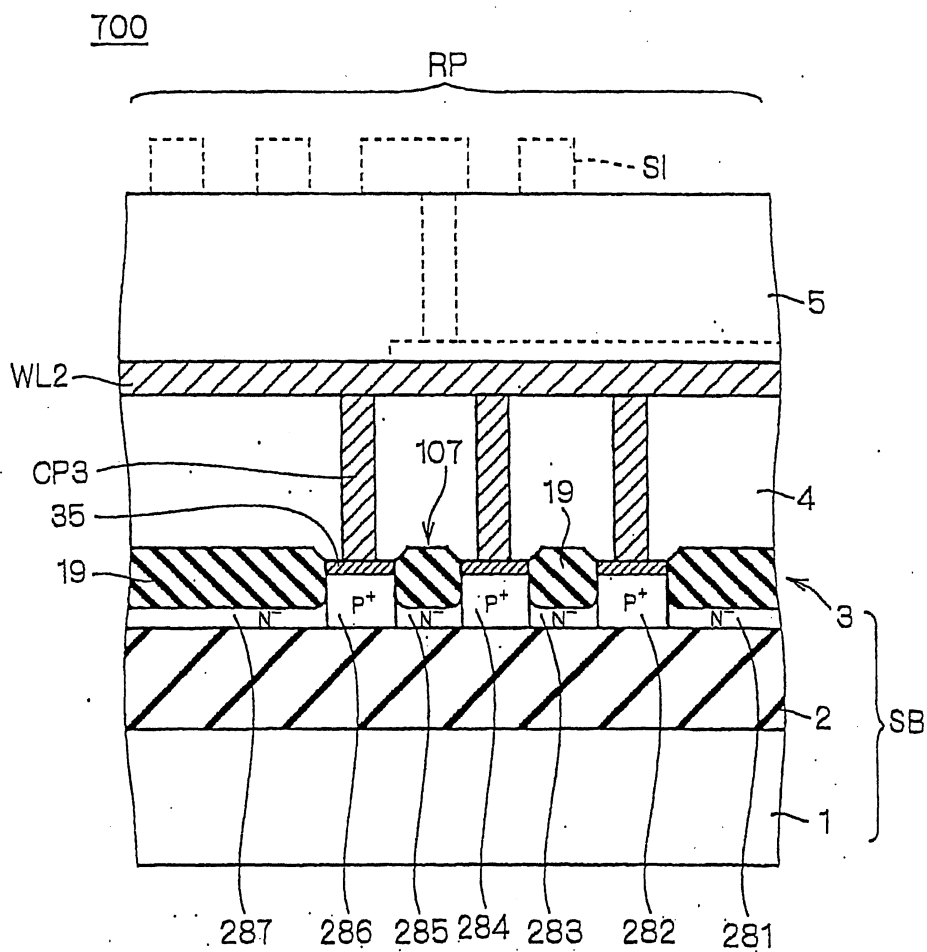
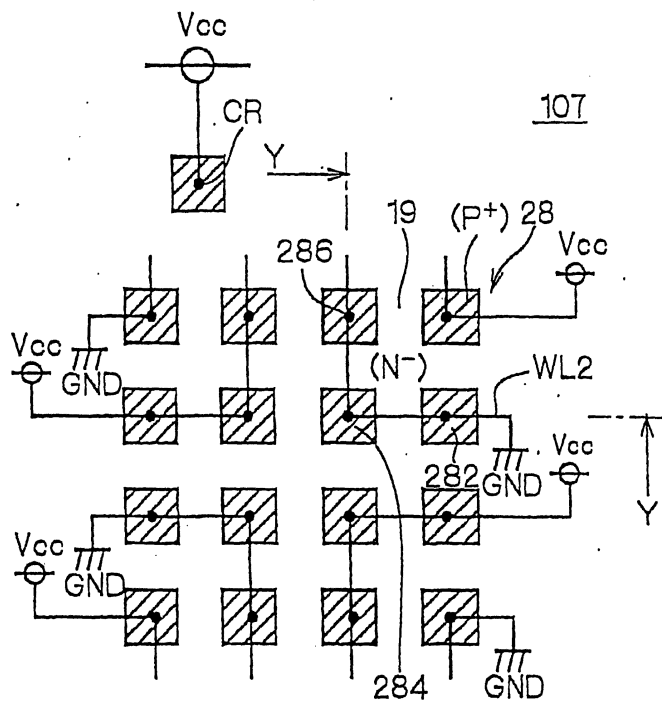


圖 25



26

700A

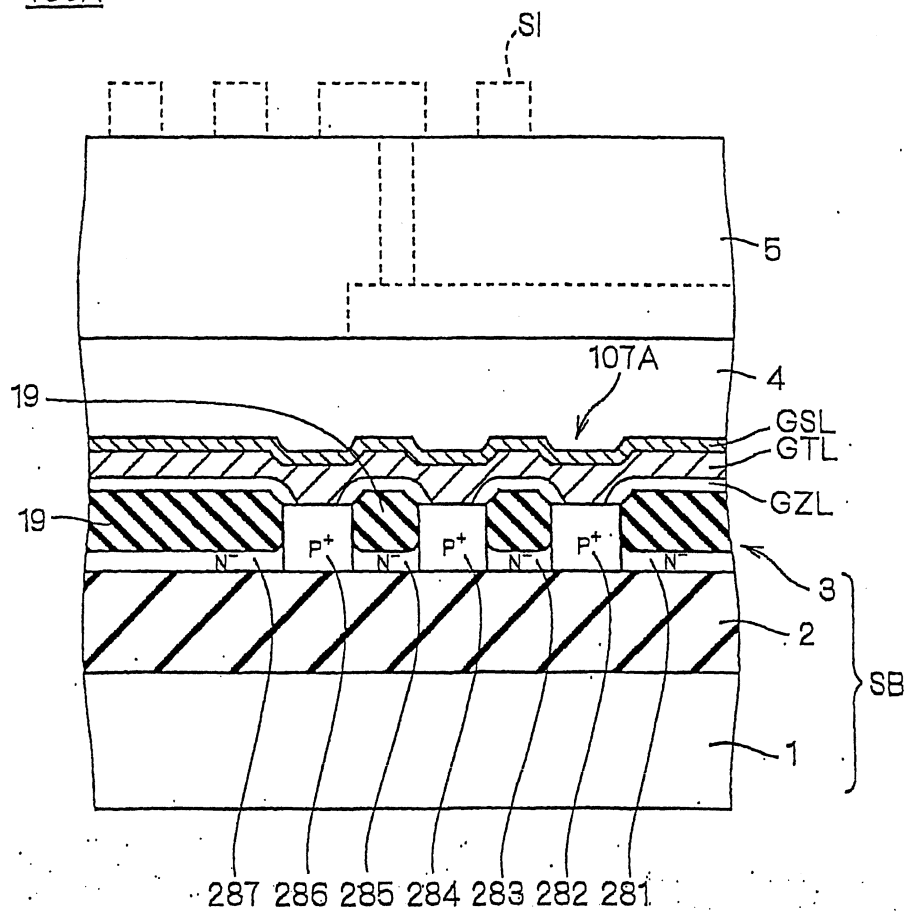


圖 27

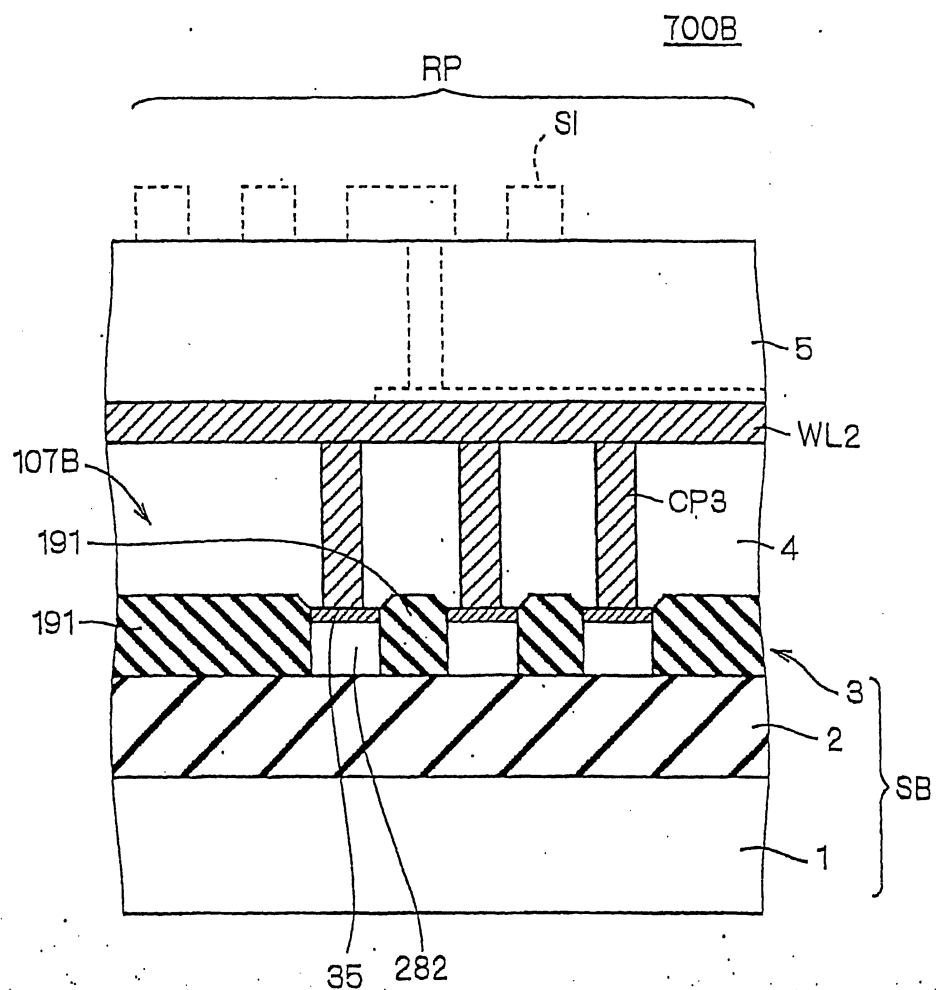
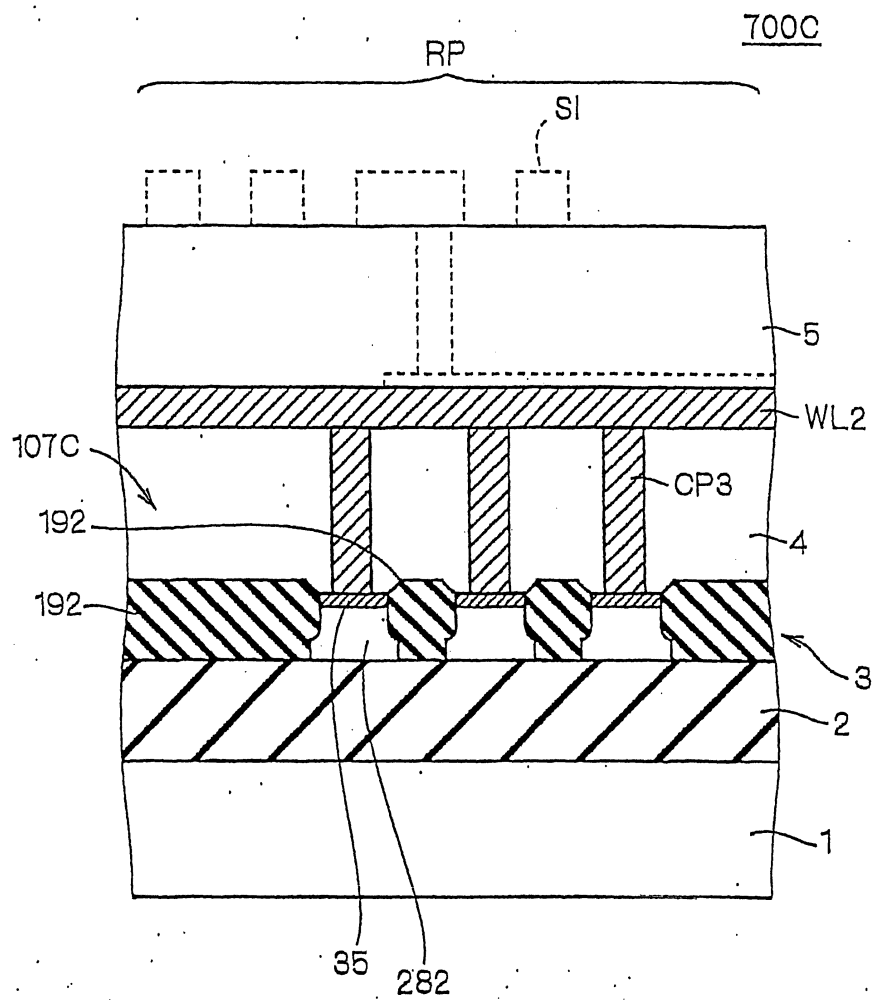
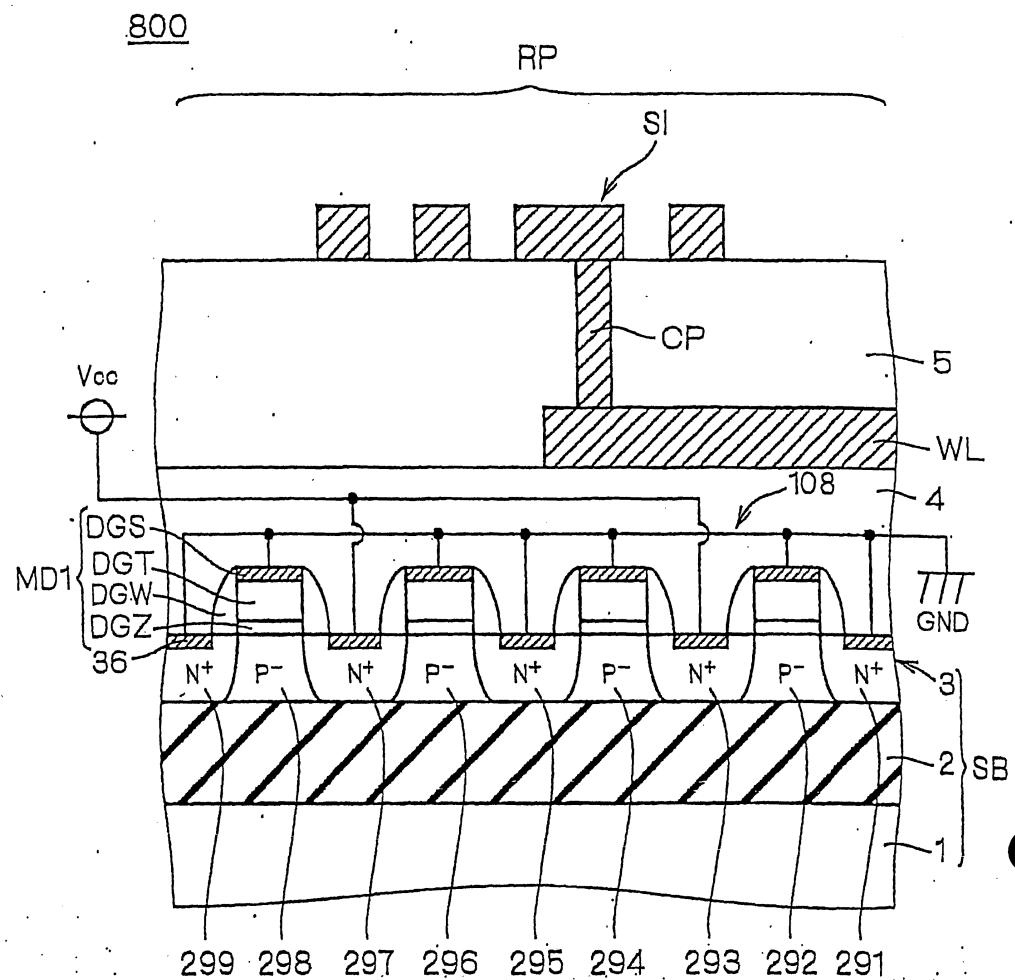


圖 28





31

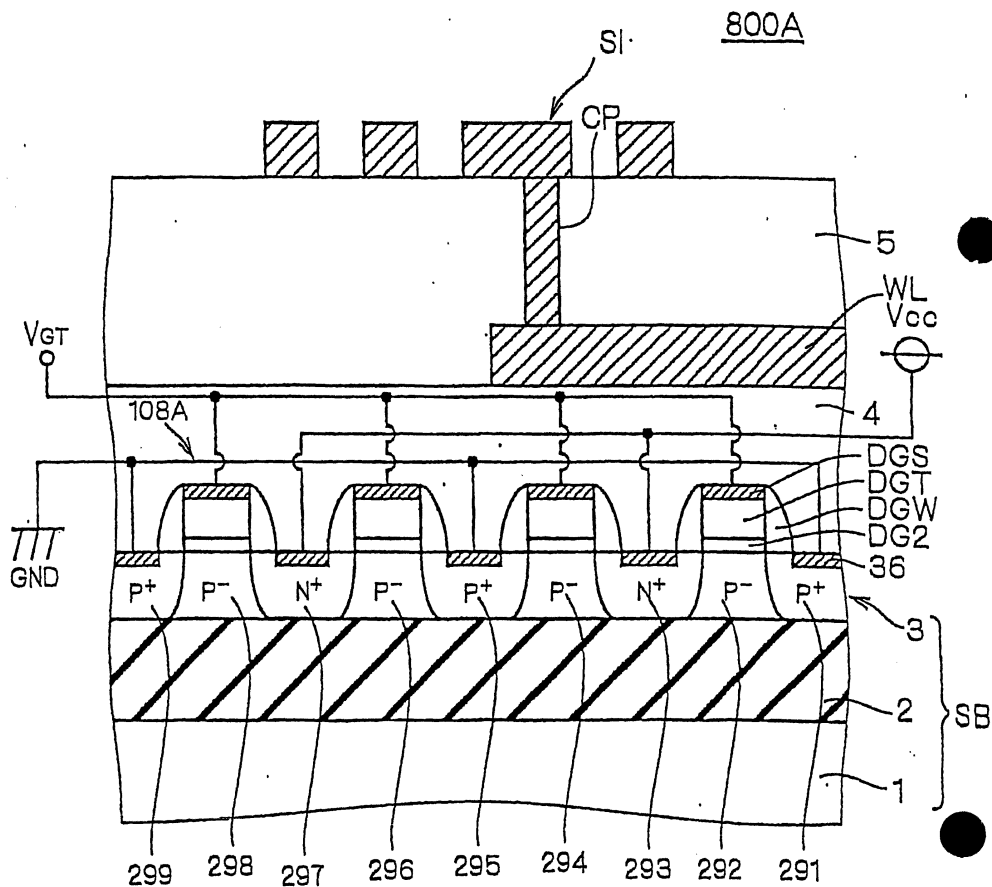


圖 32

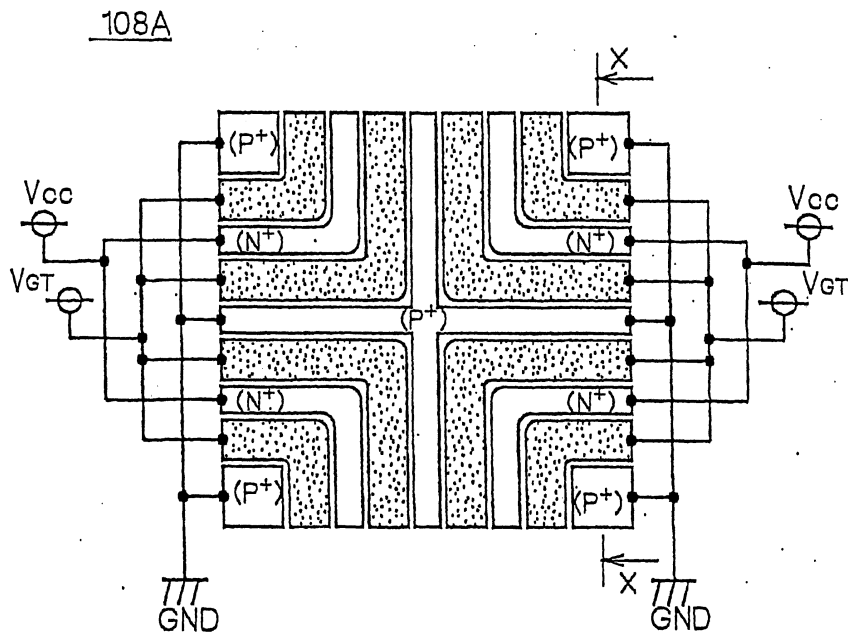


圖 33

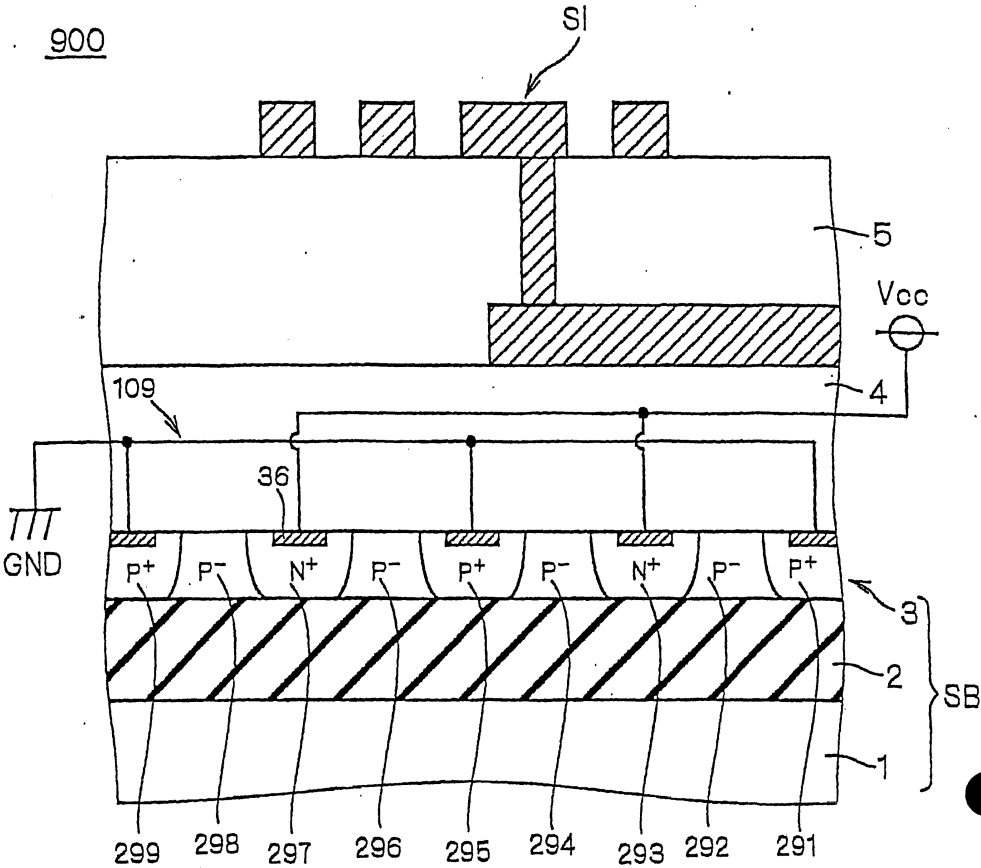
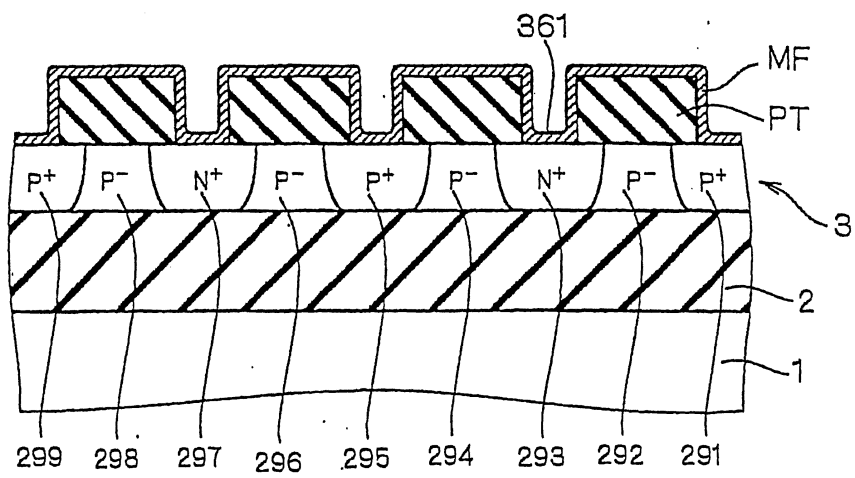


圖 34

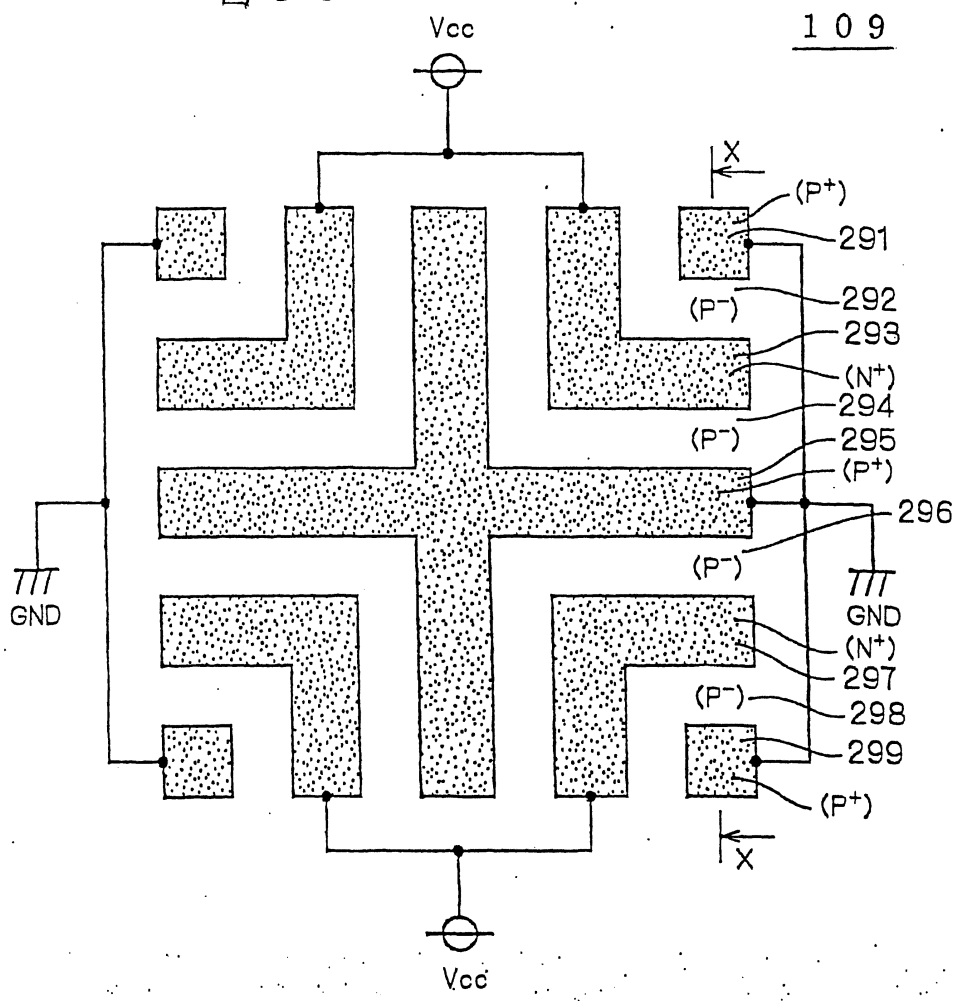


91.8.14 修正
年月日 補充

修正頁

圖 35

109



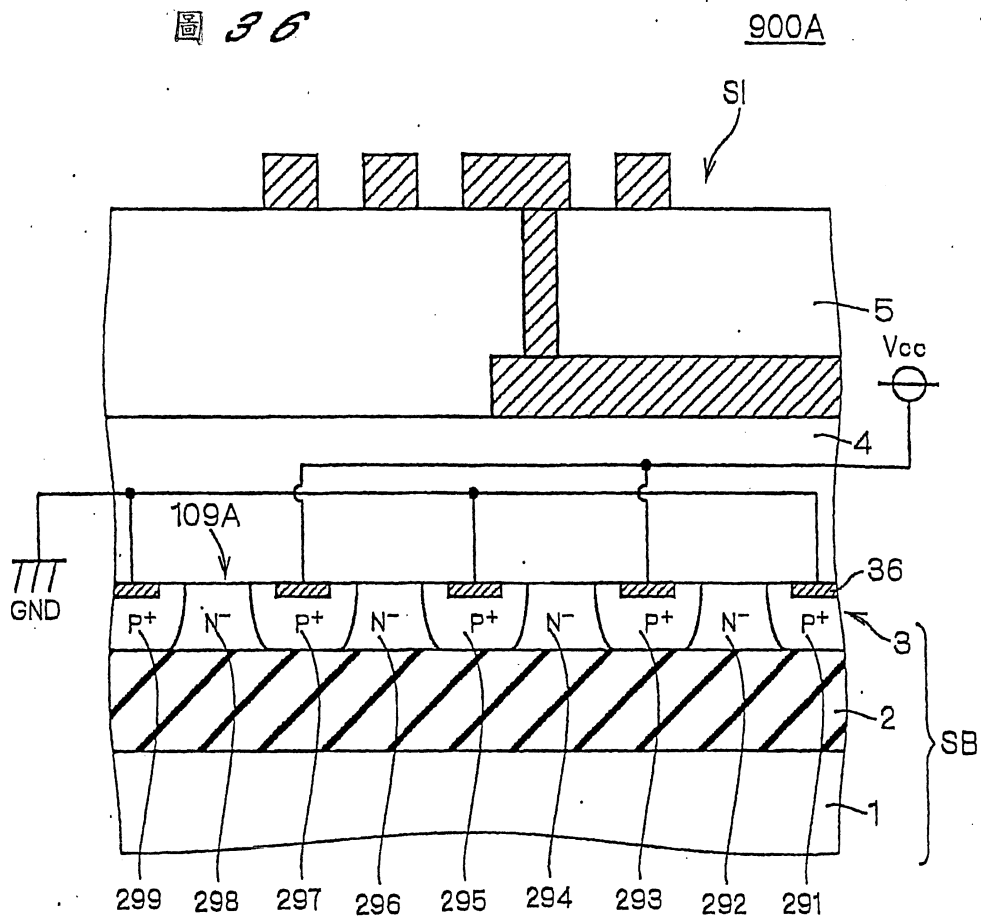


圖 37

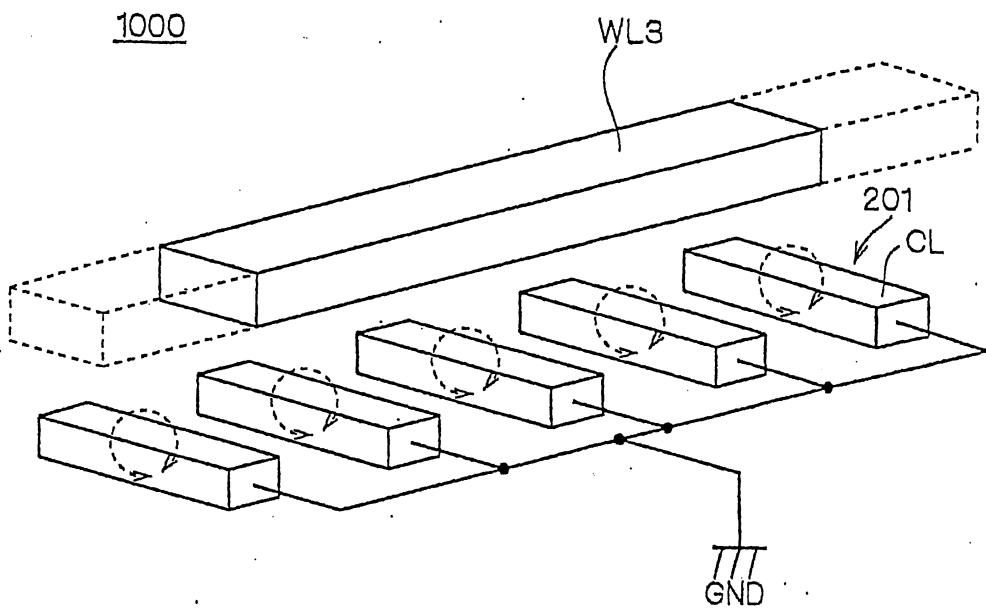


圖 38

1000

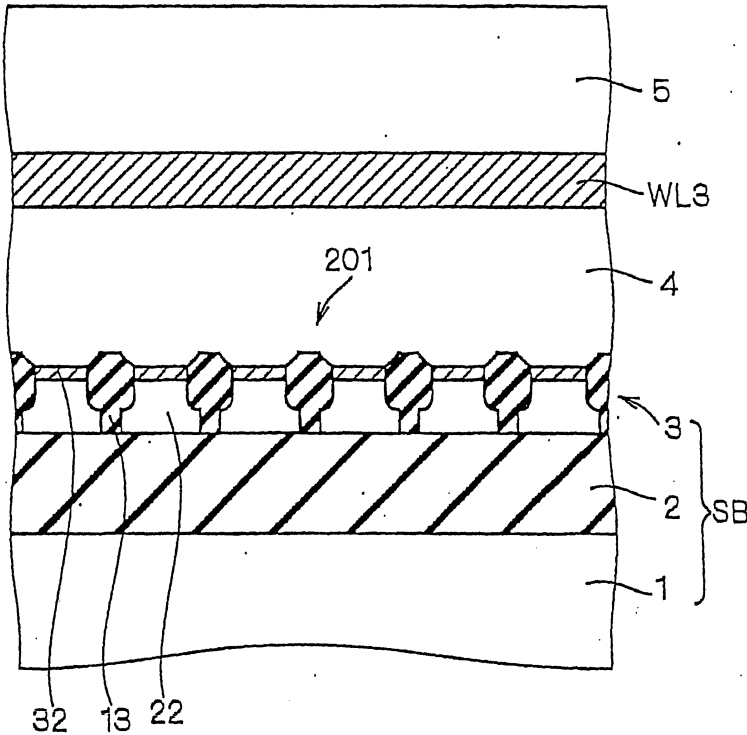


圖 39

1001

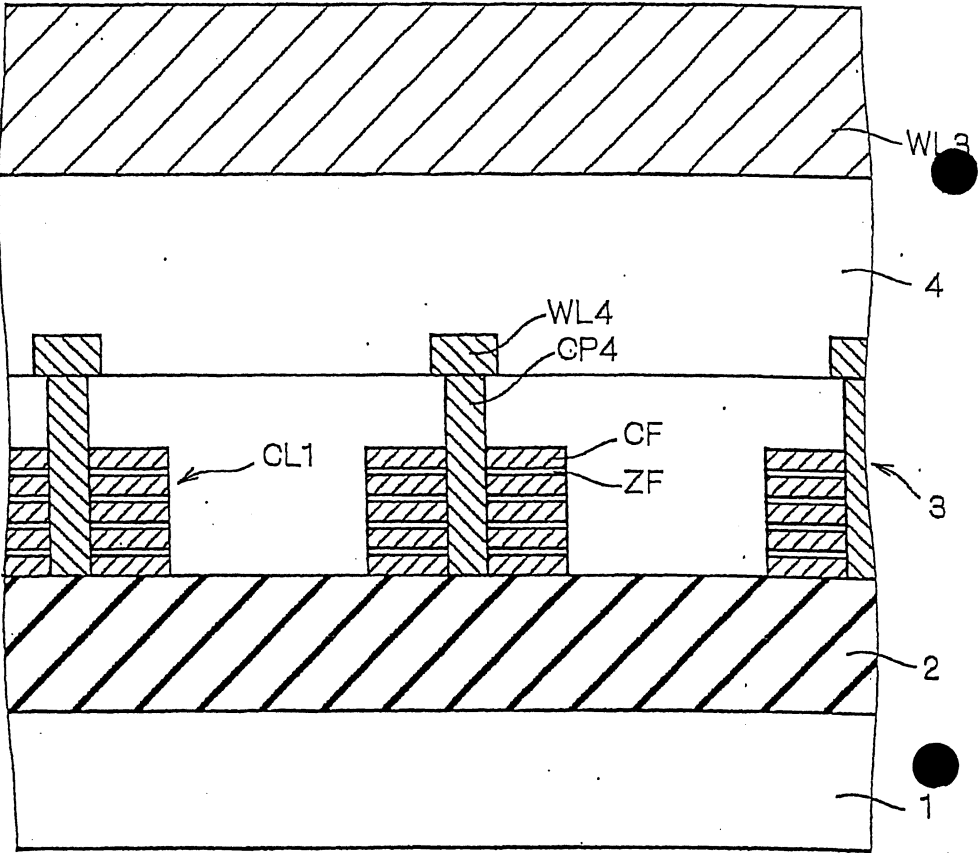
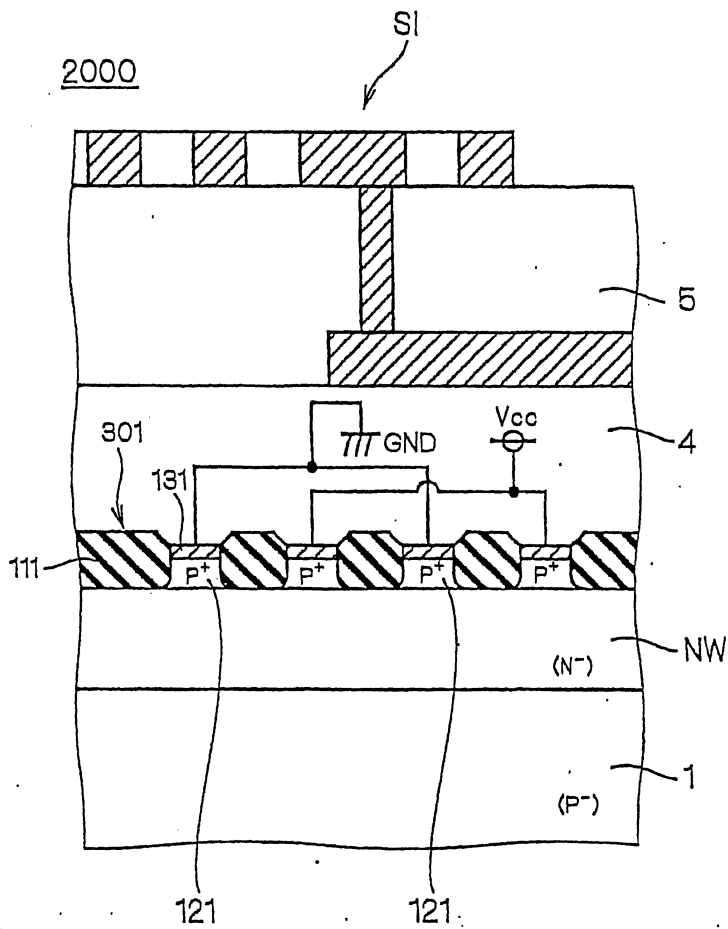
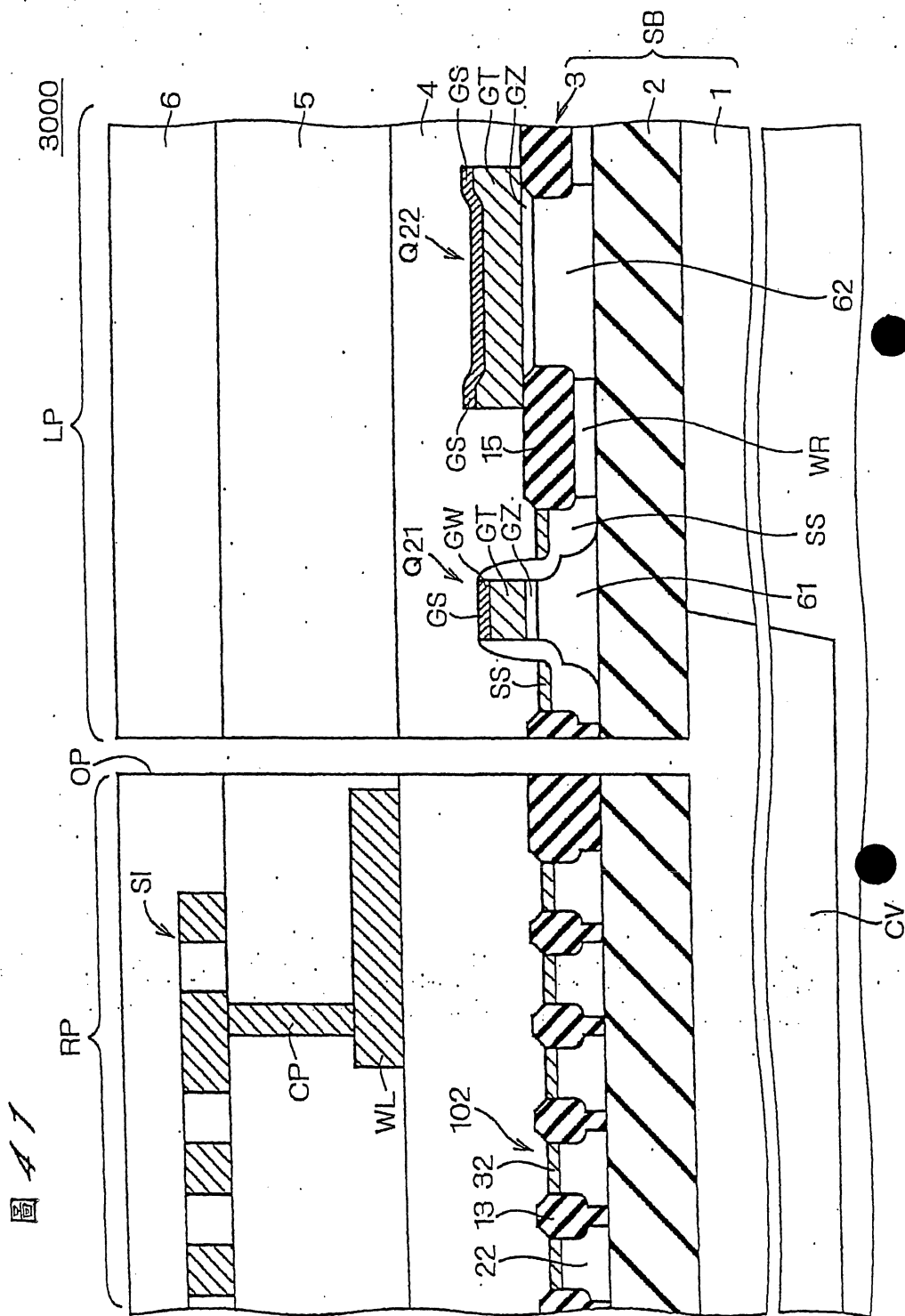


圖 40





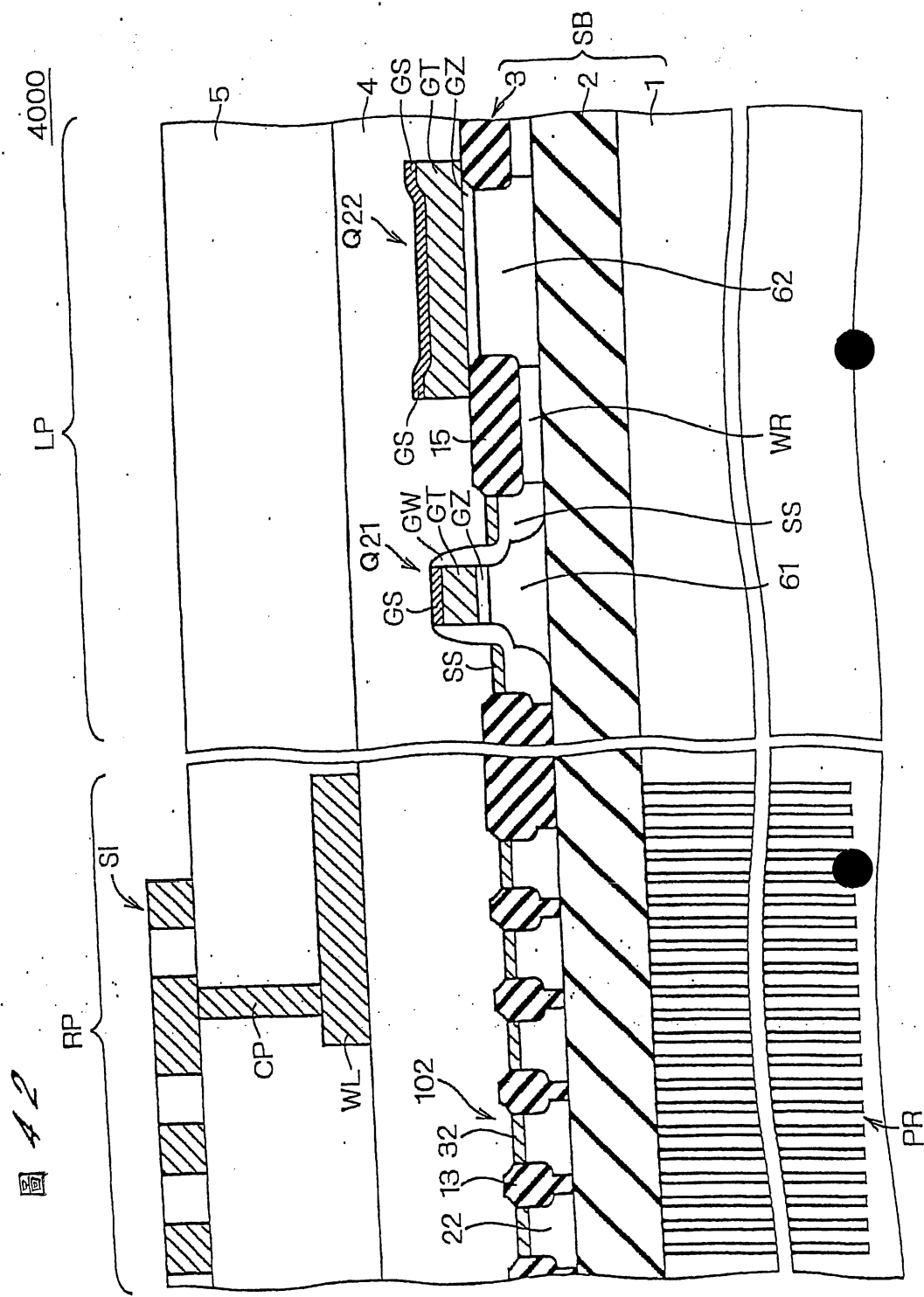


圖 43

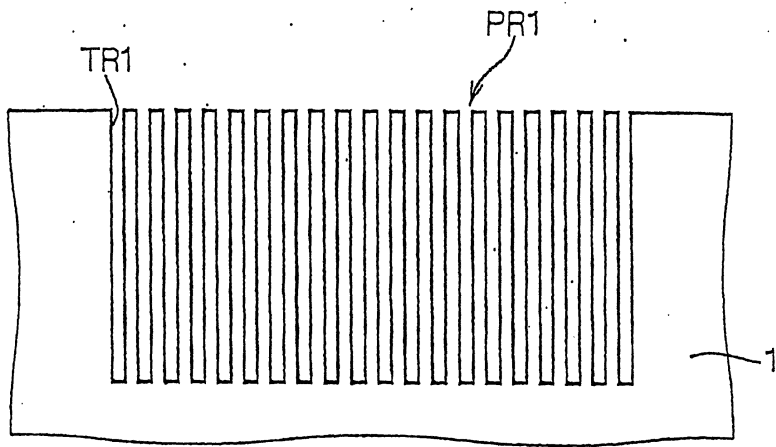


圖 44

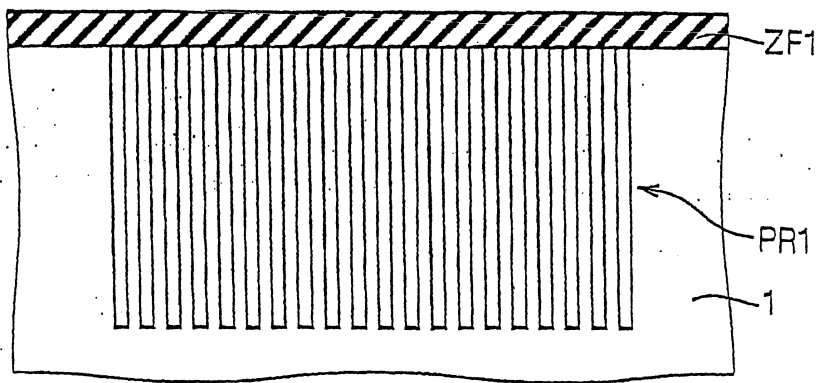


圖 45

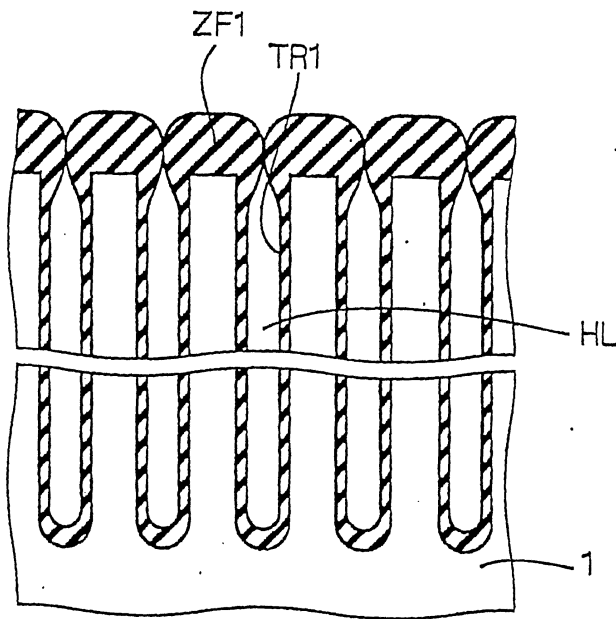
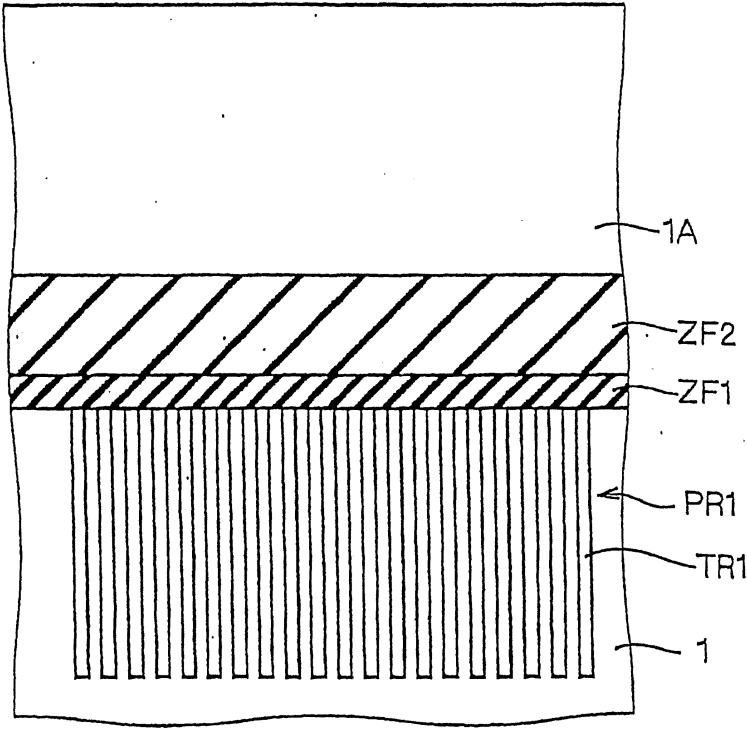
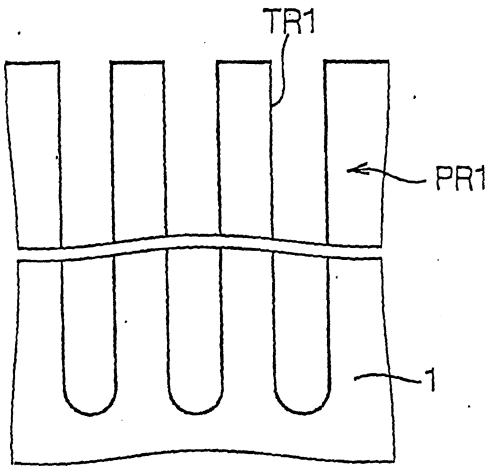


圖 46



47



48

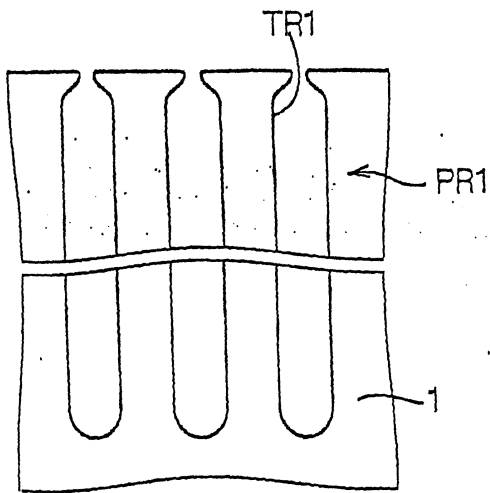


圖 49

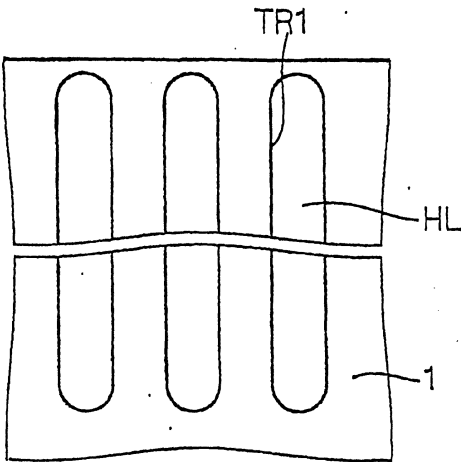


圖 50

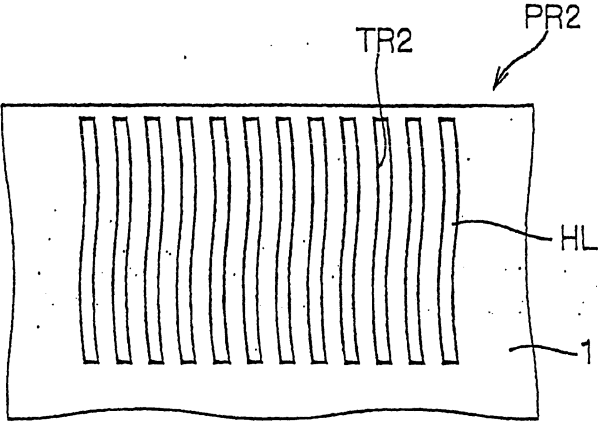


圖 51

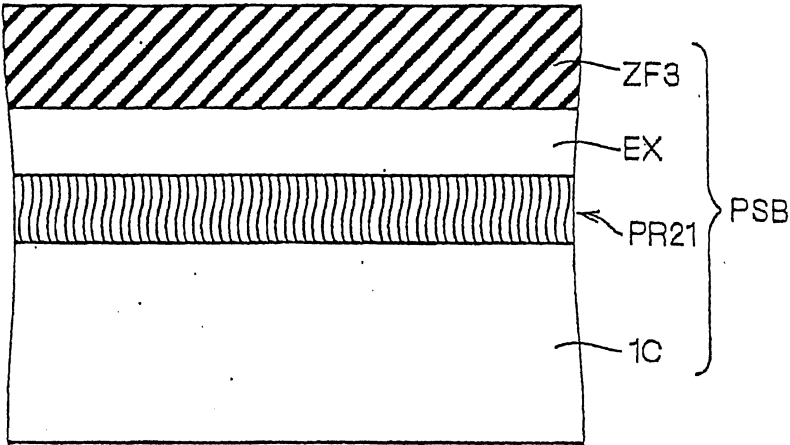


圖 52

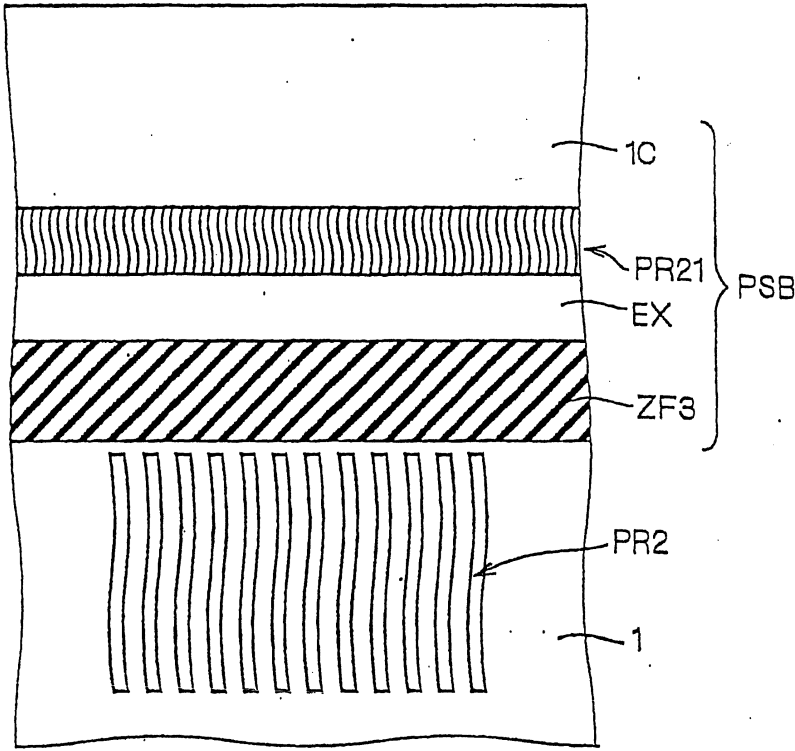


圖 53

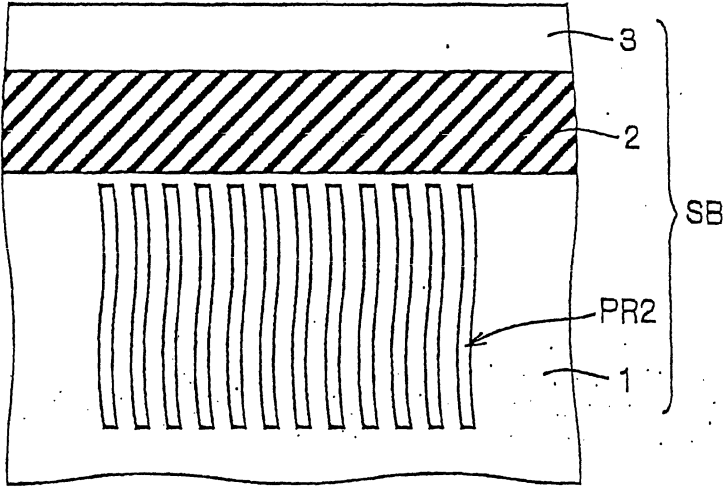
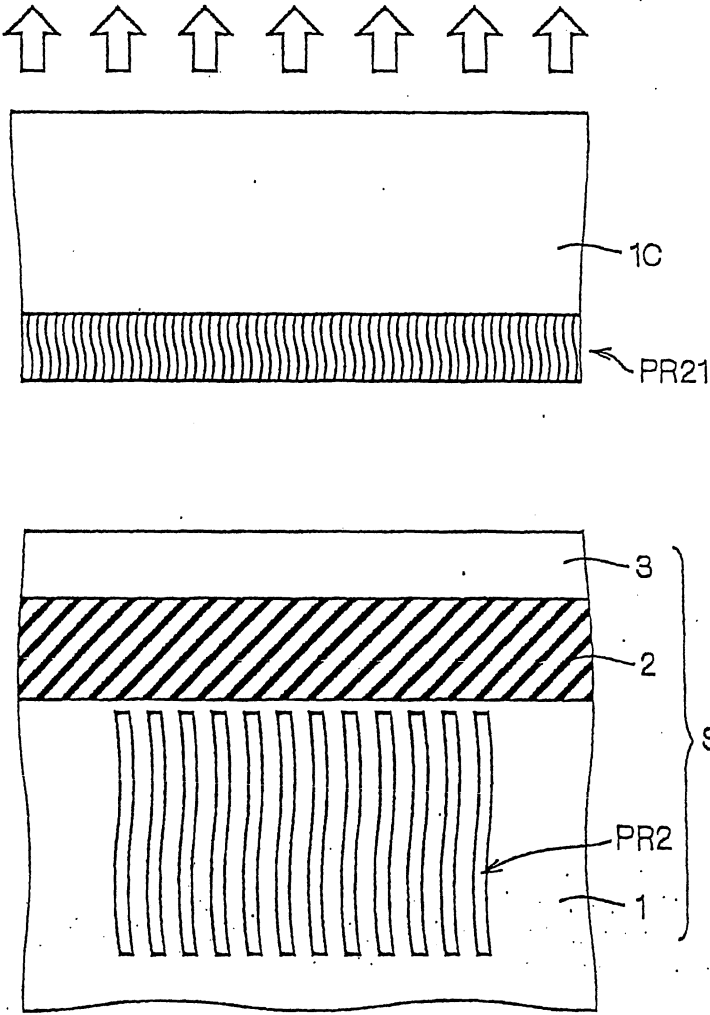
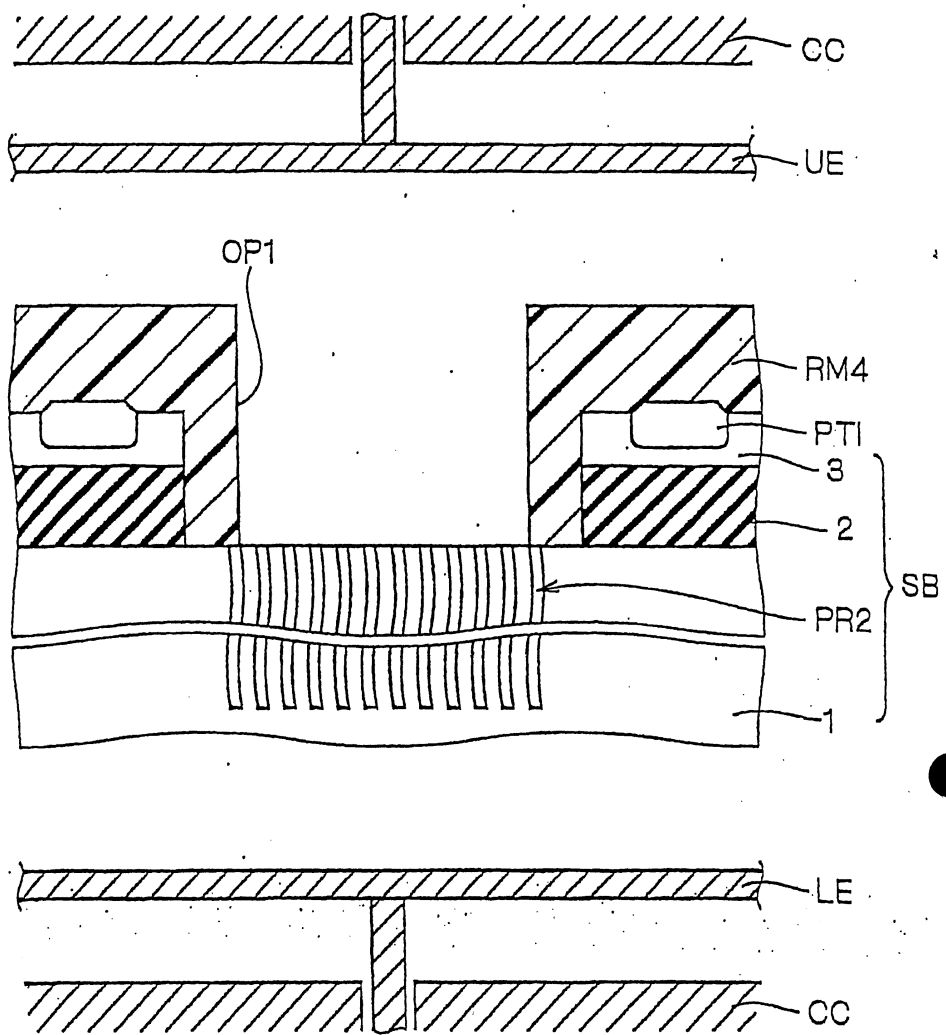


圖 54



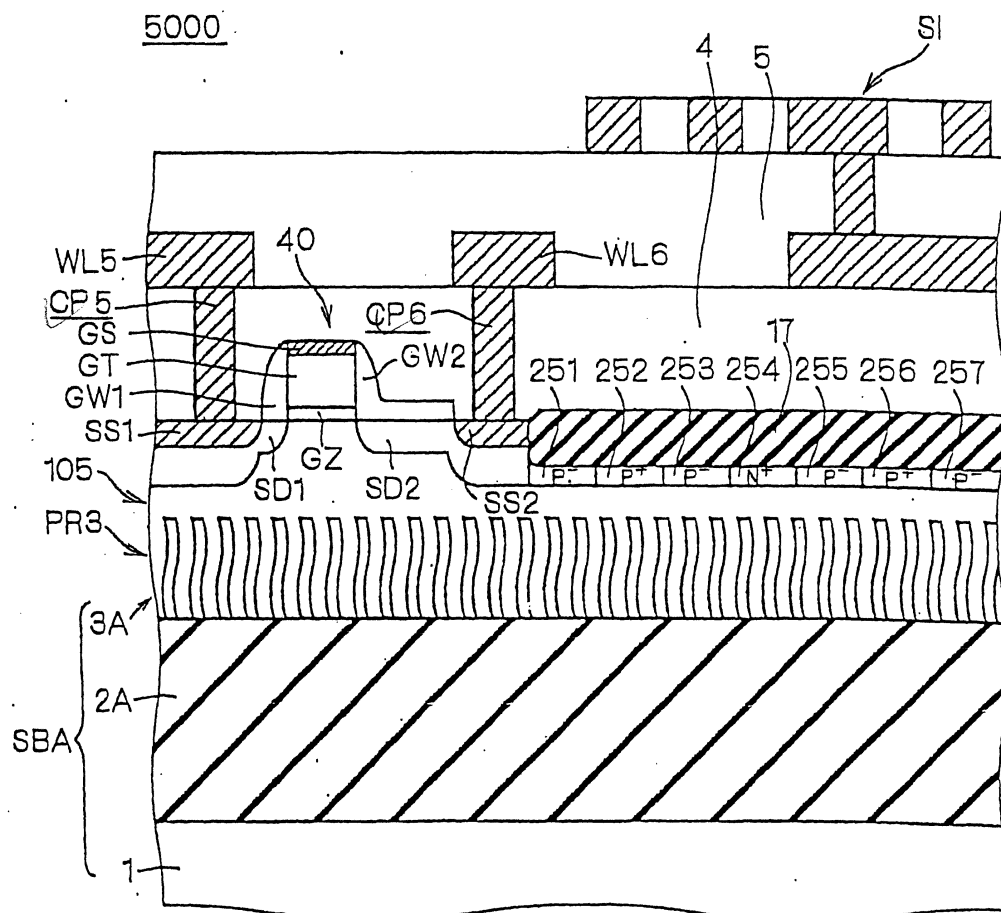


圖 56

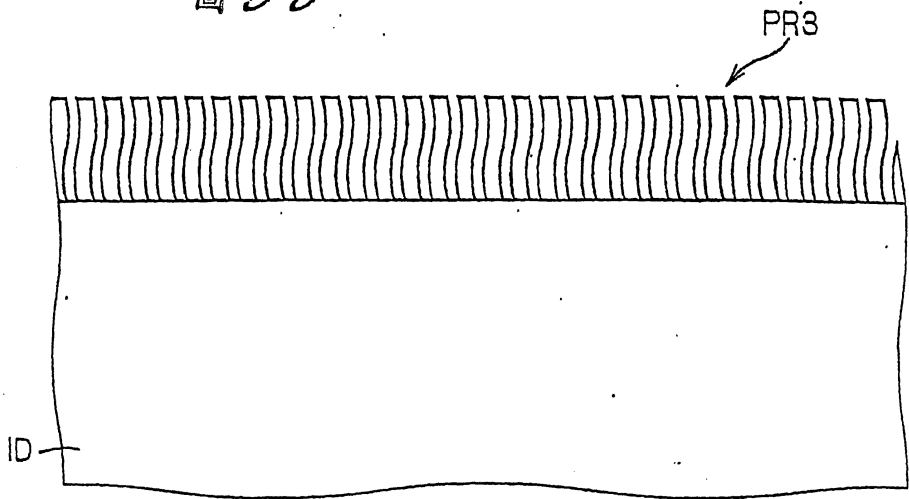


圖 57

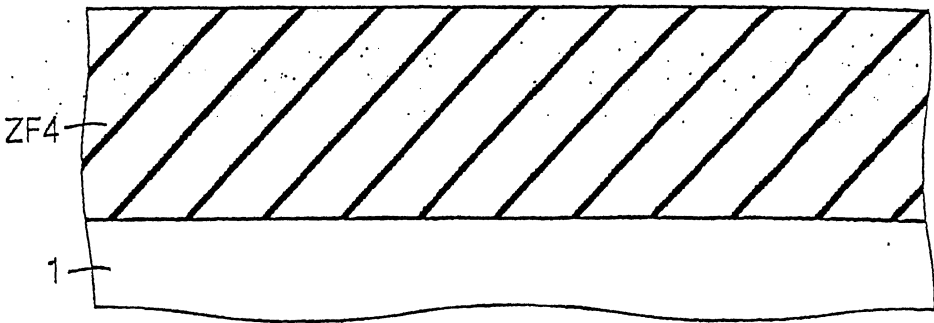


圖 58

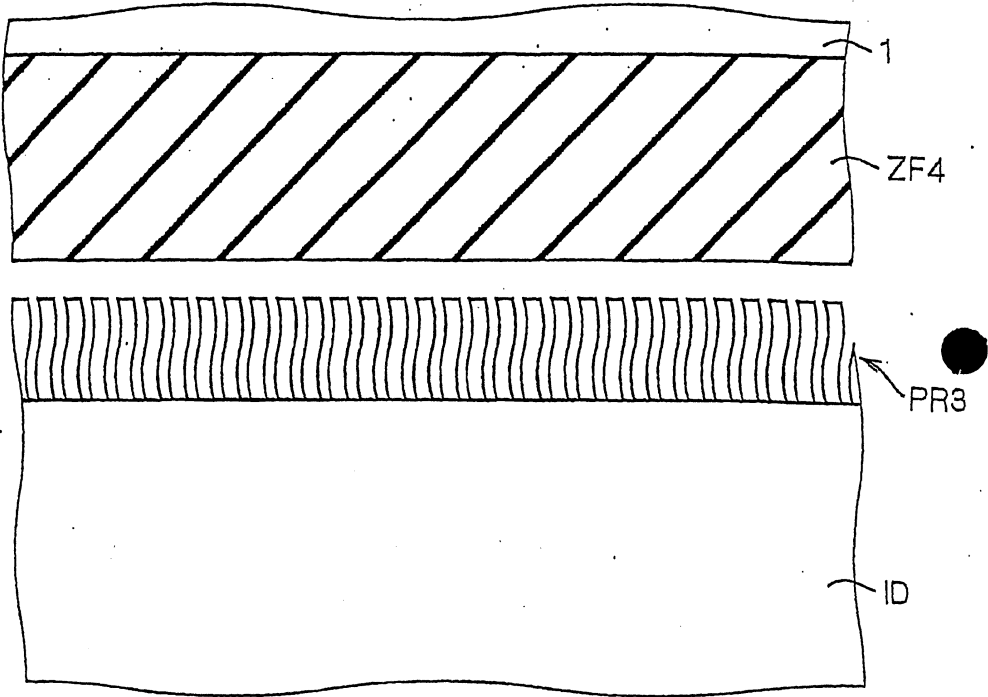


圖 59

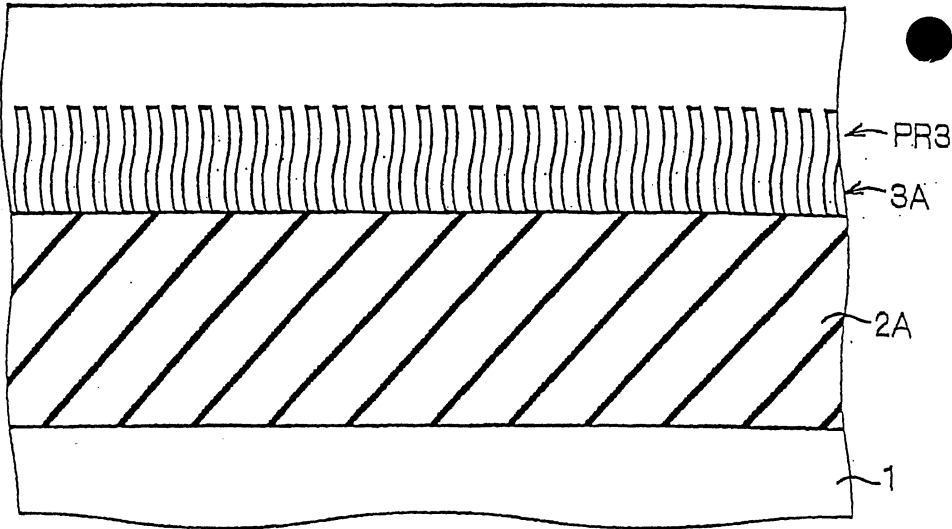


圖 60

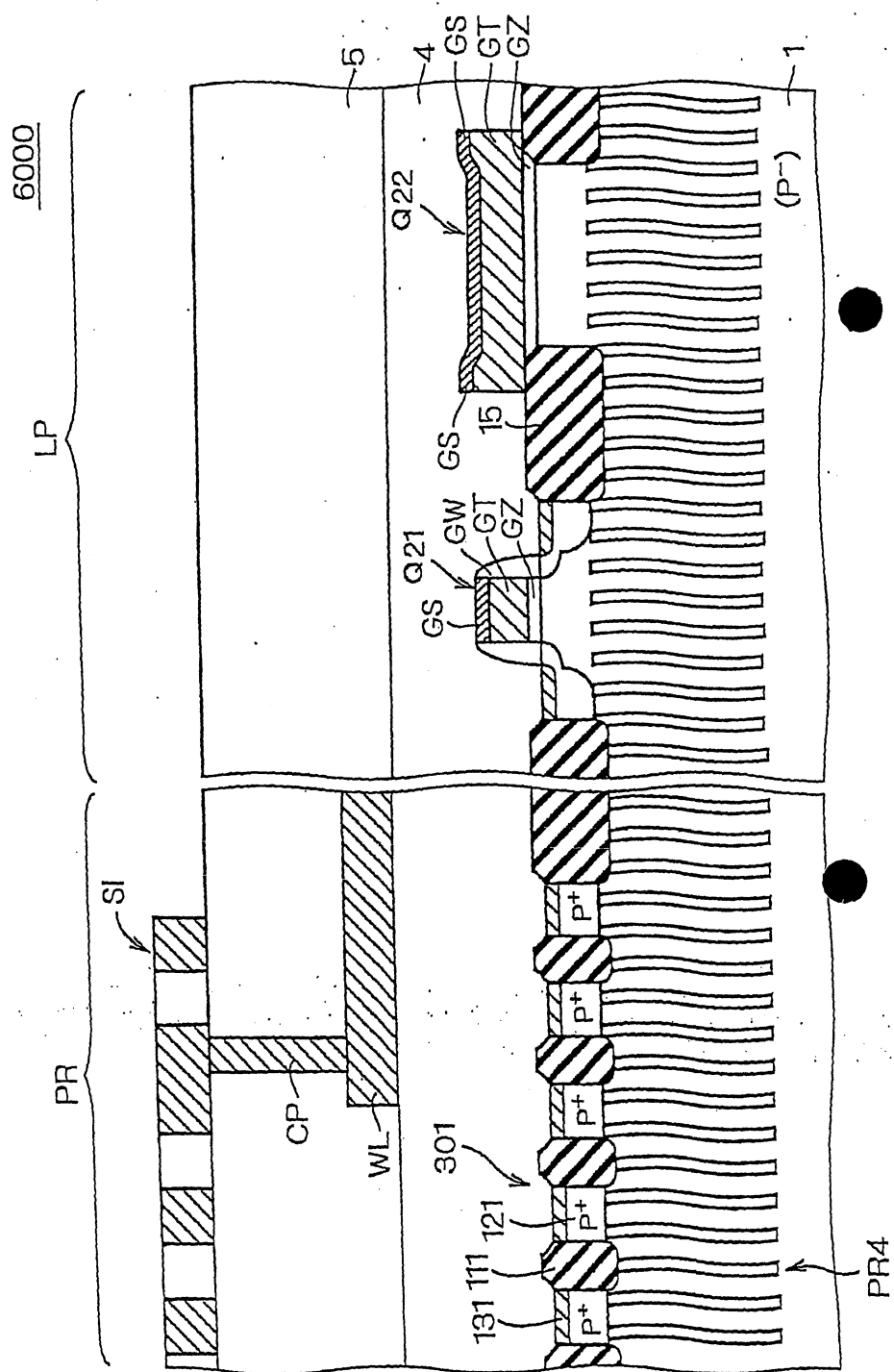


圖 6.2

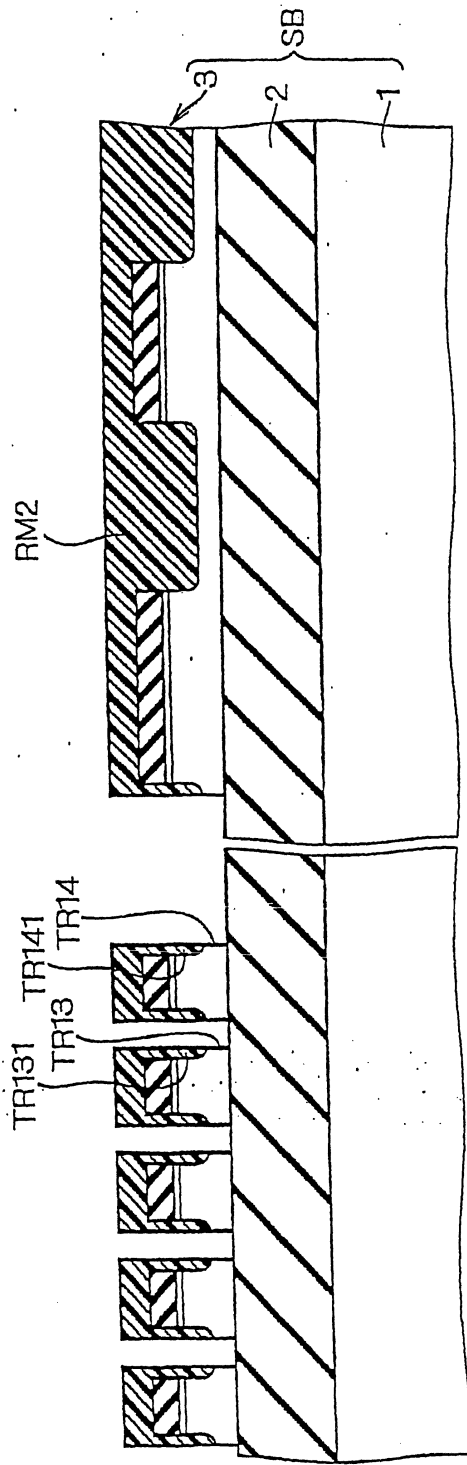


圖 63

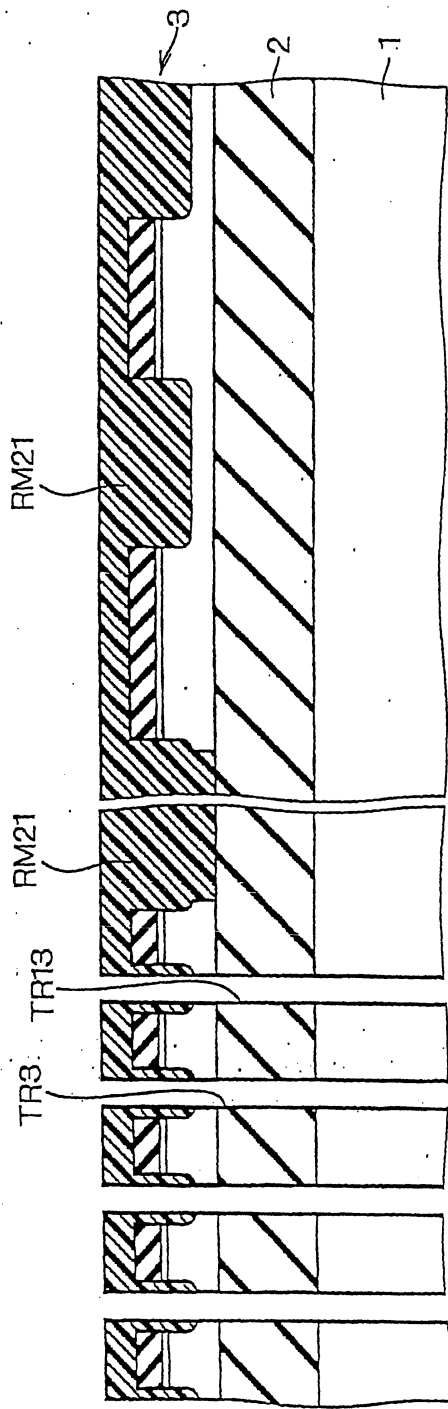
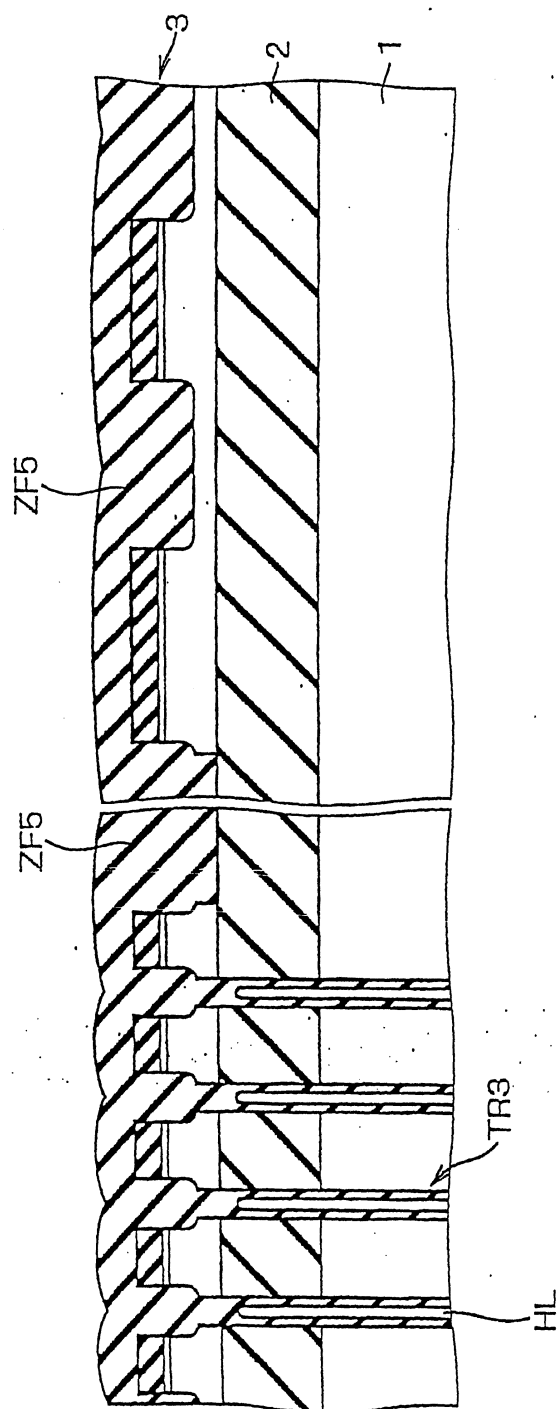
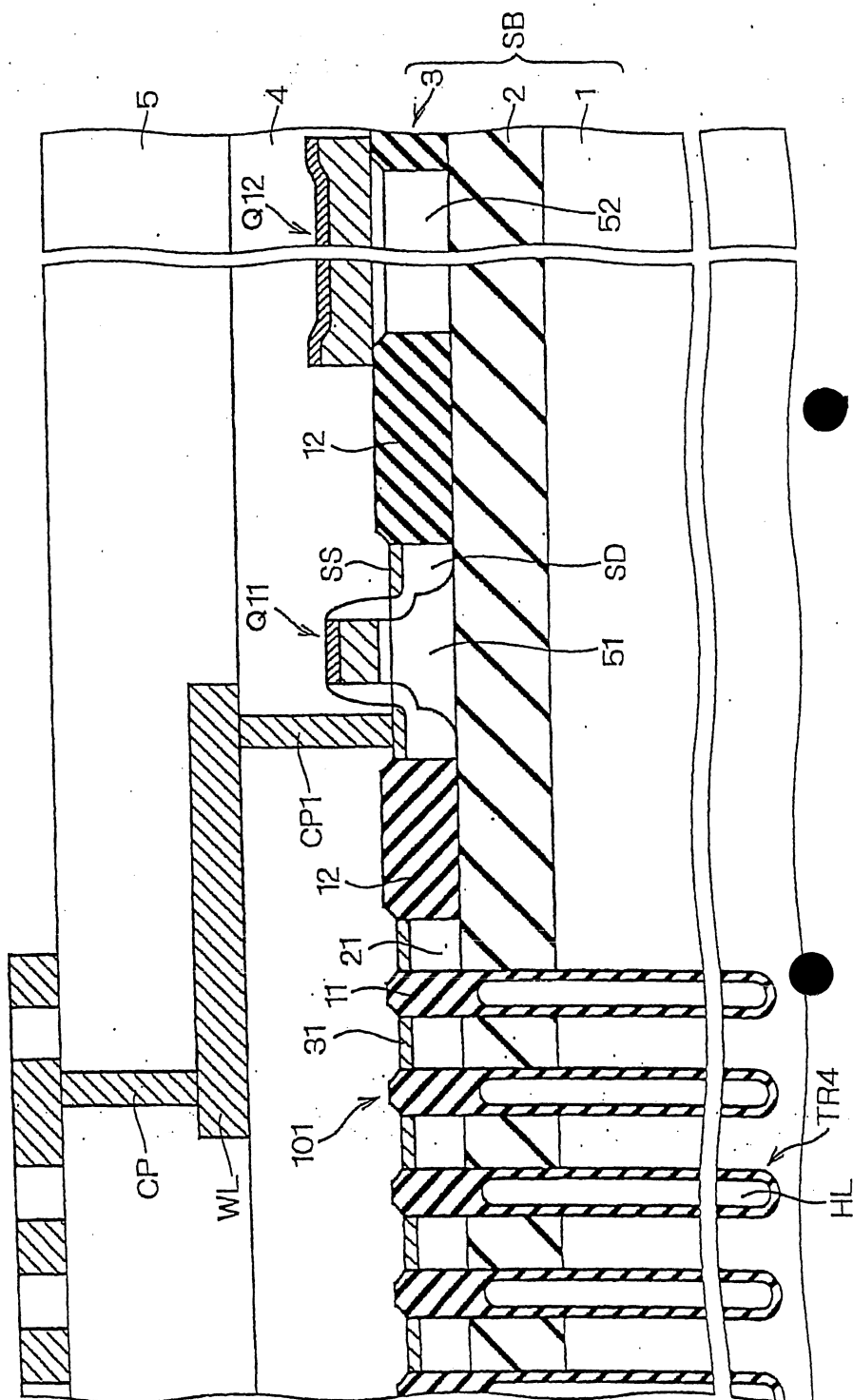


圖 64





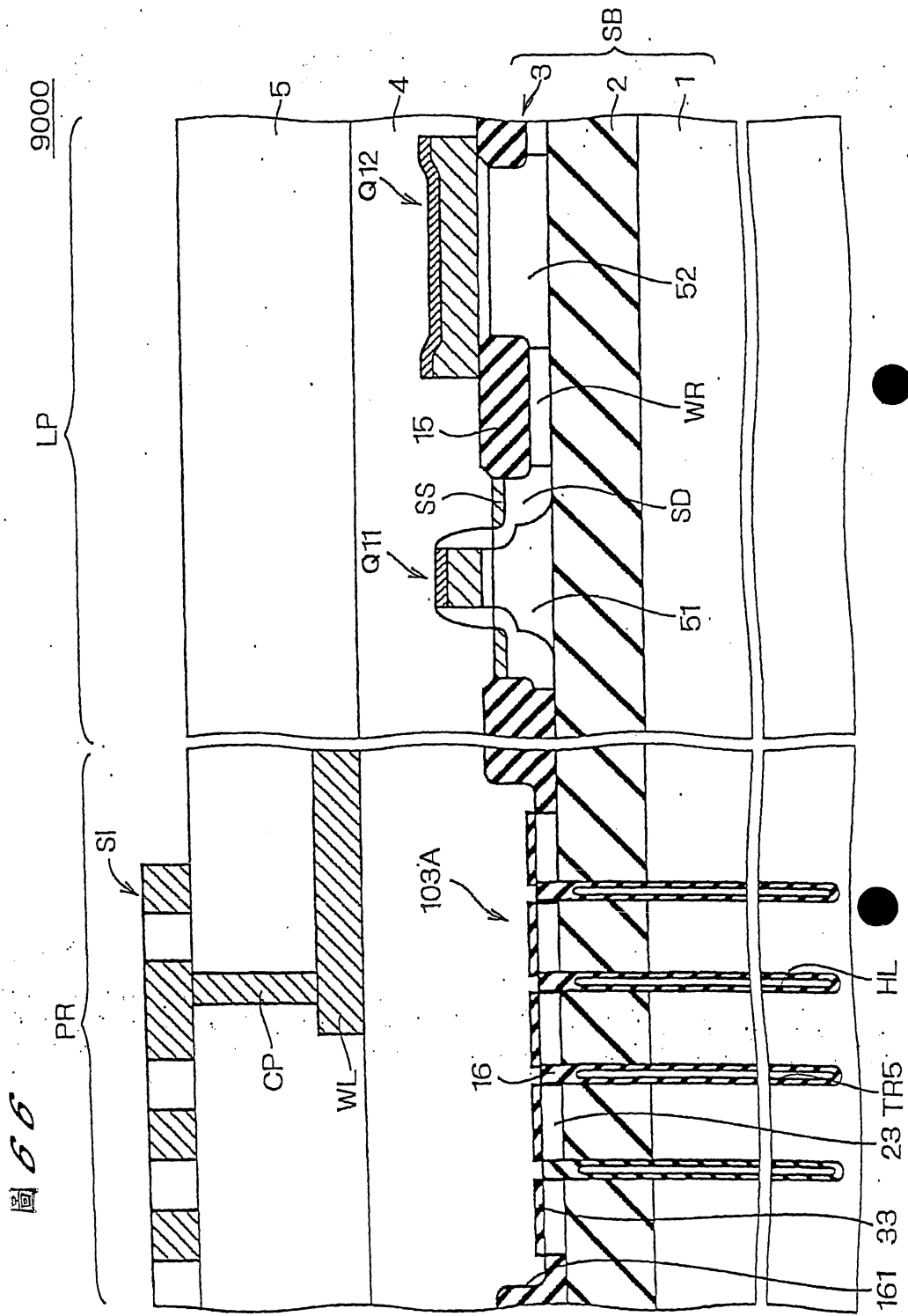


圖 67

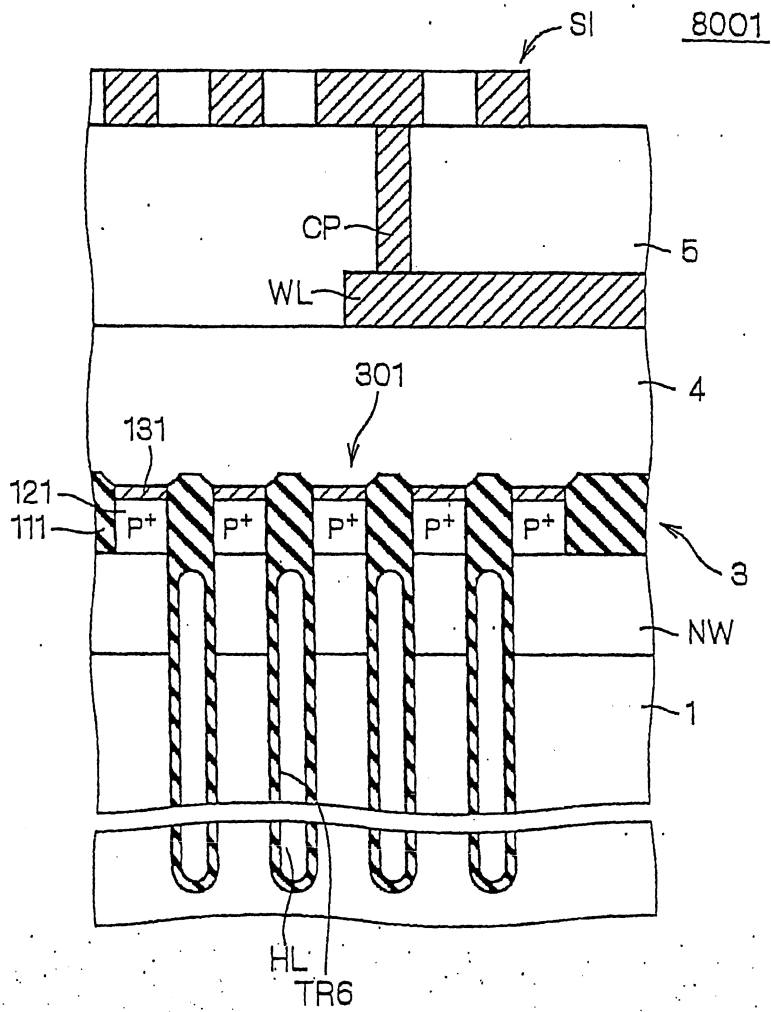


圖 68

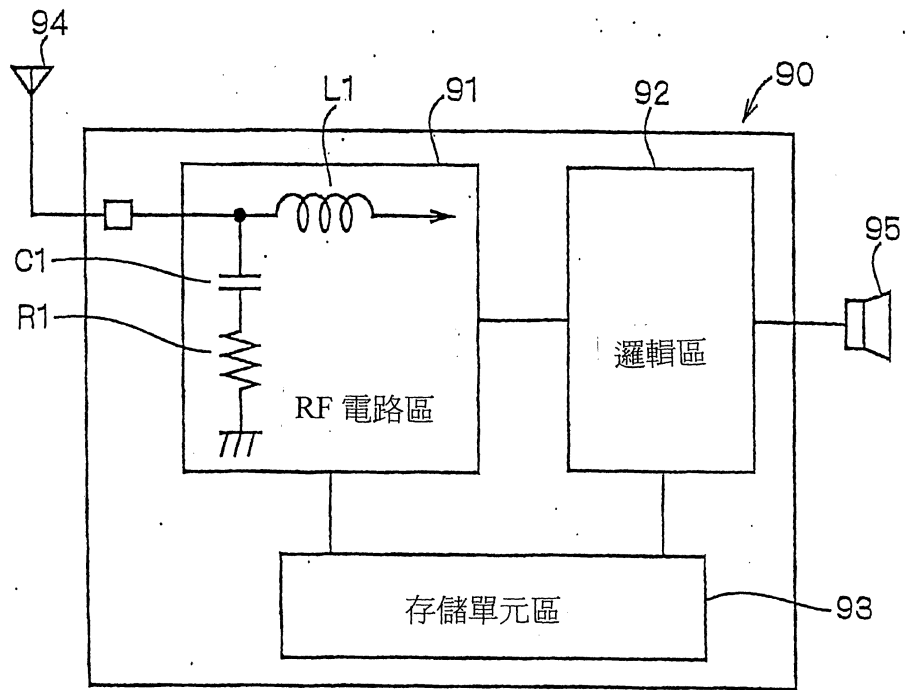


圖 69

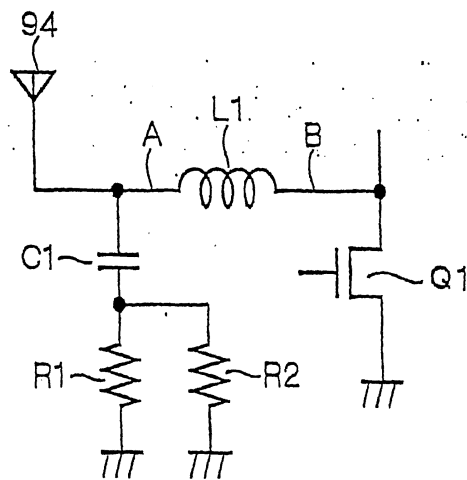


圖 71

