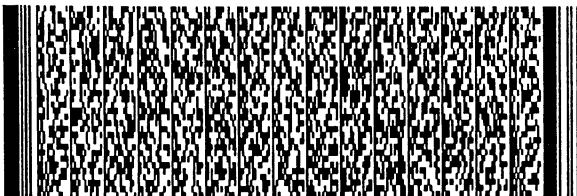


申請日期：93-2-18	IPC分類
申請案號：93103869	H01L 21/8239, 23/60

(以上各欄由本局填註)

發明專利說明書 200529376

一、 發明名稱	中文	記憶體的製造方法及其靜電放電保護電路
	英文	METHOD OF FABRICATING MEMORY AND ELECTROSTATIC DISCHARGE PROTECTIVE CIRCUIT THEREOF
二、 發明人 (共2人)	姓名 (中文)	1. 賴二琨
	姓名 (英文)	1. LAI, ERH KUN
	國籍 (中英文)	1. 中華民國 TW
	住居所 (中文)	1. 新竹科學工業園區力行路16號
	住居所 (英文)	1. NO. 16, LI-HSIN RD., SCIENCE-BASED INDUSTRIAL PARK, HSINCHU, TAIWAN, R. O. C.
三、 申請人 (共1人)	名稱或 姓名 (中文)	1. 旺宏電子股份有限公司
	名稱或 姓名 (英文)	1. MACRONIX INTERNATIONAL CO., LTD.
	國籍 (中英文)	1. 中華民國 TW
	住居所 (營業所) (中文)	1. 新竹科學工業園區力行路16號 (本地址與前向貴局申請者相同)
	住居所 (營業所) (英文)	1. NO. 16, LI-HSIN RD., SCIENCE-BASED INDUSTRIAL PARK, HSINCHU, TAIWAN, R. O. C.
	代表人 (中文)	1. 胡定華
	代表人 (英文)	1. HU, DING HUA



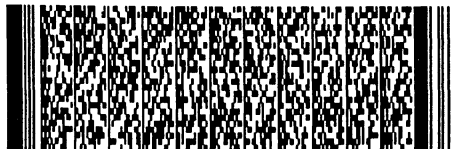
12679twf.pfd

申請日期：	IPC分類
申請案號：	

(以上各欄由本局填註)

發明專利說明書

一、 發明名稱	中文	
	英文	
二、 發明人 (共2人)	姓名 (中文)	2. 陳昕輝
	姓名 (英文)	2. CHEN, HSIN HUEI
	國籍 (中英文)	2. 中華民國 TW
	住居所 (中文)	2. 新竹科學工業園區力行路16號
	住居所 (英文)	2. NO. 16, LI-HSIN RD., SCIENCE-BASED INDUSTRIAL PARK, HSINCHU, TAIWAN, R. O. C.
三、 申請人 (共1人)	名稱或 姓名 (中文)	
	名稱或 姓名 (英文)	
	國籍 (中英文)	
	住居所 (營業所) (中文)	
	住居所 (營業所) (英文)	
	代表人 (中文)	
	代表人 (英文)	



一、本案已向

國家(地區)申請專利

申請日期

案號

主張專利法第二十四條第一項優先權

無

二、☐主張專利法第二十五條之一第一項優先權：

申請案號：

無

日期：

三、主張本案係符合專利法第二十條第一項☐第一款但書或☐第二款但書規定之期間

日期：

四、☐有關微生物已寄存於國外：

寄存國家：

寄存機構：

寄存日期：

寄存號碼：

無

☐有關微生物已寄存於國內(本局所指定之寄存機構)：

寄存機構：

寄存日期：

寄存號碼：

無

☐熟習該項技術者易於獲得, 不須寄存。

五、發明說明 (1)

【發明所屬之技術領域】

本發明是有關於一種半導體元件及其製造方法，且特別是有關於一種記憶體的製造方法及其靜電放電(Electrostatic Discharge, ESD)保護電路。

【先前技術】

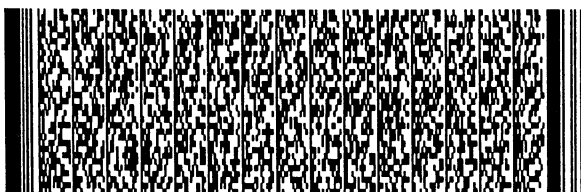
靜電放電為自非導電表面之靜電移動的現象。在地毯上行走的人體，於相對濕度(RH)較高的情況下可檢測出帶有幾百至幾千伏的靜電，而在相對濕度較低的情況下可檢測出帶有一萬伏以上的靜電。另外，用於封裝半導體元件或是測試半導體元件之機台，亦可檢測出幾百，甚至幾千伏的靜電。因此，當上述的帶電體(例如：人體或機台)接觸到晶圓時，將會向晶圓放電，而產生所謂的靜電放電。此靜電放電之瞬間功率有可能造成晶圓上之半導體元件失效。

因此，為了避免靜電放電損傷晶圓上的半導體元件，各種防制靜電放電的方法便因應而生。最常見的方法之一是利用硬體防制靜電放電，也就是在內部電路(Internal Circuit)與每一焊墊(Pad)間，均設計一晶片嵌入式(On-Chip)的靜電放電保護電路以保護其內部電路。

第1A圖至第1E圖所示，其繪示習知一種靜電放電保護電路的製造流程剖面示意圖。

首先，請參照第1A圖，於基底100上依序形成閘介電層102與導電材料層104。

然後，請參照第1B圖，圖案化導電材料層104與閘介



五、發明說明 (2)

電層102，以形成閘極104a與閘介電層102a。接著，於閘極104a二側之基底100中形成源極區106a與汲極區106b。

之後，請參照第1C圖，於閘極104a的側壁形成間隙壁108。繼之，於基底100表面形成防護氧化層(Resistor Protective Oxide, RPO)110，以覆蓋裸露之基底100表面。

值得注意的是，上述形成防護氧化層110的目的，主要是避免後續在形成金屬矽化物的過程中，金屬矽化物形成於源極區106a與汲極區106b之表面上。若源極區106a與汲極區106b表面形成有金屬矽化物，會使得源極區106a與汲極區106b的電阻值下降，如此當瞬間進入靜電放電保護電路之電流過大時，容易造成PN接合界面的損傷，進而造成靜電放電保護電路失效的問題。

接著，請參照第1D圖，於基底100上方形成金屬層112。然後，進行熱製程，以使金屬層112與閘極104a反應。由於源極區106a與汲極區106b上方係覆蓋有防護氧化層110，且閘極104a的側壁形成有間隙壁108，因此覆蓋有防護氧化層110的源極區106a與汲極區106b表面與覆蓋有間隙壁108之閘極104a側壁就不會與金屬層112反應，而不會形成有金屬矽化物。

繼之，請參照第1E圖，移除未反應之金屬層112，以於閘極104a頂部形成金屬矽化物層114。

值的注意的是，上述所形成防護氧化層雖然可以使源極區106a與汲極區106b表面不會形成金屬矽化物，以確保



五、發明說明 (3)

靜電放電保護電路之有效性。但是對於半導體元件之製程來說，必須針對入此防護氧化層110進行額外之製程步驟，如此勢必會使增加製程之複雜度，而造成製程成本之增加。

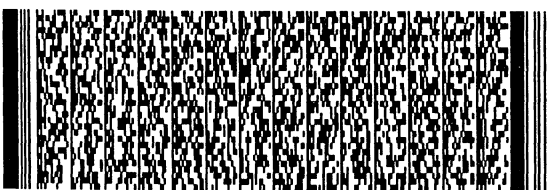
【發明內容】

有鑑於此，本發明的目的就是提供一種記憶體的製造方法，藉由將氮化矽記憶胞(Nitride Read Only Memory Cell)與其靜電放電保護電路之製程整合在一起，以達到簡化製程的目的。

本發明的再一目的是提供一種用於氮化矽記憶體之靜電放電保護電路，以解決當進入靜電放電保護電路的瞬間電流過大時，容易造成其PN接合界面損傷的問題。

本發明的另一目的就是提供一種記憶體的製造方法，以將氮化矽記憶胞、靜電放電保護電路以及周邊電路之製程整合在一起，以達到簡化製程的目的。

本發明提出一種記憶體的製造方法，此方法係先提供基底，且此基底包括記憶胞區與靜電放電保護電路區。然後，於基底上形成堆疊層，且此堆疊層係由穿隧層、電荷捕捉層與阻擋層所構成。其中，此穿隧層的材質例如是氮化矽，此電荷捕捉層的材質例如是氮化矽，且此阻擋層的材質例如是氮化矽。之後，移除靜電放電保護電路區之部分的堆疊層，而使部分的基底表面裸露出來。繼之，於裸露之基底表面上形成閘介電層。然後，於記憶胞區的堆疊層上形成第一閘極，並且於靜電放電保護電路區的閘介電



五、發明說明 (4)

層上形成第二閘極。之後，於第一閘極與第二閘極之頂部形成金屬矽化物層。

本發明提出一種用於氮化矽記憶體之靜電放電保護電路，此靜電放電保護電路包括堆疊層、閘介電層、閘極、金屬矽化物層、源極區與汲極區。其中，堆疊層配置於基底上，且堆疊層具有至少一開口，而使部分的基底表面裸露出來。而且，此堆疊層係由第一氧化矽層、氮化矽層與第二氧化矽層所構成。另外，閘介電層係配置於開口中之基底上。此外，閘極係配置於閘介電層上。另外，金屬矽化物層係配置於閘極之頂部。此外，源極區與汲極區係配置於閘極二側之基底中。

本發明又提出一種記憶體的製造方法，此方法係先提供基底，且此基底包括記憶胞區、靜電放電保護電路區與周邊電路區。然後，於基底上形成堆疊層，且此堆疊層係由穿隧層、電荷捕捉層與阻擋層所構成。其中，此穿隧層的材質例如是氧化矽，此電荷捕捉層的材質例如是氮化矽，且此阻擋層的材質例如是氧化矽。接著，移除靜電放電保護電路區之部分的堆疊層，並且移除周邊電路區的堆疊層，而使部分的基底表面裸露出來。之後，於裸露之基底表面上形成閘介電層。然後，於記憶胞區的堆疊層上形成第一閘極，並且於靜電放電保護電路區與周邊電路區的閘介電層上分別形成第二閘極與第三閘極。接著，於周邊電路區之第三閘極二側之基底中形成第一源極區與第一汲極區。繼之，於第一閘極、第二閘極與第三閘極之頂部以及



五、發明說明 (5)

第一源極區與第一汲極區之表面形成金屬矽化物層。

由於利用本發明之方法可同時進行氮化矽記憶胞與靜電放電保護電路之製程，因此可以簡化製程，節省成本。

此外，由於本發明之靜電放電保護電路之源極區與汲極區表面未配置有金屬矽化物層，因此源極區與汲極區之電阻值較高。於是，可以避免因瞬間進入靜電放電保護電路之電流過大，而造成PN接合界面損傷的問題。

為讓本發明之上述和其他目的、特徵、和優點能更明顯易懂，下文特舉一較佳實施例，並配合所附圖式，作詳細說明如下：

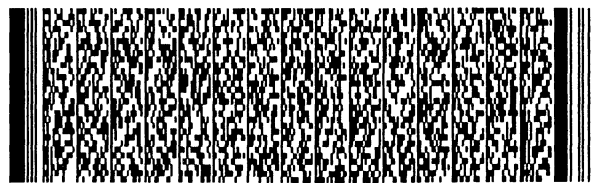
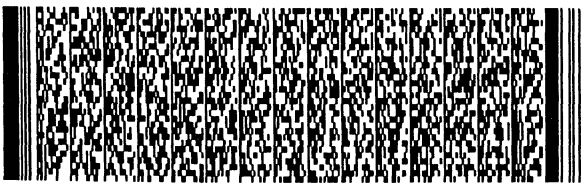
【實施方式】

第2A圖至第2F圖所示，其繪示依照本發明一較佳實施例的一種氮化矽記憶體之製造流程剖面示意圖。

首先，請參照第2A圖，提供基底200，且此基底200包括記憶胞區202、靜電放電保護電路區204與周邊電路區206。

然後，於基底200上形成堆疊層214，且此堆疊層214係由穿隧層208、電荷捕捉層210與阻擋層212所構成。其中，穿隧層208的材質例如是氧化矽，電荷捕捉層210的材質例如是氮化矽，且阻擋層212的材質例如是氧化矽。

之後，於記憶胞區202之基底200中形成埋入式位元線216a、216b，並且於靜電放電保護電路區204之基底200中形成源極區218a與汲極區218b。其中，埋入式位元線216a、216b、源極區218a與汲極區218b的形成方法例如是



五、發明說明 (6)

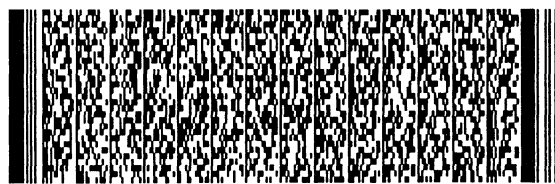
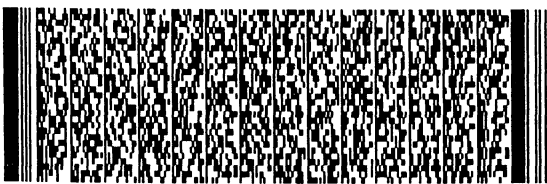
進行離子植入(Ion Implantation)步驟，而形成之。

接著，請參照第2B圖，移除靜電放電保護電路區204之源極區218a與汲極區218b之間的堆疊層214，並且移除周邊電路區206的堆疊層214，而使部分的基底200表面裸露出來。其中，堆疊層214的移除方法例如是進行微影蝕刻製程，其例如是先於堆疊層214上形成一圖案化光阻層(未繪示)，此圖案化光阻層係裸露出除靜電放電保護電路區204之源極區218a與汲極區218b之間的堆疊層214以及周邊電路區206的堆疊層214。然後，進行蝕刻製程，移除裸露出之堆疊層214。

繼之，於裸露之基底200表面上形成閘介電層220。其中閘介電層220的材質例如是氧化矽，而其形成方法例如是進行一熱氧化製程，而形成之。

然後，請參照第2C圖，於基底200上方形成導電材料層222，以覆蓋堆疊層214、閘介電層220與基底200表面。其中，此導電材料層222的材質例如是摻雜多晶矽，而其形成方法例如是利用化學氣相沈積法形成一層未摻雜多晶矽層(未繪示)後，進行離子植入步驟，而形成之。此外，導電材料層222的形成方法亦可在進行化學氣相沈積製程的同時，通入含有摻質之反應氣體，而形成之。

接著，請參照第2D圖，圖案化導電材料層222，以於記憶胞區204的埋入式位元線216a與216b之間的堆疊層214上形成閘極224a，並且於靜電放電保護電路區204與周邊電路區206的閘介電層220上分別形成閘極224b與閘極



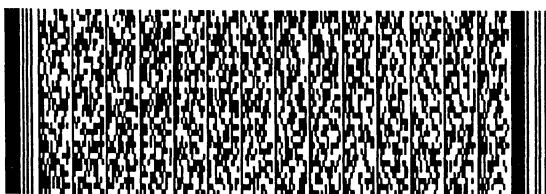
五、發明說明 (7)

224c。其中，圖案化導電材料層222的方法例如是進行微影蝕刻等製程。而上述於圖案化導電材料層222之過程中，更包括圖案化周邊電路區206之閘介電層220，以形成閘介電層220a，裸露出部分之基底200表面。

繼之，於周邊電區206之閘極224c二側的基底200中形成源極區226a與汲極區226b。其中，源極區226a與汲極區226b的形成方法例如是進行離子植入步驟，而形成之。值得一提的是，在另一較佳實施例中，先前在第2A圖中之形成埋入式位元線216a、216b、源極區218a與汲極區218b的步驟，亦可在形成閘極224a、224b與224c之後進行，其例如是與形成源極區226a與汲極區226b的步驟於同一反應室中進行，其二者之差異僅在於進行離子植入時，採用不同的製程參數。

然後，請參照第2E圖，在一較佳實施例中，在形成源極區226a與汲極區226b之後，更包括於閘極224a、閘極224b與閘極224c的側壁形成間隙壁228。其中，間隙壁228的材質例如是氧化矽或是氮化矽。而其形成方法例如是先在基底200上沉積一層共形之介電層(未繪示)，接著去除部分介電層，僅留下閘極224a、閘極224b與閘極224c側壁上的間隙壁228。其中，移除部分介電層之方法例如是進行非等向性蝕刻製程。

之後，於基底200上方形成金屬層230，以覆蓋堆疊層214、閘極224a、閘極224b、閘極224c、間隙壁228以及源極區226a與汲極區226b表面。其中，此金屬層230的材質



五、發明說明 (8)

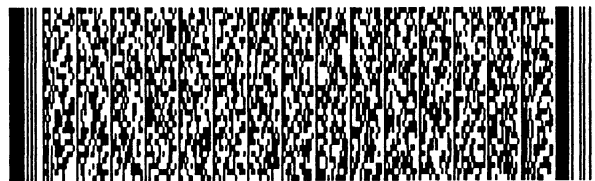
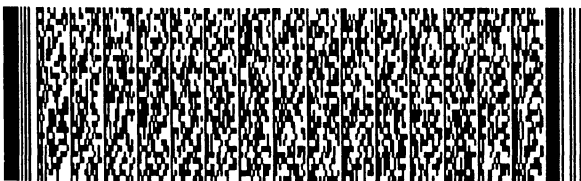
例如是鈦、鎢等耐熱金屬。而其形成方法例如是進行物理氣相沈積製程，而形成之。

接著，請參照第2F圖，進行熱製程，以使金屬層230與閘極224a、閘極224b、閘極224c以及源極區226a與汲極區226b表面反應。其中，此熱製程例如是快速熱製程(Rapid Thermal Process)。

繼之，移除未反應之金屬層230，以於閘極224a、閘極224b與閘極224c之頂部與周邊電路區206之源極區226a與汲極區226b表面形成金屬矽化物層232。其中，移除未反應之金屬層230的方法例如是進行濕式蝕刻製程。

值得一提的是，在移除未反應之金屬層230時，覆蓋於靜電放電保護電路區204之基底200表面的堆疊層214具有類似習知技術中防護氧化層(RPO)的作用。而且相較於防護氧化層，其具有較佳之抵抗蝕刻能力。特別是，此堆疊層214當中之氮化矽電子捕捉層210，在移除未反應之金屬層230時相較於氧化矽有更佳的抗蝕刻能力。因此靜電放電保護電路區204之源極區218a以及汲極區218b表面可藉由此堆疊層214而獲得較佳之保護。

此外，利用上述之方法，不需額外形成防護氧化層的情況下，即可僅在靜電放電保護電路區204之閘極224a上形成金屬矽化物232，而不會於源極區218a與汲極區218b表面形成有金屬矽化物層232。因源極區218a與汲極區218b具有較高之電阻值之故，可以避免因瞬間進入靜電放電保護電路之電流過大，而造成PN接合界面損傷。



五、發明說明 (9)

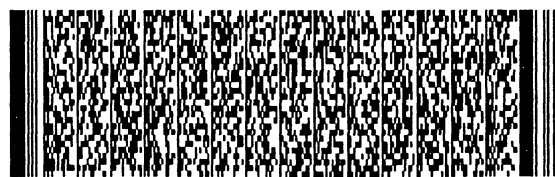
以下係針對利用上述方法所得之結構加以說明。請參照第2F圖，此氮化矽唯讀記憶體包括基底200、堆疊層214、閘介電層220、閘介電層220a、閘極224a、閘極224b、閘極224c、金屬矽化物層232、源極區218a、汲極區218b、源極區226a、汲極區226b、埋入式位元線216a與埋入式位元線216a。而且，基底200包括記憶胞區202、靜電放電保護電路區204與周邊電路區206。此外，在一較佳實施例中，此氮化矽唯讀記憶體更包括間隙壁228。

其中，堆疊層214係配置於記憶胞區202與靜電放電保護電路區204之基底200上，且堆疊層214具有開口201，而使靜電放電保護電路區204之部分基底200表面裸露出來。其中，堆疊層214係由穿隧層208、電荷捕捉層210與阻擋層212所構成。而穿隧層208的材質例如是氧化矽，電荷捕捉層210的材質例如是氮化矽，且阻擋層212的材質例如是氧化矽。

另外，閘介電層220係配置於靜電放電保護電路區204之開口201中之基底200上，且閘介電層220a係配置於周邊電路區206之部分的基底200表面上。

此外，閘極224a係配置於記憶胞區202之部分的堆疊層214上，且閘極224b與閘極224c係分別配置於靜電放電保護電路區204與周邊電路區206之閘介電層220上。其中，閘極224a、閘極224b與閘極224c的材質例如是摻雜多晶矽。

另外，在記憶胞區202中，埋入式字元線216a與埋入



五、發明說明 (10)

式字元線216b係配置於閘極224a二側之基底200中。在靜電放電保護電路區204中，源極區218a與汲極區218b係配置於閘極224b二側之基底200中。在周邊電路區206，源極區226a與汲極區226b係配置於閘極224c二側之基底200中。

此外，在一較佳實施例中，間隙壁228係配置於閘極224a、閘極224b與閘極224c的側壁。另外，金屬矽化物層232係配置於閘極224a、閘極224b與閘極224c之頂部，且金屬矽化物層232係配置在周邊電路區206之源極區226a與汲極區226b上方之基底200表面上。

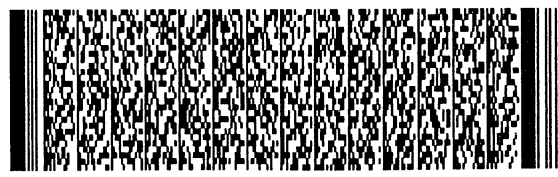
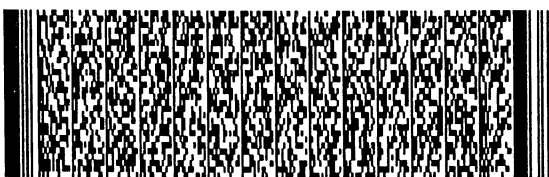
由於在靜電放電保護電路區204中，源極區218a與汲極區218b表面未配置有金屬矽化物層232，因此可以避免因瞬間進入靜電放電保護電路之電流過大，而造成PN接合界面損傷的問題。

綜上所述，本發明至少具有下面的優點：

1. 在本發明中，由於在靜電放電保護電路區中覆蓋在源極區與汲極區表面之堆疊層具有較佳之抵抗蝕刻之能力，因此在移除未反應之金屬層時，可以提供較佳的保護能力。

2. 由於利用本發明之方法可同時進行氮化矽記憶胞與靜電放電保護電路之製程，而且不需額外形成防護氧化層，即可使得靜電放電保護電路之源極區與汲極區表面不會形成有金屬矽化物，因此可以簡化的製程。

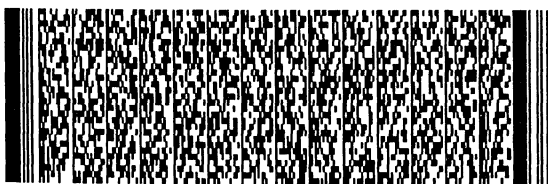
3. 由於本發明之靜電放電保護電路之源極區與汲極區



五、發明說明 (11)

表面未配置有金屬矽化物層，因此源極區與汲極區之電阻值較高。於是，可以避免因瞬間進入靜電放電保護電路之電流過大，而造成PN接合界面損傷的問題。

雖然本發明已以較佳實施例揭露如上，然其並非用以限定本發明，任何熟習此技藝者，在不脫離本發明之精神和範圍內，當可作些許之更動與潤飾，因此本發明之保護範圍當視後附之申請專利範圍所界定者為準。



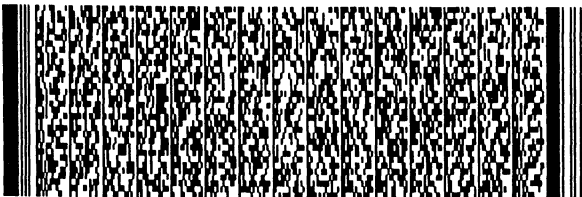
圖式簡單說明

第1A圖與第1E圖是習知的一種靜電放電保護電路的製造流程剖面示意圖。

第2A圖與第2F圖是依照本發明之一較佳實施例的一種氮化矽唯讀記憶體之製造流程剖面示意圖。

【圖式標記說明】

- 100、200：基底
- 102、102a、220、220a：閘介電層
- 104、222：導電材料層
- 104a、224a、224a、224c：閘極
- 106a、218a、226a：源極區
- 106b、218b、226b：汲極區
- 108、228：間隙壁
- 110：防護氧化層
- 112、230：金屬層
- 114、232：金屬矽化物層
- 116：通道區
- 201：開口
- 202：記憶胞區
- 204：靜電放電保護電路區
- 206：周邊電路區
- 208：穿隧層
- 210：電荷捕捉層
- 212：阻擋層
- 214：堆疊層



圖式簡單說明

216a、216b：埋入式位元線



四、中文發明摘要 (發明名稱：記憶體之製造方法及其靜電放電保護電路)

一種用於氮化矽記憶體之靜電放電保護電路，此靜電放電保護電路包括堆疊層、閘介電層、閘極、金屬矽化物層、源極區與汲極區。其中，堆疊層配置於基底上，且堆疊層具有至少一開口，而使部分的基底表面裸露出來。另外，閘介電層係配置於開口中之基底上。此外，閘極係配置於閘介電層上。另外，金屬矽化物層係配置於閘極之頂部。此外，源極區與汲極區係配置於閘極二側之基底中。特別是，當進入此靜電放電保護電路的靜電電流過大時，使用此靜電放電保護電路可以避免PN接合界面之損傷。

五、英文發明摘要 (發明名稱：METHOD OF FABRICATING MEMORY AND ELECTROSTATIC DISCHARGE PROTECTIVE CIRCUIT THEREOF)

An electrostatic discharge protective circuit used in a nitride read only memory is provided. The electrostatic discharge protective circuit consists of a stack layer, a gate dielectric layer, a gate, a silicide layer, a source region and a drain region. The stack layer having at least one opening is located on a substrate and exposes the partial surface of the substrate. The



四、中文發明摘要 (發明名稱：記憶體的製造方法及其靜電放電保護電路)

五、英文發明摘要 (發明名稱：METHOD OF FABRICATING MEMORY AND ELECTROSTATIC DISCHARGE PROTECTIVE CIRCUIT THEREOF)

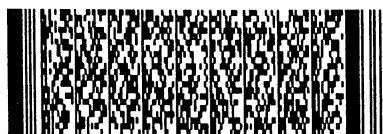
gate dielectric layer is located on the substrate in the opening. The gate is located on the gate dielectric layer. The silicide layer is located on the top surface of the gate. The source region and the drain region are in the substrate on beside the gate. Particularly, when the electrostatic current flowing into the electrostatic discharge protection circuit is too high, using this



四、中文發明摘要 (發明名稱：記憶體之製造方法及其靜電放電保護電路)

五、英文發明摘要 (發明名稱：METHOD OF FABRICATING MEMORY AND ELECTROSTATIC DISCHARGE PROTECTIVE CIRCUIT THEREOF)

protective circuit can avoid damage at its PN junction.



六、申請專利範圍

1. 一種記憶體的製造方法，包括：

提供一基底，該基底係包括有一記憶胞區與一靜電放電保護電路區；

於該基底上形成一堆疊層，該堆疊層係由一穿隧層、一電荷捕捉層與一阻擋層所構成；

移除該靜電放電保護電路區之部分該堆疊層，而使部分該基底表面裸露出來；

於裸露之該基底表面上形成一閘介電層；

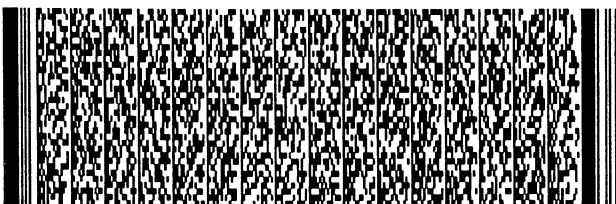
於該記憶胞區的該堆疊層上形成一第一閘極，並且於該靜電放電保護電路區的該閘介電層上形成一第二閘極；以及

於該第一閘極與該第二閘極之頂部形成一金屬矽化物層。

2. 如申請專利範圍第1項所述之記憶體的製造方法，其中在形成該堆疊層之後以及在移除該靜電放電保護電路區之部分該堆疊層之前，更包括於該記憶胞區之該基底中形成多數個埋入式位元線，並且於該靜電放電保護電路區之該基底中形成一源極區與一汲極區。

3. 如申請專利範圍第1項所述之記憶體的製造方法，其中在形成該第一閘極與該第二閘極之後以及在形成該金屬矽化物層之前，更包括於該第一閘極二側之該基底中形成多數個埋入式位元線，並且於該第二閘極二側之該基底中形成一源極區與一汲極區。

4. 如申請專利範圍第1項所述之記憶體的製造方法，



六、申請專利範圍

其中該穿隧層的材質係為氧化矽，該電荷捕捉層的材質係為氮化矽，且該阻擋層的材質係為氧化矽。

5. 如申請專利範圍第1項所述之記憶體的製造方法，其中移除該堆疊層的方法包括進行一微影蝕刻製程。

6. 如申請專利範圍第1項所述之記憶體的製造方法，其中該閘介電層的形成方法包括進行一熱氧化製程，以形成一閘氧化層。

7. 如申請專利範圍第1項所述之記憶體的製造方法，其中該第一閘極與該第二閘極的形成方法包括：

於該基底上方形成一導電材料層，以覆蓋該堆疊層與該閘介電層；以及

圖案化該導電材料層。

8. 如申請專利範圍第1項所述之記憶體的製造方法，其中該金屬矽化物層的形成方法包括：

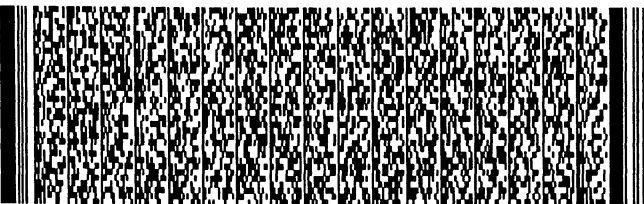
於該基底上方形成一金屬層，以覆蓋該堆疊層、該第一閘極與該第二閘極；

進行一熱製程，以使該金屬層與該第一閘極及該第二閘極反應；以及

移除未反應之該金屬層。

9. 一種用於氮化矽記憶體之靜電放電保護電路，包括：

一堆疊層，配置於一基底上，該堆疊層具有至少一開口，而使部分該基底表面裸露出來，而且該堆疊層係由一第一氧化矽層、一氮化矽層與一第二氧化矽層所構成；



六、申請專利範圍

- 一 閘介電層，配置於該開口中之該基底上；
- 一 閘極，配置於該閘介電層上；
- 一 金屬矽化物層，配置於該閘極之頂部；以及
- 一 源極區與一汲極區，配置於該閘極二側之該基底中。

10. 如申請專利範圍第9項所述之用於氮化矽記憶體之靜電放電保護電路，其中該閘介電層的材質包括氧化矽。

11. 如申請專利範圍第9項所述之用於氮化矽記憶體之靜電放電保護電路，其中該閘極的材質包括摻雜多晶矽。

12. 一種記憶體的製造方法，包括：

提供一基底，該基底包括一記憶胞區、一靜電放電保護電路區與一周邊電路區；

於該基底上形成一堆疊層，該堆疊層係由一穿隧層、一電荷捕捉層與一阻擋層所構成；

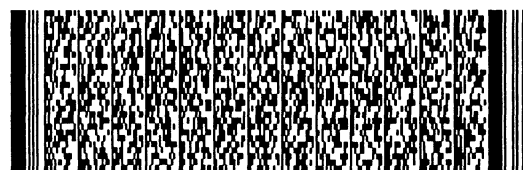
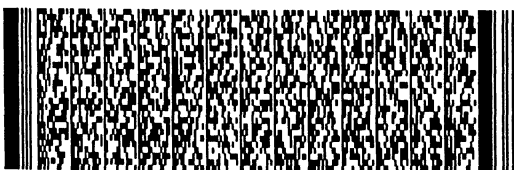
移除該靜電放電保護電路區之部分該堆疊層，並且移除該周邊電路區的該堆疊層，而使部分該基底表面裸露出來；

於裸露之該基底表面上形成一閘介電層；

於該記憶胞區的該堆疊層上形成一第一閘極，並且於該靜電放電保護電路區與該周邊電路區的該閘介電層上分別形成一第二閘極與一第三閘極；

於該周邊電路區之該第三閘極二側之該基底中形成一第一源極區與一第一汲極區；以及

於該第一閘極、該第二閘極與該第三閘極之頂部以及



六、申請專利範圍

該第一源極區與該第一汲極區之表面形成一金屬矽化物層。

13. 如申請專利範圍第12項所述之記憶體的製造方法，其中在形成該堆疊層之後以及在移除該靜電放電保護電路區之部分該堆疊層之前，更包括於該記憶胞區之該基底中形成多數個埋入式位元線，並且於該靜電放電保護電路區之該基底中形成一第二源極區與一第二汲極區。

14. 如申請專利範圍第12項所述之記憶體的製造方法，其中在形成該第一源極區與該第一汲極區時，更包括於該第一閘極二側之該基底中形成多數個埋入式位元線，並且於該第二閘極二側之該基底中形成一第二源極區與一第二汲極區。

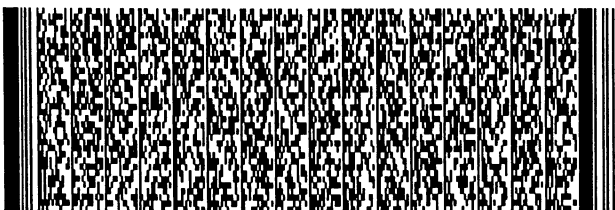
15. 如申請專利範圍第12項所述之記憶體的製造方法，其中該穿隧層的材質係為氧化矽，該電荷捕捉層的材質係為氮化矽，且該阻擋層的材質係為氧化矽。

16. 如申請專利範圍第12項所述之記憶體的製造方法，其中移除該堆疊層的方法包括進行一微影蝕刻製程。

17. 如申請專利範圍第12項所述之記憶體的製造方法，其中該閘介電層的形成方法包括進行一熱氧化製程，以形成一閘氧化層。

18. 如申請專利範圍第12項所述之記憶體的製造方法，其中該第一閘極、該第二閘極與該第三閘極的形成方法包括：

於該基底上方形成一導電材料層，以覆蓋該基底、該



六、申請專利範圍

堆疊層與該閘介電層；以及
圖案化該導電材料層。

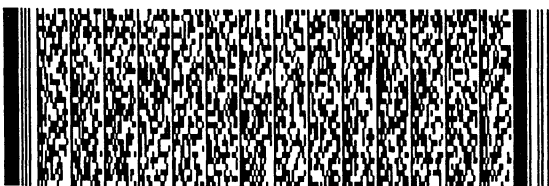
19. 如申請專利範圍第18項所述之記憶體的製造方法，其中圖案化該導電材料層之過程更包括圖案化該周邊電路區之該閘介電層。

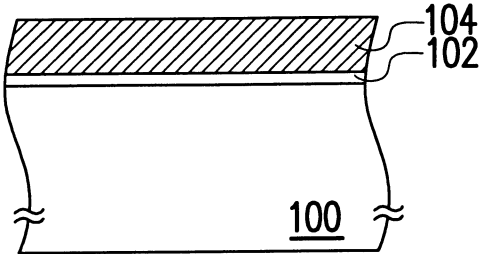
20. 如申請專利範圍第12項所述之記憶體的製造方法，其中該金屬矽化物層的形成方法包括：

於該基底上方形成一金屬層，以覆蓋該堆疊層、該第一閘極、該第二閘極、該第三閘極與該第一源極區與該第一汲極區表面；

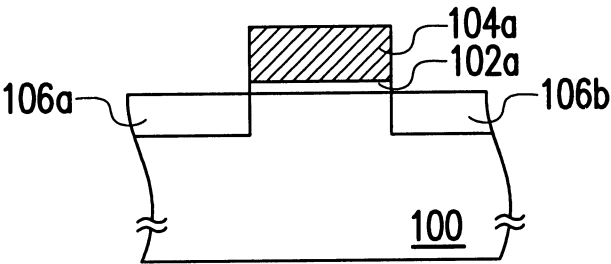
進行一熱製程，以使該金屬層與該第一閘極、該第二閘極、該第三閘極及該第一源極區與該第一汲極區之表面反應；以及

移除未反應之該金屬層。

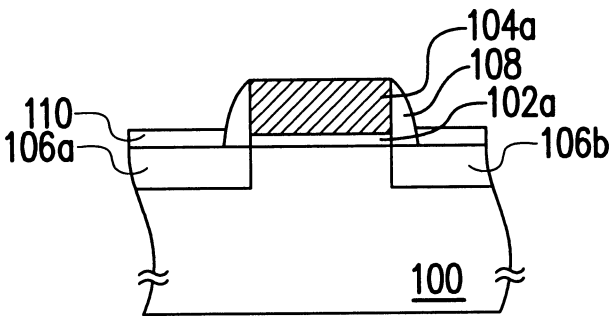




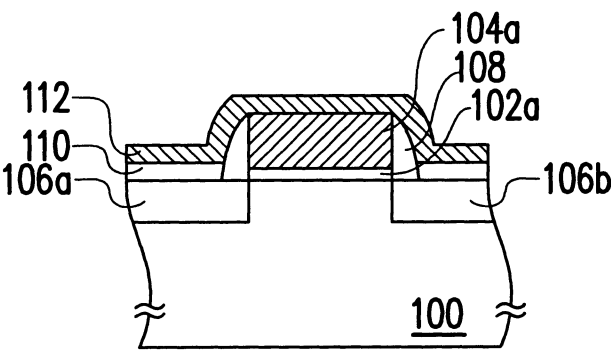
第 1A 圖



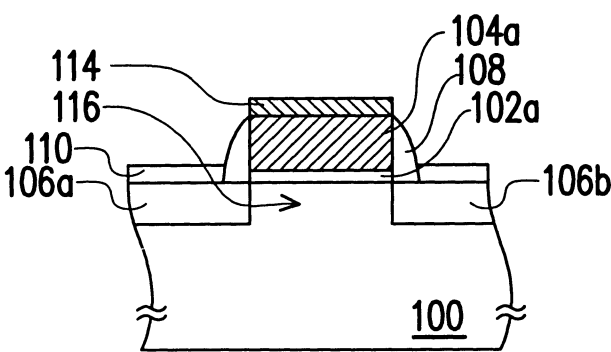
第 1B 圖



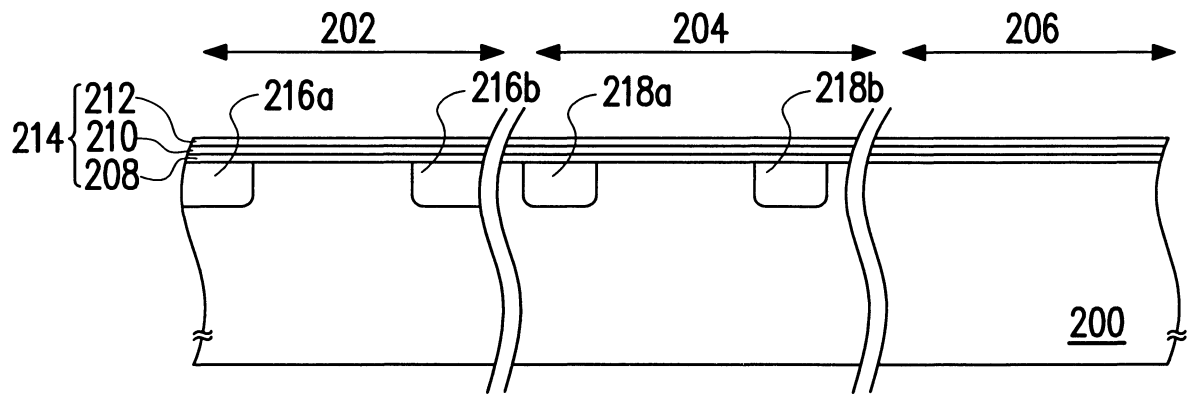
第 1C 圖



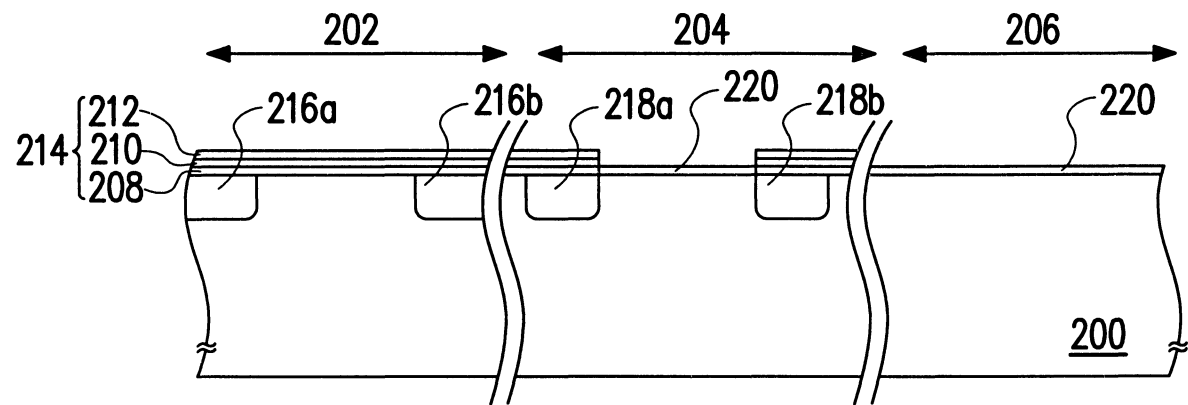
第 1D 圖



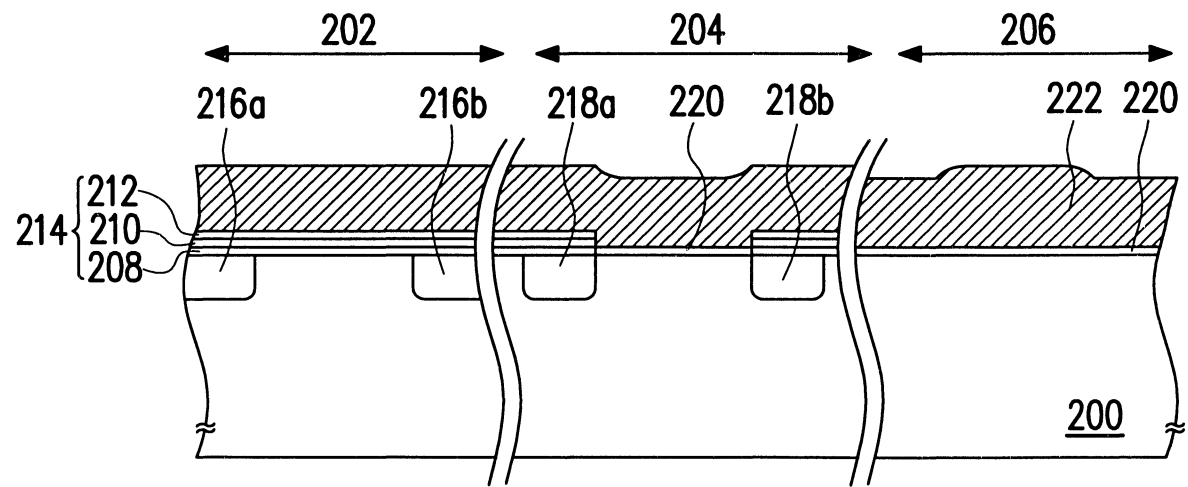
第 1E 圖



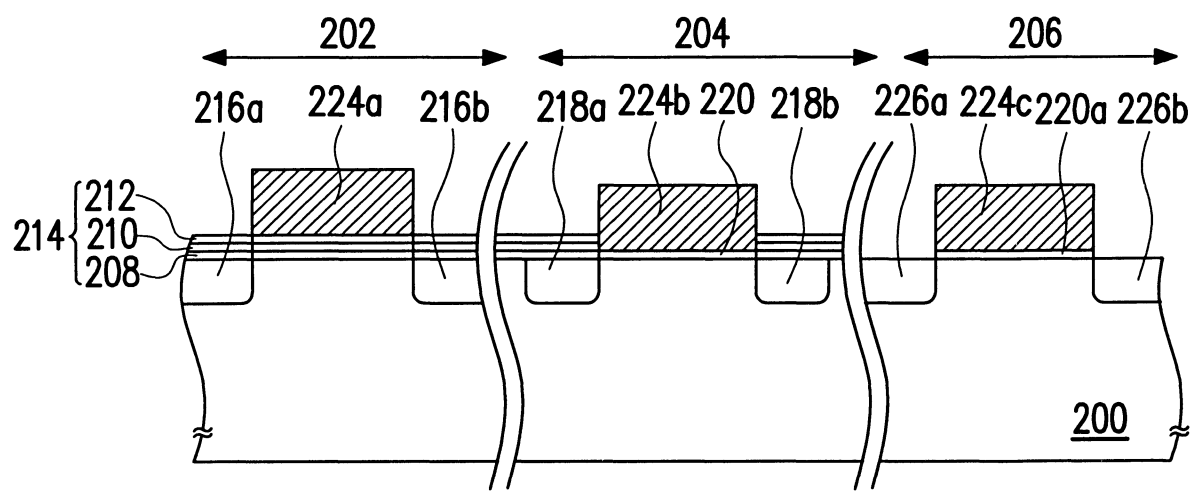
第 2A 圖



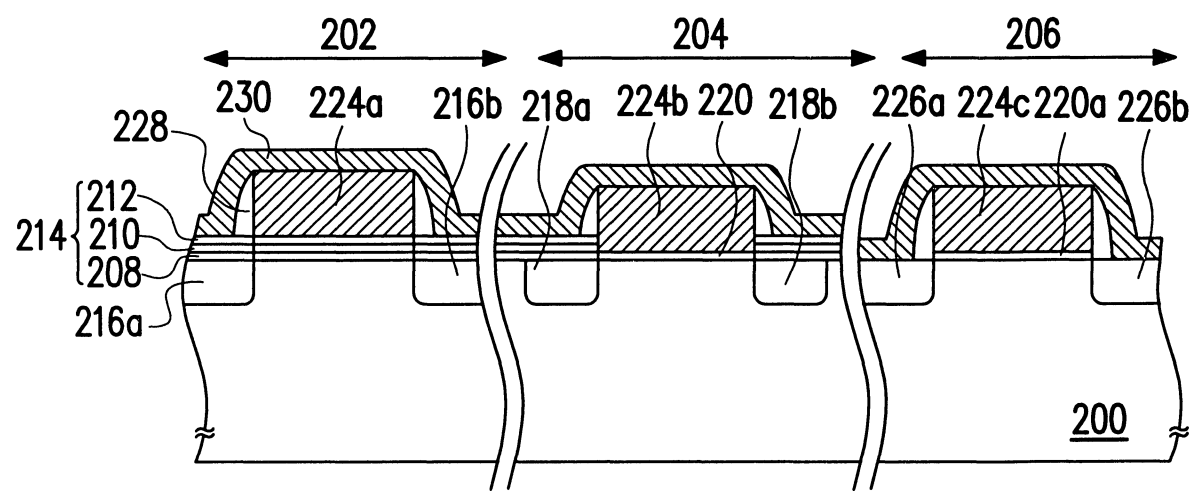
第 2B 圖



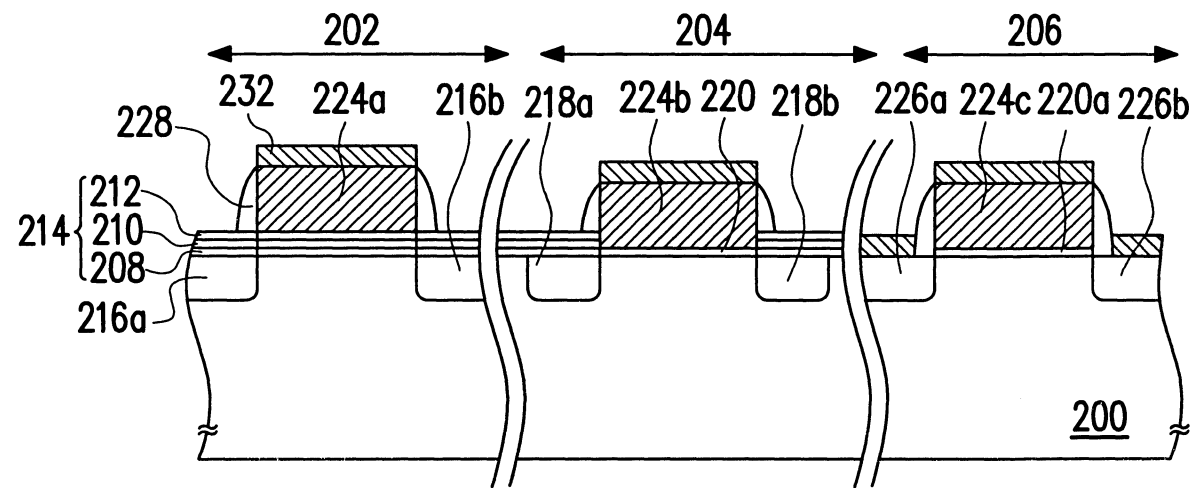
第 2C 圖



第 2D 圖



第 2E 圖



第 2F 圖

六、指定代表圖

伍、(一)、本案代表圖為：第____2F____圖

(二)、本案代表圖之元件代表符號簡單說明：

200：基底

201：開口

202：記憶胞區

204：靜電放電保護電路區

206：周邊電路區

208：穿隧層

210：電荷捕捉層

212：阻擋層

214：堆疊層

216a、216b：埋入式位元線

218a、226a：源極區

218b、226b：汲極區

220、220a：閘介電層

224a、224a、224c：閘極

228：間隙壁

232：金屬矽化物層

