

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4220217号  
(P4220217)

(45) 発行日 平成21年2月4日(2009.2.4)

(24) 登録日 平成20年11月21日(2008.11.21)

(51) Int.Cl.

F I

G 1 1 C 16/02 (2006.01)

G 1 1 C 17/00 6 O 1 D

G 1 1 C 16/04 (2006.01)

G 1 1 C 17/00 6 1 3

G 1 1 C 16/06 (2006.01)

G 1 1 C 17/00 6 1 1 G

G 1 1 C 17/00 6 2 2 E

G 1 1 C 17/00 6 3 4 G

請求項の数 34 (全 24 頁) 最終頁に続く

(21) 出願番号 特願2002-309774 (P2002-309774)  
 (22) 出願日 平成14年10月24日(2002.10.24)  
 (65) 公開番号 特開2003-141882 (P2003-141882A)  
 (43) 公開日 平成15年5月16日(2003.5.16)  
 審査請求日 平成16年11月25日(2004.11.25)  
 (31) 優先権主張番号 2001-065766  
 (32) 優先日 平成13年10月24日(2001.10.24)  
 (33) 優先権主張国 韓国(KR)

(73) 特許権者 390019839  
 三星電子株式会社  
 SAMSUNG ELECTRONICS  
 CO., LTD.  
 大韓民国京畿道水原市靈通区梅灘洞416  
 416, Maetan-dong, Yeon  
 g t o n g - g u, Suwon-si,  
 Gyeonggi-do 442-742  
 (KR)

(74) 代理人 100064908  
 弁理士 志賀 正武

(74) 代理人 100089037  
 弁理士 渡邊 隆

(74) 代理人 100108453  
 弁理士 村山 靖彦

最終頁に続く

(54) 【発明の名称】 半導体メモリ装置及びそれに関連する方法

(57) 【特許請求の範囲】

【請求項1】

複数のワードライン、少なくとも二つのビットライン、及び前記ワードラインと前記ビットラインの交差領域に各々配列された複数のメモリセルを含むアレイと、

前記ビットラインと内部ノードに連結され、前記内部ノードに共通に連結された第1及び第2感知・ラッチブロックを有するレジスタとを含み、

前記内部ノードはスイッチ回路を通じてデータバスと電氣的に連結され、

前記第1及び第2感知・ラッチブロックは、対応するビットラインに対して読み出し又はプログラム動作を個別かつ排他的に実行し、

前記第1及び第2感知・ラッチブロックのうちの一の感知・ラッチブロックによってメモリセルからデータが感知される間又はメモリセルにデータがプログラムされる間に、前記スイッチ回路を通じて前記データバスから他の感知・ラッチブロックにデータがロードされ又は前記データバスにデータが出力され、前記他の感知・ラッチブロックによってメモリセルからデータが感知される間又はメモリセルにデータがプログラムされる間に、前記スイッチ回路を通じて前記データバスから前記一の感知・ラッチブロックにデータがロードされ又は前記データバスにデータが出力されることを特徴とする半導体メモリ装置。

【請求項2】

前記レジスタは、

感知ノードと、

プリチャージ制御信号に応答して前記感知ノードを充電するプリチャージブロックと、

10

20

複数のビットライン制御信号に応答して前記ビットラインのうちのいずれか一つを選択し、前記選択されたビットラインを前記感知ノードと選択的に連結するビットライン選択・バイアスブロックとをさらに含むことを特徴とする請求項 1 に記載の半導体メモリ装置。

【請求項 3】

前記第 1 感知・ラッチブロックは、  
第 1 ラッチノードと第 2 ラッチノードとを有し、データを保持するラッチと、  
前記第 1 及び第 2 ラッチノード、前記感知ノード、及び前記内部ノードに連結され、プログラム動作時に前記データバス上のデータを前記ラッチに伝達する第 1 伝達回路と、  
前記第 2 ラッチノードと前記感知ノードとの間に連結され、前記プログラム動作時に、  
前記ラッチに保持されたデータを前記感知ノードに伝達する第 2 伝達回路とを含み、  
前記第 1 ラッチノードは、前記プログラム動作時に、前記データバスから伝達されたデータを有し、前記第 2 伝達回路は前記第 2 ラッチノードのロジック状態に従って前記感知ノードをプルアップ又はプルダウンさせることを特徴とする請求項 1 または 2 に記載の半導体メモリ装置。

10

【請求項 4】

前記第 1 伝達回路は、前記読み出し動作時に、前記感知ノード上のデータを前記ラッチに伝達し、その次に、前記ラッチ内のデータを前記スイッチ回路を通じて前記データバスに伝達することを特徴とする請求項 3 に記載の半導体メモリ装置。

【請求項 5】

20

前記第 1 伝達回路は、  
前記内部ノードに連結されたソース、第 1 制御信号に連結されたゲート、及びドレインを有する第 1 トランジスタと、  
前記第 1 トランジスタのドレインに連結されたソース、前記第 1 ラッチノードに連結されたドレイン、及び第 2 制御信号に連結されたゲートを有する第 2 トランジスタと、  
前記第 1 トランジスタのドレインに連結されたソース、前記第 2 ラッチノードに連結されたドレイン、及び第 3 制御信号に連結されたゲートを有する第 3 トランジスタと、  
前記第 1 トランジスタのドレインに連結されたドレイン、前記感知ノードに連結されたゲート、及びソースを有する第 4 トランジスタと、  
前記第 4 トランジスタのソースに連結されたドレイン、接地電圧に連結されたソース、  
及び第 4 制御信号に連結されたゲートを有する第 5 トランジスタとを含むことを特徴とする請求項 3 に記載の半導体メモリ装置。

30

【請求項 6】

前記第 1 乃至第 5 トランジスタは N M O S トランジスタで構成されることを特徴とする請求項 5 に記載の半導体メモリ装置。

【請求項 7】

前記第 2 及び第 3 制御信号は相補的であることを特徴とする請求項 5 に記載の半導体メモリ装置。

【請求項 8】

前記第 2 及び第 3 制御信号のロジック状態は、前記プログラム動作時に、プログラムされるデータに従って決められることを特徴とする請求項 5 に記載の半導体メモリ装置。

40

【請求項 9】

前記第 2 制御信号は前記感知ノード上のデータが前記ラッチに伝達される時に活性化され、前記第 3 制御信号は前記ラッチが所定のロジック状態に設定される時及び前記ラッチ内のデータが前記データバスに伝達される時に活性化されることを特徴とする請求項 5 に記載の半導体メモリ装置。

【請求項 10】

前記第 2 伝達回路は電源電圧と前記感知ノードとの間に直列に連結された第 1 及び第 2 プルアップトランジスタと前記感知ノードと接地電圧との間に直列に連結された第 1 及び第 2 プルダウントランジスタとを含み、

50

前記第 1 プルアップトランジスタと前記第 2 プルダウントランジスタは前記第 2 ラッチノードのロジック状態に従ってスイッチされ、前記第 2 プルアップトランジスタはロード制御信号に従ってスイッチされ、前記第 1 プルダウントランジスタは前記ロード制御信号の反転信号に従ってスイッチされることを特徴とする請求項 3 に記載の半導体メモリ装置。

【請求項 1 1】

前記第 2 感知・ラッチブロックは、

第 1 ラッチノードと第 2 ラッチノードを有し、データを保持するラッチと、

前記第 1 及び第 2 ラッチノード、前記感知ノード、及び前記内部ノードに連結され、プログラム動作時に、前記データバス上のデータを前記ラッチに伝達する第 1 伝達回路と、

前記第 2 ラッチノードと前記感知ノードとの間に連結され、前記プログラム動作時に、前記ラッチに保持されたデータを前記感知ノードに伝達する第 2 伝達回路とを含み、

前記第 1 ラッチノードは、前記プログラム動作時に、前記データバスから伝達されたデータを有し、前記第 2 伝達回路は前記第 2 ラッチノードのロジック状態に従って前記感知ノードをプルアップ又はプルダウンさせることを特徴とする請求項 1 または 2 に記載の半導体メモリ装置。

【請求項 1 2】

前記第 1 伝達回路は、前記読み出し動作時に、前記感知ノード上のデータを前記ラッチに伝達し、その次に、前記ラッチ内のデータを前記スイッチ回路を通じて前記データバスに伝達することを特徴とする請求項 1 1 に記載の半導体メモリ装置。

【請求項 1 3】

前記第 1 伝達回路は、

前記内部ノードに連結されたソース、第 1 制御信号に連結されたゲート、及びドレインを有する第 1 トランジスタと、

前記第 1 トランジスタのドレインに連結されたソース、前記第 1 ラッチノードに連結されたドレイン、及び第 2 制御信号に連結されたゲートを有する第 2 トランジスタと、

前記第 1 トランジスタのドレインに連結されたソース、前記第 2 ラッチノードに連結されたドレイン、及び第 3 制御信号に連結されたゲートを有する第 3 トランジスタと、

前記第 1 トランジスタのドレインに連結されたドレイン、前記感知ノードに連結されたゲート、及びソースを有する第 4 トランジスタと、

前記第 4 トランジスタのソースに連結されたドレイン、接地電圧に連結されたソース、及び第 4 制御信号に連結されたゲートを有する第 5 トランジスタとを含むことを特徴とする請求項 1 1 に記載の半導体メモリ装置。

【請求項 1 4】

前記第 1 乃至第 5 トランジスタは N M O S トランジスタで構成されることを特徴とする請求項 1 3 に記載の半導体メモリ装置。

【請求項 1 5】

前記第 2 及び第 3 制御信号は相補的であることを特徴とする請求項 1 3 に記載の半導体メモリ装置。

【請求項 1 6】

前記第 2 及び第 3 制御信号のロジック状態は、前記プログラム動作時に、プログラムされるデータに従って決められることを特徴とする請求項 1 3 に記載の半導体メモリ装置。

【請求項 1 7】

前記第 2 制御信号は前記感知ノード上のデータが前記ラッチに伝達される時に活性化され、前記第 3 制御信号は前記ラッチが所定のロジック状態と設定される時及び前記ラッチ内のデータが前記データバスに伝達される時に活性化されることを特徴とする請求項 1 3 に記載の半導体メモリ装置。

【請求項 1 8】

前記第 2 伝達回路は電源電圧と前記感知ノードとの間に直列に連結された第 1 及び第 2 プルアップトランジスタと前記感知ノードと接地電圧との間に直列に連結された第 1 及び

10

20

30

40

50

第 2 プルダウントランジスタとを含み、

前記第 1 プルアップトランジスタと前記第 2 プルダウントランジスタは前記第 2 ラッチノードのロジック状態に従ってスイッチされ、前記第 2 プルアップトランジスタはロード制御信号に従ってスイッチされ、前記第 1 プルダウントランジスタは前記ロード制御信号の反転信号に従ってスイッチされることを特徴とする請求項 1 に記載の半導体メモリ装置。

【請求項 19】

ページコピーバック動作が実行される時に、前記感知ノード上のデータは前記第 1 及び第 2 感知・ラッチブロックのうちのいずれか一つの第 1 伝達回路を通じて前記ラッチに伝達され、その次に、前記ラッチ内に保持されたデータは第 2 伝達回路を通じて前記感知ノードに伝達されることを特徴とする請求項 3 または 1 に記載の半導体メモリ装置。

10

【請求項 20】

前記第 1 及び第 2 感知・ラッチブロックのうちのいずれか一つが前記ページコピーバック動作を実行する時に、他の一つの感知・ラッチブロックは非活性化されることを特徴とする請求項 19 に記載の半導体メモリ装置。

【請求項 21】

各セルストリングが対応するビットラインに電氣的に連結され、各々のセルストリングに対応するビットラインのうちの二つの隣接したビットラインがビットライン対を形成するように配置された複数のセルストリングを含むメモリセルアレイと、

前記ビットライン対に各々連結された複数の単位ページバッファと、

20

少なくとも一つの単位ページバッファを選択し、前記選択された単位ページバッファをデータバスと連結する列ゲート回路とを含み、

前記単位ページバッファ各々は、

感知ノードと、

前記列ゲート回路を通じて前記データバスに連結される内部ノードと、

ビットライン制御信号に応答して対応する対のビットラインのうちのいずれか一つを選択し、前記選択されたビットラインを前記感知ノードに連結するビットライン選択・バイアスブロックと、

プリチャージ制御信号に応答して前記感知ノードを充電するプリチャージブロックと、

前記感知ノードと前記内部ノードとの間に連結された第 1 感知・ラッチブロックと、

30

前記感知ノードと前記内部ノードとの間に連結された第 2 感知・ラッチブロックとを含み、

前記第 1 及び第 2 感知・ラッチブロックは対応する対のビットラインに対して読み出し又はプログラム動作を個別的かつ排他的に実行し、

前記第 1 及び第 2 感知・ラッチブロックのうちの一の感知・ラッチブロックによってメモリセルからデータが感知される間又はメモリセルにデータがプログラムされる間に、前記列ゲート回路を通じて前記データバスから他の感知・ラッチブロックにデータがロードされ又は前記データバスにデータが出力され、前記他の感知・ラッチブロックによってメモリセルからデータが感知される間又はメモリセルにデータがプログラムされる間に、前記列ゲート回路を通じて前記データバスから前記一の感知・ラッチブロックにデータがロードされ又は前記データバスにデータが出力されることを特徴とする不揮発性半導体メモリ装置。

40

【請求項 22】

前記第 1 及び第 2 感知・ラッチブロック各々は、

第 1 ラッチノードと第 2 ラッチノードとを有しデータを保持するラッチと、

前記第 1 及び第 2 ラッチノード、前記感知ノード、及び前記内部ノードに連結され、プログラム動作時に、前記データバス上のデータを前記ラッチに伝達する第 1 伝達回路と、

前記第 2 ラッチノードと前記感知ノードとの間に連結され、前記プログラム動作時に、前記ラッチに保持されたデータを前記感知ノードに伝達する第 2 伝達回路とを含み、

前記第 1 ラッチノードは前記プログラム動作時に前記データバスから伝達されたデータ

50

を有し、前記第 2 伝達回路は前記第 2 ラッチノードのロジック状態に従って前記感知ノードをプルアップ又はプルダウンさせることを特徴とする請求項 2 1 に記載の不揮発性半導体メモリ装置。

【請求項 2 3】

前記第 1 伝達回路は、前記読み出し動作時に、前記感知ノード上のデータを前記ラッチに伝達し、その次に、前記ラッチ内のデータを前記列ゲート回路を通じて前記データバスに伝達することを特徴とする請求項 2 2 に記載の不揮発性半導体メモリ装置。

【請求項 2 4】

前記第 1 伝達回路は、

前記内部ノードに連結されたソース、第 1 制御信号に連結されたゲート、及びドレインを有する第 1 N M O S トランジスタと、

前記第 1 N M O S トランジスタのドレインに連結されたソース、前記第 1 ラッチノードに連結されたドレイン、及び第 2 制御信号に連結されたゲートを有する第 2 N M O S トランジスタと、

前記第 1 N M O S トランジスタのドレインに連結されたソース、前記第 2 ラッチノードに連結されたドレイン、及び第 3 制御信号に連結されたゲートを有する第 3 N M O S トランジスタと、

前記第 1 N M O S トランジスタのドレインに連結されたドレイン、前記感知ノードに連結されたゲート、及びソースを有する第 4 N M O S トランジスタと、

前記第 4 N M O S トランジスタのソースに連結されたドレイン、接地電圧に連結されたソース、及び第 4 制御信号に連結されたゲートを有する第 5 N M O S トランジスタとを含むことを特徴とする請求項 2 2 に記載の不揮発性半導体メモリ装置。

【請求項 2 5】

前記第 2 伝達回路は、電源電圧と前記感知ノードとの間に直列に連結された第 1 及び第 2 プルアップトランジスタと前記感知ノードと接地電圧との間に直列に連結された第 1 及び第 2 プルダウントランジスタとを含み、

前記第 1 プルアップトランジスタと前記第 2 プルダウントランジスタは前記第 2 ラッチノードのロジック状態に従ってスイッチされ、前記第 2 プルアップトランジスタはロード制御信号に従ってスイッチされ、前記第 1 プルダウントランジスタは前記ロード制御信号の反転信号に従ってスイッチされることを特徴とする請求項 2 2 に記載の不揮発性半導体メモリ装置。

【請求項 2 6】

前記メモリ装置はコピーされたページデータが反転されるか否かを示す情報を格納するための別途のページコピーフラグセルなしに、ページコピーバック動作を実行することを特徴とする請求項 2 1 に記載の不揮発性半導体メモリ装置。

【請求項 2 7】

前記ページコピーバック動作が実行される時に、前記感知ノード上のデータは前記第 1 及び第 2 感知・ラッチブロックのうちのいずれか一つの第 1 伝達回路を通じて前記ラッチに伝達され、その次に、前記ラッチ内に保管されたデータは第 2 伝達回路を通じて前記感知ノードに伝達されることを特徴とする請求項 2 2 または 2 6 に記載の不揮発性半導体メモリ装置。

【請求項 2 8】

前記第 1 及び第 2 感知・ラッチブロックのうちのいずれか一つが前記ページコピーバック動作を実行する時に、他の一つの感知・ラッチブロックは非活性化されることを特徴とする請求項 2 7 に記載の不揮発性半導体メモリ装置。

【請求項 2 9】

前記第 2 及び第 3 制御信号は相補的であることを特徴とする請求項 2 4 に記載の不揮発性半導体メモリ装置。

【請求項 3 0】

前記第 2 及び第 3 制御信号のロジック状態は、前記プログラム動作時に、プログラムさ

10

20

30

40

50

れるデータに従って決められることを特徴とする請求項 2 4 に記載の不揮発性半導体メモリ装置。

【請求項 3 1】

前記第 2 制御信号は前記感知ノード上のデータが前記ラッチに伝達される時に活性化され、前記第 3 制御信号は前記ラッチが所定のロジック状態と設定される時及び前記ラッチ内のデータが前記データバスに伝達される時に活性化されることを特徴とする請求項 2 4 に記載の不揮発性半導体メモリ装置。

【請求項 3 2】

複数のセルストリングを含むメモリセルアレイと、前記セルストリング各々に対応するビットラインに電氣的に連結され、前記セルストリング各々に対応するビットラインのうちの二つの隣接したビットラインはビットライン対を形成し前記ビットライン対に各々連結された複数の単位ページバッファと、少なくとも一つの単位ページバッファを選択し前記選択された単位ページバッファをデータバスと連結する列ゲート回路とを含む不揮発性半導体メモリ装置のプログラム方法において、

10

前記選択された単位ページバッファの第 1 感知・ラッチブロックにデータをロードする段階と、

前記第 1 感知・ラッチブロック内のデータを用いて第 1 プログラム動作を実行すると同時に、前記選択された単位ページバッファの第 2 感知・ラッチブロックにデータをロードする段階と、

前記第 2 感知・ラッチブロック内のデータを用いて第 2 プログラム動作を実行すると同時に、前記第 1 感知・ラッチブロックにデータをロードする段階と、

20

を含み、ページデータの全部が前記メモリセルアレイ内にプログラムされるまで前記第 1 及び第 2 プログラム動作を繰り返して実行することを含むことを特徴とするプログラム方法。

【請求項 3 3】

各セルストリングが対応するビットラインに電氣的に連結され、各々のセルストリングに対応するビットラインのうちの二つの隣接したビットラインがビットライン対を形成するように配置された複数のセルストリングを含むメモリセルアレイと、前記ビットライン対に各々連結された複数の単位ページバッファと、少なくとも一つの単位ページバッファを選択し前記選択された単位ページバッファをデータバスと連結する列ゲート回路とを含む不揮発性半導体メモリ装置の動作方法において、

30

前記選択された単位ページバッファに対応する一対のビットラインのうちのいずれか一つを通じて前記メモリセルアレイからデータを感知して前記選択された単位ページバッファの第 1 感知・ラッチブロックにラッチする段階と、

前記第 1 感知・ラッチブロック内のデータを外部に出力すると同時に前記選択された単位ページバッファに対応するビットラインのうちの他の一つを通じて前記メモリセルアレイからデータを感知して前記選択された単位ページバッファの第 2 感知・ラッチブロックにラッチする段階と、

前記第 2 感知・ラッチブロック内のデータを外部に出力すると同時に前記選択された単位ページバッファに対応するビットラインのうちの前記いずれか一つを通じて前記メモリセルアレイからデータを感知して前記選択された単位ページバッファの第 1 感知・ラッチブロックにラッチする段階と、

40

を含み、ページデータの全部が外部に出力されるまで前記感知動作を繰り返して実行することを含むことを特徴とする動作方法。

【請求項 3 4】

前記ワードラインのうち選択されたワードラインに連結されたメモリセルからデータを感知して前記単位ページバッファ各々の第 1 または第 2 感知・ラッチブロックでラッチする段階と、

前記第 1 または第 2 感知・ラッチブロックにラッチされたデータを前記選択されたワードラインを除く他のワードラインのうちの一つに連結されたメモリセルにプログラムする

50

段階とを更に含み、

前記ラッチされたデータは前記プログラムされたデータと同一の状態を有することを特徴とする請求項 33 に記載の動作方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は情報格納装置に係り、より詳細には、本発明はメモリセルにデータを書き込んだり、それからデータを読み出したりするための装置に関するものである。

【0002】

【従来の技術】

半導体メモリ装置は揮発性半導体メモリ装置と不揮発性半導体メモリ装置とに大別される。揮発性半導体メモリ装置にはDRAMとSRAMに分けられる。揮発性半導体メモリ装置は読み出しと書き込みのスピードが速いが、外部電源供給が切られると格納されていた内容が無くなってしまう短所がある。不揮発性半導体メモリ装置はマスクROM(MPR  
OM)、プログラム可能なROM(PROM)、消去及びプログラム可能なROM(EP  
ROM)、電氣的に消去及びプログラム可能なROM(EEPROM)などに分けられる。不揮発性半導体メモリ装置は外部電源供給が中断されてもその内容を保存する。したがって、不揮発性半導体メモリ装置は電源が供給されるか否かに関係なく、保存すべき内容を記憶させるのに用いられる。

【0003】

しかし、MROM、PROM及びEPROMは消去及び書き込みが不自由なので、一般の使用者が記憶の内容を書き換えることが容易ではない。一方、EEPROMは電氣的に消去及び書き込みが可能であるので、繰り返して更新が必要なシステムプログラミングや補助記憶装置への応用が拡大されている。特に、フラッシュEEPROMは既存のEEPROMに比べて集積度が高く大容量の補助記憶装置への応用にかなり有利である。フラッシュEEPROMのうちでもNAND型フラッシュEEPROMは他のNORまたはAND型のフラッシュEEPROMに比べて集積度が非常に高い。

【0004】

フラッシュEEPROMは情報を格納するための格納領域としてメモリセルアレイを含む。図1を参照すると、メモリセルアレイは対応するビットラインに各々連結された複数のセルストリング(またはNANDストリングと呼ばれる)からなっている。図1に示したように、各セルストリング12は、対応するビットライン(例えば、BL0)に連結されるストリング選択トランジスタSST、共通ソースラインCSLに連結されるグラウンド選択トランジスタGST、及びストリング及びグラウンド選択トランジスタSST、GSTの間に直列に連結されるメモリセルM0~Mmで構成される。ストリング選択トランジスタSST、メモリセルM0~Mm、及びグラウンド選択トランジスタGSTはストリング選択ラインSSL、ワードラインWL0~WLm、及びグラウンド選択ラインGSLに各々連結されている。ラインSSL、WL0~WLm、GSLは行デコード回路12に電氣的に連結されており、ビットラインBL0~BLnはページバッファ回路14に電氣的に連結されている。

【0005】

各セルストリングを構成するメモリセル各々は、ソース、ドレイン、浮遊ゲート及び制御ゲートを有するフローティングゲートトランジスタで構成される。よく知られたように、NAND型フラッシュEEPROMのメモリセルは、F-Nトンネリング電流を用いて消去及びプログラムされる。NAND型フラッシュEEPROMの消去及びプログラム方法は、米国特許第5,473,563号に“Nonvolatile Semiconductor Memory”というタイトルで、また、米国特許第5,696,717号に“Nonvolatile Integrated Circuit Memory Devices Having Adjustable Erase/Program Threshold Voltage Verification Capability

10

20

30

40

50

”というタイトルで各々開示されている。

#### 【0006】

データをメモリセルアレイに格納するためには、先ず、データローディング命令がフラッシュEEPROMに与えられ、アドレス及びデータがフラッシュEEPROMに入力される。一般的に、プログラムされるデータはバイトまたはワード単位でページバッファ回路に順次に伝達される。プログラムされるデータ、すなわち、一ページ分のデータが全部ページバッファ回路にロードされれば、ページバッファ回路に保管されたデータはページプログラム命令に応じてメモリセルアレイに同時にプログラムされる。

#### 【0007】

NAND型フラッシュEEPROMの場合に、例えば、512バイトのデータ情報をプログラムするのに200 $\mu$ s～500 $\mu$ sの時間がかかる。バイトまたはワード単位のデータをページバッファ回路にロードするのにかかる時間は約100nsである。したがって、512バイトのデータ情報を全部ページバッファ回路にロードするのにかかる時間（すなわち、データロード時間）は約50 $\mu$ sである。総プログラム時間 $t_{LOAD\_PGM}$ は $t_{LOAD} + t_{PROGRAM} * N$ と定義される。ここで、 $t_{LOAD}$ はデータロード時間、 $t_{PROGRAM}$ は実質的なプログラム時間、そしてNはプログラムサイクル数を示す。連続的にプログラム動作を実行する場合に、総プログラム時間 $t_{TOTAL\_PGM}$ の相当部分をデータロード時間 $t_{LOAD}$ が占める。これは高速NAND型フラッシュEEPROMを実現する上で大きな負担として作用する。

#### 【0008】

また、ページサイズが増加する場合に、データロード時間 $t_{LOAD}$ は増加したページサイズに比べて増加する一方、実質的なプログラム時間 $t_{TOTAL\_PGM}$ はページサイズが増加する前とほとんど同一である。結果的に、ページサイズが増加することによって、一サイクルの総プログラム時間 $t_{TOTAL\_PGM}$ が増加する。連続的にプログラム動作を実行する場合に、総プログラム時間 $t_{TOTAL\_PGM}$ は非常に増加する。なぜなら、NANDフラッシュEEPROMの場合に、次にプログラムされるデータをページバッファ回路にロードする動作は、以前にロードされたデータが完全にプログラムされた後に可能になるからである。したがって、総プログラム時間 $t_{TOTAL\_PGM}$ の増加がNANDフラッシュEEPROMの情報格納特性に影響を与えるようになる。例えば、ページサイズが大きくなることによって、NAND型フラッシュEEPROMのプログラムスピードが急激に低下する。

#### 【0009】

NAND型フラッシュEEPROMはページコピーバック動作を支援する。ページコピーバックとは、外部からの出力なしに一ページのデータ情報を他のページにコピーすることを言う。ページコピーバック動作を実行するNAND型フラッシュEEPROMの一例が米国特許第5,996,041号に“Integrated Circuit Memory Devices Having Page Flag Cells Which Indicate The True Or Non-True State Of Page Data Therein And Methods Of Operating The Same”というタイトルで開示されている。この開示を本明細書の開示の一部とする。'041特許によると、コピーされたページデータが反転されるか否かを示す情報を格納するためのページコピーフラグセル（page copy flag cell）が提供される。すなわち、図1に示したように、メモリセルアレイ10にはフラグビットラインFBLに連結された別途のフラグセルストリング14がさらに提供され、フラグセルストリング14は他のセルストリング12と実質的に同一に構成される。

#### 【0010】

ページコピーフラグセルに欠陥が生じると、欠陥があるページコピーフラグセルのページデータは保障されない。たとえ、実質的にページを構成するメモリセルが正常であっても、そのページに属する欠陥フラグセルにより正常なページデータが保障されない。結果的に、ページコピーバック動作のために、別途に提供されるページコピーフラグセルはNA

10

20

30

40

50



NAND型フラッシュEEPROMの信頼性を確保することに対する制限要素として作用する。また、選択されたページのデータ情報を読み出そうとする時に、ページコピーフラグセルに格納された情報を用いて選択されたページのデータ情報が反転されるように、またはそのまま出力するための付加的な回路（'041特許の図4参照、XORゲート）が要求される。

【0011】

【特許文献1】

米国特許第5,473,563号公報

【特許文献2】

米国特許第5,696,717号公報

10

【特許文献3】

米国特許第5,996,041号公報

【発明が解決しようとする課題】

本発明の第1の目的は、キャッシュ機能を実行するページバッファ回路を備えたフラッシュメモリ装置を提供することである。

【0012】

本発明の第2の目的は、別途のページコピーフラグセルなしに、ページコピーバック動作を実行するフラッシュメモリ装置を提供することである。

【0013】

本発明の第3の目的は、ページサイズが増加しても、情報格納特性が低下することを防止できるフラッシュメモリ装置を提供することである。

20

【0014】

本発明の第4の目的は、プログラム及び読み出しスピードを向上させることができるフラッシュメモリ装置を提供することである。

【0015】

【課題を解決するための手段】

前述の目的を解決するための本発明の特徴によると、例えば、NAND型のフラッシュメモリ装置が提供される。ここで、前記メモリ装置はメモリセルアレイを含む。前記メモリセルアレイは複数のワードライン、少なくとも二つのビットライン、及び前記ワードラインと前記ビットラインとの交差領域に各々配列された複数のメモリセルを有する。レジスタが前記ビットラインと内部ノードに連結され、前記内部ノードに共通に連結された第1及び第2感知・ラッチブロックを有する。前記内部ノードはスイッチ回路を通じてデータバスと電気的に連結される。前記第1及び第2感知・ラッチブロックは対応するビットラインに対して読み出し/プログラム動作を個別的かつ排他的に実行する。前記第1及び第2感知・ラッチブロックのうちのいずれか一つの感知・ラッチブロックによってメモリセルからデータが感知される間、前記スイッチ回路を通じて他の一つの感知・ラッチブロックから前記データバスにデータが伝達される。さらに、前記第1及び第2感知・ラッチブロックのうちのいずれか一つの感知・ラッチブロックによってメモリセルにデータがプログラムされる間、次にプログラムされるデータが前記スイッチ回路を通じて前記データバスから他の一つの感知・ラッチブロックに伝達される。

30

40

【0016】

望ましい実施形態によれば、前記レジスタは感知ノードとプリチャージ制御信号に応答して前記感知ノードを充電するプリチャージブロックと、複数のビットライン制御信号に応答して前記ビットラインのうちのいずれか一つを選択し、前記選択されたビットラインを前記感知ノードと選択的に連結するビットライン選択及びバイアスブロックとをさらに含む。

【0017】

望ましい実施形態によれば、前記第1及び第2感知・ラッチブロック各々はデータを保持し、第1ラッチノードを有するラッチと、前記第1及び第2ラッチノード、前記感知ノード、及び前記内部ノードに連結され、プログラム動作時に、前記データバス上のデータを

50

前記ラッチに伝達する第1伝達回路と、そして前記第2ラッチノードと前記感知ノードとの間に連結され、前記プログラム動作時に、前記ラッチに保持されたデータを前記感知ノードに伝達する第2伝達回路とを含む。前記第1ラッチノードは、前記プログラム動作時に、前記データバスから伝達されたデータを有し、前記第2伝達回路は前記第2ラッチノードのロジック状態に従って前記感知ノードをプルアップ/プルダウンさせる。

【0018】

望ましい実施形態によれば、前記第1伝達回路は、前記読み出し動作時に、前記感知ノード上のデータを前記ラッチに伝達し、その次に、前記ラッチ内のデータを前記スイッチ回路を通じて前記データバスに伝達する。

【0019】

望ましい実施形態によれば、前記第2伝達回路は電源電圧と前記感知ノードとの間に直列に連結された第1及び第2プル・アップトランジスタと前記感知ノードと接地電圧との間に直列に連結された第1及び第2プルダウントランジスタとを含む。前記第1プルアップトランジスタと前記第2プルダウントランジスタは前記第2ラッチノードのロジック状態に従ってスイッチされ、前記第2プルアップトランジスタはロード制御信号に従ってスイッチされ、前記第1プルアップトランジスタは前記ロード制御信号の反転信号に従ってスイッチされる。

【0020】

前記NAND型フラッシュメモリ装置は、コピーされたページデータが反転されるか否かを示す情報を格納するための別途のページコピーフラグセルなしにページコピーバック動作を実行する。前記ページコピーバック動作が実行される時に、前記感知ノード上のデータは前記第1及び第2感知・ラッチブロックのうちのいずれか一つの第1伝達回路を通じて前記ラッチに伝達され、その次に、前記ラッチ内に保持されるデータは第2伝達回路を通じて前記感知ノードに伝達される。前記第1及び第2感知・ラッチブロックのうちのいずれか一つが前記ページコピーバック動作を実行する時に、他の一つの感知・ラッチブロックは非活性化される。

【0021】

本発明の他の特徴によると、不揮発性半導体メモリ装置のプログラム及び読み出し方法が提供される。ここで、前記メモリ装置は複数のセルストリングを含むメモリセルアレイを有し、前記セルストリング各々は対応するビットラインに電氣的に連結され、前記セルストリング各々に対応するビットラインのうち二つの隣接したビットラインがビットライン対を形成する。前記メモリ装置はさらに、前記ビットライン対に各々連結された複数の単位ページバッファと、少なくとも一つの単位ページバッファを選択し、前記選択された単位ページバッファをデータバスと連結する列ゲート回路とを含む。このプログラム方法によると、まず、前記選択された単位ページバッファの第1感知・ラッチブロックにデータがロードされる。その次に、前記第1感知・ラッチブロック内のデータを用いて第1プログラム動作が実行されると同時に前記選択された単位ページバッファの第2感知・ラッチブロックにデータがロードされる。同じように、前記第2感知・ラッチブロック内のデータを用いて第2プログラム動作が実行される時に、前記第1感知・ラッチブロックにデータがロードされる。

【0022】

本発明の読み出し方法によると、まず、選択された単位ページバッファに対応する一对のビットラインのうちのいずれか一つを通じて前記メモリセルアレイからデータが感知され、そのように感知されたデータは前記選択された単位ページバッファの第1感知・ラッチブロックにラッチされる。その次に、前記第1感知及びラッチブロック内のデータが外部に出力される。これと同時に、前記選択された単位ページバッファに対応するビットラインのうちの他の一つを通じて前記メモリセルアレイからデータが感知され、そのように感知されたデータは前記選択された単位ページバッファの第2感知・ラッチブロックにラッチされる。このような動作はページデータが全部外部に出力されるまで繰り返される。

【0023】

**【発明の実施の形態】**

以下、添付した図を参照して、本発明の望ましい実施形態を詳細に説明する。

**【0024】**

本発明のフラッシュメモリ装置は二つの感知及びラッチブロックを備えたページバッファを実現することによって、キャッシュ機能を支援する。ページバッファのこれらの感知及びラッチブロックは個別的かつ排他的に読み出し、プログラム、及びページコピーバック動作を実行する。本発明によるキャッシュ機能とは、例えば、以前にロードされたページデータがプログラムされている間に、次にプログラムされるべきページバッファがページバッファ回路にロードされることを意味する。すなわち、連続的にプログラム動作を実行する時に、第1ページデータをロードする時間を除けば、残りのページデータのデータロード時間は不要である。したがって、本発明によれば総プログラム時間が劇的に短縮される。また、本発明によるキャッシュ機能とは、例えば、ページデータが感知されている間に、以前に感知されたページデータが外部に出力されることを意味する。すなわち、連続的に読み出し動作を実行する時に、第1ページデータを出力する時間を除けば、残りのページデータのデータ出力時間は不要である。そこで、本発明のフラッシュメモリ装置では、読み出し及びコピーバック機能、またはページコピーバック機能は、コピーされたページデータが反転されるか否かを示す情報を格納するためのページコピーフラグセルを必要としない。したがって、ページコピーフラグセルによる信頼性の低下の原因が完全に除去される。以下、これを詳細に説明する。

**【0025】**

図2は本発明の一実施形態のフラッシュメモリ装置を示すブロック図である。図2に示したように、本発明の一実施形態のフラッシュメモリ装置100はメモリセルアレイ120、ページバッファ回路140、及び列ゲート回路160を含む。メモリセルアレイ120は複数のセルストリングを含み、図1に示したように構成される。セルストリングは対応するビットライン(BL0\_\_E、BL0\_\_O)~(BLn\_\_E、BLn\_\_O)に各々電氣的に連結されている。隣接した二つのビットラインは一つのビットライン対(またはビットライングループ)を形成する。従来技術によるメモリ装置と異なり、本発明を適用したメモリセルアレイ120では別途のフラグセルストリングが不要である。フラグセルストリングがメモリセルアレイ120から除去された理由は、以降で詳細に説明する。

**【0026】**

本発明によるフラッシュメモリ装置において、一つの行またはワードラインは二ページで構成される。ページサイズがメモリ製品の仕様に従って変更されうことは、この分野の通常の知識を有する者にとって自明である。

**【0027】**

メモリセルアレイ120に配列されたビットライン(BL0\_\_E、BL0\_\_O)~(BLn\_\_E、BLn\_\_O)はデータを一時的に格納するためのレジスタとしてページバッファ回路140に電氣的に連結されている。ページバッファ回路140はビットライン対に各々対応する複数の単位ページバッファPBで構成される。例えば、第1グループのビットラインBL0\_\_E、BL0\_\_Oは第1ページバッファPB0に連結され、第2グループのビットラインBL1\_\_E、BL1\_\_Oは第2ページバッファPB1に連結される。

**【0028】**

各ページバッファPB0~PBxはビットライン選択及びバイアスブロック200、プリチャージブロック220、第1感知及びラッチブロック240、及び第2感知及びラッチブロック240で構成される。各ページバッファの構成要素は同一の参照番号で表記される。各ページバッファPB0~PBxにおいて、ビットライン選択及びバイアスブロック200は対応するグループまたは対のビットラインBL0\_\_E、BL0\_\_Oのうちのいずれか一つを選択し、選択されたビットラインを感知ノードS0に連結する。プリチャージブロック220は感知ノードS0をプリチャージし、第1及び第2感知及びラッチブロック240、260は感知ノードS0と内部ノードN1との間に並列に連結される。内部ノードN1は列ゲート回路160を通じてデータバス(便宜上、一つのデータラインDLが

図示される)に連結される。各ブロックの詳細の回路構成については図3を参照して、以下詳細に説明する。

#### 【0029】

図3には一対のビットラインBL0\_\_O、BL0\_\_Eに連結されたページバッファPB0の望ましい実施形態が図示されているが、残りのビットライン対に対応するページバッファも同一に構成される。

#### 【0030】

図3を参照すると、ビットライン選択及びバイアスブロック200は四つのNMOSトランジスタMN0、MN1、MN2、NM3で構成される。NMOSトランジスタMN0、MN1はビットラインBL0\_\_O、BL0\_\_Eの間に直列に連結され、対応する制御信号VBLE、VBLoによって各々制御される。NMOSトランジスタMN0、MN1のドレインは信号ラインに共通に連結されている。プログラム/読み出し動作が実行される時に、信号ラインには接地電圧GNDが供給される。NMOSトランジスタMN2はビットラインBL0\_\_Eと感知ノードSOとの間に連結され、制御信号BLBIAS\_\_Eによって制御される。NMOSトランジスタMN3はビットラインBL0\_\_Oと感知ノードSOとの間に連結され、制御信号BLBIAS\_\_Oによって制御される。プリチャージブロック220はPMOSトランジスタMPOで構成される。PMOSトランジスタMPOは電源電圧Vccと感知ノードSOとの間に連結され、制御信号PREによって制御される。

#### 【0031】

続けて、図3を参照すると、第1感知及びラッチブロック240はラッチL1、二つのPMOSトランジスタMP1、MP2、及び7個のNMOSトランジスタMN4~MN10で構成される。ラッチL1は第1ラッチノードN2と第2ラッチノードN3を有し、インバーターINV0、INV1で構成される。インバーターINV0の入力端子は第2ラッチノードN3に連結され、その出力端子は第1ラッチノードN2に連結される。インバーターINV1の入力端子は第1ラッチノードN2に連結され、その出力端子は第2ラッチノードN3に連結される。PMOSトランジスタMP1、MP2は電源電圧Vccと感知ノードSOとの間に直列に連結され、NMOSトランジスタMN4、MN5は感知ノードSOと接地電圧GNDとの間に直列に連結される。PMOSトランジスタMP1とNMOSトランジスタMN5は第2ラッチノードN3のロジック状態に従ってターンオン/オフされる。NMOSトランジスタMN4は制御信号LD1に応じてターンオン/オフされ、PMOSトランジスタMP2は制御信号LD1の反転信号nLD1に応じてターンオン/オフされる。NMOSトランジスタMN6は内部ノードN1とノードN4との間に連結され、制御信号SW1のロジック状態に従ってターンオン/オフされる。NMOSトランジスタMN7はラッチL1の第1ラッチノードN2とノードN4との間に連結され、NMOSトランジスタMN8はラッチL1の第2ラッチノードN3とノードN4との間に連結される。NMOSトランジスタMN8は制御信号Data1のロジック状態に従って制御され、NMOSトランジスタMN7は制御信号Data1の反転信号nData1のロジック状態に従って制御される。NMOSトランジスタMN9、MN10はノードM4と接地電圧GNDとの間に直列に連結される。NMOSトランジスタMN9のゲートは感知ノードSOに連結され、NMOSトランジスタMN10のゲートは制御信号LAT1に連結される。

#### 【0032】

制御信号Data1のロジック状態は、プログラム動作のデータロード区間において、プログラムされるデータと同一のロジック状態を有する。例えば、プログラムされるデータが‘1’であれば、制御信号Data1はロジック‘1’状態を有する。プログラムされるデータが‘0’であれば、制御信号Data1はロジック‘0’状態を有する。制御信号Data1のロジック状態は、読み出し動作の放電及びデータ出力区間でロジック‘1’状態を有し、読み出し動作のデータラッチ区間でロジック‘0’状態を有する。制御信号Data1のロジック状態が設計条件に応じて変更されうることは、この分野の通常の知識を有する者に自明である。

10

20

30

40

50

## 【 0 0 3 3 】

第 1 感知及びラッチブロック 2 4 0 において、N M O S トランジスタ M N 6 ~ M N 1 0 は第 1 伝達回路を構成し、P M O S 及び N M O S トランジスタ M P 1、M P 2、M N 4、M N 5 は第 2 伝達回路を構成する。第 1 伝達回路は、プログラム動作時に、データバス D L 上のデータをラッチ L 1 (すなわち、第 1 ラッチノード N 2 ) に伝達する。第 1 伝達回路は、読み出し動作時に、感知ノード S O のデータをラッチ L 1 に伝達し、その次にラッチされたデータを列ゲート回路 1 6 0 を通じてデータバス D L に伝達する。第 2 伝達回路は、プログラム動作時に、ラッチ L 1 に維持されるデータを感知ノード S O に伝達する。このような動作の詳細については後述する。

## 【 0 0 3 4 】

続けて、図 3 を参照すると、第 2 感知及びラッチブロック 2 6 0 はラッチ L 2、二つの P M O S トランジスタ M P 3、M P 4、及び 7 個の N M O S トランジスタ M N 1 1 ~ M N 1 7 で構成される。ラッチ L 2 は第 1 ラッチノード N 5 と第 2 ラッチノード N 6 とを有し、インバーター I N V 2、I N V 3 で構成される。インバーター I N V 2 の入力端子は第 2 ラッチノード N 6 に連結され、その入力端子は第 1 ラッチノード N 5 に連結される。インバーター I N V 3 の入力端子は第 1 ラッチノード N 5 に連結され、その出力端子は第 2 ラッチノード N 6 に連結される。P M O S トランジスタ M P 3、M P 4 は電源電圧 V c c と感知ノード S O との間に直列に連結され、N M O S トランジスタ M N 1 1、M N 1 2 は感知ノード S O と接地電圧 G N D との間に直列に連結される。P M O S トランジスタ M P 3 と N M O S トランジスタ M N 1 2 は第 2 ラッチノード N 6 に共通に連結されている。N M O S トランジスタ M N 1 1 は制御信号 L D 2 に応じてターンオン / オフされ、P M O S トランジスタ M P 4 は制御信号 L D 2 の反転信号 n L D 2 に応じてターンオン / オフされる。N M O S トランジスタ M N 1 3 は内部ノード N 1 とノード N 7 との間に連結され、制御信号 S W 2 のロジック状態に従ってターンオン / オフされる。N M O S トランジスタ M N 1 4 はラッチ L 2 の第 2 ラッチノード N 6 とノード N 7 との間に連結され、N M O S トランジスタ M N 1 5 はラッチ L 2 の第 1 ラッチノード N 5 とノード N 7 との間に連結される。N M O S トランジスタ M N 1 4 は制御信号 D a t a 2 のロジック状態に従って制御され、N M O S トランジスタ M N 1 5 は制御信号 D a t a 2 の反転信号 n D a t a 2 のロジック状態に従って制御される。N M O S トランジスタ M N 1 6、M N 1 7 はノード N 7 と接地電圧 G N D との間に直列に連結される。N M O S トランジスタ M N 1 6 のゲートは感知ノード S O に連結され、N M O S トランジスタ M N 1 7 のゲートは制御信号 L A T 2 に連結される。

## 【 0 0 3 5 】

制御信号 D a t a 2 のロジック状態は、前述した制御信号 D a t a 1 と同一の方式によって決められ、それに対する説明は省略する。

## 【 0 0 3 6 】

第 2 感知及びラッチブロック 2 6 0 において、N M O S トランジスタ M N 1 3 ~ M N 1 7 は第 1 伝達回路を構成し、P M O S 及び N M O S トランジスタ M P 3、M P 4、M N 1 1、M N 1 2 は第 2 伝達回路を構成する。第 1 伝達回路は、プログラム動作時に、データバス上のデータをラッチ L 2 (すなわち、第 1 ラッチノード N 5 ) に伝達する。第 1 伝達回路は、読み出し動作時に、感知ノード S O のデータをラッチ L 2 に伝達し、その次にラッチされたデータを列ゲート回路 1 6 0 を通じてデータバス D L に伝達する。第 2 伝達回路は、プログラム動作時に、ラッチ L 2 に維持されるデータを感知ノード S O に伝達する。このような動作の詳細については後述する。

## 【 0 0 3 7 】

図 4 は、プログラム動作時における本発明のキャッシュ機能を説明するためのデータ流れ図である。図 4 を参照すると、先ず、プログラムされるデータが第 1 感知及びラッチブロック 2 4 0 にロードされる ( 3 1 0 )。そのようにロードされたデータはビットライン B l i \_ E を通じてメモリセルにプログラムされる ( 3 2 0 )。プログラム動作が実行される間、第 2 感知及びラッチブロック 2 6 0 はキャッシュ機能を実行する ( 3 3 0 )。すな

10

20

30

40

50

わち、第2感知及びラッチブロック260にはデータバスDLから列ゲート回路160を通じて伝達されたデータがラッチされる。その次に、第2感知及びラッチブロック260にロードされたデータがビットラインBLi<sub>0</sub>を通じてメモリセルにプログラムされる。このプログラム動作が実行される間、第1感知及びラッチブロック240はキャッシュ機能を実行する。すなわち、第1感知及びラッチブロック240はデータバスDLから列ゲート回路160を通じて伝達されたデータをラッチする。第1プログラムデータをロードする時間を除けば、残りのプログラムデータのロード時間は以前にロードされたデータをプログラムする時間と重なる。したがって、連続的なプログラム動作を実行する場合に必要な総プログラム時間が短縮される。特に、従来技術においては、ページサイズが増加する場合に、データロード時間が一サイクルのプログラム時間中に占める割合が大きくなって、その結果、一サイクルのプログラム時間が増加する。これはプログラムスピードが低下することを意味する。しかし、本発明によるキャッシュ機能を有するメモリ装置の場合には、ページサイズが増加しても、データロード区間とプログラム区間が時間的に重なるので、総プログラム時間はページサイズが増加してもほとんど増加しない。

#### 【0038】

図5は、読み出し動作時における本発明のキャッシュ機能を説明するためのデータ流れ図である。ビットライン選択及びバイアスブロック200とプリチャージブロック220とにより感知ノードS0とビットラインを所定の状態に設定した後、第2感知及びラッチブロック260は選択されたビットラインに連結されたメモリセルからデータを感知する。その次に、ビットライン選択及びバイアスブロック200とプリチャージブロック220とにより感知ノードS0とビットラインを所定の状態に設定した後、第1感知及びラッチブロック240は選択されたビットラインに連結されたメモリセルからデータを感知する(340)。これと同時に、第2感知及びラッチブロック260は列ゲート回路160を通じてデータバスDLに感知されたデータを出力する(350)。

#### 【0039】

すなわち、二つの感知及びラッチブロック240、260のうちのいずれか一つを通じて感知動作を実行する間、残りの感知及びラッチブロックにラッチされたデータ(すなわち、感知されたデータ)がデータラインにロードされる。このようなキャッシュ機能はフラッシュメモリ装置の読み出し動作スピードを向上させる。

#### 【0040】

図6は本発明によるページコピーバック機能を説明するためのデータ流れ図である。ページコピーバック動作では選択されたページに対する読み出し動作を実行してページデータをラッチし(360)、その次にラッチされたデータを他のページにプログラムする(370)。これによって、一つの感知及びラッチブロックがこのような動作の全部を実行できるので、ページコピーバック動作が実行される間、他の感知及びラッチブロックは非活性化される。読み出し動作とプログラム動作は、前述したことと同一であるので、それに対する説明は省略する。本発明によるページコピーバック動作によると、読み出されたデータの状態の反転なしに、そのままプログラムされる。このような理由により、別途のページコピーフラグセルは本発明のメモリセルアレイでは不要である。このような動作の詳細については後述する。

#### 【0041】

図7は本発明によるプログラム動作を説明するための動作タイミング図であり、図8は本発明のプログラム動作によるページバッファのデータ流れを示す回路図である。以下、本発明によるプログラム動作を図7及び図8を参照して詳細に説明する。説明の便宜上、一つのページバッファを用いてプログラム動作を説明する。図7に示したように、本発明によるプログラム動作は、データロード区間、放電区間、そしてプログラム及びキャッシュ区間に区分することができる。

#### 【0042】

先ず、データロード区間では、第1及び第2感知及びラッチブロック240、260のうちのいずれか一つにデータが伝達される。便宜上、第1感知及びラッチブロック240の

10

20

30

40

50

ラッチ L 1 に第 1 プログラムデータビットがロードされ、その第 1 プログラムデータビットが ' 1 ' と仮定すると、制御信号 D a t a 1 は高レベルになり、データライン D L は放電された状態、すなわち、低レベルになる。図 7 に示したように、制御信号 S W 1 が低レベルから高レベルに遷移することによって、ラッチ L 1 の第 2 ラッチロード N 3 は低レベルになり、第 1 ラッチノード N 2 は高レベルになる。このような動作の結果として、第 1 プログラムデータビットが図 8 に示したデータ経路 ( 1 ) を通じて第 1 感知及びラッチブロック 2 4 0 にロードされる。

#### 【 0 0 4 3 】

第 1 感知及びラッチブロック 2 4 0 にロードされたデータをプログラムする前に、ビットライン B L 0 \_ \_ E、B L 0 \_ \_ O と感知ノード S O の電圧が放電される。これは、信号ラインに接地電圧 G N D を供給し、制御信号 V B L e、V B L o、B L B I A S \_ \_ E、B L B I A S \_ \_ O が高レベルになることによって達成される。この時、感知ノード S O の電圧に影響を与えることができる素子 ( 例えば、P M O S トランジスタ M P 0 ) は非導電状態を維持する。

#### 【 0 0 4 4 】

放電動作が完了すると、制御信号 V B L e、B L B I A S \_ \_ 0 は高レベルから低レベルになる。これによって、ビットライン B L 0 \_ \_ E は N M O S トランジスタ M N 2 を通じて感知ノード S O に連結される一方、ビットライン B L 0 \_ \_ O は N M O S トランジスタ M N 1 を通じて接地電圧 G N D の信号ラインに連結される。このような状態で、図 7 に示したように、制御信号 L D 1 が低レベルから高レベルに遷移し、その結果、P M O S トランジスタ M P 2 と N M O S トランジスタ M N 4 がターンオンされる。ラッチ L 1 にデータ ' 1 ' がロードされるので、第 1 ラッチノード N 3 は低レベルに維持される。P M O S トランジスタ M P 2 はターンオンされ、その結果、感知ノード S O 及びビットライン B L 0 \_ \_ E は図 8 に示したデータ経路 ( 2 ) に沿って、すなわち、P M O S トランジスタ M P 1、M P 2 を通じて電源電圧 V c c までプルアップされる。以後、感知ノード S O に伝達されたデータは、よく知られた方法を通じて対応するメモリセルにプログラムされる。

#### 【 0 0 4 5 】

実質的なプログラム動作が実行される間、本発明による第 2 感知及びラッチブロック 2 6 0 を通じてキャッシュ動作が図 8 に示したデータ経路 ( 2 ) を通じて同時に実行される。次にプログラムされるデータビットが ' 0 ' と仮定すれば、データライン D L は高レベルになり、制御信号 D a t a 2 は低レベルになる。図 7 に示したように、プログラム動作が実行される間、制御信号 S W 2 が低レベルから高レベルに遷移することによって、ラッチ L 2 の第 1 ラッチロード N 5 は N M O S トランジスタ M N 1 5 を通じて低レベルになり、第 2 ラッチノード N 6 は高レベルになる。このような動作の結果として、第 1 プログラムデータがメモリセルに格納される間に第 2 プログラムデータビットが図 8 に示したデータ経路 ( 2 ) を通じて第 2 感知及びラッチブロック 2 6 0 にロードされたデータをプログラムする過程は、前述の方法と同一の方法により実行されるので、それに対する説明は省略する。

#### 【 0 0 4 6 】

第 1 / 2 感知及びラッチブロックにロードされたデータをプログラムする間、第 2 / 1 感知及びラッチブロックにデータをロードすることによって、データロード時間は、第 1 データロード時間を除けば、総プログラム時間に影響を与えない。したがって、フラッシュメモリ装置のプログラムスピードが短縮される。

#### 【 0 0 4 7 】

図 9 は本発明による読み出し動作を説明するための動作タイミング図であり、図 1 0 は本発明の読み出し動作によるページバッファのデータ流れを示す回路図である。以下、本発明による読み出し動作を図 9 及び図 1 0 を参照して説明する。説明の便宜上、一つのページバッファを用いて読み出し動作を説明する。読み出し動作を説明する前に、ビットライン B L 0 \_ \_ O に連結されたメモリセルがデータ ' 1 ' を格納し、ビットライン B L 0 \_ \_ E に連結されたメモリセルがデータ ' 0 ' を格納すると仮定する。

## 【 0 0 4 8 】

先ず、第 1 及び第 2 感知及びラッチブロック 2 4 0、2 6 0 内のラッチ L 1、L 2 が高レベルを有するように初期化される。これは、次のような過程によって行われる。制御信号 P R E が高レベルから低レベルに遷移することによって、感知ノード S O が電源電圧 V c c まで充電される。これにより N M O S トランジスタ M N 9 がターンオンされる。同時に、制御信号 L A T 1、L A T 2、D a t a 1、D a t a 2 は、図 9 に示したように、低レベルから高レベルに遷移する。第 1 感知及びラッチブロック 2 4 0 の N M O S トランジスタ M N 8、M N 9、M N 1 0 はターンオンされ、その N M O S トランジスタ M N 7 はターンオフされる。結果的に、ラッチ L 1 の第 2 ラッチノード N 3 は接地される。すなわち、第 1 ラッチノード N 2 が図 1 0 のデータ経路 ( 1 ) を通じてデータ ' 1 ' に設定される。同様に、第 2 感知及びラッチブロック 2 6 0 の N M O S トランジスタ M N 1 4、M N 1 6、M N 1 7 がターンオンされ、N M O S トランジスタ M N 1 5 がターンオフされる。結果的に、第 2 感知及びラッチブロック 2 6 0 のラッチ L 2 の第 2 ラッチノード N 6 は接地される。すなわち、第 2 感知及びラッチブロック 2 6 0 の第 1 ラッチノード N 5 が図 1 0 のデータ経路 ( 3 ) を通じてデータ ' 1 ' に設定される。

10

## 【 0 0 4 9 】

ラッチ L 1、L 2 がデータ ' 1 ' に設定されると、第 1 及び第 2 感知及びラッチブロック 2 4 0、2 6 0 のうちのいずれか一つを通じて感知動作が実行される。先ず、第 2 感知及びラッチブロック 2 6 0 を通じて感知動作が実行されると仮定する。

## 【 0 0 5 0 】

感知ノード S O とビットライン B L 0 \_ \_ E、B L 0 \_ \_ O を放電させるために、図 9 に示したように、制御信号 V B L e、V B L o、B L B I A S \_ \_ E、B L B I A S \_ \_ O 各々は低レベルから高レベルに遷移する。この時、信号ラインには接地電圧 G N D が供給される。したがって、感知ノード S O とビットライン B L 0 \_ \_ E、B L 0 \_ \_ O は接地電圧になる。

20

## 【 0 0 5 1 】

放電動作が完了すると、制御信号 V B L o、B L B I A S \_ \_ E、B L B I A S \_ \_ O 各々は低レベルになり感知ノード S O とビットライン B L 0 \_ \_ O はフローティング状態になる。この時、ビットライン B L 0 \_ \_ E は N M O S トランジスタ M N 0 を通じて接地電圧 G N D 信号ラインに電氣的に連結され、ビットライン B L 0 \_ \_ O は感知ノード S O と電氣的に連結される。制御信号 P R E が高レベルから低レベルに遷移することによって、感知ノード S O は電源電圧 V c c にプリチャージされる。制御信号ライン B L B I A S \_ \_ O には電源電圧 V c c より低い特定電圧 (例えば、1 . 5 V) が印加され、ビットライン B L 0 \_ \_ O は N M O S トランジスタ M N 3 を通じて ( 1 . 5 V - V t n ) 電圧 (ここで、V t n は N M O S トランジスタ M N 3 のしきい電圧を示す) に充電される。この時、N M O S トランジスタ M N 2 はターンオフ状態に維持される。その次に、制御信号 B L B I A S \_ \_ O、P R E が各々ローとハイになる。

30

## 【 0 0 5 2 】

ビットライン B L 0 \_ \_ O に連結されたメモリセルがオンセル、すなわち、データ ' 1 ' を格納していた場合に、このような状態でビットライン B L 0 \_ \_ O の電圧は接地電圧 G N D に向けて低くなる。制御信号ライン B L B I A S \_ \_ O に特定電圧 (例えば、1 . 0 V) が印加されると、N M O S トランジスタ M N 3 はターンオンされ、感知ノード S O の電圧はメモリセルを通じて接地電圧 G N D に放電される。これは N M O S トランジスタ M N 1 6 がターンオフされるようにする。以後、感知ノード S O 上のデータが第 2 感知及びラッチブロック 2 6 0 によってラッチされる。さらに具体的に説明すると、次の通りである。前述したように、感知ノード S O は接地電圧 G N D を有する。したがって、制御信号 L A T 2、n D a t a 2 が低レベルから高レベルに遷移しても、第 2 感知及びラッチブロック 2 6 0 の第 1 ラッチノード N 5 は初期に設定されたデータ ' 1 ' をそのままに維持する。前述した感知動作は図 1 0 のデータ経路 ( 2 ) を通じて行われる。

40

## 【 0 0 5 3 】

ビットライン B L 0 \_ \_ O に対する感知動作が完了すると、再びビットライン B L 0 \_ \_ E に

50



対する感知動作は次のように行われる。図 9 に示したように、まず、感知ノード S O とビットライン B L 0 \_ E を放電させるために、制御信号 V B L e は高レベルに維持され、制御信号 V B L o は低レベルから高レベルに遷移する。信号ラインには接地電圧 G N D が供給されるので、ビットライン B L 0 \_ E と感知ノード S O の電圧は放電される。

#### 【 0 0 5 4 】

放電動作が完了すると、感知ノード S O はフローティング状態に維持される。以後、制御信号 P R E が高レベルから低レベルに遷移することによって、感知ノード S O は電源電圧 V c c にプリチャージされる。制御信号ライン B L B I A S \_ E には電源電圧 v C C より低い特定電圧（例えば、1 . 5 V ）が印加され、その結果、ビットライン B L 0 \_ E は N M O S トランジスタ M N 2 を通じて（1 . 5 V - V t n ）電圧（ここで、V t n は N M O S トランジスタ M N 2 のしきい電圧を示す）に充電される。すなわち、ビットライン B L 0 \_ E と感知ノード S O が電氣的に連結される。この時、N M O S トランジスタ M N 3 はターンオフ状態に維持される。その次に、図 9 に示したように、制御信号 B L B I A S \_ E 、 P R E が各々ローとハイになる。

#### 【 0 0 5 5 】

ビットライン B L 0 \_ E に連結されたメモリセルがオフセル、すなわち、データ ' 0 ' を格納していた場合に、このような状態でビットライン B L 0 \_ E の（1 . 5 V - V t n ）電圧はそのままに維持される。ビットライン B L 0 \_ E と感知ノード S O が電氣的に連結されるように制御信号ライン B L B I A S \_ O に特定電圧（例えば、1 . 0 V ）が印加される。これは N M O S トランジスタ M N 3 をターンオンさせ、感知ノード S O の電圧は続けて電源電圧 V c c に維持される。これは N M O S トランジスタ M N 9 がターンオンされることを意味する。以後、感知ノード S O 上のデータが第 1 感知及びラッチブロック 2 4 0 によってラッチされる。すなわち、制御信号 L A T 1 、 n D a t a 1 が低レベルから高レベルに遷移する時に、第 1 感知及びラッチブロック 2 4 0 の第 1 ラッチノード N 5 にはデータ ' 0 ' がラッチされる。

#### 【 0 0 5 6 】

第 1 感知及びラッチブロック 2 4 0 を通じて感知動作が実行される間（図 1 0 において、これは、（3）で表示された太線のデータ経路を通じて行われる）、第 2 感知及びラッチブロック 2 6 0 に格納されたデータは図 1 0 のデータ経路（1）を通じてデータライン D L に伝達される。さらに具体的に、先ず、データライン D L が接地電圧 G N D に放電された後、フローティング状態に維持される。その次に、図 9 に示したように、制御信号 D a t a 2 、 S W 2 が低レベルから高レベルに遷移し、その結果、第 2 ラッチノード N 6 が N M O S トランジスタ M N 1 4 、 M N 1 3 、及び列ゲート回路 1 6 0 を通じてデータライン D L と電氣的に連結される。この時、第 2 ラッチノード N 6 が接地電圧 G N D を有するので、データライン D L の電圧が放電状態の接地電圧 G N D に維持される。第 2 ラッチノード N 6 が電源電圧 V c c を有すると、データライン D L の電圧は接地電圧 G N D から増加される。その結果、データライン D L はチャージシェアリング（c h a r g e s h a r i n g ）過程によって（V c c - V ）電圧（0 < V < V c c ）を有する。以後、データ出力過程はこの分野の通常の知識を有する者によく知られているので、省略する。

#### 【 0 0 5 7 】

様々なページのデータがアクセスされる場合に、一つの感知及びラッチブロックを通じて感知動作が実行され、他の一つの感知及びラッチブロックを通じてキャッシュ機能を同時に実行するので、本発明によれば、フラッシュメモリ装置の読み出しスピードが非常に向上する。

#### 【 0 0 5 8 】

図 1 1 は本発明によるページコピーバック動作を説明するための動作タイミング図であり、図 1 2 は本発明のページコピーバック動作によるページバッファのデータ流れを示す回路図である。以下、本発明によるページコピーバック動作を図 1 1 及び図 1 2 を参照して説明する。説明の便宜上、一つのページバッファを用いてページコピーバック動作を説明する。ページコピーバック動作は感知動作とプログラム動作に区分される。ページコピー

10

20

30

40

50

バック動作を説明する前に、ビットラインBL0\_\_Eに連結されたメモリセルが選択され、選択されたメモリセルがデータ‘1’を格納すると仮定すれば感知動作が説明される。そしてビットラインBL0\_\_Eに連結された他のメモリセルが選択されると仮定すれば、プログラム動作が説明される。ページコピーバック動作はページバッファの第1及び第2感知及びラッチブロックのうちのいずれか一つを用いて実行される。これによって、他の一つの感知及びラッチブロックはページコピーバック動作が実行される間、非活性化状態に維持される。ページコピーバック動作は第1感知及びラッチブロック240を通じて説明する。

#### 【0059】

10  
先ず、第1感知及びラッチブロック240内のラッチL1が高レベルを有するように初期化される。すなわち、感知ノードSOが電源電圧Vccまで充電されるように、制御信号PREが高レベルから低レベルに遷移する。これはNMOSトランジスタMN9がターンオンされるようにする。これと同時に、図11に示したように、制御信号LAT1、Data1は、低レベルから高レベルに遷移する。第1感知及びラッチブロック240のNMOSトランジスタMN8、MN9、MN10はターンオンされ、そのNMOSトランジスタMN7はターンオフされる。結果的に、ラッチL1の第2ラッチノードN3は接地される。すなわち、第1ラッチノードN2が図12のデータ経路(1)を通じてデータ‘1’  
20  
と設定される。図示しないが、第2感知及びラッチブロック260のラッチを設定する動作は、第1感知及びラッチブロック240のそれと同時に実行されることができる。

#### 【0060】

20  
第1感知及びラッチブロック240のラッチL1がデータ‘1’と設定されると、第1感知及びラッチブロック240を通じて感知動作が実行される。図11に示したように、感知ノードSOとビットラインBL0\_\_E、BL0\_\_Oを放電させるために、制御信号VBLE、VBL0、BLBIAS\_\_E、BLBIAS\_\_O各々は低レベルから高レベルに遷移する。この時、信号ラインには接地電圧GNDが供給される。したがって、感知ノードSOとビットラインBL0\_\_E、BL0\_\_Oは接地電圧になる。

#### 【0061】

30  
放電動作が完了すると、制御信号VBLE、BLBIAS\_\_E、BLBIAS\_\_O各々は低レベルになり、感知ノードSOとビットラインBL0\_\_Eはフローティング状態になる。この時、ビットラインBL0\_\_OはNMOSトランジスタMN1を通じて接地電圧GNDの信号ラインに電氣的に連結される。制御信号PREが高レベルから低レベルに遷移することによって、感知ノードSOは電源電圧Vccにプリチャージされる。この時、制御信号ラインBLBIAS\_\_Eには電源電圧Vccより低い特定電圧(例えば、1.5V)が印加され、その結果、ビットラインBL0\_\_EはNMOSトランジスタMN2を通じて1.5V - Vtn電圧に充電される。この時、NMOSトランジスタMN3はターンオフ状態に維持される。その次に、図11に示したように、制御信号BLBIAS\_\_E、PREが各々ローとハイになる。

#### 【0062】

40  
ビットラインBL0\_\_Eに連結されたメモリセルがオフセル、すなわち、データ‘0’を格納していた場合に、このような状態でビットラインBL0\_\_Eの電圧はそのままに維持される。この時に、制御信号ラインBLBIAS\_\_Eに特定電圧(例えば、1.0V)が印加されれば、NMOSトランジスタMN2はターンオンされ、感知ノードSOの電圧は放電経路がないので、電源電圧Vccに維持される。これはNMOSトランジスタMN9がターンオフされるようにする。以後、感知ノードSO上のデータが第1感知及びラッチブロック240によってラッチされる。すなわち、制御信号LAT1、nData1が低レベルから高レベルに遷移する時に、第1感知及びラッチブロック240の第1ラッチノードN2はNMOSトランジスタMN7、MN9、MN10を通じて接地される。これは感知ノードSOが電源電圧Vccを有するためである。前述した感知動作は図12のデータ経路(2)を通じて行われる。

#### 【0063】

10

20

30

40

50

前述した感知動作が完了されれば、ラッチ L 1 に格納されたデータが他のページのメモリセルにコピーされる。(またはプログラムされる)。まず、感知ノード S O とビットライン B L 0 \_ E の電圧が N M O S トランジスタ M N 0、M N 2 を通じて信号ラインに完全に放電される。この時に、感知ノード S O の電圧に影響が与えられる素子(例えば、P M O S トランジスタ M P 0)は非活性状態を維持する。

#### 【0064】

放電動作が完了すると、ラッチ L 1 に格納されたデータが感知ノード S O に伝達される。これは、制御信号 L D 1 が低レベルから高レベルに遷移することによって成される。ラッチ L 1 に格納されたデータ値が ' 0 ' であるので、第 2 ラッチノード N 3 は電源電圧 V c c を有する。N M O S トランジスタ M N 5 がターンオンされ、P M O S トランジスタ M P 1 がターンオフされることによって、感知ノード S O は接地電圧 G N D を有する。以後、よく知られた方法に従って、感知ノード S O 上のデータが以前に選択されたページと他のページのメモリセルにプログラムされる。

#### 【0065】

前述したように、データ ' 0 ' が感知される場合に、メモリセル、感知ノード S O、第 1 ラッチノード N 2、第 2 ラッチノード N 3、及び感知ノード S O のデータ流れは、' 0 '、' 1 '、' 0 '、' 1 '、' 0 ' である。すなわち、ページコピーバック動作が終了された時点で見た場合、最初に貯蔵された値が反転されずにそのままにメモリセルに格納される。結果的に、ページデータが反転されるか否かを貯蔵するための別途のページコピーフラグセルは不要である。

#### 【0066】

以上で、本発明による回路の構成及び動作を前述した説明及び図面に従って説明したが、これは本発明の単なる適用例に過ぎない。本発明の技術的思想及び範囲を逸脱しない範囲内の多様な変化及び変更が可能である。

#### 【0067】

##### 【発明の効果】

前述したように、本発明のフラッシュメモリ装置は、二つの感知及びラッチブロックを備えたページバッファを実現することによって、プログラム/読み出しキャッシュ機能を支援する。プログラムキャッシュ機能によると、連続してプログラム動作を実行する時に、第 1 ページデータをロードする時間を除けば、残りのページデータのデータロード時間は不要である。さらに、本発明のページコピーバック動作によると、コピーされたページデータが反転されるか否かを示す情報を格納するためのページコピーフラグセルは不要である。したがって、ページコピーフラグセルによる信頼性の低下原因が完全に除去される。

##### 【図面の簡単な説明】

【図 1】従来の技術によるフラッシュメモリ装置を示すブロック図である。

【図 2】本発明によるフラッシュメモリ装置を示すブロック図である。

【図 3】図 2 に示したページバッファの望ましい実施形態を示す図である。

【図 4】プログラム動作時、本発明のキャッシュ機能を説明するためのデータ流れ図である。

【図 5】読み出し動作時における本発明のキャッシュ機能を説明するためのデータ流れ図である。

【図 6】本発明によるページコピーバック機能を説明するためのデータ流れ図である。

【図 7】本発明によるプログラム動作を説明するための動作タイミング図である。

【図 8】本発明のプログラム動作によるページバッファのデータ流れを示す回路図である。

【図 9】本発明による読み出し動作を説明するための動作タイミング図である。

【図 10】本発明の読み出し動作によるページバッファのデータ流れを示す回路図である。

【図 11】本発明によるページコピーバック動作を説明するための動作タイミング図である。

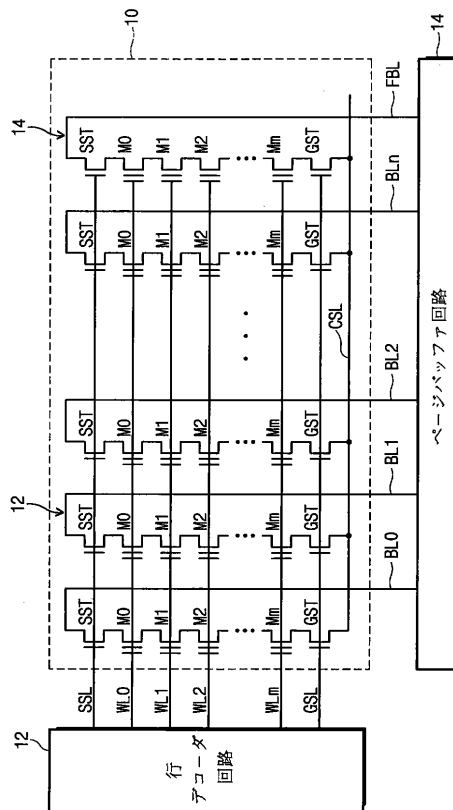
【図12】本発明のページコピーバック動作によるページバッファのデータ流れを示す回路図である。

【符号の説明】

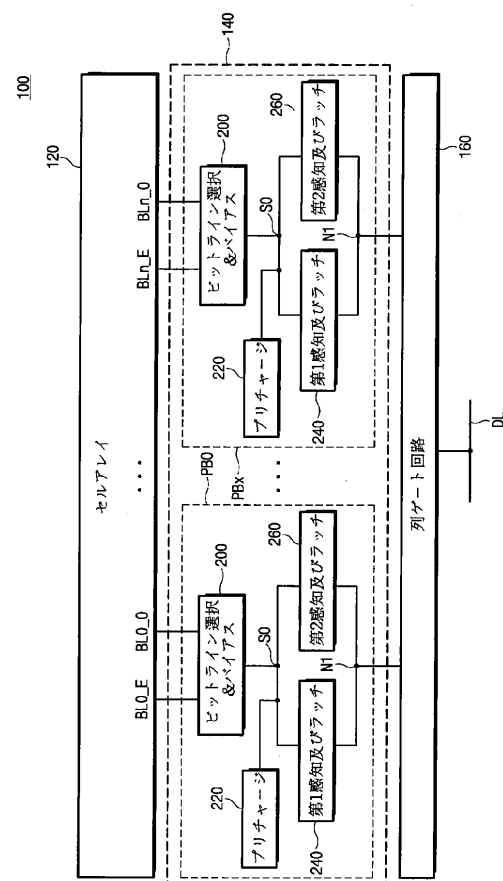
- 100 メモリ装置
- 120 メモリセルアレイ
- 140 ページバッファ回路
- 160 列ゲート回路
- 200 ビットライン選択及びバイアスブロック
- 220 プリチャージブロック
- 240, 260 感知及びラッチブロック

10

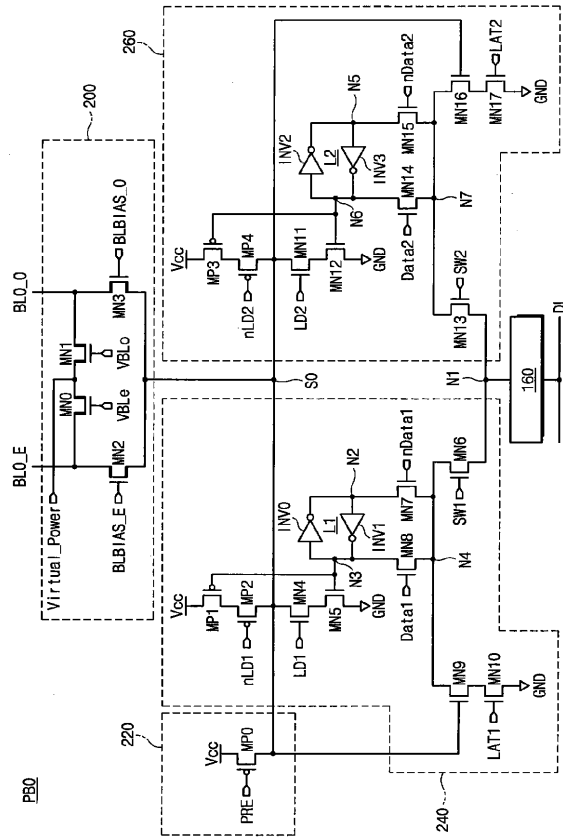
【図1】



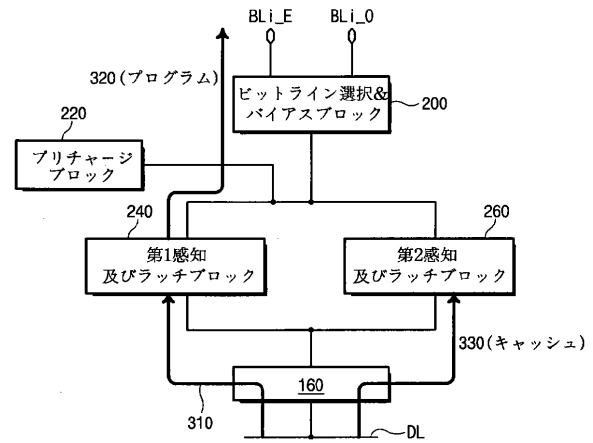
【図2】



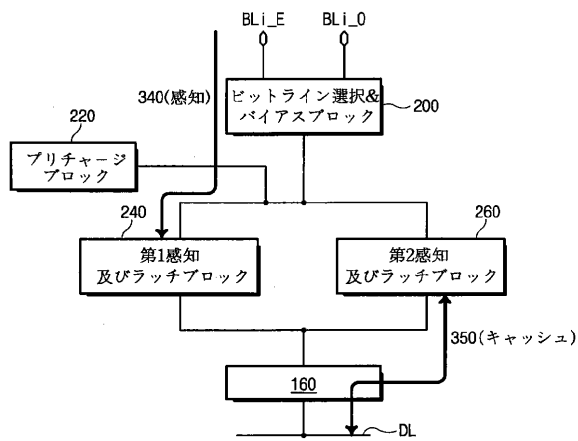
【図3】



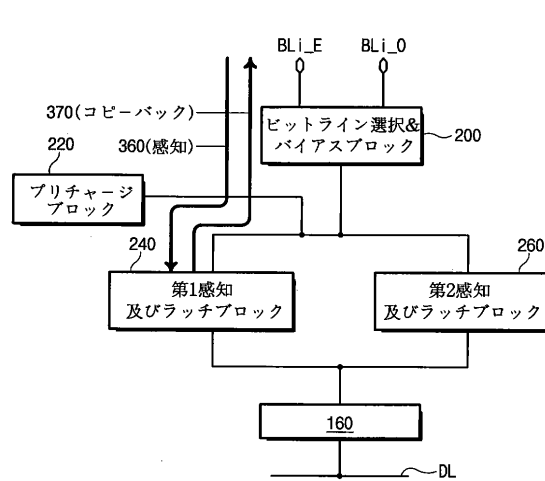
【図4】



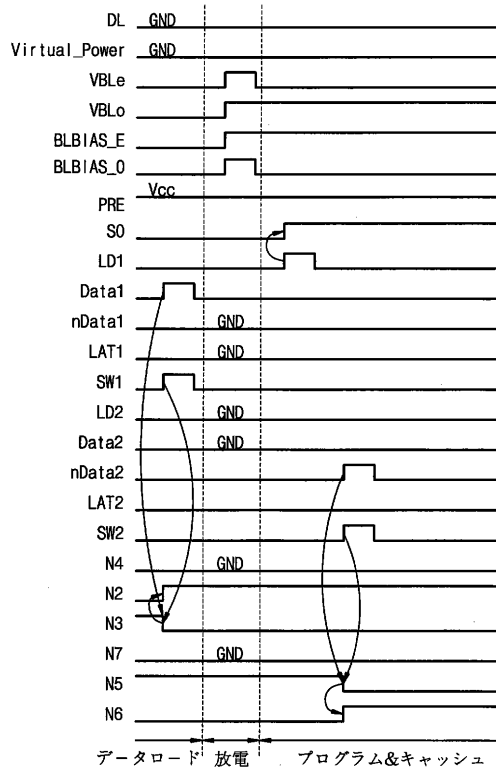
【図5】



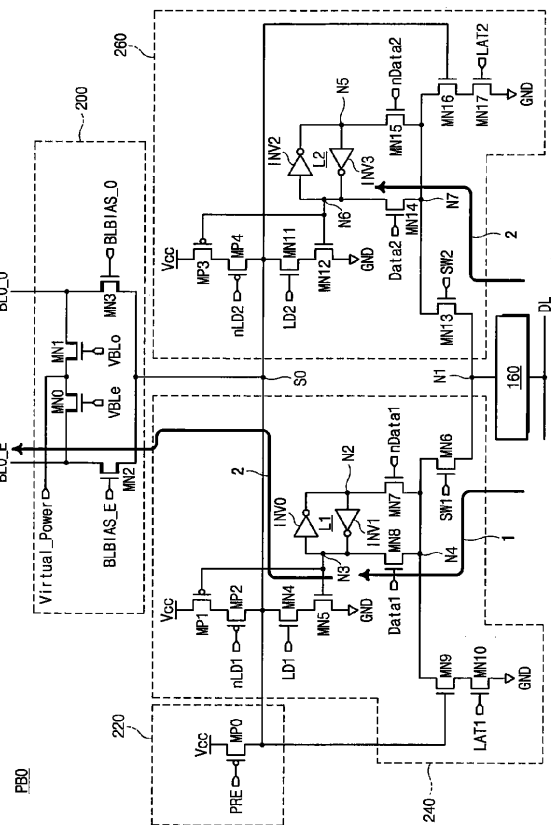
【図6】



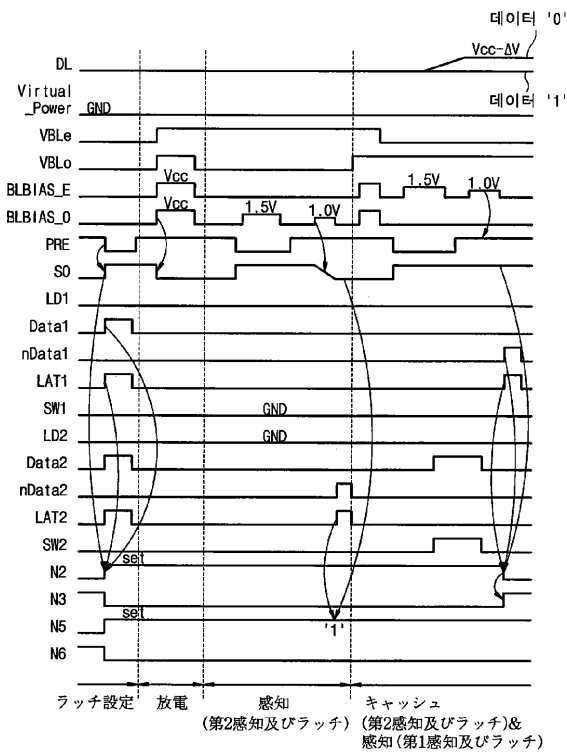
【図 7】



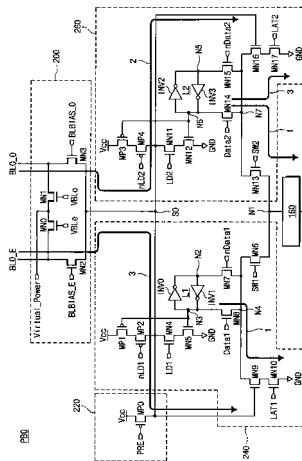
【図 8】



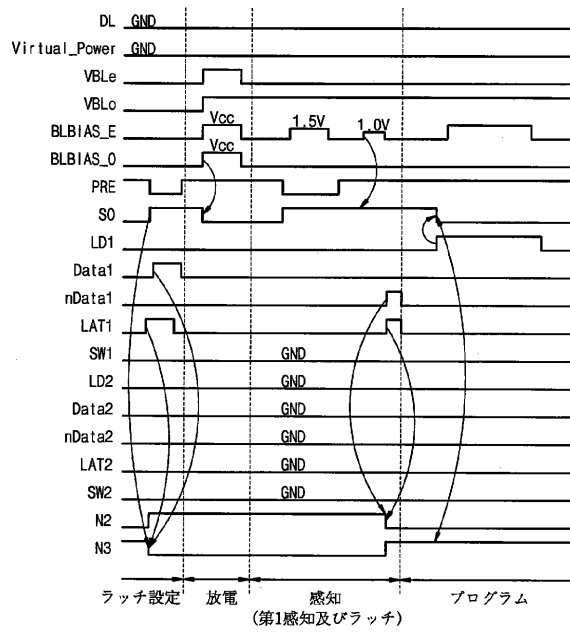
【図 9】



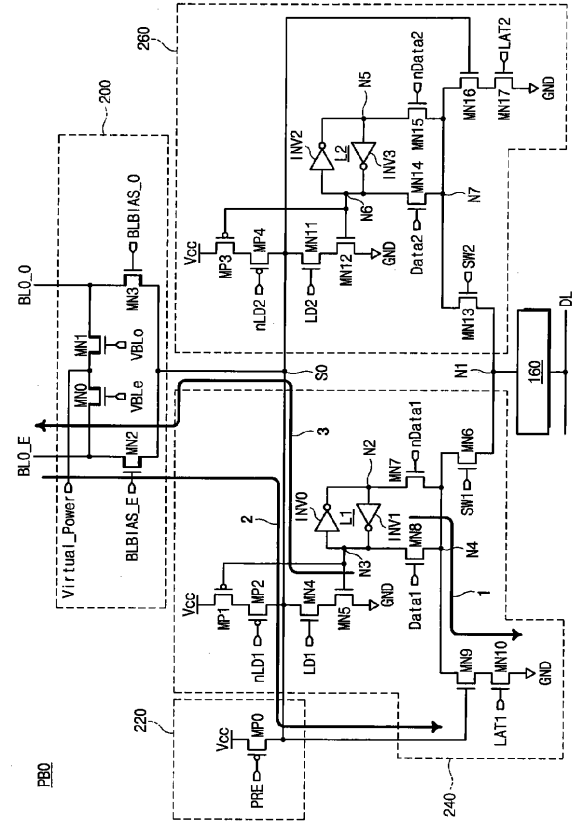
【図 10】



【図 11】



【図 12】



---

フロントページの続き

(51)Int.Cl. F I  
G 1 1 C 17/00 6 3 1

(74)代理人 100110364

弁理士 実広 信哉

(72)発明者 邊大錫

大韓民国ソウル江南区道谷 1 洞 1 6 1 番地サムスンアパート 3 棟 1 0 8 号

(72)発明者 林瀛湖

大韓民国京畿道水原市八達区靈通洞ハンゴルタウンプーンリムアパート 2 3 1 棟 3 0 3 号

審査官 外山 毅

(56)参考文献 特開 2 0 0 1 - 3 2 5 7 9 6 ( J P , A )

欧州特許出願公開第 0 1 1 3 4 7 4 6 ( E P , A 1 )

特開平 1 1 - 1 1 0 9 8 6 ( J P , A )

特開平 0 7 - 1 2 2 0 9 2 ( J P , A )

(58)調査した分野(Int.Cl. , D B 名)

G11C 16/02