(19)中华人民共和国国家知识产权局

(12)发明专利

(10)授权公告号 CN 103294441 B
(45)授权公告日 2016.08.03

(21)申请号 201310053738.X

(22)申请日 2006.11.27

(30)优先权数据
0524099.9 2005.11.26 GB

(62)分案原申请数据
200610140326.X 2006.11.27

(73)专利权人 思睿逻辑国际半导体有限公司
地址 英国爱丁堡

(72)发明人 大卫·西奈

(74)专利代理机构 北京集佳知识产权代理有限公司 11227
代理人 康建峰 吴琼

(51)Int.Cl.
G06F 3/16(2006.01)

(56)对比文件
US 6007228 A,1999.12.28,附图5－6,附图9,说明书第2栏第26－27行,说明书第7栏第50行－第8栏第11行,说明书第10栏第50－51行.
US 2003067402 A1,2003.04.10,全文.
US 2005159833 A1,2005.07.21,全文.
US 5297231 A,1994.03.22,说明书第3栏第54行－第5栏第50行、图2.

审查员 李中兴

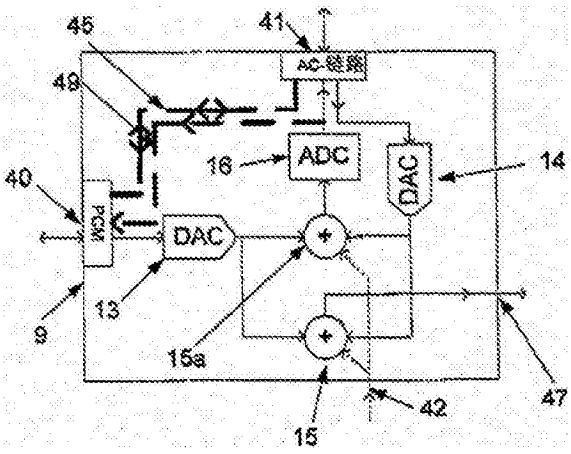
权利要求书3页 说明书26页 附图25页

(54)发明名称

音频设备

(57)摘要

本发明公开了一种音频设备。具体地公开了一种用于将数字音频信号转换成模拟音频信号的音频编码解码器,所述音频编码解码器包括:至少第一和第二数字音频总线接口,用于将所述音频编码解码器耦合到相应的数字音频总线;加法装置,用于通过将从第一和第二数字音频总线接口接收的数字音频信号相加以产生相加的数字音频信号,所述加法装置连接为向所述音频编码解码器的数字音频总线接口发送相加的数字音频信号。



CN 103294441 B

1.一种数字音频设备，包括用于将数字音频信号转换成模拟音频信号的音频编码解码器，其中：

所述音频编码解码器包括：

第一、第二和第三数字音频总线接口，用于将所述音频编码解码器分别耦合到第一、第二和第三双向数字音频总线；

加法装置，用于通过将从所述第一和第二数字音频总线接口接收的数字音频信号相加以形成相加的数字音频信号，所述加法装置连接为向所述音频编码解码器的第一、第二和第三数字音频总线接口之一发送所述相加的数字音频信号；并且其中

第一数字音频总线接口耦合到用于处理数字音频信号的应用处理器，第二数字音频总线接口耦合到用于处理电话呼叫的通信处理器，第三数字音频总线接口耦合到用于与无线外围设备进行通信的无线编码解码器。

2.根据权利要求1所述的数字音频设备，其中所述加法装置包括数字信号加法器。

3.根据权利要求2所述的数字音频设备，其中所述音频编码解码器还包括数字采样率转换器，其被设置为耦合到所述数字信号加法器的输入端。

4.根据权利要求2所述的数字音频设备，其中所述音频编码解码器还包括数模转换器，其位于设置为耦合到所述数字信号加法器的输入端的模数转换器之前，彼此在不同的采样率下操作以改变数字音频信号的采样率。

5.根据权利要求1所述的数字音频设备，其中所述加法装置包括模拟信号加法器，并且设置耦合在所述第一和第二数字音频总线接口的每一个和模拟信号加法器的相应输入端之间的数模转换器，设置耦合到模拟信号加法器的输出端的模数转换器。

6.根据权利要求1所述的数字音频设备，其中所述音频编码解码器还包括多个电路单元，所述多个电路单元选自：数模转换器、模数转换器、乘法器、加法器、以及采样率转换器；以及

开关矩阵，其将所选择的一个或多个电路单元可控地耦合到第一和第二数字音频总线接口之间。

7.一种便携式无线电话设备，包括根据权利要求1-6之一所述的数字音频设备。

8.一种操作数字音频设备的方法，其中所述数字音频设备包括音频编码解码器，所述音频编码解码器适用于将数字音频信号转换成模拟音频信号，

其中所述音频编码解码器包括：第一、第二和第三数字音频总线接口，用于分别耦合到第一、第二和第三双向数字音频总线；以及多个电路单元，其包括数模转换器和模数转换器，并且其中

第一数字音频总线接口耦合到用于处理数字音频信号的应用处理器，第二数字音频总线接口耦合到用于处理电话呼叫的通信处理器，第三数字音频总线接口耦合到用于与无线外围设备进行通信的无线编码解码器，

所述方法包括：控制所述音频编码解码器以通过将从所述第一和第二数字音频总线接口接收的数字音频信号相加形成相加的数字音频信号，以及向所述音频编码解码器的第一、第二和第三数字音频总线接口之一发送所述相加的数字音频信号。

9.根据权利要求8所述的方法，包括向所述第一和第二数字音频总线接口中的一个发送所述相加的数字音频信号。

10.根据权利要求8所述的方法，包括向第三数字音频总线接口发送所述相加的数字音频信号。

11.根据权利要求8所述的方法，其中所述数字音频信号被数字地相加。

12.根据权利要求11所述的方法，其中所述数字音频信号中的一个在被相加到所述数字音频信号中的另一个之前被转换采样率。

13.根据权利要求12所述的方法，其中所述采样率被数字地转换。

14.根据权利要求12所述的方法，其中所述采样率是通过将数字音频信号转换为模拟形式；随后以不同的采样率将其从模拟形式转换回数字形式来转换的。

15.根据权利要求8所述的方法，其中将接收的数字音频信号中的每一个转换为模拟形式，所述信号被以模拟形式相加，并将模拟相加的信号转换为数字形式。

16.根据权利要求8所述的方法，其中所述数字音频信号中的一个是电话信号，而另一个是记录的音频信号。

17.根据权利要求8所述的方法，其中第一数字音频总线接口设置为按照音频编码解码协议操作，所述方法包括：

经由第二数字音频总线接口接收两个数字音频信号，以及使用音频编码解码协议的相应的两个通道经由所述第一数字音频总线接口发送所述两个数字音频信号，其中所述两个数字音频信号不是彼此对应的左右信号。

18.根据权利要求8所述的方法，其中第一数字音频总线接口设置为按照音频编码解码协议操作；所述方法包括：

经由相应的第二和第三数字音频总线接口接收两个数字音频信号，以及使用音频编码解码协议的相应的两个通道经由第一数字音频总线接口发送所述两个数字音频信号；以及

同时经由第一数字音频总线接口接收数字信号并且经由第二和第三数字音频总线接口中的一个发送所述数字信号。

19.根据权利要求8所述的方法，其中所述第一数字音频总线接口设置为按照音频编码解码协议操作；所述方法包括：

使用音频编码解码协议的相应的两个通道经由第一数字音频总线接口接收两个数字音频信号，并且经由相应的第二和第三数字音频总线接口发送所述两个数字音频信号；以及

同时经由第二和第三数字音频总线接口中的一个接收数字信号，并且经由第一数字音频总线接口发送所述数字信号。

20.根据权利要求17到19中任意一项权利要求所述的方法，其中所述音频编码解码协议的所述两个通道是左通道和右通道。

21.一种操作数字音频设备的方法，其中所述数字音频设备包括：适用于将数字音频信号转换成模拟音频信号的音频编码解码器、用于处理数字音频信号的应用处理器、用于处理电话呼叫的通信处理器、用于与无线外围设备进行通信的无线编码解码器，

所述方法包括：控制所述音频编码解码器以经由第一双向数字音频总线从所述应用处理器接收数字音频信号，经由第二双向数字音频总线从所述通信处理器接收数字音频信号，通过将从所述应用处理器和通信处理器接收的数字音频信号相加形成相加的数字音频信号，以及经由第三双向数字音频总线向所述无线编码解码器发送相加的数字音频信号。

22.根据权利要求21所述的方法，其中所述数字音频信号被数字地相加。

23.根据权利要求22所述的方法，其中所述数字音频信号中的一个在被相加到所述数字音频信号中的另一个之前被转换采样率。

24.根据权利要求23所述的方法，其中所述采样率被数字地转换。

25.根据权利要求23所述的方法，其中所述采样率是通过将数字音频信号转换为模拟形式；随后以不同的采样率将其从模拟形式转换回数字形式来转换的。

26.根据权利要求21所述的方法，其中将接收的数字音频信号中的每一个转换为模拟形式，所述信号被以模拟形式相加，并将模拟相加的信号转换为数字形式。

27.根据权利要求21所述的方法，其中所述数字音频信号中的一个是电话信号，而另一个是记录的音频信号。

28.一种操作便携式无线电话设备的方法，所述无线电话设备包括用于将数字音频信号转换成模拟音频信号的音频编码解码器、用于处理电话呼叫的通信处理器、用于处理数字音频信号的应用处理器、以及用于与无线外围设备进行音频数据无线通信的无线编码解码器，所述通信处理器、应用处理器以及无线编码解码器中的第一个耦合到所述音频编码解码器的第一双向数字音频总线接口，所述通信处理器、应用处理器、以及无线编码解码器中的第二个耦合到所述音频编码解码器的第二双向数字音频总线接口，以及所述通信处理器、应用处理器、以及无线编码解码器中的第三个耦合到所述音频编码解码器的第三双向数字音频总线接口，

其中所述音频编码解码器包括：第一至第三双向数字音频总线接口；多个电路单元，其包括数模转换器和模数转换器；以及开关装置，其将选择的一个或多个电路单元可控地耦合在所述双向数字音频总线接口之间，所述方法包括：控制所述音频编码解码器以通过将经由所述第一和第二双向数字音频总线接口从所述通信处理器、应用处理器和无线编码解码器中的所述第一个和第二个接收的数字音频信号相加来形成相加的数字音频信号，以及经由第一至第三双向数字音频总线接口之一向通信处理器、应用处理器和无线编码解码器之一发送所述相加的数字音频信号。

29.根据权利要求28所述的方法，其中通信处理器和应用处理器耦合到第一和第二双向数字音频总线接口中的相应的一个，并且无线编码解码器耦合到第三双向数字音频总线接口。

30.根据权利要求29所述的方法，其中经由第一和第二双向数字音频总线接口之一向应用处理器发送所述相加的数字音频信号。

31.根据权利要求29所述的方法，其中经由第三双向数字音频总线接口向无线编码解码器发送所述相加的数字音频信号。

音频设备

[0001] 本申请为2006年11月27日提交的申请号为200610140326.X、发明名称为“音频设备”的发明专利申请的分案申请。

技术领域

[0002] 本发明涉及用于在多个互连电路之间实现通信的数字装置、方法和信号发送，而且尤其地但不是仅仅地涉及在数字音频汇集设备如智能电话中的数字音频通信。

背景技术

[0003] 总线是包括多个导体的共享通信路径，该导体连接到多个器件、芯片或者电路，例如集成电路板上的芯片。通过使用竞争协议，该电路的子集可以在一段时间内将总线用于它们自己的通信目的。总线因此减少了在多个互连电路之间提供通信所需要的导体数目，在IC和其它小规模技术中价值很高，使得尺寸和成本减少。然而，对于共享总线的需要可能排除某些通信模式，因此限制了可能系统功能的范围。

[0004] 音频汇集设备日渐普及，而且一般来说，常常允许在同一设备上执行不同类型的音频应用。音频汇集设备的例子是智能电话，该智能电话既提供基于电话的音频应用，比如语音呼叫，又提供以设备为中心的音频应用，比如MP3音乐回放。智能电话可以视为移动或者蜂窝电话和PDA或者掌上型计算机的组合。音频汇集设备的其它例子包括具有电话功能的膝上型计算机；或者实际上是任何无线电话设备，例如也具有以设备为中心的音频应用如MP3回放的移动电话。

[0005] 两类音频信号所要求的音频处理颇为困难，例如对于比如双工语音呼叫这样的电话应用，要求实时信号处理，而且该应用对延迟颇为敏感。然而，声音或者语音音频数据的保真相对地低，通常为单个或者单声道的8kHz声道。另一方面，尽管回放比如MP3轨道这样的存储音乐不要求同一级别的实施处理能力，但是音频数据的质量常常高得多，例如两个或者立体声声道各自为44.1或者48kHz。

[0006] 已经主要地通过分离两个处理链而且针对每个任务利用单独处理器来应对这些不同要求，专用(通信)DSP核或者芯片用于电话，而通用(应用)CPU用于以设备为中心的音频应用。二者在它们自己的权限中都是复杂的系统，而且利用大为不同的接口和协议来进行操作，因此主要独立地加以设计，即使集成在公共衬底上也是如此。硬件和处理的这一分离在2004年Dudy Sinai，Scott Paden的“Implementing Hi-Fi Celluar Convergence Devices Using Intel Xscale Technology”中有更为具体的描述。

[0007] 然而这一方式的问题在于，由于成本、尺寸和功率制约，设备的两侧必须共享音频换能器资源，例如外部扬声器和受话器。以上文献考虑了将Intel PCA芯片架构用于移动设备，而且分析了使用两个编码解码器的利与弊，每个编码解码器专用于相应处理器(通信处理器或者应用处理器)，或者单个编码解码器与处理器之一相关联，但是受控于该处理器以便为两个处理器提供音频换能器服务。又一选择就是使用为两个处理器提供编码解码器服务。双音频编码解码器芯片或者的例子是Wolfson Microelectronics WM9713。

[0008] 无论将音频编码解码器要求实施为单独电路或者集成在一起，单独处理器需要相互通信以及与一个或多个编码解码器通信。然而，这造成对共享音频数据总线的更多需求，可能进一步限制系统功能。

发明内容

[0009] 一般来说，本发明在一个方面中提供了一种在由共享总线互连的电路之间允许同时通信对话如音频数据传送的总线架构。该总线包括通行装置或者电路，该通行装置或者电路在一个模式中将该总线划分成两个或更多部分，使得连接到该部分之一的电路可以在没有来自连接到其它部分的电路之干扰的情况下进行通信。该通行装置在另一模式中允许经过它进行通信，使得该总线不被有效地分段。

[0010] 在一实施例中，对于一些应用，电阻器将PCM总线划分成两个部分，使得通信处理器和音频编码解码器可以在一个部分上通信，同时允许应用处理器和无线编码解码器在另一部分上通信。在另一应用中，该电阻器允许在通信处理器与无线编码解码器之间的“经过”电阻器或者通行装置的通信。

[0011] 通过提供具有单操作模式和被划分的或者双操作模式的数字音频总线架构，该实施例减少了所需总线的数目，因此允许对两种或更多类型的音频如“低保真(lo-fi)”电话语音和高保真(hi-fi)音乐进行支持的音频汇集设备的小型化。

[0012] 在一个方面种，本发明提供一种用于处理音频信号的电路，包括：总线，具有通过通行装置可控地耦合在一起的两个总线部分；耦合到第一总线部分的第一子电路；耦合到第二总线部分的第二子电路；耦合到两个总线部分的桥接子电路；该总线可在两个模式中操作以允许在单独使用两个总线部分时在桥接子电路与第一子电路和第二子电路之间的同时传输，或者允许在一起使用两个总线部分时的第一子电路与第二子电路之间的传输。

[0013] 这就允许在不同总线部分上同时传输两个音频数据通信或者在两个部分上的单个传输。这又允许用于音频汇集设备(andio convergence device)的基于音频的应用的较大灵活性和数目。

[0014] 在实施例中，第一子电路包括用于与无线外围设备无线地传递音频数据的无线编码解码器；第二子电路包括用于与电话网络传递音频数据的通信处理器；以及桥接子电路包括用于对音频数据进行解码和驱动音频换能器的音频编码解码器以及用于记录和/或读取音频数据的应用处理器，该音频编码解码器和应用处理器独立于总线耦合在一起。

[0015] 这意味着无线编码解码器和通信处理器可以在总线的一个操作模式中向用户提供电话呼叫；或者该电话呼叫可以在总线的另一操作模式中被引向音频编码解码器，而音乐从应用处理器提供到无线编码解码器。在后一模式中总线通过通行装置来有效地拆分，而在前一模式中总线是单一的。通过这一双模式功能实现的各种其它音频应用将在下面具体地描述。

[0016] 通行装置可以是实施起来很廉价的无源器件如电阻器。作为选择，它可以通过例如利用可切换单向缓冲器的有源电路来实施，该缓冲器在拆分的操作模式中在总线部分之间提供较大的隔离，而且可以在单模式中在总线上允许较快的数据速率。

[0017] 出于本说明书的目的，无线编码解码器包括用于与音频数据总线进行联系以及经由无线电电路与本地无线设备如手持机进行联系的电路。换句话说，它将总线上一种格式

(例如PCM)的数字音频信号转换成另一格式(例如Bluetooth™(BT))或者其它无线技术如Wi-Fi—IEEE802.11空中接口协议,包括a、b和g或者Wi-MAX IEEE802.16)的无线信号。对于便携音频设备,通常Bluetooth会用来将音频无线信号传输到无线手持机以便最小化功率消耗、减少硅占用面积或者尺寸、以及减少成本。通常这是使用Bluetooth™芯片来实施。同样,适当的Bluetooth(或者其它无线)编码解码器对于本领域技术人员是已知的,例如Texas Instruments BRF6100、BRF6150和BRF6300。

[0018] 通信处理器包括用于音频总线进行联系以及与外部通信网络如移动电话网络进行联系的电路,而且通常利用数字信号处理器(DSP)核来实施,以便实施如下功能,比如管理业务通道,也可能管理具有外部网络的控制通道,以及在音频总线数据格式与通向外部网络的业务通道所用的数据格式之间对业务数据重新格式化。在上述实施例中,外部网络是无线蜂窝网络,比如基于GSM或者CDMA的网络,不过也可以使用其它网络类型,例如由WiMax IEEE802.16或者Wi-Fi IEEE802.11协议或者无绳电话协议所定义的网络类型,在一些实施例中,通信处理器可以实施为第二无线编码解码器。

[0019] 应用处理器通常是通用中央处理单元(CPU),该单元通过软件配置用以实施如下功能,比如存储/取回来自本地存储器的数据,在数字格式之间转换,以及控制在音频汇集设备之内的其它电路,通常包括一个或多个音频总线的操作。在一些实施例中,应用处理器可以包括音频总线接口,比如硬连线PCM或者AC'97接口。通常应用处理器将在音频设备的整体控制中,例如控制音频编码解码器和无线编码解码器以及通信处理器。

[0020] 音频编码解码器(编码器-解码器)包括用于将数字音频信号转换成模拟音频信号和将模拟音频信号转换成数字音频信号的电路,用于耦合音频换能器如扬声器和麦克风或者旧式模拟信号源如唱机转盘或者数字音频电路。在上述实施例中,音频编码解码器结合两个或更多数字音频总线接口,比如PCM或者AC'97。音频编码解码器在一些实施例中也包括混合器(mixer)、音量/增益级和音频"效果"如图形均衡器或者3-D增强。通常音频编码解码器针对低功率消耗加以优化,而且用低电压例如3.3V或者更低电压进行操作。

[0021] 在一个实施例中,耦合到第一总线部分的子电路和耦合到第二总线部分的子电路各自具有用于耦合到总线的缓冲器。每个缓冲器接收输入信号,而且具有设置用以将总线驱动到与输入信号有关的电压电平的驱动电路。每个缓冲也接收独立使能或者禁止信号,该信号阻止缓冲器驱动总线,即它将缓冲器置于高阻抗或者三态模式中。这一设置可以用来在电阻器用作为通行装置时避免总线上的竞争。

[0022] 在另一方面中,提供了一种数字总线电路如PCM总线,包括具有两个总线部分的总线导体,比如单或者双工数据线。这适合于在所连接的设备之间传送音频数据,但是也可以用于要求"能拆分的"总线的其它应用。每个总线部分连接到通行电路如电阻器或者有源可切换隔离电路,也连接到用于相应电路的两个总线接口。电路的例子包括用于在数字音频设备中使用的通信处理器、应用处理器、音频编码解码器和无线编码解码器。总线接口中的至少三个总线接口包括具有三态的非输出或者使能模式和一个或多个逻辑输出模式(例如1和0)的三态输出缓冲器。其它接口可以例如是只接收,因此不要求输出缓冲器。

[0023] 在单总线模式中,三态输出缓冲器被设置为使得所述输出缓冲器中的仅一个输出缓冲器不在三态模式中,它例如是在高电压或者地电压逻辑输出模式或者状态中。换句话说,仅输出缓冲器之一正在"发送"。高逻辑输出电压和低逻辑输出电压可以例如分别对应

于5V和0V或者一些其它单极电压设置，或者低电压逻辑模式可以对应于负电压，如例如-5V。在单模式中，通行电路被设置为基本上耦合所述总线部分。在实施例中，这是通过将有源电路切换成将两个总线部分连接在一起来实现的。在另一实施例中，这是通过为无源部件或者器件如电阻器或者充当电阻器的MOS器件设置适当的值来实现的。缓冲器的状态可以例如通过应用处理器或者专用总线控制逻辑来控制。

[0024] 在双总线模式中，三态输出缓冲器被设置为使得连接到每个总线部分的输出缓冲器中的仅一个输出缓冲器不在三态模式中，而通行电路被设置为基本上隔离所述总线部分。换句话说，连接到每个总线部分的输出缓冲器之一正在输出不干扰另一总线部分上逻辑输出的逻辑值或者电压。通行装置可以被控制或者切换为隔离两个总线部分，例如通过关断连接缓冲器，或者无源器件如电阻器可以在大小上适当地设置为实现同一实际效果。

[0025] 在一实施例中，其中通行电路包括电阻电路、器件或者部件，通行装置被设置为具有高于输出缓冲器阻抗的阻抗，使得当总线部分之一上的所述输出缓冲器之一在高电压逻辑输出模式中、而另一总线部分上的另一所述输出缓冲器在低电压逻辑输出模式中时，通行电路之上的电压降大于与相应输出缓冲器的高电压逻辑输出模式和低电压逻辑输出模式相对应的电压之间电压差的一半。换句话说，通行装置(例如无源电阻器)在任一模式中的电阻可以如此取大小或设置使得输出缓冲器的输出阻抗小于通行电路阻抗的50%。在一实施例中，更稳定或者更安全的2%的例子被使用，不过也可以使用在这一例子以上和以下的各种值，例如15%或者1%。

[0026] 电阻器件可以简单地是电阻器，不过也可以作为选择地使用其它电阻部件或者电路，例如MOS-晶体管或者它们的JFET等效器件。

[0027] 在一实施例中，使用脉冲代码调制(PCM)对数据进行编码或者格式化以便经过总线部分进行通信，不过也可以作为选择地使用其它数字数据格式，例如音频编码解码器'97(AC97)，或者用于2/3/4有线总线如串行外围接口(SPI)总线或者Microwire™(National Semiconductor)总线的格式化。该总线可以利用单工或者双工数据总线导体来配置，有无时钟和/或控制导体皆可。通行电路可以用来划分与数据总线导体相关联的单独时钟和/或控制总线导体部分，或者这些时钟和/或控制总线导体部分可以是一体的。总线可以适合于传送数字音频数据，或者它可以被实施用于传递其它类型的数据、控制信号或者甚至是时钟信号。换句话说，它可以单独地用来可控地分成两个时钟、数据或者控制域。

[0028] 在一实施例中，耦合到总线部分中第一总线部分的两个总线接口被分别耦合到用于处理数字语音呼叫的通信处理器和用以将数字音频信号处理成模拟音频信号的音频编码解码器，而耦合到总线部分中第二总线部分的总线接口之一被耦合到用于无线地发送和接收数字音频信号的无线编码解码器。

[0029] 耦合到第二总线部分的另一总线接口可以耦合到用于处理数字音频信号的应用处理器。音频编码解码器可以通过单独数字总线电路耦合到用于处理数字音频信号的应用处理器。该单独数字总线可以使用与主共享数字音频总线不同的数字格式，例如分别是AC和PCM。作为选择，耦合到第二总线部分的另一总线接口可以耦合到音频编码解码；在这一情况下，音频编码解码器具有两个总线(例如PCM)，一个连接到一个总线部分，而另一总线接口部分连接到另一总线部分。

[0030] 在另一方面中，提供了一种数字音频总线电路，包括：总线导体，具有连接到通行

电路的两个部分；第一总线部分，耦合到用于处理数字语音呼叫的通信处理器和用于将数字音频信号处理成模拟音频信号的音频编码解码器；以及第二总线部分，耦合到用于无线地发送和接收数字音频信号的无线编码解码器；其中数字音频总线在使用中被设置用以在单模式与双模式之间可切换，在单模式中，总线部分之一上的数字音频信号通过通行电路耦合到另一总线部分，而在双模式中，来自总线部分之一的数字音频信号不通过通行电路耦合到另一总线部分上。

[0031] 在单模式与双模式之间的切换可以利用通信处理器、音频编码解码器和无线编码解码器的控制以及使用无源器件来实现，该无源器件充当通行电路而且具有适当的值以便在一个模式中隔离总线部分而在另一模式中耦合它们。连接到总线部分的电路(例如通信处理器)的控制包括控制它们与总线部分的连接或者接口，例如以便进行发送或者接收或者进行隔离。

[0032] 在作为选择的设置中，有源电路可以用来实施通行电路，在该情况下这可以与连接到总线部分的器件或者电路一起适当地加以控制，以便在单总线模式与双总线模式之间切换。在一实施例中，该通行电路或者器件在高阻抗模式与低阻抗模式之间可切换。

[0033] 总线电路可以是单工的，或者可以包括第二总线导体、第二通行电路以及到通信处理器、音频编码解码器和无线编码解码器的对应第二耦合，从而设置用以实施双工数字音频总线。

[0034] 一般来说，在第二方面中，提供了一种音频编码解码器架构，该架构可配置或者可切换成多个功能设置以便提供音频数据处理功能。音频编码解码器包括一个或多个数字到模拟转换器(DAC)和/或模拟到数字转换器(ADC)以便将数字音频信号转换成模拟音频信号和将模拟音频信号转换成数字音频信号。音频编码解码器也包括两个或更多数字音频总线接口，例如PCM接口用于耦合到上述双模式总线电路，而AC接口用于耦合到上述应用处理器。也可以使用作为选择的设置，例如两个PCM接口连接到不同的PCM总线部分。也可以补充其它接口类型和连接。在一实施例中音频编码解码器也包括数字和/或模拟加法器、乘法器、采样率和数字格式转换器、以及在两个数字音频总线接口之间可控地耦合这些多个电路单元的开关矩阵。

[0035] 在一个方面中，提供了一种用于将数字音频信号转换成模拟音频信号的音频编码解码器，该音频编码解码器包括：两个数字音频总线接口，用于耦合到相应数字音频总线；以及在两个数字音频总线接口之间的数字信号专用路径，使得在数字信号专用路径中不出现音频信号的模拟处理。在两个数字音频总线接口使用同一采样率和数字格式的其最简单形式中，数字音频数据可以简单地从一个接口传送到另一接口。可以运用对信号的一些简单操作和重新定时，例如包含临时信号存储如FIFO。数字信号专用路径也可以包括数字格式转换功能，其中两个数字音频总线接口使用不同的数字格式，例如PCM和AC。这在输入和输出数据率不同的情况下可以包含重复或者省略采样。一些实施例可以包括数字信号处理，例如音量控制、数字滤波、或者混合其它信号、或者是包含信号数字相加和相乘的采样率转换。

[0036] 通过开关矩阵的适当配置来实现的音频编码解码器功能的例子包括将从两个所述数字音频总线接口接收的数字音频信号相加以及从所述数字音频总线接口之一发送所组合的信号。这可以包括在对接收的信号进行所述相加之前将所接收的数字音频信号之一

相比于所接收的其它数字音频信号进行缩放。也可以在数字接口不同的情况下实施采样率和/或数字格式转换。

[0037] 这样配置的音频编码解码器可以有用地与其它电路如上述应用处理器、通信处理器和无线编码解码器组合用以执行音频处理功能，比如将接收的呼叫与背景音乐相组合。

[0038] 音频编码解码器还可以包括用于对接收的数字音频信号进行处理的模拟信号路径，该模拟信号路径包括一个或多个信号模拟处理单元，比如数字到模拟转换器、加法器和乘法器。ADC和DAC可以具有不同采样率以便实施对接收的数字音频信号之一的采样率转换。

[0039] 音频编码解码器可以包括单工或者双工的数字信号专用路径，而音频编码解码器的内部配置或者连接可以因不同信号路径而不同。具有模拟处理的路径可以用来补充数字专用路径。

[0040] 在另一方面中，提供了一种用于将数字音频信号转换成模拟音频信号的音频编码解码器，该音频编码解码器包括：两个数字音频总线接口，用于耦合到相应数字音频总线；用于将从两个所述数字音频总线接口接收的数字音频信号相加以及从所述数字音频总线之一发送所组合的信号的装置。

[0041] 音频编码解码器也可以包括在一个或两个输入路径中的数字采样率转换(SRC)。在两个输入路径都具有采样率转换的情况下，一个输入路径可以使用适当的DAC和ADC转换在模拟域中来实现，而另一输入路径可以在数字域中来实现。

[0042] 该相加可以用数字方式来实施或者通过转换成模拟域而且在转换回到数字域之前使用模拟加法器和/或乘法器来实施。

[0043] 音频编码解码器可以形成较大数字音频设备的部分，其中接口之一耦合到用于处理语音呼叫的通信处理器，而另一接口耦合到用于处理数字音频信号的应用处理器。

[0044] 在一实施例中，AC数字音频接口用来耦合到另一电路，比如应用处理器，而且这又配置以三个或更多音频通道。这些通道可以映射到两个或更多其它数字音频接口，例如简单地用以将数字音频信号路由到耦合到音频编码解码器的不同电路，或者附之以由编码解码器执行的音频信号处理。更一般来说，音频编码解码器可以用来将具有不兼容数字音频接口的电路耦合在一起，例如具有AC专用接口的应用处理器耦合到PCM数字音频总线。

[0045] 在音频编码解码器包括两个PCM数字音频接口的情况下，第二这样的接口可以简单地包括单个数据管脚，而与第一PCM接口共享其它控制和时钟管脚。这一设置可以用来耦合上述双模式PCM总线架构的两个部分。

[0046] 这些音频编码解码器设置可以有利地与上述数字总线和音频设备设置组合，不过这些音频编码解码器可以独立于这些总线和音频设备设置来实施。例如，音频编码解码器可以与没有通行电路的总线或者以别的方式与“能拆分的(spilt-able)”数字音频总线一起使用。

[0047] 一般来说，在另一方面中，本发明提供了用于对数字音频设备如智能电话或者具有通信功能的PDA进行操作以便执行多个音频处理功能的方法。这些方法可以使用上述数字总线、音频设备和/或音频编码解码器设置来实施，或者它们可以使用不同的音频设备和/或总线和/或音频编码解码器设置来实施。

[0048] 在一个方面中，提供了一种操作数字音频设备的方法，该方法包括：接收语音呼

叫，比如GSM连接；接收另一数字音频信号，比如MP3回放，而且不是语音呼叫；混合所接收的两个信号；同时例如使用Bluetooth(BT)连接来无线地发送所混合的信号到另一设备。

[0049] 接收非语音呼叫的另一数字音频信号这一特征可以包括从内部数字音频设备部件比如它的本地存储器接收这一信号，而不必限于接收来自外部源的信号；不过这可能在较早时间就已经发生，例如经由通信处理器从因特网下载MP3音轨到本地存储器上。

[0050] 在一实施例中，这是使用双总线模式来实施以便通过一个总线部分接收语音呼叫信号而通过另一总线部分发送所混合的信号到无线编码解码器。然而，可以作为选择地使用实施这一功能的其它方法，例如使用两个单独音频总线，或者通常使用控制总线如URAT。在实施例中，该混合是在比如上述音频编码解码器之一这样的音频编码解码器中实施的，但是这可以作为选择地例如在应用处理器中加以实现。

[0051] 在实施例中，语音呼叫通过在设备上的或者耦合到该设备的通信处理器来处理，而另一数字音频信号是来自应用处理器的高保真信号。然而，也可以使用其它的接收信号，例如从无线编码解码器接收的信号，或者甚至是另一语音呼叫。所接收的两个数字音频信号的采样率和/或数字格式可以不同。

[0052] 在实施例中，该方法还包括例如通过GSM连接来无线地接收另一信号比如双工语音呼叫的另一半以及发送这一信号。

[0053] 在另一方面中，提供了一种操作数字音频设备的方法，该方法包括：接收来自另一设备的无线数字音频信号，存储所述信号；同时发送第二无线数字音频信号到另一设备；以及同时响应于接收语音呼叫来发送第三数字音频信号。

[0054] 在一实施例中，这是使用用以接收和发送无线信号的无线编码解码器和用以发送第三信号的应用处理器来实施的，该第二信号从应用处理器发送到无线编码解码器。在一实施例中，第二数字信号可以从应用处理器直接路由到上述数字音频总线，或者经由音频编码解码器路由到同样上述的数字音频总线上。作为选择，可以使用不同的音频总线和/或音频编码解码器架构。

[0055] 在一实施例中，第一无线数字音频信号是数字口述(dictation)信号，第二数字音频信号是高保真音乐信号，而第三数字信号是预定的传出消息。

[0056] 在另一方面中，提供了一种操作数字音频设备的方法，该方法包括：接收来自另一设备的无线数字音频信号，存储所述信号；同时发送第二无线数字音频信号到另一设备；同时接收与语音呼叫相关联的第三数字音频信号，存储所述信号。

[0057] 在一实施例中，这是使用用以接收和发送无线信号的无线编码解码器和用以接收第三信号的应用处理器来实施的，该第二信号从应用处理器发送到无线编码解码器。在一实施例中，第二数字信号可以从应用处理器直接路由到上述数字音频总线，或者经由音频编码解码器路由到同样上述的数字音频总线上。作为选择，可以使用不同的音频总线和/或音频编码解码器架构。

[0058] 在一实施例中，第一无线数字音频信号是数字口述信号，第二数字音频信号是高保真音乐信号，而第三数字信号是预定的传出消息。

[0059] 在一实施例中，第一无线数字音频信号是数字口述信号，第二数字音频信号是高保真音乐信号，而第三数字信号是传入的语音呼叫消息。该方法还可以包括同时混合所接收的第三数字音频信号和第二数字信号，以及无线地发送所混合的信号到另一设备。

[0060] 在另一方面中，提供了一种用于操作数字音频设备的方法，该方法包括：与另一设备进行双工语音呼叫通信，以及同时与第二另一设备无线地进行所述双工语音呼叫通信；同时和独立记录所述双工语音呼叫的每一半。

[0061] 在一实施例中，传出音频信号和传入的音频信号单独地通过应用处理器记录到本地存储器中。该信号在PCM接口上通过音频编码解码器来接收，而且通过使用两个AC通道的AC接口来传送到应用处理器。

[0062] 在一实施例中，这是使用用以接收和发送无线信号的无线编码解码器和用以接收和转发以便存储双工呼叫的两个一半呼叫的应用处理器来实施的。在一实施例中，这些数字信号可以从上述数字音频总线直接路由到应用处理器，或者从同样上述的数字音频总线经由音频编码解码器来路由。作为选择，可以使用不同的音频总线和/或音频编码解码器架构。

[0063] 在另一方面中，提供了一种操作数字音频设备的方法，该方法包括：与另一设备进行双工语音呼叫通信，以及同时与所述第二另一设备无线地进行所述双工语音呼叫通信；同时混合双工语音呼叫的每一半和存储所混合的信号，以及独立处理所接收的无线语音呼叫。在一实施例中，针对语音激活的命令，该独立处理监视语音呼叫。

[0064] 在一实施例中，这是使用用以接收和发送无线信号的无线编码解码器以及用以接收和独立处理所接收的无线呼叫和用以转发以便存储双工呼叫的两个一半呼叫(在一实施例中包括在存储之前混合双工呼叫的两个一半呼叫)的应用处理器来实施的。在一实施例中，这些数字信号可以从上述数字音频总线直接路由到应用处理器，或者从同样上述的数字音频总线经由音频编码解码器来路由。作为选择，可以使用不同的音频总线和/或音频编码解码器架构。

[0065] 在一实施例中，该信号在PCM接口上通过音频编码解码器来接收，而且通过使用两个AC通道的AC接口来传送到应用处理器。

[0066] 这些数字音频设备操作或者应用可以有利地与上述数字总线和/或音频编码解码器设置组合，不过这不是必需的。例如，在应用处理器记录通信处理器之间的语音呼叫不要求拆分或者双模式总线。类似地，一些或者所有音频信号处理，比如混合两个信号或者在不同采样率和/或数字格式之间转换，例如可以在应用处理器而不是音频编码解码器中来实现。

[0067] 也提供了与上述方法相对应的设备和软件或者计算机程序。也提供了与上述器件或者电路相对应的方法和软件或者计算机程序。

附图说明

[0068] 现在仅通过例子而且无限制意图地结合以下附图来描述实施例，在附图中：

[0069] 图1示出了已知的智能电话音频总线架构；

[0070] 图2a示出了典型PCM总线上的波形，图2b示出了AC-链路的物理结构，而图2c示出了AC-链路的数据结构和时序；

[0071] 图3a是另一总线架构，图3b和3c图示了使用这一架构的音频应用；

[0072] 图4a示出了另一总线架构，而图4b示出了使用这一总线架构的同时音频文件回放和呼叫接收应用；

[0073] 图5a示出了已知的3-线总线，图5b示出了双模式总线，图5c示出了双工双模式总线，图5d示出了多位双模式总线，图5e示出了在时钟线中具有通行装置的双模式总线；

[0074] 图6a和6b更具体地图示了图3a总线的操作；

[0075] 图7a、7b、7c和7d图示了图4a总线在第二(拆分)操作模式中的操作；

[0076] 图8a、8b和8c是用于图4总线的有源通行装置的电路图；

[0077] 图9a、9b、9c、9d、9e和9f示出了音频编码解码器的内部部件和连接路径；

[0078] 图10a示出了图4架构的修改版本，其中音频编码解码器在通行装置的两侧上耦合到总线；图10b和10c示出了使用这一修改总线架构的应用；

[0079] 图11a示出了与图4相似的但是包括双工总线的总线架构；图11b、11c、11d、11e示出了使用这一双工总线架构的应用；

[0080] 图12a示出了音频编码解码器可以对数据在双工总线上的两个方向进行监视的架构，而图12b和12c示出了使用这一操作模式的应用；

[0081] 图13a示出了图11架构的修改版本，其中音频编码解码器在通行装置的两侧上耦合到总线；图13b、13c、13d和13e示出了使用这一修改总线架构的应用。

具体实施方式

[0082] 参考图1，所示为诸如智能电话的音频汇集设备的基于音频的架构，其包括蜂窝无线电1，如GSM收发器；存储器2，用于存储音频文件，如MP3、MIDI和WAV(或用于运行该平台的任何程序代码)；通信处理器3，如专用DSP；应用处理器4，如通用CPU；双音频编码解码器9；一般示为10的各种音频换能器，包括麦克风、扬声器和耳机；通信和应用处理器3和4以及编码解码器9之间的总线5、6、7和8。

[0083] 电路之间的总线(5、6、7、8)或连接的类型或格式将依赖于其功能和已知的待传递的数据的类型，并且典型地将包括：通信和应用处理器3和4之间的串行连接5，如UART总线；通信处理器3和音频编码解码器9之间的PCM或脉冲编码调制总线6；应用处理器4和编码解码器9之间的I2S或AC数据链路7；以及如果不使用AC数据链路(7)来传递控制信息，串行控制链路8可用在应用处理器和编码解码器9之间。PCM总线6提供通信处理器3和编码解码器9之间的低等待时间信号路径，其适合于实时语音呼叫。AC数据链路7提供适合于高质量数字音频信号如从应用处理器4传递到音频编码解码器9的高保真音乐的宽带宽。

[0084] PCM总线6可以是3或4线总线，具有位速率时钟线CLK、帧速率或帧同步时钟线FS以及承载与位和帧时钟同步的、比方说8或16位字的串行数字数据的一个或两个数据线DATA，如图2a所示。所述时钟由连接到总线的芯片中所选的芯片产生。PCM1900是用于如此总线的现有标准的实例。原则上可以采用不同的钟控或总线宽度，甚至是例如8或16位并行总线，尽管通常这在线路和连接器方面是较为昂贵的，并且对于所涉及的相对慢的数据速率(典型地16位×8ks/s=128ks/s)是不必要的。

[0085] 可采用的其它类型的音频总线包括2/3/4线SPI或Microwire™总线。

[0086] 音频编码解码器9和应用处理器4之间的主数据链路可以是任何数据链路，例如I2S链路或其它公知的3或4线串行或甚至并行接口。然而，它典型地将是符合AC'97标准的“AC链路”。

[0087] 这个标准的5线双向固定时钟速率串行数字接口包括四个时钟和数据线以及编码

解码器复位线，如图2b所示。它采用时分复用(TDM)方案处理多个传入和传出PCM音频流以及控制寄存器访问，该时分复用方案将每个音频帧分成各具有20位采样分辨率的12个传出数据流和12个传入数据流，以及TAG时隙，如图2c所示。TAG时隙的MSB指示哪些随后的时隙包含有效数据。根据AC'97标准，前两个时隙涉及编码解码器上的读或写寄存器，接下来的两个用于左通道和右通道音频数据，而其它时隙也被分配了用于其它音频和调制解调器通道或调制解调器控制的各种用途，包括通过将其它时隙用于左右音频信号的附加采样来增加有效音频采样率的可能性。

[0088] 除了能够承载多个音频通道，AC链路亦可利用TAG功能来承载“可变速率音频”VRA，这意味着不同采样率的回放和记录音频流可同时承载于链路上。举例来说，可以回放立体声44.1ksps，同时记录单声道8ksps。在实际中，与最少需要另一个时钟(以及另一个帧同步，用于不同的采样率)的I^2S相比，这使AC链路具有较低管脚数。AC'97亦可承载控制数据，这可避免需要单独的控制总线管脚和线路。

[0089] 为简化说明，以下描述将把音频编码解码器和应用处理器之间的链路称为AC链路，但应理解可以使用替选的链路。这包括新兴移动行业处理器接口(MIPI)低速多链路(LML)标准。如果不使用AC链路，则附加的控制链路8可能是必要的，因为许多其它链路通常将仅承载数据而不承载控制信息。

[0090] 而且为清楚地说明架构和信号流，在以下将与各种音频数据链路关联的时钟线从系统图中省略，如大多数控制链路5和50以及8。

[0091] 再次参考图1，音频编码解码器9适合于处理实时低带宽音频或语音呼叫以及来自诸如立体声MP3音乐回放的应用的、容许等待时间但高带宽、高质量或采样率的音频两者。这种“双功能”编码解码器9包括：语音优化电路9a，用于处理到通信处理器3或来自通信处理器3的语音音频数据，包括单声道DAC和ADC；高保真或音乐优化电路9b，用于处理到应用处理器4或来自应用处理器4的较高采样率、高分辨率音频数据，包括立体声DAC和ADC，模拟混合和放大器电路；以及(模拟)链路9c，位于两个编码解码器电路9a和9c之间，典型地处于模拟域。编码解码器9可以集成为单个电路而不是两个单独的电路，或者可以不集成为单个电路。

[0092] 图3a示出修改的系统架构，包括无线耳机或头戴耳机能力，这是日益流行的需求。典型地，这是使用Bluetooth™芯片组来实现的，但在此更一般地称为无线编码解码器11。可替选地，可使用其它无线技术，如Wi-Fi(IEEE802.11空中接口协议组，包括a、b和g)。无线编码解码器11有利地耦合到通信处理器3和音频或本地编码解码器9之间的PCM总线6。这为从通信处理器3到无线编码解码器11的语音呼叫提供了低等待时间路径。另外，诸如蓝牙编码解码器的无线编码解码器典型地已经包括PCM接口，使得可以采用传统设备或电路。这允许共享同一接口，同时避免了需要额外增加和/或改变软件的额外管脚和/或专用接口，并因此减小了设计成本和投入市场的时间。

[0093] 应用处理器4可通过诸如内部系统UART或USB链路的串行总线50(如果可用)将音频数据传递到无线编码解码器，然而，该音频数据典型地在PCM总线6上经由段6a传递。这可如图3a所示实现，其中应用处理器4结合了PCM接口。

[0094] 该类型的音频架构可提供给音频汇集设备，如智能电话。如以上所示，智能电话典型地提供蜂窝无线通信或电话功能性以及PDA型功能性两者，包括播放音频(例如高保真音

乐)文件、口述注释、语音命令和其它基于音频的应用。这样的设备从共享板上设备的意义上是日益集中的,如存储器存储例如用于通过音乐播放器应用回放的MP3文件和用于回放给与设备的电话功能对接的呼叫者的传出消息(OGM)两者。

[0095] 更详细地参考图3a,该音频系统架构包括音频(PCM)总线6,其互连若干电路,包括负责智能电话的蜂窝无线功能性的通信处理器3,负责智能电话的本地无线组网功能性(例如蓝牙)的无线编码解码器11,负责智能电话的PDA功能性如播放来自存储器2的音频文件以及提供日记和联系功能的应用处理器4,以及负责将模拟音频信号提供到智能电话的声音换能器(例如扬声器和/或耳机10)的音频编码解码器9。无线编码解码器11与无线头戴耳机12无线接口,该无线头戴耳机可包括耳机扬声器和/或语音麦克风。

[0096] 在听取存储在存储器(可能放置在盘驱动器中)中的音乐的工作或"应用"模式下,高保真音乐典型地通过数据链路7(例如I2S或AC97AC链路)直接从应用处理器4(已从存储器2中检索到它们)传递到音频编码解码器9,以便在设备的扬声器10或耳机上回放-这由图3b中的音频信号路径21来指示。在如此配置的智能电话中,该音乐亦可在无线(例如蓝牙)头戴耳机12上回放。这需要应用处理器4将音乐信号传递到无线编码解码器11,并且这可通过利用共享PCM总线6来进行,如图3b中的虚线所示。使用PCM总线6,与UART总线50相比,(其中后者的选项由无线编码解码器11和应用处理器4两者支持),避免了在应用处理器4以及无线编码解码器(例如BT芯片组)11两者中都需要专门的配置(profile),而专门的配置相当地增加了设计上的人力、成本以及整合系统所花费的时间。

[0097] 在另一个应用(见图3c)中,为听取传入语音呼叫,来自通信处理器3的音频信号(例如呼叫者的语音)通过使用PCM总线6传递到语音编码解码器9以便在扬声器10或耳机上播放,如信号流线23所示。通过使用PCM或共享音频总线6将这些音频信号传递到无线编码解码器11,这些音频信号亦可在蓝牙头戴耳机12上播放,如图3c中的虚线24所示。

[0098] 智能电话设备的用户日益希望同时利用多个应用或任务。然而将看到,以上所述的两种无线头戴耳机应用都不能同时执行,因为通信处理器和应用处理器不能同时都使用共享总线6。这样,尽管用户可能希望听取传入语音呼叫,并且在同时使音乐仍在后台播放,当利用无线头戴耳机时,这对于所述的总线架构是不可能的。实际上即使将所述设备的扬声器/耳机10用于语音呼叫并且将无线头戴耳机用于音频回放也是不可能的,因为这将仍需要两个应用(线23和线22)同时使用总线6。对该问题、且更一般地同时利用多个应用的问题的可能解决方案是将附加的总线结合到智能电话或类似的设备中,然而这既昂贵,又与将这些设备的部件小型化的总体目标背道而驰。

[0099] 图4a示出具有根据一个实施例的另一修改设置并且允许两个不同应用同时使用音频总线的音频总线架构。以上所述的通信处理器、音频编码解码器、应用处理器、存储器和语音编码解码器电路是相同或相似的,并且在此与前图相同地引用。这为本地或音频编码解码器9提供了与无线编码解码器11相同的"用户体验",同时都使设计上的人力(集成)和成本(包括投入市场的时间)最小。

[0100] 然而,音频(PCM)总线36包括通行装置(pass device)或电路37,其在总线的一个工作模式中将总线分成两个部分36x和36y,如所示。在另一个模式中,通行装置37对于包括36x和36y的总线36上的信号是透明的,使得该总线有效地成为一体。通行电路37位于到总线36的应用处理器4和音频编码解码器9连接之间,使得总线的第一部分36x包括到无线编

码解码器11和应用处理器4的连接，而另一个部分36y包括到通信处理器3和音频编码解码器9的连接。

[0101] 通行装置37优选地是无源器件，如电阻器。这使实现容易且成本降低。然而，可替选地，可以使用有源电路或器件如晶体管开关以便在如下更详细描述的两种总线工作模式之间切换。这样的开关可以由应用处理器4来控制，并且提供了PCM总线的两个部分36x和36y使得PCM信号之间的较好隔离。

[0102] PCM总线通常亦将包括时钟线，用于位时钟CLK和帧时钟FS，例如如图2a和图5a中所示。这些亦可包括如图5e所示的通行装置，以允许通行装置37_{clk}的任一侧上的单独时钟域，然而这对于该实施例并不是必要的。简单的双模式PCM总线因此可包括如图5b所示的三个线路。数据线路包括通行装置37；然而所述两个时钟线路不在该实施例中。双工或并行双模式总线可包括更多的数据线路和通行装置，如图5c和5d所示。为简单起见，仅数据线路将在以下的大多数图中示出，并且为简单起见描述串行数据总线而不是并行数据总线；然而技术人员将理解，可进行各种修改，包括使用并行数据总线以及时钟和/或控制总线的各种配置。

[0103] 具有作为通行电路37的简单电阻器的架构的工作参照图4、6和7来描述。

[0104] 划分总线模式下的总线工作可通过首先考虑没有总线36的电阻器时的工作以及更详细地考虑分别在所附连的或相应的电路3、4、9和11上的总线接口103、104、109和111来说明。图6a示出类似于图3a的系统，其没有通行装置37，但包括无线编码解码器11、应用处理器4、通信处理器3和音频编码解码器9。它们由单线总线36连接，如图6a所示。

[0105] 通信处理器3包括驱动线路36的双向、三态缓冲器或总线接口103。双向三态缓冲器103的所示的说明性实施包括反相器131，其将线路36上的逻辑信号耦合到处理器3的主体中的电路，以便提供具有高输入阻抗的输入缓冲器。对应的输出缓冲器包括反相器132、包括器件PMOS133和NMOS134的另一反相器以及连接到线路36的串联开关135。PMOS133和NMOS134的源极分别连接到正逻辑供电Vdd和负逻辑供电Vss(公用的地)。当开关135闭合时，在使能信号136的控制下，来自处理器3的主体的信号D1通过反相器132和133/134缓冲并且通过闭合的开关135来驱动以便在线路36上产生对应的信号，对于D1高或低，该信号分别处于等于Vdd或Vss的电压。这在图6b中示出。开关135通常将实施为CMOS传输门(transmission gate)。当开关135闭合并且输出缓冲器处于高电压(Vdd)逻辑模式(例如D1=1)或低电压(Vss)逻辑输出模式(例如D1=0)时，输出缓冲器(135和133/134)的输出阻抗是低的，典型地为100欧姆的数量级。在三态模式下，当开关135断开时，双向缓冲器向总线线路36呈现高阻抗。

[0106] 缓冲器103的所示的说明性实施并不是限制性的。双向三态缓冲器103的许多其它实施是众所周知的。例如，开关135的功能可通过耦合在133、134的供电和公用漏极节点之间的通行晶体管或通过对133、134的栅极的适当逻辑开关来实现。

[0107] 无线编码解码器11、应用处理器4和音频编码解码器9包括连接到总线36的类似的相应缓冲器111、104、109。类似地，它们包括相应的串联开关205、145和195；相应的使能信号控制206、146和196；以及相应的PMOS和NMOS反相器器件203/204、143/144和193/194。在某些情况下，这些缓冲器中的一些可仅包括缓冲器的输入或输出功能性，即可以是输入或输出缓冲器而不是双向缓冲器。对于所有这些缓冲器采用相同或等同的逻辑供电Vdd和

Vss。

[0108] 通常，所述缓冲器将由适当的使能信号来驱动，使得在任何一个时间仅一个开关例如135闭合，使得在任何一个时间仅一个对应的接口或缓冲器例如103驱动线路36。总线的配置，包括到总线的各种编码解码器的以及处理器的缓冲器的接口的I/O模式的设置，通常将由应用处理器连同另一“控制”来编程，该“控制”需要告知其它处理器(及其缓冲器)从它们那儿需要什么。这可以通过从应用处理器到各种总线接口的直接连接来实现，但更典型地将通过向处理器中的寄存器发送控制字，所述寄存器又将控制到各个缓冲器的使能逻辑线。例如，该控制通信可在图1的UART总线5上提供到通信处理器并且在图3a的UART50上提供到无线编码解码器。缓冲器大多仅在使用时被使能，因此无需专门的通信，即这种使能将在根据所选模式或应用设置数据路径期间自动发生。包括划分总线工作模式所需的I/O模式的该控制将在例行系统级编程中实现。

[0109] 通常总线接口将被控制成一次仅其中的一个驱动总线，即除了一个以外全部处于高阻抗、三态模式。但考虑这样的情况，即两个开关比方说103中的135和104中的145同时闭合，使得两个缓冲器试图将相反极性的信号驱动到36上。

[0110] 这由图6b中的波形示出。当D1和D2两者都低时，103和104两者都将试图将36拉低，即NMOS134和144两者都将接通，使得36将变低到连接到这些NMOS的公用负供电轨Vss。当D1和D2两者都高时，103和104两者都将试图将36拉高，即PMOS133和143两者都将接通，使得36将变高到连接到这些PMOS的公用正供电轨Vdd。然而如果D1高而D2低，NMOS134将试图将36向下拉到Vss而PMOS143将试图将36拉高至Vdd。这具有两种效果。首先，36上的电压将停在Vdd和Vss之间的某个电压。如果NMOS和PMOS具有相等的驱动强度，则该电压将在Vdd和Vss之间的半途，但实际上驱动强度将是不同的，因此一个电压将处于优势。然而由于PMOS和NMOS有限的输出阻抗，所述电压将停在从Vss直到Vdd的比方说正好四分之一位置，从而给出一不确定的逻辑电平，其依赖于连接到36的任何逻辑输入的输入逻辑阈值。第二，典型处理器的PMOS和NMOS将典型地能够输出几十毫安以便以快速边沿来驱动总线的电容。所述电流将从Vdd经由PMOS、线路36和NMOS传递回Vss，从而每当这些器件相互之间发生作用时，给出几十毫安的电源电流。从系统功率耗散的观点来看，这是不理想的，特别是当总线上有若干并行线路时，并且实际上在该异常模式下的持续工作会降低系统的可靠性。

[0111] 如图7a所示，为了允许数据同时从比方说通信处理器3到音频编码解码器9以及从应用处理器4到无线编码解码器11传送，将通行装置37连接在到音频编码解码器9和应用处理器4的连接之间、从通信处理器3到无线编码解码器11的线路36的部分中，由此将36分成两段36x和36y。当D1和D2两者都低时，103和104将试图将36y和36x拉低，即NMOS134和144两者都将接通，使得36x和36y将变低到连接到这些NMOS的公用负供电轨Vss。当D1和D2两者都高时，103和104两者都将试图将36x和36y拉高，即PMOS133和143两者都将接通，使得36x和36y将变高到连接到这些PMOS的公用正供电轨Vdd。然而如果D1高而D2低，NMOS134将试图将36y向下拉到Vss而PMOS143将试图将36x拉高至Vdd。相应的波形在图7b中示出。段36x和36y上的电压将由分压器作用来确定，其依赖于PMOS143的导通电阻、通行装置(电阻器)37的电阻和NMOS134的导通电阻。如果37是比方说5千欧的电阻器并且143和134中的每个的导通电阻各为比方说100欧姆，则36x和36y上的电压将在Vdd或Vss的2%内(即100/(100+5k+100))。逻辑噪声裕度的这种降级是可忽略的。而且，从Vdd到Vss的电流将被限制在(Vdd-Vss)/5千

欧，比方说对于3.3V逻辑供电为660μA，这与处于任何有源模式下的系统的其余部分相比是小的。

[0112] 如果37的电阻进一步增加，则逻辑电平将更加坚实(solid)，而电源电流将更小。然而，在PCB和逻辑输入上将存在寄生电容，并且输出缓冲器将向总线呈现进一步的电容。如果每段总线的电容是比方说10pf，则5千欧的通行装置将给出50ns的时间常数，从而给出延迟的沿和慢的上升和下降时间。对于比方说3MHz的数据速率(330ns周期，或每个半周期165ns)，这给出每165ns半周期3个时间常数；对于上升沿信号，这允许波形安全达到目标缓冲器的V输入高电平(VIH)以上，并且对于下降沿信号，安全达到目标缓冲器的V输入低电平(VIL)以下，因此是可以接受的。然而较高的数据速率将需要较低电阻的通行装置，或电容的减小。该效应在图7c的逻辑波形中示出，并且更详细地由图7d的波形状示出。其示出处于最大数据转移频率的数据线上的波形，其中各种电阻或电容使其沿减慢。波形a是理想波形，具有可忽略的沿的降级。波形b示出可接受的降级。对于波形c，该波形仅在数据脉冲结束时刚好达到VIH或VIL，因此将裕度而言是可接受的(在实际中根据后续逻辑的建立或保持次数，可能需要某个额外的裕度来保证足够的开关)。图d的情况表示负载电容的通行装置电阻过高，其中波形从未成功地达到VIH或VIL，从而使后续逻辑的判读不可预测。

[0113] 另一方面，较小的电阻值可由于通行电阻器73，以便当经由电阻器37而通过时增加总线上的逻辑波形的转换速率。然而，这将增加功率耗散并且减小总线的两个部分上的电压摆动(voltage swing)。参考图7a，考虑这样的情况，即应用处理器4的PMOS143在总线段36x上确立高逻辑电平，将被输入到无线编码解码器11的反相器201，而音频编码解码器9的PMOS193和NMOS194被切换以便在总线段36y上交替确立高和低逻辑电平，将被输入到通信处理器3的反相器131。当PMOS143和PMOS193两者都接通时，两段总线都将被向上拉到Vdd，从而将坚实的逻辑信号给予两个反相器。然而当PMOS193关断且NMOS194接通以便试图在总线段36y上确立逻辑低电平时，总线段36x和36y上的电压将由包括PMOS143的导通电阻Ron143、开关145的导通电阻Ron145、通行装置37的电阻Rpass、开关195的导通电阻Ron195和NMOS194的导通电阻Ron194的分压器来确定。为简单起见忽略Ron145和Ron195(或将它们并入Ron143、Ron194)，如果比方说Ron143=Ron194=Rpass/2，则总线段36y将向下拉到Vss+(Vdd-Vss)/4且总线段36x亦将经历到Vdd-(Vdd-Vss)/4的电压降，从而给出37上的(Vdd-Vss)/2的高和低的电压降。假定36y的电压电平小于131的VIL(可预测地检测到逻辑低输入所需的最大输入电压阈值)，且36x上的电压电平高于201的VIH(可预测地检测到逻辑高输入所需的最小输入电压阈值)，则可以获得适当的操作。然而典型地将需要某个额外的电压裕度来给出某个噪声裕度，以便允许额外的噪声源。而且，需要针对接收和发射驱动器的所有组合以及高和低电平的所有组合来重复上述计算，并且上述计算亦需要虑及制造容差对特别是MOS开关的导通电阻的影响。如果Rpass进一步降低，则竞争期间的逻辑电平将进一步降级，直到最终不再可安全地达到VIH或VIL，并且输入反相器对电压的判读将变得不可预测。而且，在竞争期间从Vdd到Vss的电流是(Vdd-Vss)/(Ron143+Rpass+Ron194)，并且将随着Rpass降低而增加。对于所述两段上的不相关的数字信号，在一个方向上或另一个方向上将有一半时间的竞争，因此该竞争电流是有意义的。而且如果电压电平在中间轨电压(mid-rail)左右徘徊，则附连于总线的输入反相器亦将

[0114] 例如，电阻性通行电路可由连接到每个总线部分的简单电阻器或集成电路版本中

的基于MOS的电阻器来实现。

[0115] 使用电阻器作为通行装置37是最简单且最便宜的解决方案。然而如果需要高数据速率，或高电容是不可避免的，或甚至需要较低的功率，则有源通行装置可能是优选的。图8a、8b和8c是使用有源器件（例如三态缓冲器、传输门或晶体管开关）的通行电路37的三个示例性的实施。在每种情况下，通行电路37将具有一个或多个附加的控制端子。它们将由应用处理器驱动，直接地或可能通过某个胶粘逻辑（glue logic）。为简单起见，通行电路37内的器件上这些控制端子未在图中明确示出；然而技术人员将理解如何实现对这些有源器件的控制。

[0116] 图8a示出包括两个三态缓冲器B1和B2的通行装置37，所述缓冲器例如由来自应用处理器4的信号X和Y单独切换。关联状态表示出了不同的可用状态。连接A和B耦合到总线36的相应部分（36x和36y）。当X=Y=0时，B1和B2都处于三态状态，使得总体的通行装置37将两个总线部分36x和36y有效地分开以便它们单独工作，从而使每个总线部分使得信号彼此隔离。如果X高而Y低，三态缓冲器之一B1“接通”，由此从一个总线部分36x到另一个部分36y提供传导路径，从而有效地将总线部分36x和36y结合成单个总线36。类似地，如果Y高而X低，三态缓冲器之一B2“接通”，由此从一个总线部分36y到另一个部分36x提供传导路径，从而有效地将总线部分36x和36y结合成单个总线36。这样的设置在同一时间只允许信号在一个方向上行进，即该设置采用了非双工信号路径，具有用于每个信号流量方向的单独总线的PCM总线就是这样。注意X和Y都高是不允许的，因为该对交叉耦合的缓冲器然后将锁定成状态A=B=1或A=B=0。三态缓冲器B1和B2类似于已经针对元件103描述的缓冲器，但由于是单向的，它们不需要反相器131。

[0117] 图8b示出将通行装置37实施为传输门，其具有由控制信号X和其反相信号驱动的NMOS和PMOS。如果X低，则两个段36x和36y隔离。如果X高则两个段相连。

[0118] 图8c示出利用电阻器和切换式三态缓冲器的替选设置。这以来自于以上所述的单电阻器实施的方式起作用，但另外包括三态缓冲器以便提升一个方向上的传导性，例如36y呈现过多的电容以至于不能通过（具有受所需功率耗散限制的高值的）电阻器来驱动但36x呈现足够低的电容以便通过电阻器从36y以可接受的快速来驱动的情况。

[0119] 因此将理解，利用通行电路37，可在通信处理器3和音频编码解码器9之间以及无线编码解码器11和应用处理器4之间同时进行单独的通信。这是因为当共享音频总线36的两个部分36x和36y同时使用时，通行电路37用来隔离两个总线部分，从而基本上抑制了可能在两个部分之间传递的任何电流，至少达到各种电路（3、4、9、11）的总线接口（103、104、109、111）可将其“滤”出的程度。然而在其它系统工作模式下，通行电路37表现为对总线上的信号是透明的，使得数据可“越过”或“通过”通行装置37传递于通信处理器3到例如无线编码解码器11之间，假定共享第二总线段的应用处理器4输出104是三态的，以避免它阻碍经由通行装置而通过的信号。

[0120] 因此通过使用无源或适当控制的有源通行电路37，连同对总线接口的适当控制，总线可以以单模式或双模式工作。这又允许不同的应用或功能共享音频总线，从而通过使用这种类型的音频总线架构而增加了音频汇集设备的可能功能性，或这种功能性的至少有效的实施。换句话说，音频总线36的该“双模式”能力提供了附加的系统工作模式，而无需对任何部件进行大的修改。这样，使得改善了设备内的功能性，而无需附加的硬件如附加的音

频总线和修改的芯片来实现所述的电路。(如以下所概括的,可能需要对一些现有标准音频编码解码器的小修改以允许一些附加的信号路径并因此允许附加的功能性,但处理器和无线编码解码器不需要改变)。此外,不需要附加的驱动软件来实现该架构,因为所使用的接口或总线协议(例如PCM)未改变。此外,控制总线接口来实现总线的双模式或单模式在使用该总线的应用的用途中是固有的。所需的唯一附加软件涉及应用本身,这与利用双模式音频总线设置形成对照。这减小了与实现该附加功能性关联的集成复杂性。

[0121] 再次参考图4a,通信处理器电路3与无线电电路(图1中的1)接口,所述无线电电路与蜂窝(例如GSM、GPRS、3G)基站通信以便为该设备提供电话功能性。此类型的各种电路3是本领域的技术人员所公知的,但一个实例包括Intel PXA800x GSM/GPRS通信处理器。通信处理器3包括音频信号接口,用于连接到音频信号总线36。该总线36典型地实施为PCM总线以确保与传统芯片组的最大互操作性并且使等待时间最小,但可利用公知的任何适合协议。

[0122] 无线编码解码器电路11提供到智能电话本地的其它无线设备(例如头戴耳机12和笔记本计算机以及其它远距离设备)的接口(空中接口),并且还结合了音频信号接口(例如PCM)或连接以便与音频信号总线36互连。如公知的,无线编码解码器11使用无线电电路(未示出),该无线电电路与诸如无线头戴耳机的其它设备无线互连。可使用各种空中接口技术,包括蓝牙和Wi-Fi(IEEE802.11)(或Wi-MAX IEEEE802.16),然而典型地蓝牙将用于将音频无线信号传输到无线头戴耳机以便使功耗最小,减小硅实体或尺寸,以及较低成本。适当的蓝牙(或其它无线)编码解码器同样是本领域的技术人员所公知的,例如Texas Instruments BRF6100、BRF6160和BRF6300(最新一代)。

[0123] 应用处理器4典型地是提供各种PDA型功能的通用处理器芯片,如日历和联系应用以及音乐或其它音频文件的回放。应用处理器亦典型地控制智能电话设备的屏幕,包括识别来自用户的输入,以及音频输出,这是在通过控制其本身和其它设备来实现用户命令的意义上而言。处理器4耦合到设备存储器2,其存储日历和联系数据以及音乐(例如MP3)和视频(MPEG4)文件。另外,该电路4具有与音频总线36的连接或(PCM)接口。具有PCM接口的应用处理器电路4的实例是Intel的PXA27x应用处理器。没有PCM接口的更通用的处理器可用在以下公开的一些实施例中。

[0124] 音频编码解码器9所需的功能性将根据系统所需的应用范围而变化。它可包含用于经由PCM总线通信的PCM接口,用于将数字音频信号转换成适合于在设备的扬声器/耳机10上播放的模拟音频信号的DAC,以及转换来自麦克风的信号的ADC。它可包括到诸如I^2S或IntelAC(例如AC'97)的数据链路的单独接口,用于与应用处理器通信。它也可包含各种数字或模拟混合器以及可编程增益级或乘法器,用于根据需要将各种信号混合在一起。所述编码解码器亦可提供对音频信号的某种数字或模拟滤波或其它调整。

[0125] 依赖于应用或模式以及信号源,到达或从音频编码解码器发送的数据可处于各种采样率和字长。从应用处理器4接收的数字音频数据典型地具有比来自通信处理器3的数据高的多的质量(例如高保真),后者典型地仅仅是用于语音应用的13位字通道的单声道8kbs(或者高至用于宽带语音的14位字的单声道16kbs),而前者典型地是用于音频应用的每通道16位字的双声道或立体声44.1/22.05/11.025ksps。通常,对于单声道或立体声操作,编码解码器9将需要处于各种位宽和采样频率的数模转换和模数转换的能力。这可以借助连

接在适当信号路径中的各种性能的专用转换器。然而，减少的数量的ADC和DAC将是够用的，其根据需要连接到各种信号路径中，并且可配置成以较低分辨率工作，或仅被允许利用适当的数字处理、以较高分辨率或采样率来转换以便在必要时进行补偿。如果使用减少的转换器，硅面积得以节省。

[0126] 通常，除了用于对接数字数据和外部输入和输出换能器或其它模拟信号源或汇的DAC和ADC的基本功能以外，音频编码解码器的要求还包括以可配置的方式将信号传送到其PCM和AC链路接口并且从那里传送信号，可能还有在模拟或数字域中混合和缩放这样的信号或采样率转换。

[0127] 举例来说，图9a示出根据一个实施例的音频编码解码器内的部件和连接。其包括DAC13，可连接以便转换经由PCM接口40接收的数据（例如电话语音）；以及DAC14，可连接以便转换经由I2S或AC'97接口41接收的数据（例如高保真音乐）。DAC输出模拟音频信号由模拟混合器15混合，并且可经由连接47输出到扬声器，直接地或者经由芯片上或芯片外功率放大器。可替选地或附加地，DAC输出模拟音频信号可由模拟混合器15a混合并馈送到模数转换器（ADC）16。数字化的混合音频信号（例如音乐回放和电话语音）然后可经由AC或I2S接口41传送回例如应用处理器，应用处理器然后可将该混合信号传送到无线编码解码器，以便用户可听取来自PCM接口的语音呼叫与来自如图4b所示的传入AC接口的背景音乐。音频编码解码器内的音频信号路径在图9a中以黑体示出。

[0128] 音频编码解码器通常包含若干ADC和DAC以及其它可能的信号路径。例如，ADC输出可以经由链路49在PCM总线上输出，以便由例如通信处理器用于传出的呼叫。还示出了模拟输入42，其表示来自比方说FM收音机或其它模拟信号源或换能器的输入，被提供为到模拟混合器15和15a的另一个输入。

[0129] 编码解码器9亦可包括数字加法器和乘法器以及开关矩阵，以便将各种板上部件切换到不同的配置以实现不同的音频功能。这样，数字专用信号路径如所示的45和49可以实施在两个数字音频总线接口40和41之间。该数字专用的信号路径不包括DAC和ADC，也不包括其它模拟处理元件或部件。这避免了由于从模拟转换成数字并且再次转换回数字而造成的音频信号的任何降级（例如，附加的热噪声、失真、来自其它周围信号的串扰）。也允许DAC、混合器和ADC断电以便省电。（数字路径将消耗比它所替换的模拟路径低的多的功率）。

[0130] 在两个数字音频总线接口使用相同的采样率和数字格式的其最简单的形式中，数字音频数据仅从一个接口传递到另一个接口。在实际中，对信号的某种简单操纵或重新定时可能是必要的，包括某种临时信号存储，如FIFO。数字专用的信号路径亦可包括数字格式转换功能，其中两个数字音频总线接口使用不同的数字格式，例如PCM和AC。这可涉及简单的操作，如在输入和输出数据速率不同时重复或省略采样，或者位填充，或者颠倒位顺序，或甚至串行到并行的转换，对本领域的技术人员都是公知的。

[0131] 一些实施例可包括数字信号处理，例如音量控制（volume control）、数字滤波或其它信号的混合，或者采样率转换，包括信号的数字加法和乘法。这可以通过使用标准或定制的ALU来实现，或者它可以是专用的硬线路逻辑，使用本领域众所周知的技术。

[0132] 对数字专用的信号路径中的信号的这种简单操纵或数字信号处理可通过插入路径45或49的适当的功能或电路块或者其它信号路径中的块来执行，如以下参照图9c到9f所述。

[0133] 音频信号亦可通过如图9b所示诸如的可编程增益元件43、43a、44、44a和46在这些信号流中的各个点调节。

[0134] 尽管有额外的功率和所涉及的信号降级的风险，从数字到模拟并且再次回到音频的转换的动机是应对系统的不同部分中所需要的不同数据速率。通过将输入数字采样的数据转换成“平滑的”连续时间模拟波形，然后再次转换成新的采样率，输入和输出数据速率可如公知的那样被去耦。适当的平滑滤波可以容易地添加到DAC放大器和混合器功能上以便对模拟波形适当地“平滑”。

[0135] 如果数据速率相同，并且如果在一些信号路径中不需要混合功能，这些转换可以被旁路，例如如所示经由仅数字的路径45，并且数字数据可从一个数字音频接口40传送到另一个数字音频接口41。如以上所示，这将需要利用某种重新格式化和重新定时以便根据传出总线协议(AC)和传输时序来转换输入，其中这不同于传入总线协议(PCM)。

[0136] 为实现缩放和混合功能，接收自PCM总线接口40(例如语音呼叫)和AC总线接口41(例如MP3音乐流)的数字音频信号可在数字域中相乘和相加，如图9c中所示。模拟混合器15a替换成数字加法器15b，而模拟放大器43a和44a替换成数字乘法器43b和44b，DAC和ADC从现在的数字专用信号路径中被去除。

[0137] 即使数字采样率不同，也存在用于所需的“采样率转换”(SRC)的公知数字技术，通常包括例如使用诸如德耳塔-西格马调制或噪声整形转换成很高采样率、低位宽的表示，然后使用适当的防伪信号滤波(anti-aliasing filtering)向下转换回所需的较低采样率、较高分辨率的格式，依需要作为输出。可替选地，为了较低的成本但较低的音频质量，这样的块可以仅仅省略或加入额外的采样以便尝试和匹配位速率。这些任选的块在图9d中以虚线示为附加的SRC元件48a和48b。这些块之一或两者可以以硬件实施，或者仅一个SRC可以以硬件实施，并且根据需要将其切换到所选输入上以便降低成本。可替选地，所有数字信号操纵或处理，包括SRC，都可以由普通的ALU来承担，其中在适当情况下将信号传送到其中。

[0138] 然而，这些技术往往很复杂并且涉及相当的数字信号处理。假定编码解码器已经包含用于其它目的的DAC和ADC，如按照所示出的那样通过端口47驱动扬声器，则混合模拟-数字解决方案提供了优点，即其未增加显著的额外成本或复杂性。

[0139] 另外的内部路由的可能性是存在的。例如，图9c以黑体示出经由可配置编码解码器9的数字专用信号路径，该编码解码器具有用于混合从两个数字音频总线40和41接收的数字音频信号的数字加法器15b。数字乘法器或缩放器43b和44b可用于相比于一个信号(例如增加语音呼叫音量)来调节另一个信号的幅值(例如减小背景音乐音量)。

[0140] 在一些应用中，在接口40和41所呈现的输入采样率可以彼此不同，或者与来自接口41的输出的所需输出采样率不同。例如，41处的输入信号可以是从存储器中的mp3文件得到的高质量信号，或者从存储器接收的较低质量的所记录消息，但仍处于与来自通信处理器的PCM信号不同的采样率。来自41的输出在听取mp3文件时可能需要是高质量的，而在仅仅需要将该输出以可能的另外的压缩方式记录在存储器中时，可以是低质量的。图9d示出类似于图9c的配置，但其包括传入(预混合)的所接收信号之一或两者中的采样率转换功能48a和/或48b。这允许混合处于不同采样率的所接收的数字音频信号。未在图9d中示出的另外的可能性将是在两个输入信号是相同的采样率但需要输出采样率不同的情况下，将SRC块插入在混合器15b和接口41之间。

[0141] 图9e示出DAC13和ADC16，其串联连接以便对来自PCM接口的信号进行采样率转换，该信号然后被提供给加法器15b以便混合该信号和一个来自AC链路接口的信号，这个信号可能是在48b的数字采样率转换之后的信号，并且在AC链路上(或经由路径49a在PCM链路上)将所得到的数据送回。这样，在与另一个接收的信号进行数字混合之前，通过使用模拟域对一个接收的信号进行采样率转换，并且重新转换成数字的。这避免了由于从数字到模拟并且回到数字的转换而造成的41所接收的(可能为高质量mp3)音频信号的任何降级，以及这些转换的不必要的功耗，同时允许输入到40的较低质量信号在数字混合之前被上采样至较高的采样率。这可能是因为编码解码器的实施例不包括数字SRC硬件，或者是在芯片上ALU(如果有)已经被完全占用来执行其它任务。依赖于实施和设计准则或目标，所述另一个接收的信号(从AC接口41示出)可以在或可以不在数字域中进行采样率转换。该SRC功能可能用尽唯一的可用硬件SRC，或者可能用尽芯片上ALU的全部能力，从而需要如以上使用DAC13和ADC16来执行对来自40的信号的采样率转换。该信号处理路径以黑体示出。

[0142] 类似地，图9f示出DAC14和ADC，其串联连接以便对来自AC链路的信号进行采样率转换，该信号然后被提供给加法器15b以便混合该信号与可能在48a的数字采样率转换之后的来自PCM接口的信号，并且在AC链路上(或经由路径49a在PCM链路上)将所得到的数据送回。该设置避免了特别是对较高质量信号的任何不必要的数字-模拟-数字转换，同时避免了需要将额外的SRC块或更强大的ALU添加给该实施例，从而提供了成本有效的解决方案。该信号处理路径以黑体示出。

[0143] 各种适合的编码解码器是公知的，但一个实例包括Wolfson Microeletronics的WM9713双编码解码器(AC97音频+PCM语音)。可替选地，可使用两个单独的编码解码器；一个用于基于PCM的语音呼叫信号，一个用于来自应用处理器的高保真音频。

[0144] 可以看出，音频编码解码器的这些各种的内部配置给出了信号路由、模拟或数字采样率转换、ADC或DAC功能的多种多样的可能组合。使用这种作为大多数音频信号所通过的中心的音频编码解码器的系统的工作模式因此可在很大程度上由音频编码解码器的配置来编程，而不是需要与系统中其它地方的部件关联的额外软件或硬件。

[0145] 简要地参考图10a，示出编码解码器9具有三个数字音频接口，已经增加了额外的PCM接口39a以便耦合到上总线部分36x。这避免了需要应用处理器4上的PCM接口。以下更详细地描述该实施例。

[0146] 尽管已将编码解码器9描述为可使用开关矩阵来配置，可替选地，可将具有上述设置之一的固定架构编码解码器用于例如专门的功能。

[0147] 参照图4b来描述操作数字音频设备的方法，其中通过图4a的结构来实现应用或功能。该图示出如何实现同时音频回放和语音呼叫接收的应用，其中存储在存储器2中的音频文件和语音呼叫都在无线头戴耳机12上播放给用户。在该实施例中，这是通过将音频总线分成两个部分36x和36y来实现的，所述两个部分分别具有在通信处理器3和音频解码器9以及应用处理器4和无线编码解码器11之间的总线上的单独的通信。语音呼叫由数字音频设备接收，并且在该实施例中，例如来自GSM呼叫的语音数据在下PCM总线部分36y上从通信处理器3传递到语音编码解码器9，如实线23所示。另外，非语音呼叫的另一个数字音频信号由该设备接收，例如高保真音乐或音频提示，并且该音频数据在其AC数据总线或链路7上从应用处理器4传递到语音编码解码器9，如实线20所示。(在此情况下，为简单起见，认为“所接

收的”音频数据包括这样的情况，其中数据在先前某个时间被输入到数字音频设备，例如作为在蜂窝无线电链路上或经由比方说USB连接下载的mp3文件，或者作为从蓝牙头戴耳机记录的消息，或甚至包括消息被存储在只读存储器或在数字音频设备的制造和组装期间定义的情况。）

[0148] 两个所接收的信号然后被混合。在该实施例中，音频编码解码器9经由其PCM和AC链路接口接收音频数据，并如上所述利用适当的模拟或数字增益控制和混合以及模拟或数字域中的采样率转换将其混合，以便产生输出数字音频数据或混合信号，其在AC‘97接口和链路7上被传送到应用处理器4。应用处理器4然后在上PCM总线部分36x上将该数据传递到无线编码解码器11，如线25所示；并且该混合数字音频数据或信号然后被无线地传送到另一个设备，如头戴耳机12。

[0149] 这样，尽管音频数据同时承载于总线部分36x和36y上，通行装置37保证了它们被单独承载。如果音乐文件结束，或用户想要停止对它的听取，则在应用处理器输出为三态的情况下，通信处理器3可使用两个总线部分36x和36y重新开始语音数据直接到无线编码解码器的传递。

[0150] 双模式音频总线允许在混合通信侧（例如GSM语音呼叫）和应用侧（例如MP3回放）音频数据流时再利用现有的单PCM接口无线编码解码器。这使功耗较低、CPU开销减少，并且新软件开发较少。实际上在通信侧不需要软件开发，而仅对于应用侧的新特征以最小的人力引入新的软件，因为它仅控制编码解码器而不进行任何附加的音频信号处理。此外，与比方说较为昂贵的双PCM接口无线编码解码器和双PCM或其它总线相比，硬件成本得以减小。

[0151] 在图4b的实施例中，音频编码解码器9以典型为8kHz的无线编码解码器的采样率对混合的模拟信号重新数字化。该数据然后从应用处理器的PCM接口传递到无线编码解码器11。这通过使用直接存储器存取（DMA）而不是使用通用软件代码来实现，以便使应用处理器4的负荷最小。DMA例程将来自应用处理器的AC链路FIFO缓冲器（耦合到AC数据链路7）的传入数据在PCM接口无缝地传递到用于传出数据的FIFO缓冲器。由于应用处理器对于应用侧回放（例如MP3）已经是激活的，这种简单的任务并不显著地影响功耗。

[0152] 尽管在该实施例中混合语音呼叫和非语音呼叫并且无线地传送混合的数字音频数据的应用已经使用了图4a的划分式总线架构，可替选地，可以使用其它数字音频设备架构。例如，可以使用两个单独的总线，或者采样附加的编码解码器。然而，该实施例以减小的功耗、复杂度和对现有部分的修改实现了该功能性。

[0153] 在图10a所示的替选实施例中，音频编码解码器9可设置成连接到通行装置37以上（x）和以下（y）的PCM总线36，以便将其输出信号直接提供到无线编码解码器11，而不是经由应用处理器。这需要增加音频编码解码器9的复杂度，但简化了应用处理器4的要求，例如，如果去除对PCM接口的需要的话。音频编码解码器的第二PCM输出可通过以下来实现：根据图9a或9b中的轨迹49将ADC数字化的字传送到PCM接口中，并且经由音频编码解码器上的另一个管脚来传送该数据，该管脚于是被连接到PCM总线的上部36x。通常将不需要额外的时钟管脚，这是因为总线的上段和下段中的时钟线不被通行装置隔离，使得在音频编码解码器9中仅需要额外的数据管脚而不是整个额外的PCM接口。然而，如果需要，也可以在时钟线中具有通行装置以便允许单独的时钟域，代价是产生和输出第二组时钟所需的额外电路和管脚。

[0154] 下现在参考图10b和10c来描述通过图10a的结构所实现的应用的实例。

[0155] 图10b示出操作数字音频设备以便混合和无线传送两个接收的数字音频信号的方法，并且类似于图4b，其中来自存储器的背景音乐与所接收的语音呼叫混合。然而，使用了图10a的三数字音频接口音频编码解码器9，其避免了需要应用处理器4上的PCM或其它音频总线接口。信号流是类似的，只是数据经由路径25a从音频编码解码器直接行进到上PCM总线36x上，而不是通过应用处理器、经由图4b的路径25。

[0156] 在需要从PCM总线到应用处理器芯片的输入的情况下，该音频由音频编码解码器9检索出并且经由I2S或AC接口7转送给应用处理器4。以上参照图9描述的数字专用信号路径可用于在数字音频总线接口之间有效地传递数字音频数据或信号。

[0157] 图10c示出操作数字音频设备的“语音口述(voice dictation)”应用或方法，其中从另一个设备所接收的无线数字音频信号经由音频编码解码器9传送到应用处理器。在该实施例中，来自无线编码解码器的传入数字化语音可能在某种压缩(例如用于“语音口述”应用)之后被传递到存储器。信号路径26从无线编码解码器经由PCM总线和音频编码解码器的第二PCM数据管脚流入音频编码解码器，在此它被路由(并且根据需要重新定时和重新格式化)以便在AC'97总线上传送到应用处理器。它由此被写到存储器(可能在应用处理器内的某种数据压缩算法之后)。

[0158] 以上实施例仅针对PCM总线中的一个数据线路描述，并且因此信号在每个总线段上、在任何一个时间仅在一个方向上传播。然而，通常PCM总线包括两个数据线路，从而允许数据同时在两个方向上传播，即双工操作，如在图2b中。

[0159] 图11a示出实际的双工总线36的结构，其具有两个通路，包括36ay和36ax的36a以及包括36bx和36by的36b，以及相应的通行装置37a和37b，亦如图5c所示。

[0160] 现在参照图11b、11c和11d来描述操作通过图11a的结构所实现的数字音频设备或数字音频应用的方法。

[0161] 由双工总线实现的一个应用是双工语音呼叫，其以类似于图4b的应用的方式使用无线头戴耳机来接收传入呼叫，同时继续听取背景音乐，但具有使用头戴耳机麦克风来同时发送传出音频消息的能力。参考图11b，可以看出用户的语音在第二总线的两个部分36bx和36by(以及通行装置37b)上经由虚线所示的路径32直接从无线编码解码器11传送到通信处理器3。然而，以类似于图4b的方式，呼叫者的语音首先在第一总线的下部(y)36ay经由路径23从通信处理器3传送到音频编码解码器9，在此它与经由路径20来自存储器2的音频在从应用处理器4在第一总线的上(x)部36ax上经由路径25传送到无线编码解码器11之前混合。这样，第一通行装置37a有效地划分了第一总线36a的总线部分36ax和36ay，而第二通行装置37b有效地组合了第二总线36b的总线部分36bx和36by。本地编码解码器9当然必须被控制成使其输出以三态到36by上，以便允许无线编码解码器麦克风信号通过37b到达通信处理器3。

[0162] 图11c示出另一种操作数字音频设备的方法，其中诸如数字讲述的所接收的无线数字音频信号存储在设备上，诸如MP3音乐的另一个数字音频信号被无线传送，并且诸如传出消息的第三数字音频信号响应于语音呼叫而传送。该实施例使用了图11a的架构，其中设备(例如智能电话)的用户使用的是数字口述(DD)应用，其中来自无线头戴耳机12的音频数据被记录在存储器2中，而音乐(例如来自MP3文件)或其它音频数据在无线头戴耳机上回

放。该系统配置成使设备亦可通过播放来自存储器的先前记录的自动应答电话或语音邮件型传出消息(OGM)对来自通信处理器3的传入呼叫做出响应。

[0163] 用户的语音经由路径26a从无线编码解码器11传递到应用处理器4和存储器2以便记录,并且另外,音频数据经由路径26b从存储器2和应用处理器4传递到无线编码解码器11以便播放给用户。这些传递26a和26b发生在音频总线36a和36b的上部36ax和36bx上。存储在存储器2中的传出消息(OGM)由应用处理器4传递到音频编码解码器9(线27a)。如果需要采样率转换,则经由音频编码解码器9的路径可包括通过DAC14或ADC16或者数字SRC48b,如以上所讨论的。不然数据可在诸如45的内部路径上、在数字域中从AC链路接口传递到PCM接口。必要时适当重新数字化的OGM然后在PCM总线36by上从编码解码器9传递到通信处理器3(路径27b)以便播放给呼叫者。

[0164] 来自通信处理器3的远端语音信号(示为虚线28)(例如在呼叫者端的谈话或背景噪声)被忽略。

[0165] 图11d示出类似的应用,但在此情况下第三数字音频信号是接收的或传入的语音呼叫消息并且被存储或记录在存储器中,而不干扰正在口述和听取音乐的用户。传入消息直接(经由点线旁路路径45)或经由DAC/ADC或数字采样率转换而通过音频编码解码器。

[0166] 图11e示出另外的"呼叫筛选(call screening)"型应用,其中音乐或其它音频文件(第二数字音频信号)在无线头戴耳机上回放给设备的用户,并且其与诸如来自呼叫者的传入消息(ICM)的第三数字音频信号混合,使得用户可决定应答该呼叫或仅记录该传入消息。传入消息或语音数据在PCM总线36ay(下部)从通信处理器3发送到音频编码解码器9(实线29)。该消息(ICM)可以是响应于例如来自图6的应用的OGM的。音频编码解码器在AC链路上将该信号传递到应用处理器,该应用处理器将所述传入消息(ICM)存储在存储器2中,可能在压缩该数据之后进行。

[0167] 应用处理器还经由路径20从存储器2中检索音频数据(例如MP3音乐文件),并且将该数据转换成适合的数字音频信号,其然后在PCM总线36ax(上部)上经由路径25传递到无线编码解码器11。应用处理器亦可数字地混入传入消息,使得路径25上的信号是音乐和传入消息两者的混合。组合信号然后在无线头戴耳机12上播放给用户,使得用户可决定是否应答该呼叫,或者仅仅将其记录,或者完全忽略它。

[0168] 来自通信处理器3的数据的采样率通常不同于且低于从存储器2中检索的高保真音频数据。如果仅要记录传入消息,则音频编码解码器可在AC链路上以原始低数据速率将该数据发送,以便由应用处理器以该低数据速率处理。这避免了由于模拟或数字采样率转换而在音频编码解码器中消耗功率,并且还减小了应用处理器4在其压缩或声码器操作中所需的计算带宽。然而,如果信号是要进行混合,则需要在音频编码解码器中激励向上至高保真采样率的采样率转换,或者在应用处理器中,某种相对粗糙(但可能对通信质量的音频来说足够)的采样率转换(例如仅重复采样,直到被更新为止)将是必要的,从而在应用处理器4中需要额外的软件和功耗。

[0169] 通信处理器3可设置成忽略来自无线编码解码器11(以虚线32示出)的传出信号(即,使近端静音)以便防止任何近端语音(例如来自无线头戴耳机12麦克风)在远端被听到(即在语音呼叫时)。通信处理器然后可设置成接受这些语音信号(32)以便于用户应答和截取该呼叫(即,使其非静音),依赖于设备的配置或用户的偏好,这可在来自存储器的音频文

件仍在回放或未回放时进行。

[0170] 显然大量其它的应用亦可得益于音频总线36的双模式特性，使得来自许多其它应用(例如卡拉OK，利用第三方使用的麦克风)的音频数据可在音频数据总线上同时传递，以便例如将来自不同应用的混合音频数据播放给用户；特别是在无线连接上。另一个实例是FM接收机或其它向本地编码解码器9提供模拟信号的外部音频源，所述模拟信号然后被数字化以便在有或没有其它语音/音频信号时传递到无线编码解码器11。

[0171] 亦显然这些操作数字音频设备的数字音频应用或方法可使用其它架构来实施，例如单独的数字音频和/或控制总线和/或附加的编码解码器。这些数字音频应用因此并不局限于以上所述的划分模式音频总线架构，但可以在不同的数字音频设备上实施。

[0172] 图12a示出双工PCM总线配置。音频编码解码器的PCM总线输入均设置成接收双工总线线路上的信号。没有从应用处理器4到PCM总线36a和36b的直接连接。未示出通行元件(例如先前图中的37、37a、37b)，并且这可通过以单一模式操作总线或使用标准总线而无需通行元件来实现。

[0173] 在一些应用中，应用处理器4单独处理两种(传入和传出)音频信号是有利的。AC97AC链路接口与带标签的时隙工作，包括通常分配给来自左通道或(立体声)ADC的输出数据的时隙和分配给右通道的时隙，如较早时参照图2。因此传入信号可数字地传送以便例如近端信号在左ADC时隙上传递而远端信号在右ADC时隙上传送。这进一步扩展了可使用所描述的共享PCM音频总线架构实现的音频应用-进一步的实例在以下给出。

[0174] 图12b示出操作数字音频设备的方法，用于利用另一个设备(呼叫者)并且利用无线的其它设备来传送双工语音呼叫，以及同时独立地记录该双工呼叫的每一半。音频编码解码器9同时向应用处理器4递送近端音频(例如在PCM接口36b上从用户通道耳机12到通信处理器3的语音)和远端音频(例如在PCM接口36a上从呼叫者/通信处理器3到无线编码解码器11和用户通道耳机12的语音)两者。近端信号路径标记为51，远端信号路径标记为52。

[0175] 通过将语音呼叫的两个语音流(近端和远端或发射和接收)提供到应用处理器4，实现了新的音频应用或功能性。例如，这允许通过应用处理器将语音呼叫(呼叫者和用户语音两者)记录到存储器2中。这可不必实施通过通信处理器3的两个通道的混合以及该混合信号在串行接口(例如图1的UART5)上到应用处理器4的传递来实现。这又意味着不需要专门的通信处理器驱动来实现该功能性，且该语音信号的质量得以保持。此外，通信处理器3上的处理负荷大大减小，因为不再需要混合信号。

[0176] 可替选地，两种语音信号都可以在音频编码解码器9中混合并且在AC链路上的仅一个AC通道上加以递送。尽管这可略微降低音频质量，但它的确解放了AC通道之一以用于其它应用。这也减少了应用处理器4的一些处理负荷，因为信号的混合是在编码解码器9中进行的。而且，如果需要，分离的流(近端与远端分离)使得能够为每个流单独进行附加的增强处理(例如从近端信号中去除远端信号以便提供回波去除、对于数字口述应用的近端的噪声抑制；压缩和存储在存储器中之前的增强流)。

[0177] 而且，使用AC链路7上的两个AC通道来将语音递送到应用处理器4进一步允许附加的功能性，因为未混合音频或语音通道可由应用处理器单独使用。例如，在记录语音呼叫(近端和远端两者)的同时，近端语音(来自无线通道耳机12)可单独用于语音激励功能，如语音激励菜单或语音备忘录便笺。

[0178] 这参照图12c更详细地描述。近端信号(路径53)使用AC链路7的一个时隙(路径53a)直接传递,并且也在数字或模拟域中与远端信号(路径54)混合(53b),并且在AC链路上的另一个时隙上发送(路径55)。同样,根据音频编码解码器的内部配置的选择,多种多样的模拟或数字采样率转换模式是可用的。

[0179] 注意,刚刚在图12b和12c中描述的特征可在有或没有通行装置37a和37b时实现,使得减少的音频应用的组(包括例如图3b、3c和10c的应用而不是例如图4b、10b、11b、11c、11d、11e的应用)可在非双模式音频总线架构上实现。然而,显然双模式音频总线以很少的代价允许了许多额外的功能。

[0180] 图13a示出双工总线(36)时的PCM总线上的连接,其中音频编码解码器9具有到双模式PCM总线的双PCM接口9a,即总共4个数据线路,总线的每部分两个,并且其中没有从应用处理器4到PCM总线36的PCM链路。这类似于图10a的架构,但使用两个或双工数据总线而不是仅一个。

[0181] 图13b示出与结合图11b所讨论的应用类似的应用的信号流。信号流很相似,除了从音频编码解码器(25)到无线头戴耳机的输出现在通过PCM总线(36ax)直接从音频编码解码器9传递而不是经由AC链路7和应用处理器4进行以外。

[0182] 图13c示出与结合图11b所讨论的应用类似的应用的信号流。信号流很相似,除了从音频编码解码器(26d)到无线头戴耳机的输出现在在PCM(36bx)总线上直接从音频编码解码器9传递而不是经由AC链路7和应用处理器4进行以外。类似地,来自无线头戴耳机12的信号流(26c)在PCM总线(36ax)上直接传递到音频编码解码器9。这样,三个信号流在音频编码解码器9和应用处理器4之间传递,然而它们可以全部容纳在单个AC总线上,其如先前所述包括使用时分隙的多通道能力。在该应用中使用三个这样的时隙或AC通道,其中的每一个分别映射到PCM接口之一上的传入和传出PCM通道,以及另一个PCM接口上的传入通道上。

[0183] 图13d示出与结合图11d所讨论的应用类似的应用的信号流。信号流很相似,除了从音频编码解码器到无线头戴耳机(26d)的输出现在在PCM总线上直接从音频编码解码器传递而不是经由AC链路和应用处理器进行;并且从无线编码解码器11到音频编码解码器9的信号流动(26c)直接通过PCM总线36ax传递到该音频编码解码器而不是通过应用处理器4。

[0184] 图13e示出与结合图11e所讨论的应用类似的应用的信号流。信号流很相似,除了从音频编码解码器到无线头戴耳机(25)的输出现在在PCM总线上直接从音频编码解码器传递而不是经由AC链路和应用处理器进行。

[0185] 技术人员将认识到,上述装置和方法可实施为例如载体介质如盘、CD-或DVD-ROM,编程式存储器如只读存储器(固件)上,或者数据载体如光或电信号载体上的处理器控制代码。对于许多应用,本发明的实施例将实施在DSP(数字信号处理器)、ASIC(专用集成电路)或FPGA(现场可编程门阵列)上。这样,所述代码可包括常规程序代码或微代码,或者例如用于设置或控制ASIC或FPGA的代码。所述代码亦可包括用于动态配置可重配置的装置如可重编程的逻辑门阵列的代码。类似地,所述代码可包括用于硬件描述语言如Verilog™或VHDL(甚高速集成电路硬件描述语言)及其模拟扩展的代码。技术人员将理解,所述代码可分布在彼此通信的多个耦合的部件之间。在适当时,所述实施例亦可使用在现场可(重)编程模拟阵列或类似器件上运行以便配置模拟硬件的代码来实施。

[0186] 技术人员亦将理解，总体上根据以上教导，各种实施例和针对它们描述的特定特征可与其它实施例或其专门描述的特征自由组合。技术人员亦将认识到，可在所附权利要求的范围内对所描述的特定实例进行各种变化和修改。

[0187] 附记：

[0188] 1.一种用于将数字音频信号转换成模拟音频信号的音频编码解码器，所述音频编码解码器包括：

[0189] 用于耦合到相应数字音频总线的两个数字音频总线接口；

[0190] 在两个所述数字音频总线接口之间的数字信号专用路径，使得在所述数字信号专用路径中不出现所述音频信号的模拟处理。

[0191] 2.根据附记1所述的音频编码解码器，其中在所述数字信号专用路径中不出现所述音频信号的数字信号处理。

[0192] 3.根据附记1所述的音频编码解码器，其中两个所述数字音频总线接口使用不同数字格式。

[0193] 4.根据附记3所述的音频编码解码器，其中所述不同数字格式包括脉冲编码调制(PCM)和音频编码解码(AC)。

[0194] 5.根据附记1、3或4所述的音频编码解码器，还包括如下装置，所述装置用于相加从两个所述数字音频总线接口接收的所述数字音频信号，以及从所述数字音频总线之一发送所组合的信号。

[0195] 6.根据附记5所述的音频编码解码器，还包括乘法器，所述乘法器用于在对接收的信号进行所述相加之前对接收的所述数字音频信号之一相对于接收的其他所述数字音频信号进行缩放。

[0196] 7.根据附记1、3或4所述的音频编码解码器，还包括数字采样率转换装置，所述数字采样率转换装置用于将接收的所述数字音频信号之一转换成与接收的其他所述数字音频信号相同的采样率。

[0197] 8.根据附记1、3或4所述的音频编码解码器，还包括用于对接收的数字音频信号进行处理的模拟信号路径，所述模拟信号路径包括耦合到具有不同采样率的模拟到数字转换器的数字到模拟转换器，以便实施对接收的所述数字音频信号之一的采样率转换。

[0198] 9.根据附记1至4中任一附记所述的音频编码解码器，其中所述数字音频总线接口和数字信号专用路径是双工的。

[0199] 10.一种用于将数字音频信号转换成模拟音频信号的音频编码解码器，所述音频编码解码器包括：

[0200] 用于耦合到相应数字音频总线的两个数字音频总线接口；

[0201] 用于相加从两个所述数字音频总线接口接收的数字音频信号以及从所述数字音频总线之一发送所组合的信号的装置。

[0202] 11.根据附记10所述的音频编码解码器，还包括采样率转换装置。

[0203] 12.根据附记10或11所述的音频编码解码器，还包括用于对接收的数字音频信号进行处理的模拟信号路径，所述模拟信号路径包括耦合到具有不同采样率的模拟到数字转换器的数字到模拟转换器，以便实施对接收的所述数字音频信号之一的采样率转换。

[0204] 13.根据附记12所述的音频编码解码器，还包括耦合到所述模拟到数字转换器的

输出的数字混合器。

[0205] 14.根据附记12所述的音频编码解码器，还包括在所述数字音频接口之间的数字专用路径以及用于在所述模拟信号路径中混合所接收的所述数字音频信号的模拟加法器。

[0206] 15.根据附记10或11所述的音频编码解码器，还包括多个电路单元和在所述两个数字音频总线接口之间可控地耦合到所述多个电路单元的开关矩阵，所述多个电路单元包括数字到模拟转换器、模拟到数字转换器、乘法器、加法器和采样率转换器。

[0207] 16.一种数字音频设备，包括根据附记1至4、10、11中任一附记所述的音频编码解码器，其中所述接口之一耦合到用于处理语音呼叫的通信处理器，而另一所述接口耦合到用于处理数字音频信号的应用处理器。

[0208] 17.一种对用于将数字音频信号转换成模拟音频信号的音频编码解码器进行操作的方法，所述音频编码解码器具有用于耦合到相应数字音频总线的两个数字音频总线接口、多个电路单元和在所述两个数字音频总线接口之间可控地耦合到所述多个电路单元的开关矩阵，所述多个电路单元包括数字到模拟转换器、模拟到数字转换器、乘法器、加法器和采样率转换器；所述方法包括：

[0209] 控制所述开关矩阵以便在所述两个数字音频总线接口之间实施数字信号专用路径，使得在所述数字信号专用路径中不出现所述音频信号的模拟处理。

[0210] 18.根据附记17所述的方法，还控制所述开关矩阵，使得在所述数字信号专用路径中不出现所述音频信号的数字信号处理。

[0211] 19.根据附记17所述的方法，其中所述不同数字格式包括脉冲代码调制(PCM)和音频编码解码(AC)。

[0212] 20.根据附记17所述的方法，还包括相加从两个所述数字音频总线接口接收的数字音频信号，以及从所述数字音频总线之一发送所组合的信号。

[0213] 21.根据附记20所述的方法，还包括执行采样率转换以便将接收的所述数字音频信号之一转换成与接收的另外的所述数字音频信号相同的采样率。

[0214] 22.一种对用于将数字音频信号转换成模拟音频信号的音频编码解码器进行操作的方法，所述音频编码解码器具有用于耦合到相应数字音频总线的两个数字音频总线接口、多个电路单元和在所述两个数字音频总线接口之间可控地耦合所述多个电路单元的开关矩阵，所述多个电路单元包括数字到模拟转换器、模拟到数字转换器、乘法器、加法器和采样率转换器；所述方法包括：

[0215] 控制所述开关矩阵以便将从两个所述数字音频总线接口接收的数字音频信号相加，以及从所述数字音频总线之一发送所组合的信号。

[0216] 23.一种对用于将数字音频信号转换成模拟音频信号的音频编码解码器进行操作的方法，所述音频编码解码器具有用于耦合到相应数字音频总线的两个数字音频总线接口、多个电路单元和在所述两个数字音频总线接口之间可控地耦合所述多个电路单元的开关矩阵，所述多个电路单元包括数字到模拟转换器、模拟到数字转换器、乘法器、加法器和采样率转换器；所述方法包括：

[0217] 控制所述开关矩阵以便耦合所述数字音频总线接口，所述总线接口之一根据音频编码解码协议进行操作以及使用在所述音频编码解码总线接口上的两个音频编码解码信道从另一所述数字音频总线递送两个数字音频信号。

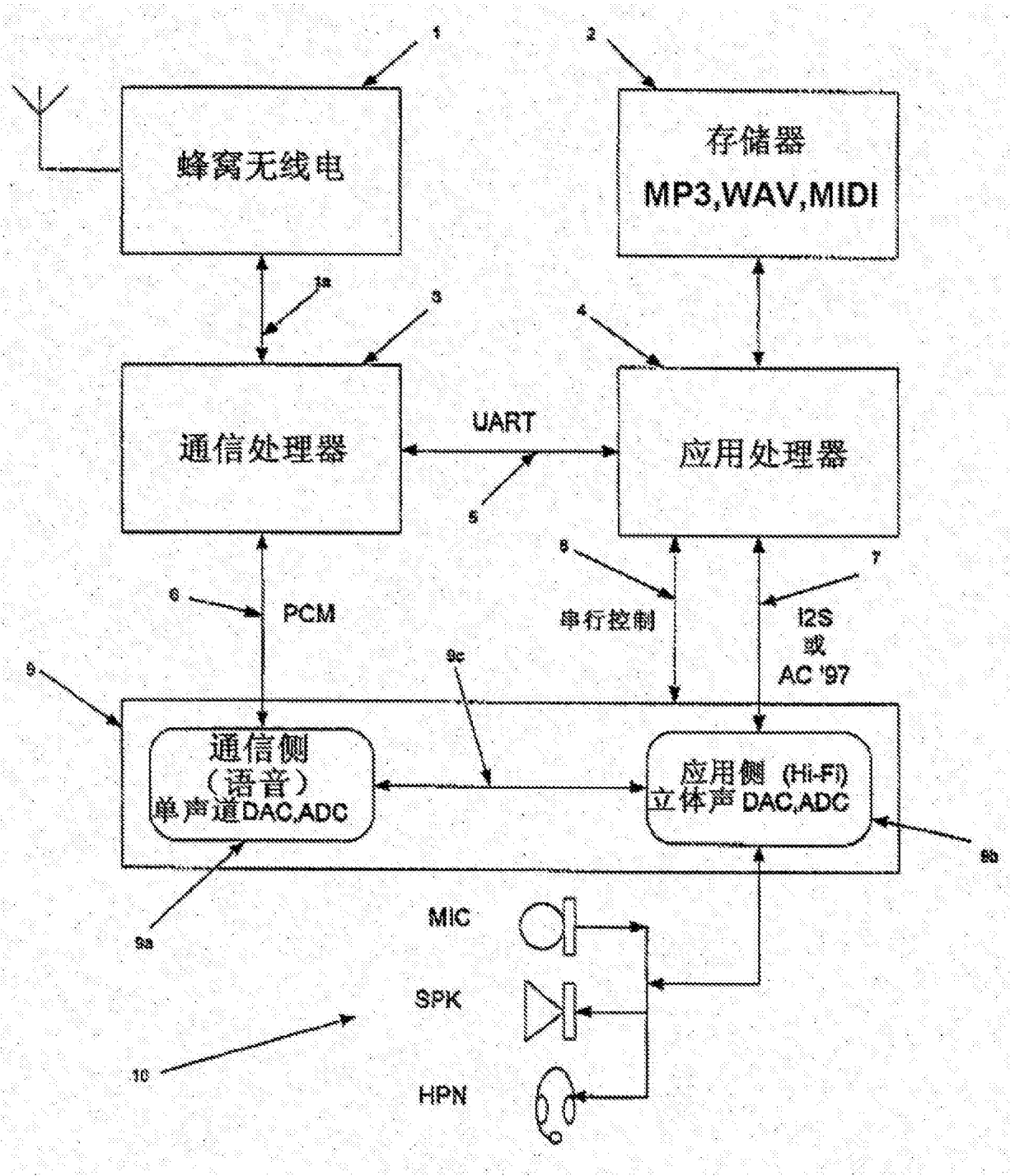

1
2
蜂窝无线电
存储器
MP3,WAV,MIDI
3a
3
4
通信处理器
UART
应用处理器
5
6
PCM
8
串行控制
7
I2S
或
AC '97
9
9c
通信侧
（语音）
单声道DAC,ADC
应用侧 (Hi-Fi)
立体声 DAC,ADC
9b
9a
MIC
SPK
10
HPN

图1

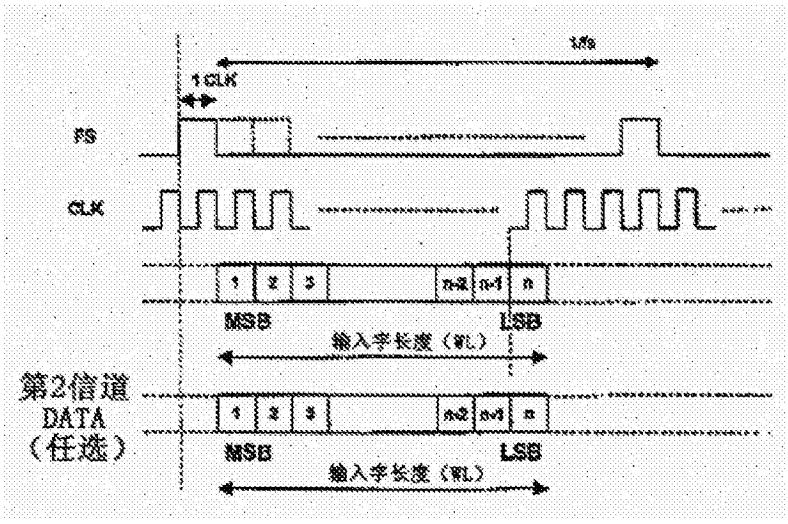

1/fs
1 CLK
FS
CLK
1
2
3
n-2
n-1
n
MSB
LSB
输入字长度（WL）
第2信道
DATA
（任选）
1
2
3
n-2
n-1
n
MSB
LSB
输入字长度（WL）

图2a

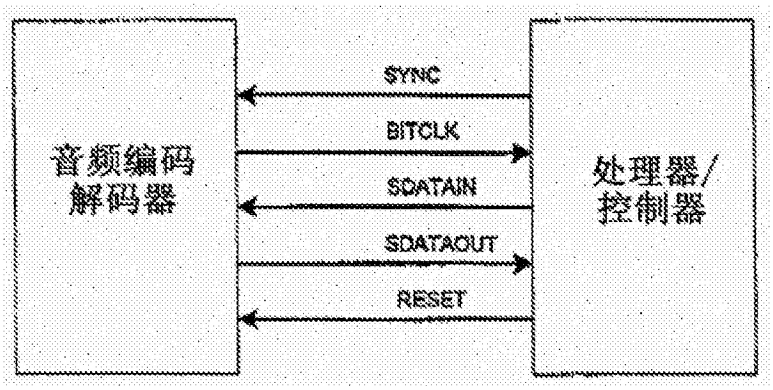

音频编码
解码器
SYNC
BITCLK
SDATAIN
SDATAOUT
RESET
处理器/
控制器

图2b

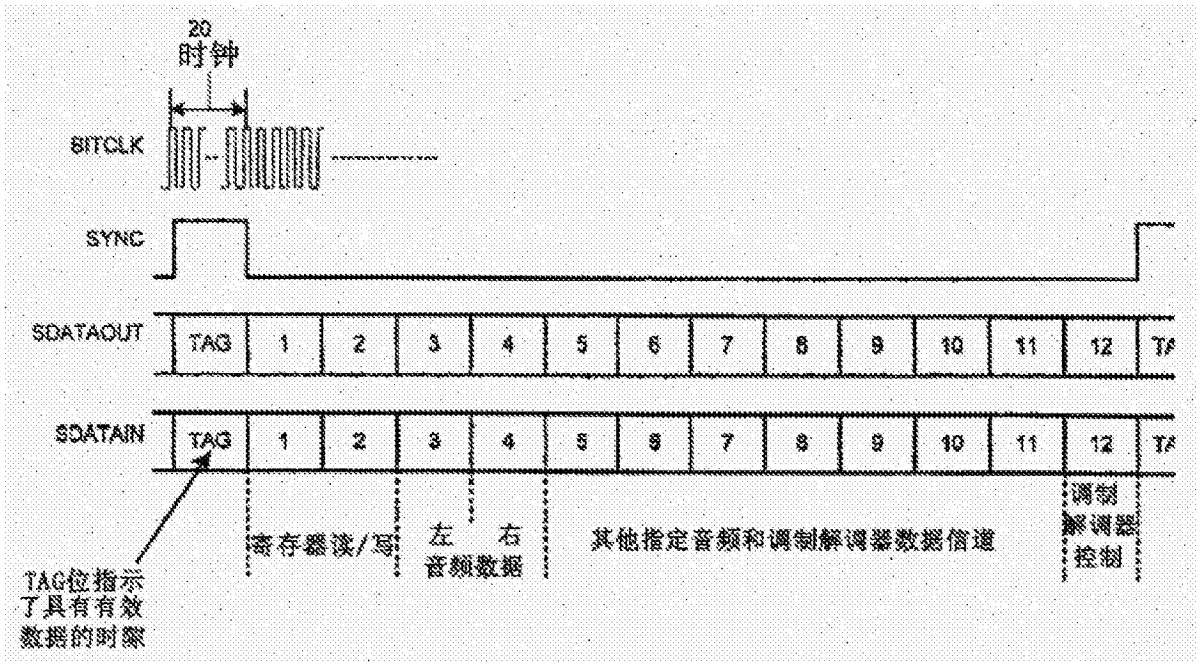

20
时钟
BITCLK
SYNC
SDATAOUT
SDATAIN
TAG
1
2
3
4
5
6
7
8
9
10
11
12
TAG位指示了具有有效数据的时隙
寄存器读/写
左 右
音频数据
其他指定音频和调制解调器数据信道
调制解调器控制

图2c

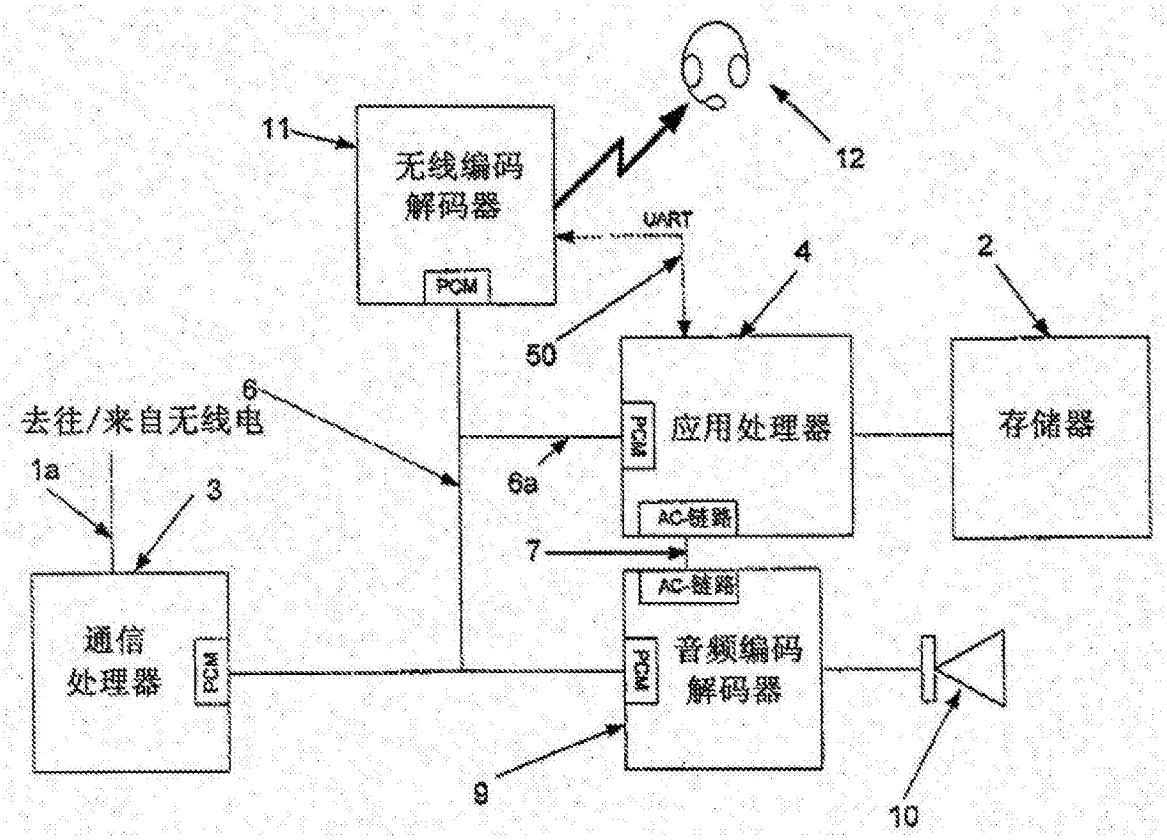

11
无线编码解码器
PCM
UART
12
50
4
2
6
去往/来自无线电
1a
3
6a
应用处理器
PCM
AC-链路
存储器
7
AC-链路
通信处理器
PCM
音频编码解码器
PCM
9
10

图3a

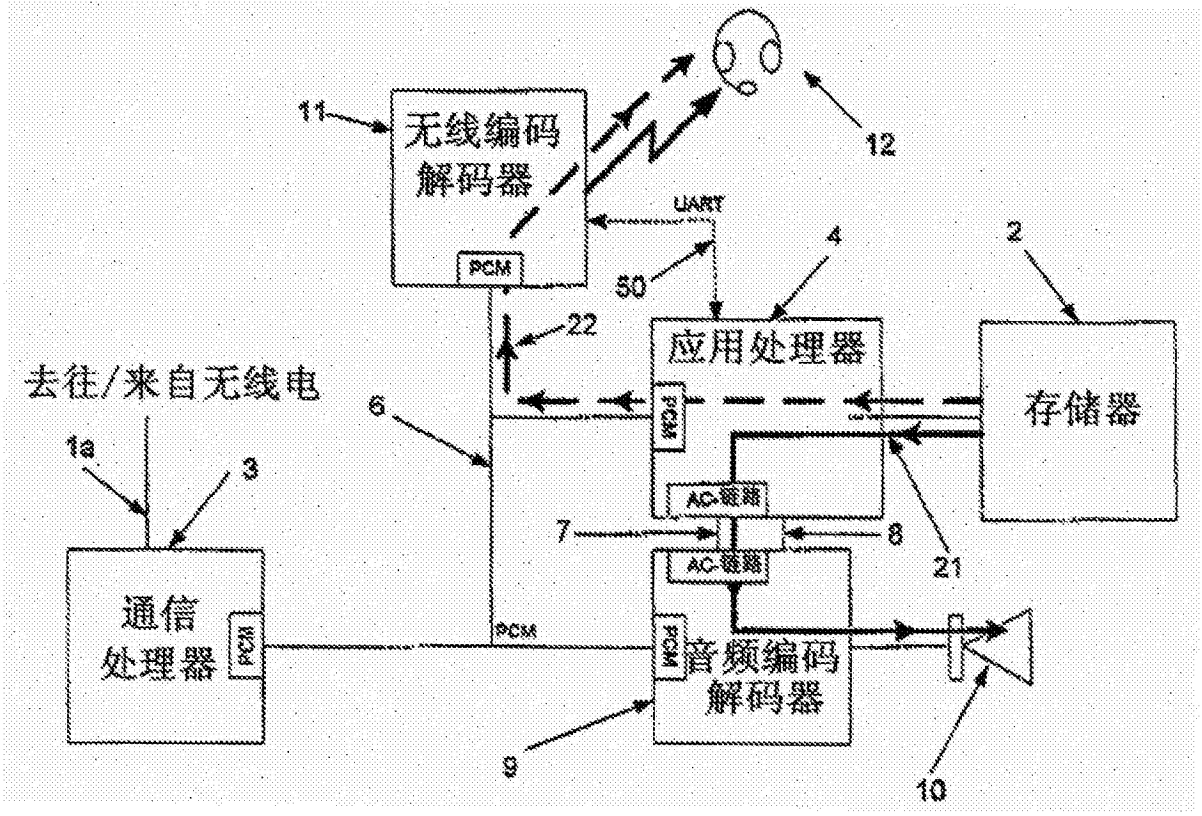

11
无线编码
解码器
PCM
UART
50
4
2
12
22
应用处理器
存储器
去往/来自无线电
6
1a
3
AC-链路
7
8
21
通信
处理器
PCM
音频编码
解码器
9
10

图3b

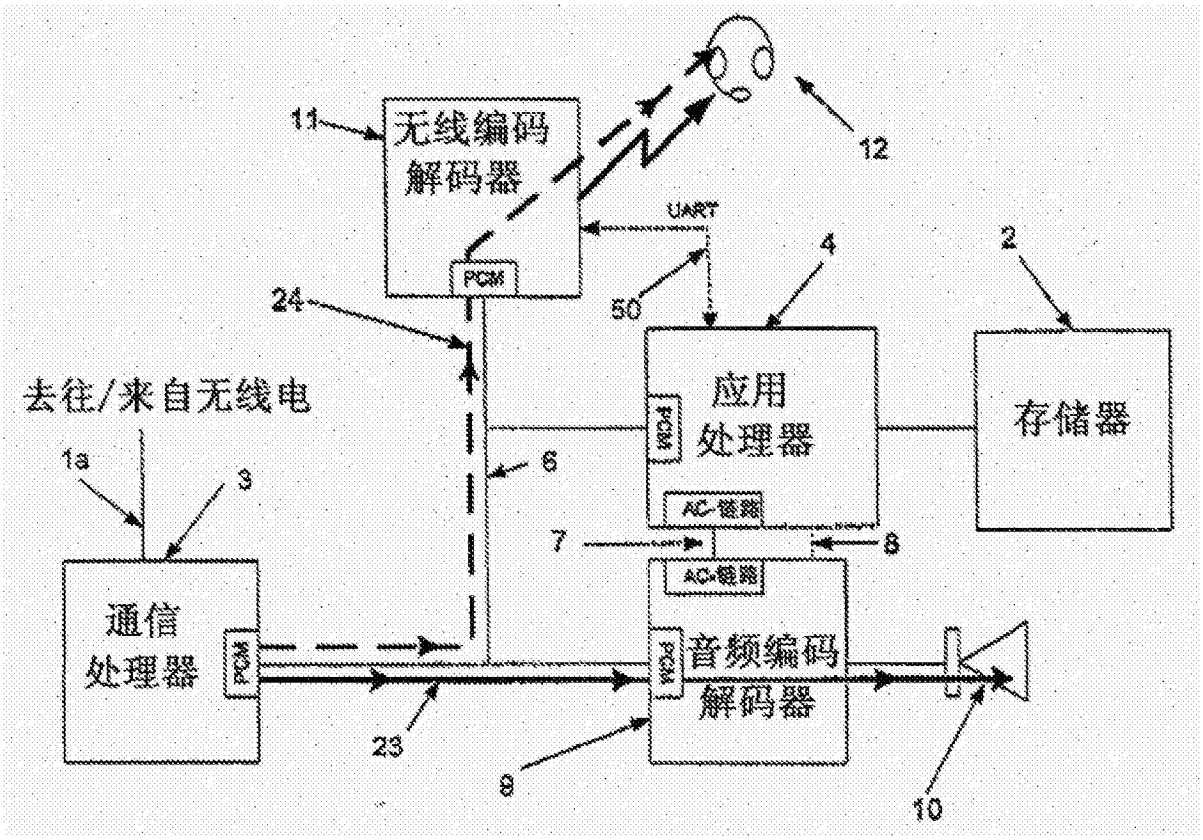

11
无线编码
解码器
12
UART
PCM
24
50
4
2
去往/来自无线电
应用
处理器
存储器
1a
3
6
AC-链路
7
8
AC-链路
通信
处理器
PCM
PCM
音频编码
解码器
23
9
10

图3c

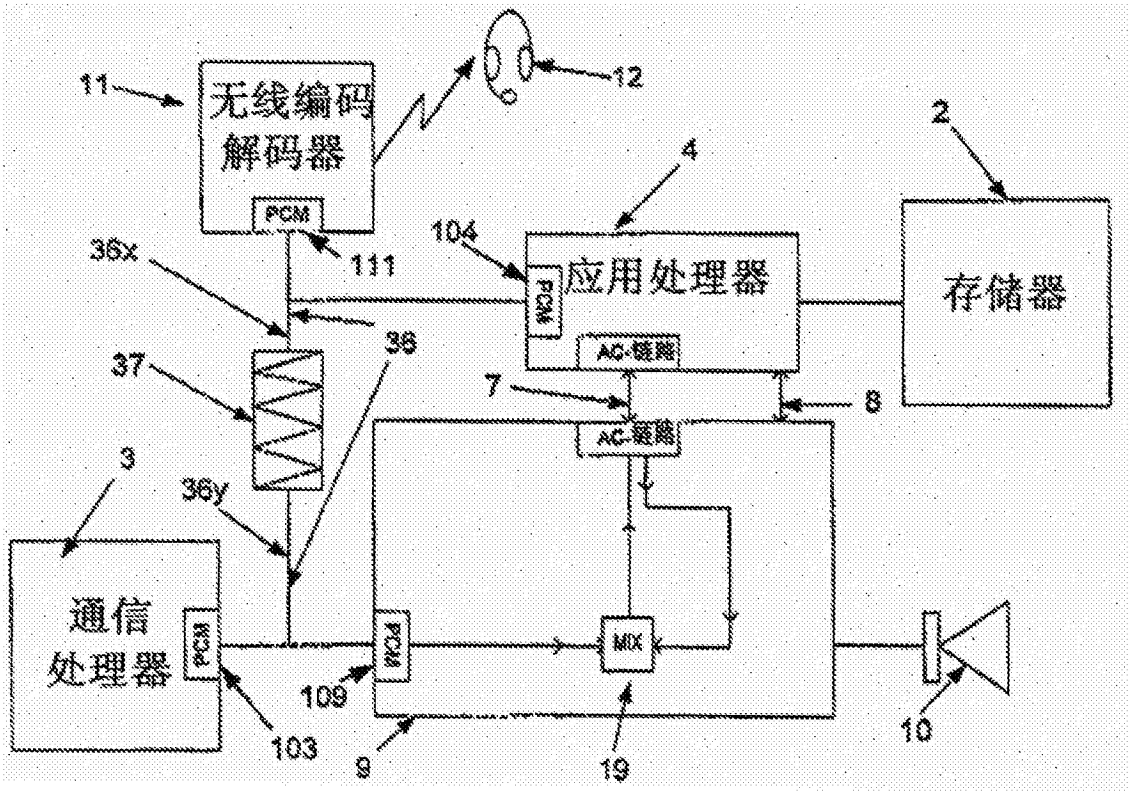

11
无线编码解码器
PCM
12
111
104
4
应用处理器
PCM
AC-链路
2
存储器
36x
36
37
7
8
AC-链路
3
36y
通信处理器
PCM
PCM
MIX
109
103
9
19
10

图4a

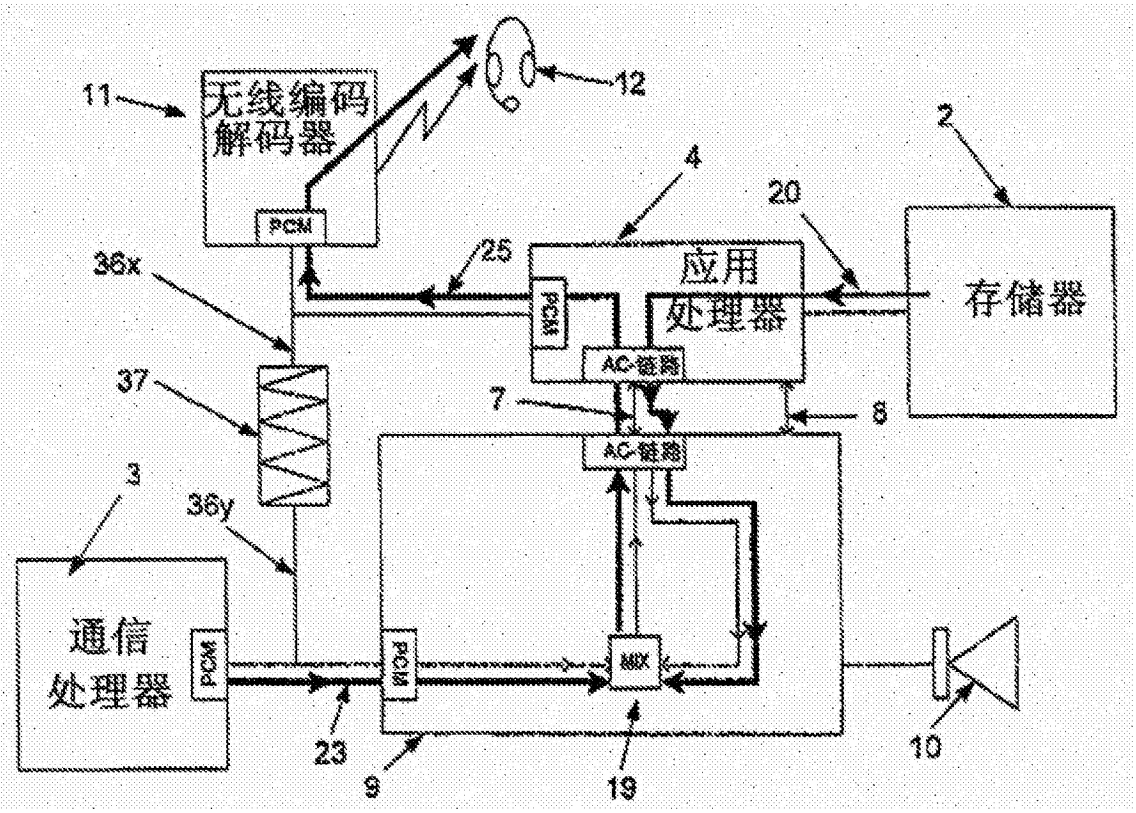

11
无线编码解码器
PCM
12
4
20
2
25
应用处理器
PCM
AC-链路
存储器
36x
37
7
8
AC-链路
3
36y
通信处理器
PCM
PCM
MIX
23
9
19
10

图4b


FS
CLK
DATA
S

图5a

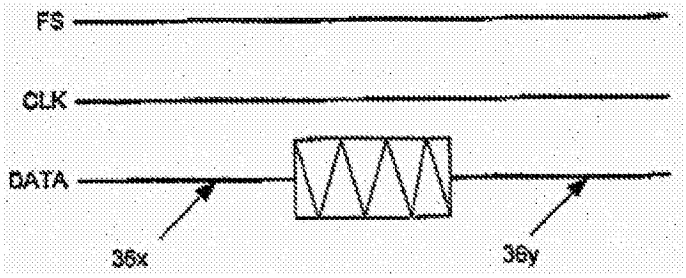

FS
CLK
DATA
36x
36y

图5b

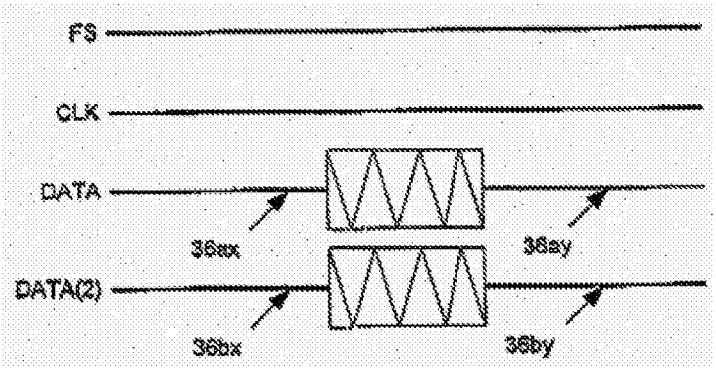

FS
CLK
DATA
36ax
36ay
DATA(2)
36bx
36by

图5c

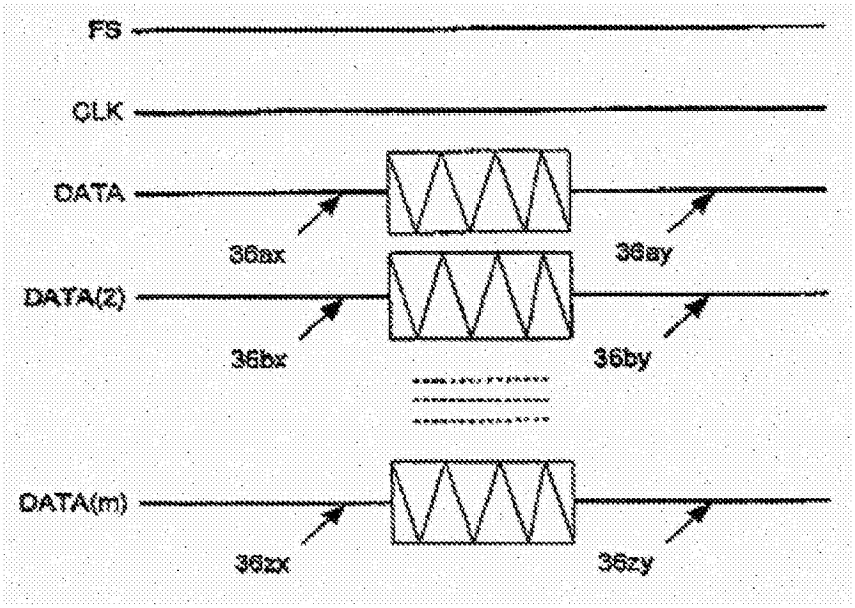

FS
CLK
DATA
36ax
36ay
DATA(2)
36bx
36by
DATA(m)
36zx
36zy

图5d

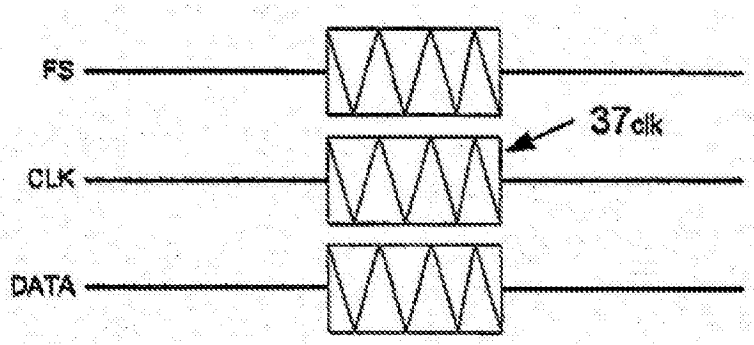

FS
37clk
CLK
DATA

图5e

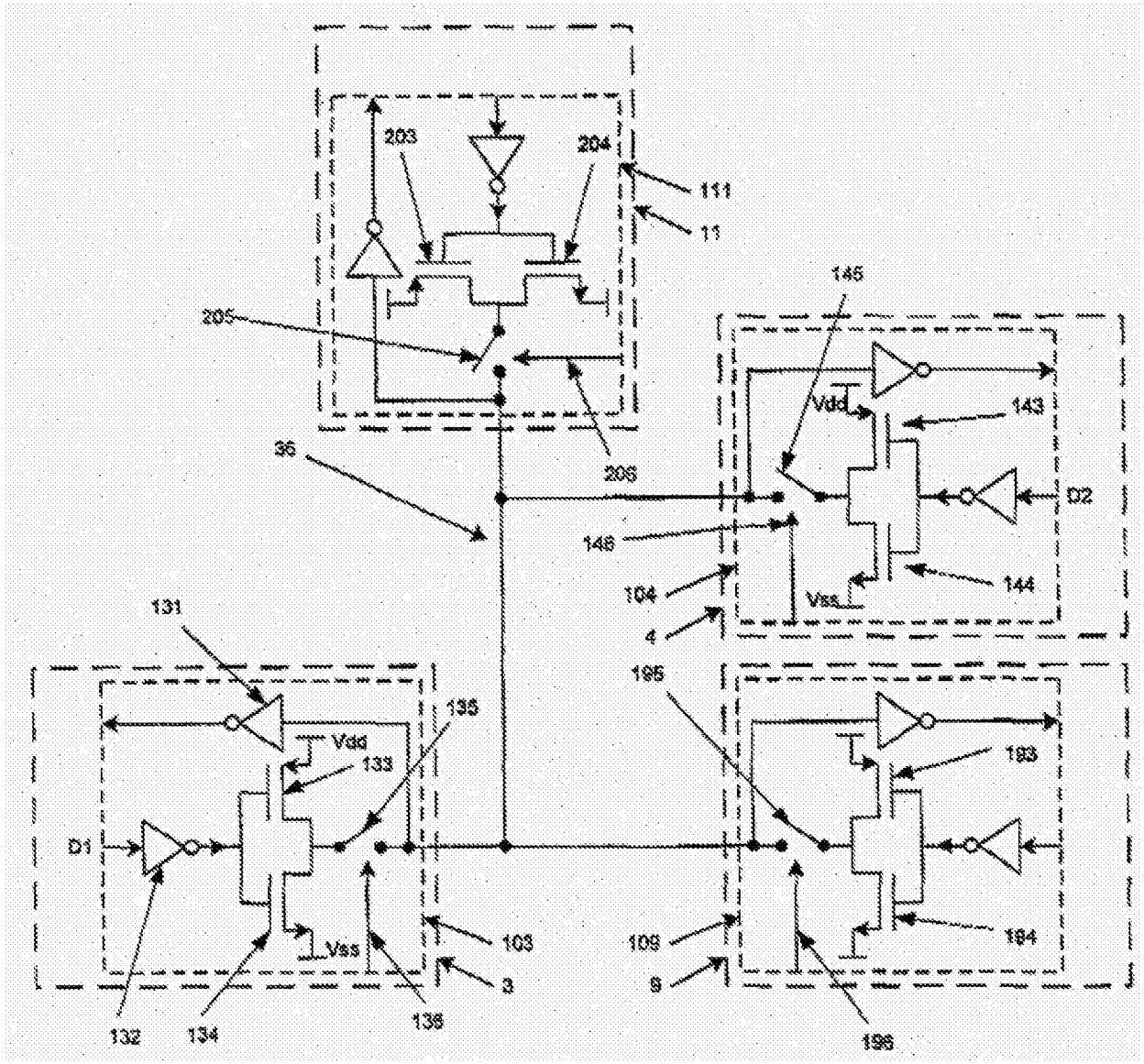

203
204
111
11
205
206
36
145
Vdd
143
D2
146
144
104
Vss
4
131
135
Vdd
133
D1
Vss
103
3
132
134
136
195
193
109
194
9
196

图6a

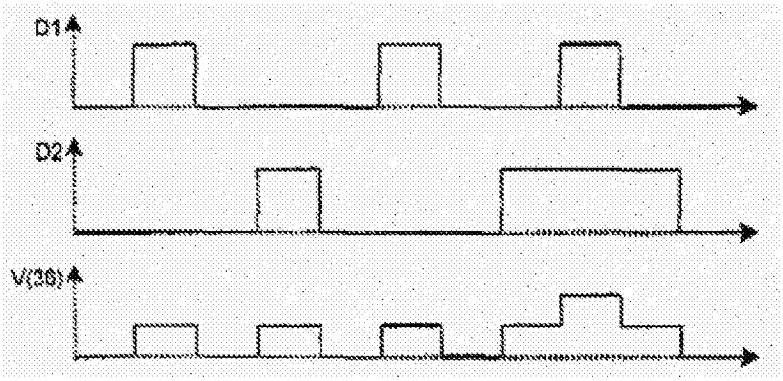

D1
D2
V(36)

图6b

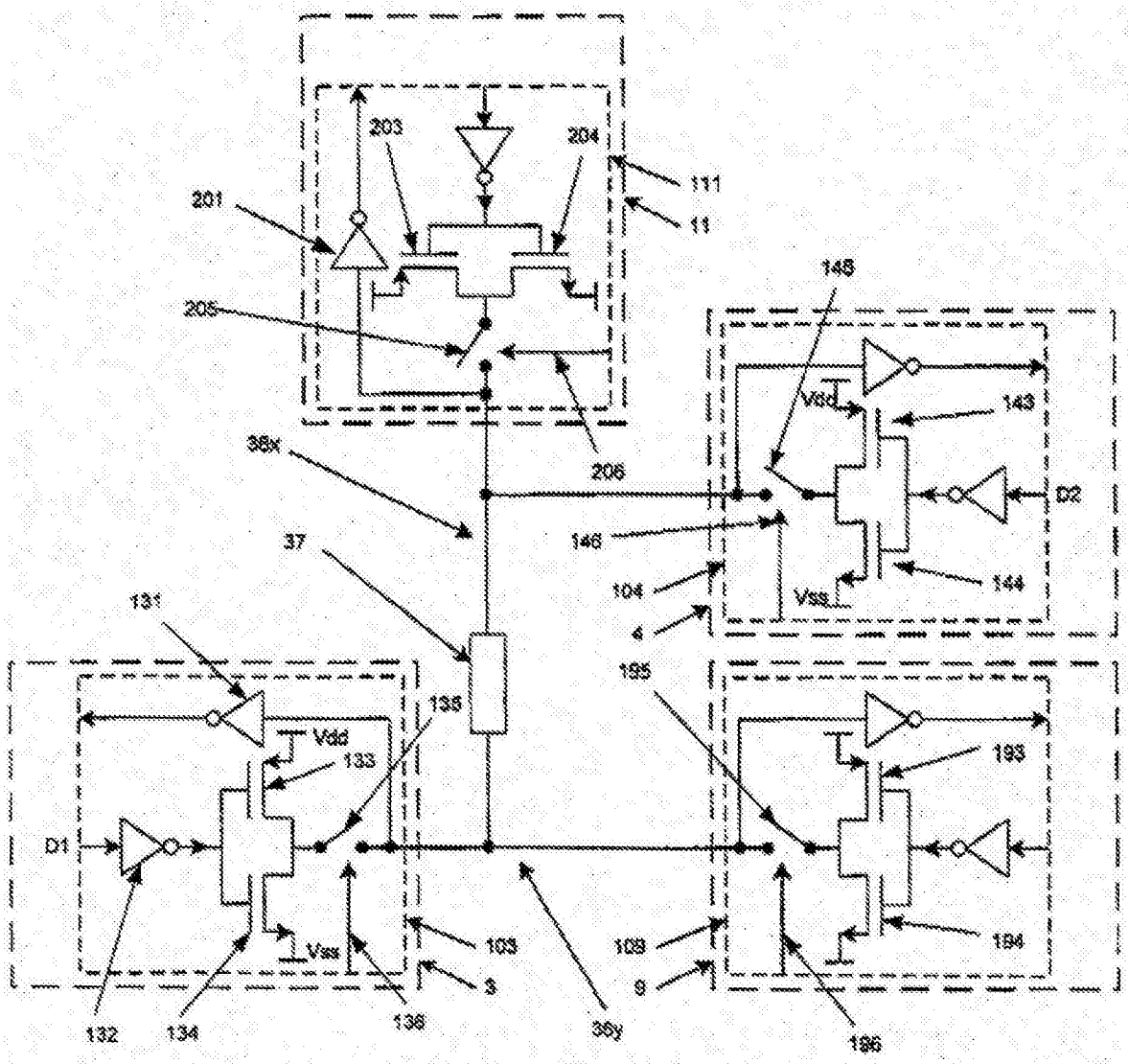

203
204
111
11
201
205
206
146
Vdd
143
D2
36x
37
146
144
104
Vss
4
131
135
Vdd
133
195
193
D1
Vss
103
3
132
134
136
36y
103
9
194
196

图7a

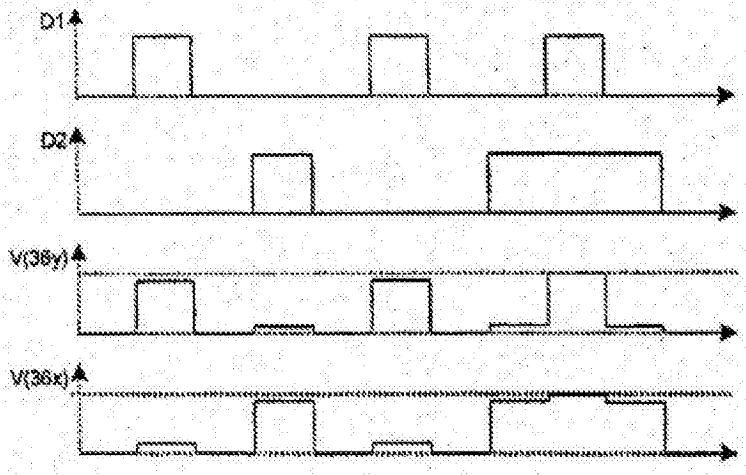

D1
D2
V(36y)
V(36x)

图7b

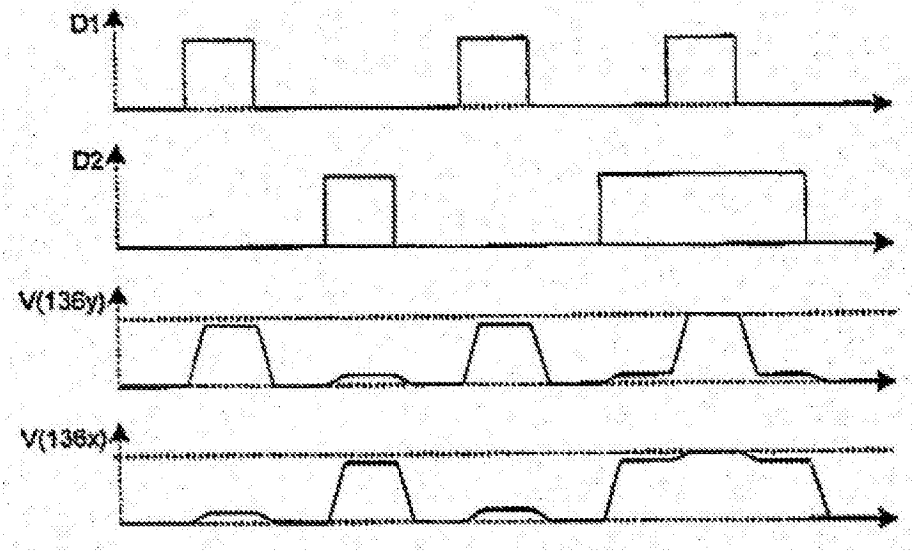

D1
D2
V(136y)
V(136x)

图7c

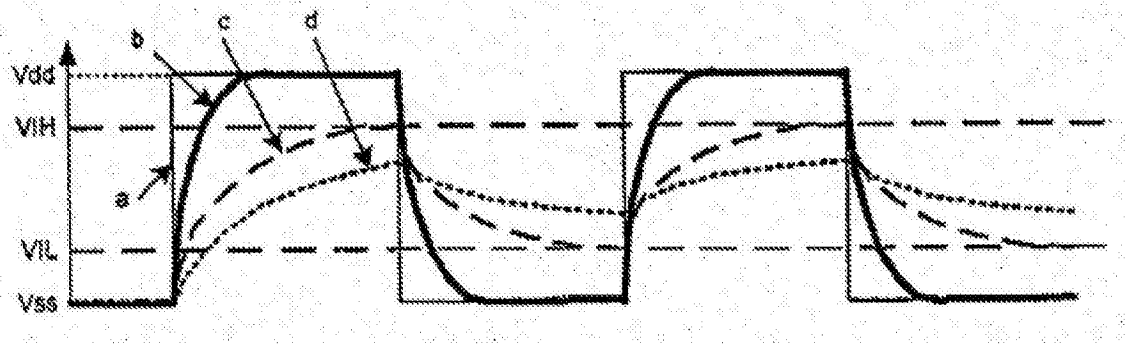

b
c
d
Vdd
VIH
a
VIL
Vss

图7d

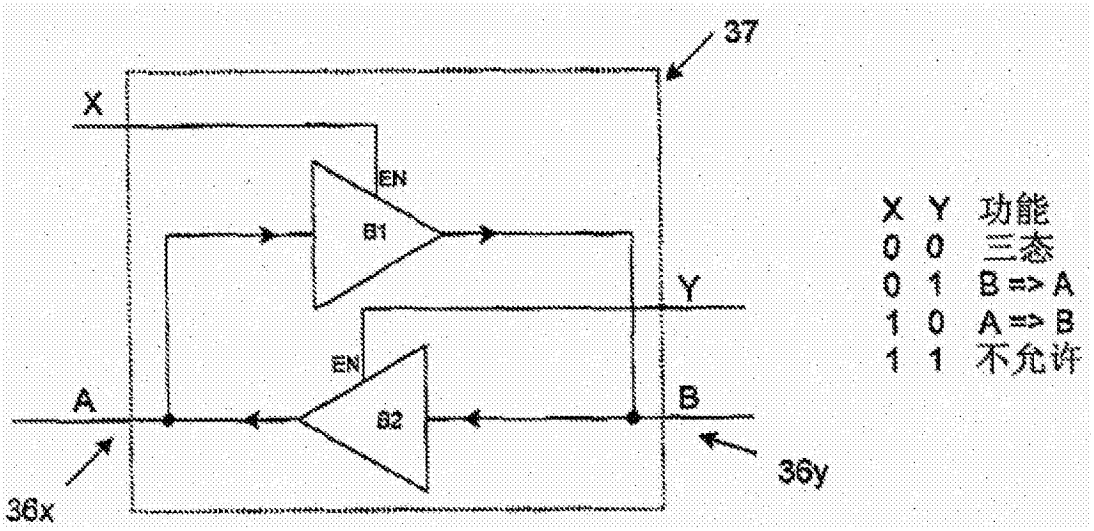

37
X
EN
B1
Y
EN
A
B2
B
36x
36y
X Y 功能
0 0 三态
0 1 B => A
1 0 A => B
1 1 不允许

图8a

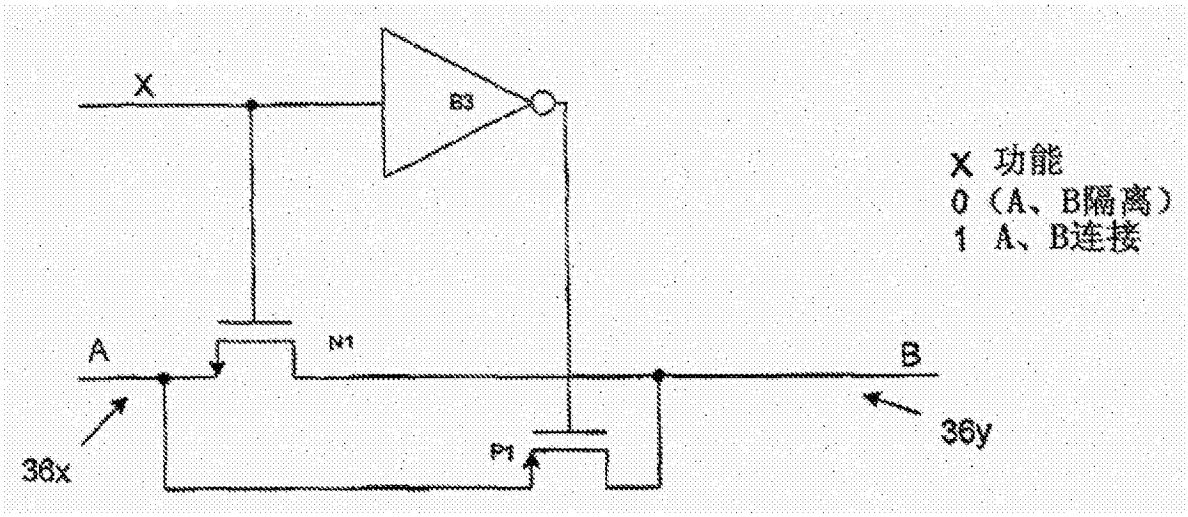

X
B3
X 功能
0（A、B隔离）
1 A、B连接
A
N1
B
36x
P1
36y

图8b

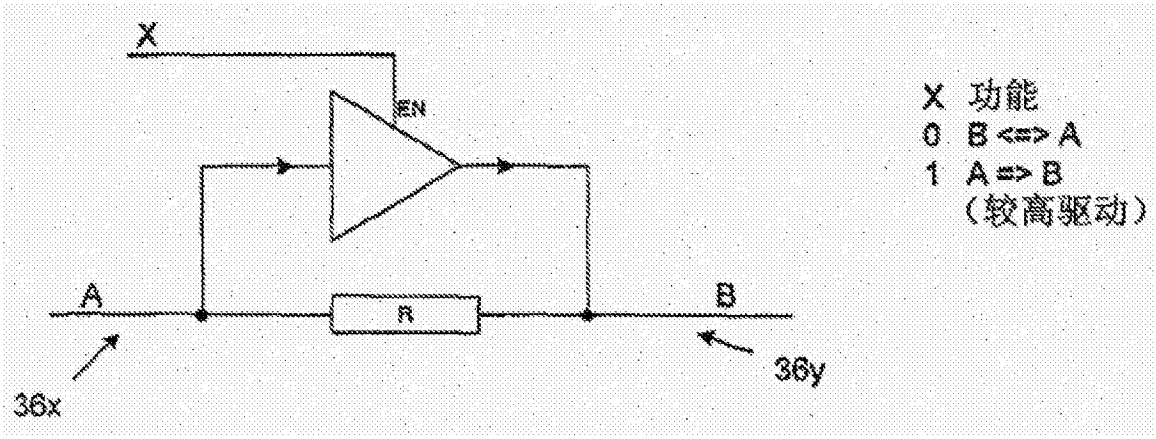

X
EN
X 功能
0 B <=> A
1 A => B
（较高驱动）
A
R
B
36x
36y

图8c

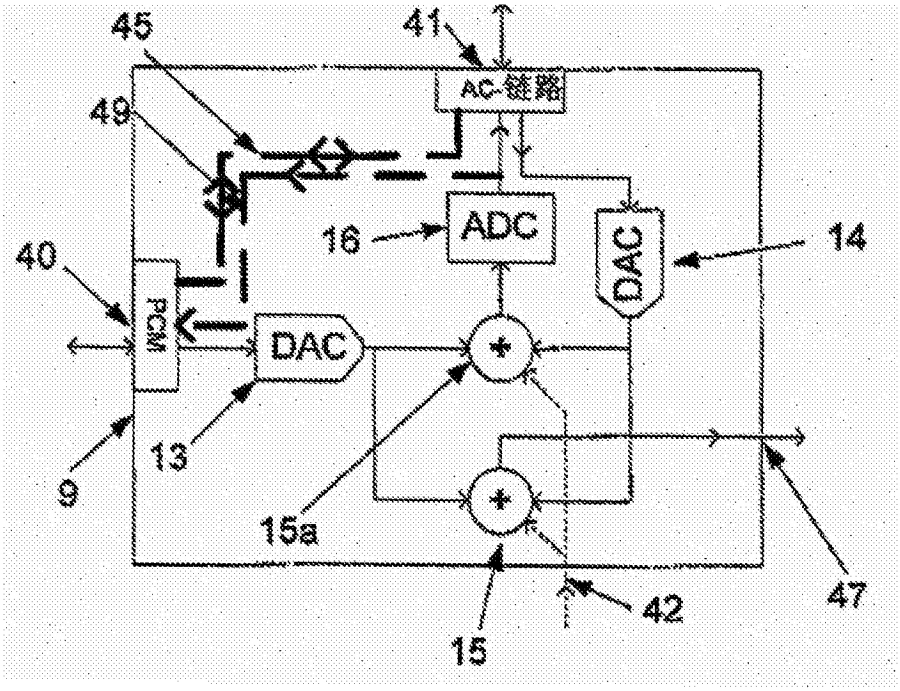

45
41
AC-链路
49
16
ADC
DAC
14
40
PCM
DAC
13
9
15a
42
47
15

图9a

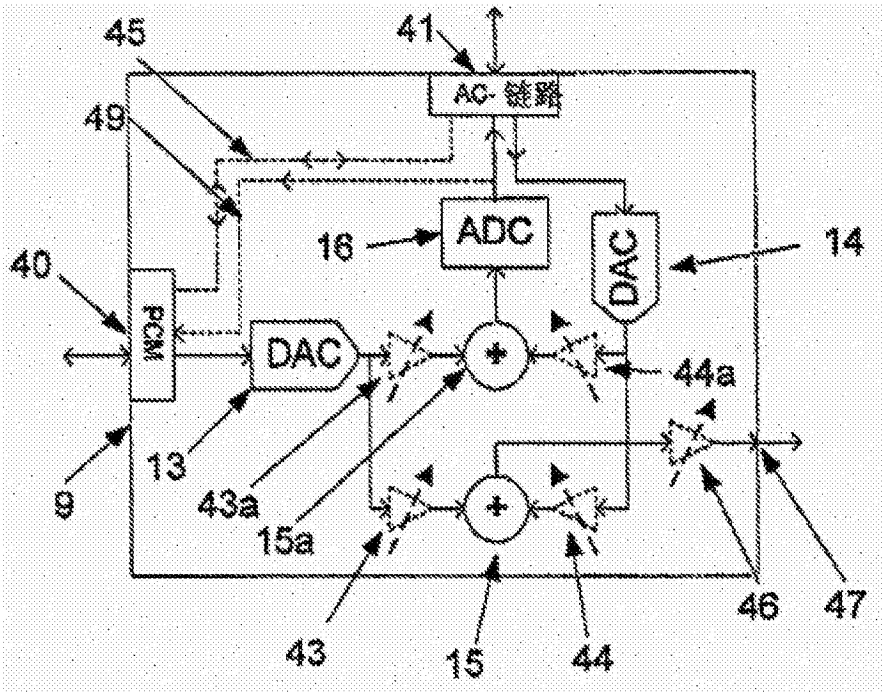

45
41
AC-链路
49
16
ADC
DAC
14
40
PCM
DAC
44a
13
9
43a
15a
46
47
43
15
44

图9b

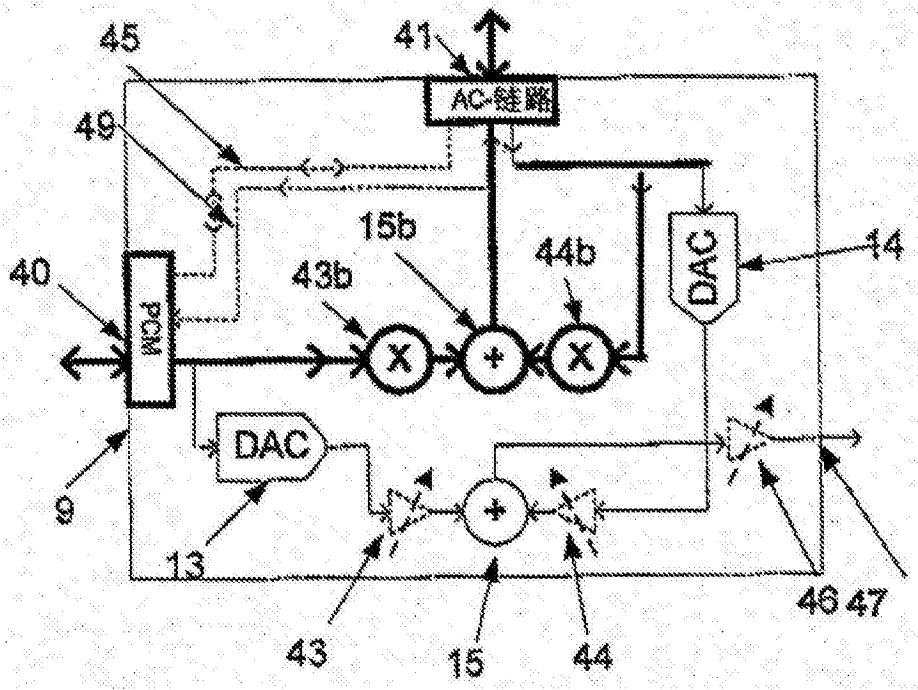

45
41
AC-链路
49
15b
44b
DAC
14
40
43b
PCM
X
+
X
DAC
9
13
43
15
44
46 47

图9c

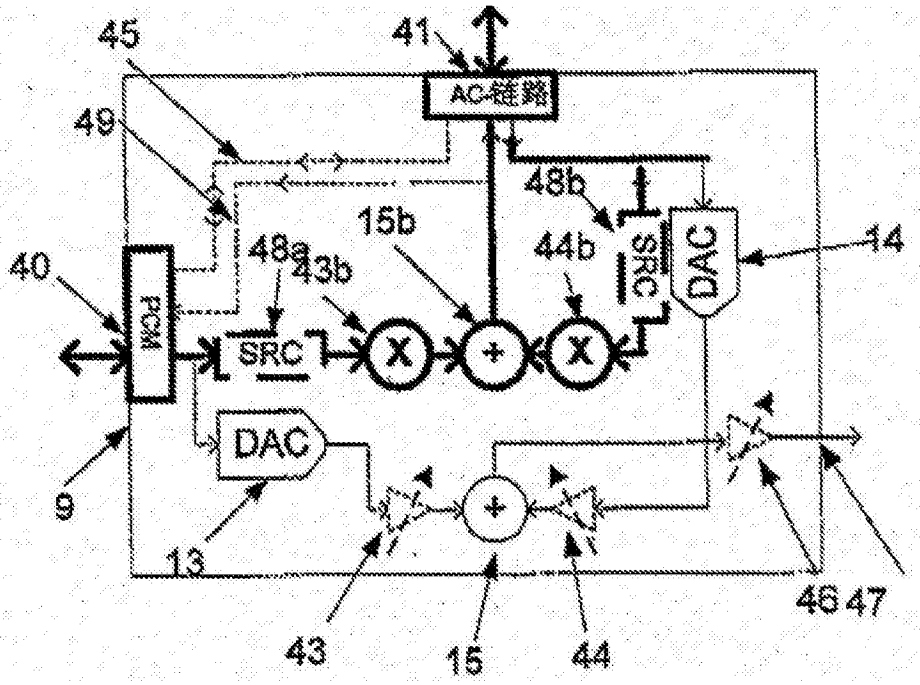

45
41
AC-链路
49
48b
15b
48a
43b
44b
SRC
DAC
14
40
PCM
SRC
X
+
X
DAC
9
13
43
15
44
46 47

图9d

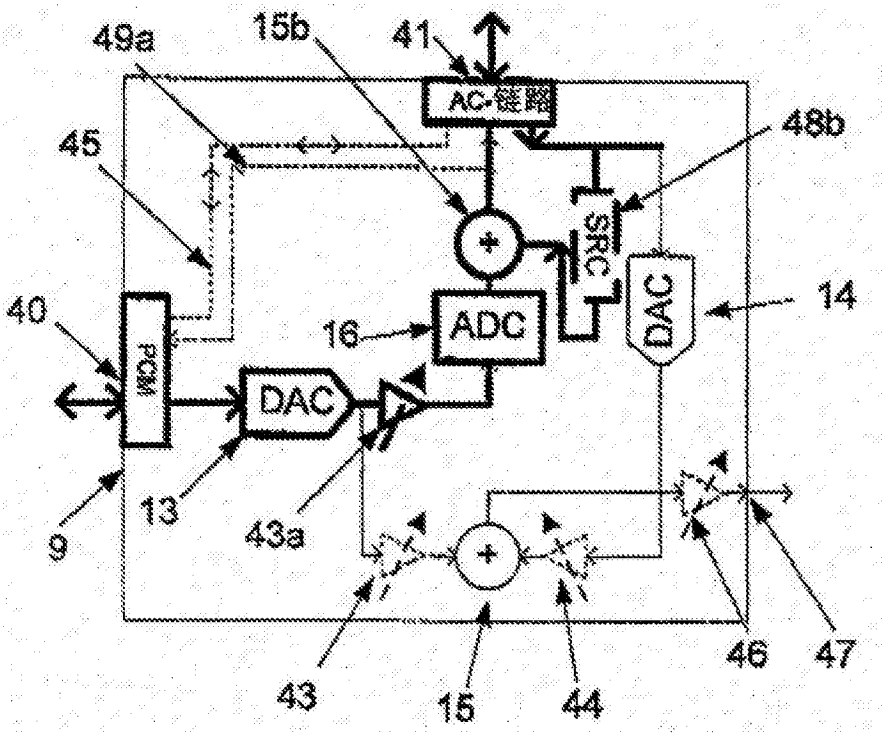

49a
15b
41
AC-链路
48b
45
SRC
DAC
14
40
PCM
16
ADC
DAC
13
43a
9
43
15
44
46
47

图9e

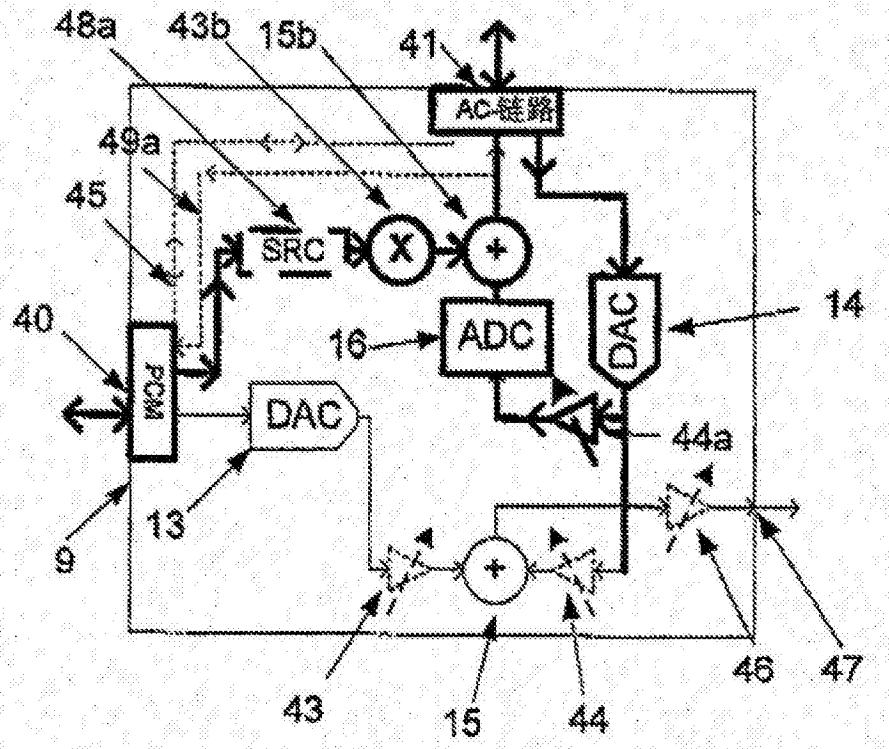

48a
43b
15b
41
AC-链路
49a
45
SRC
X
DAC
14
40
PCM
16
ADC
DAC
44a
13
9
43
15
44
46
47

图9f

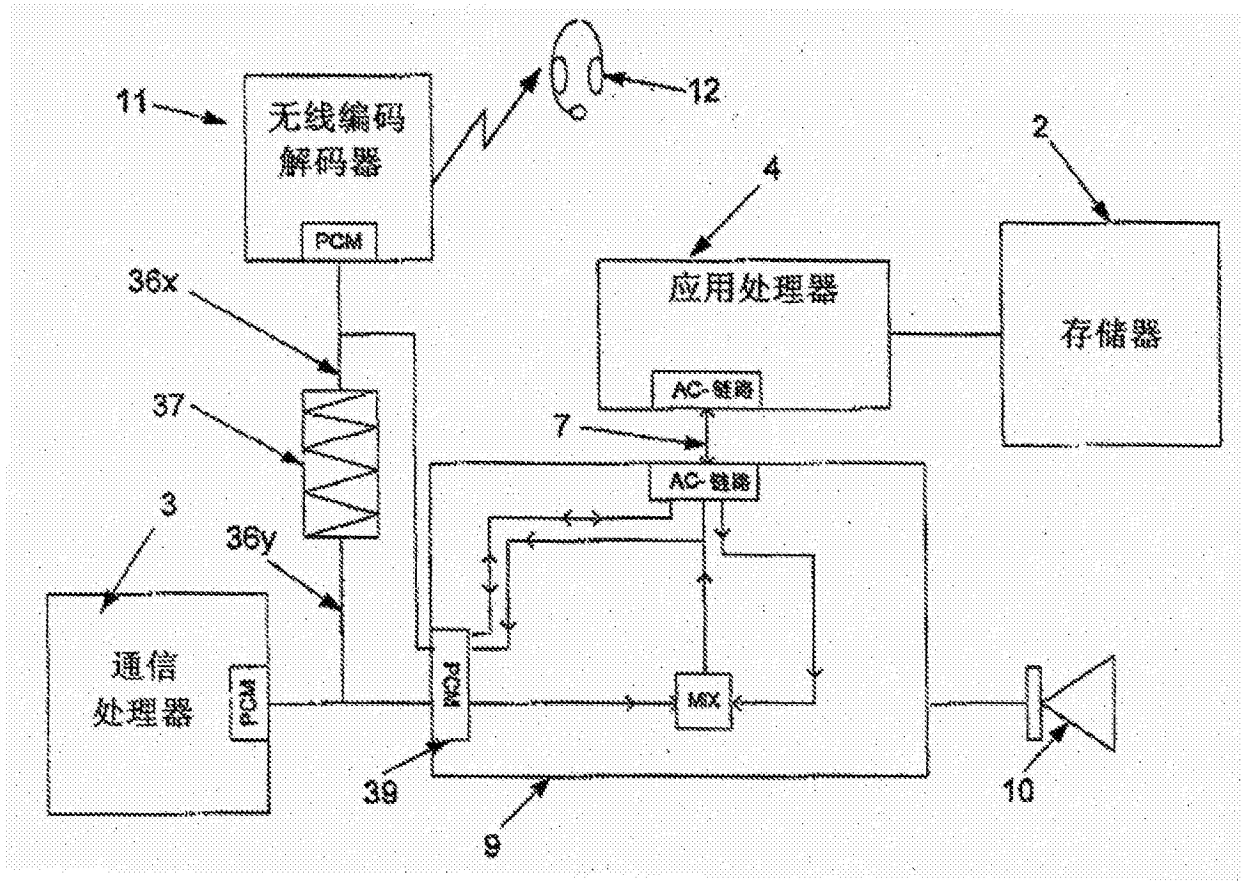

11
无线编码
解码器
PCM
12
2
4
应用处理器
AC-链路
存储器
36x
37
7
AC-链路
3
36y
通信
处理器
PCM
PCM
MIX
39
9
10

图10a

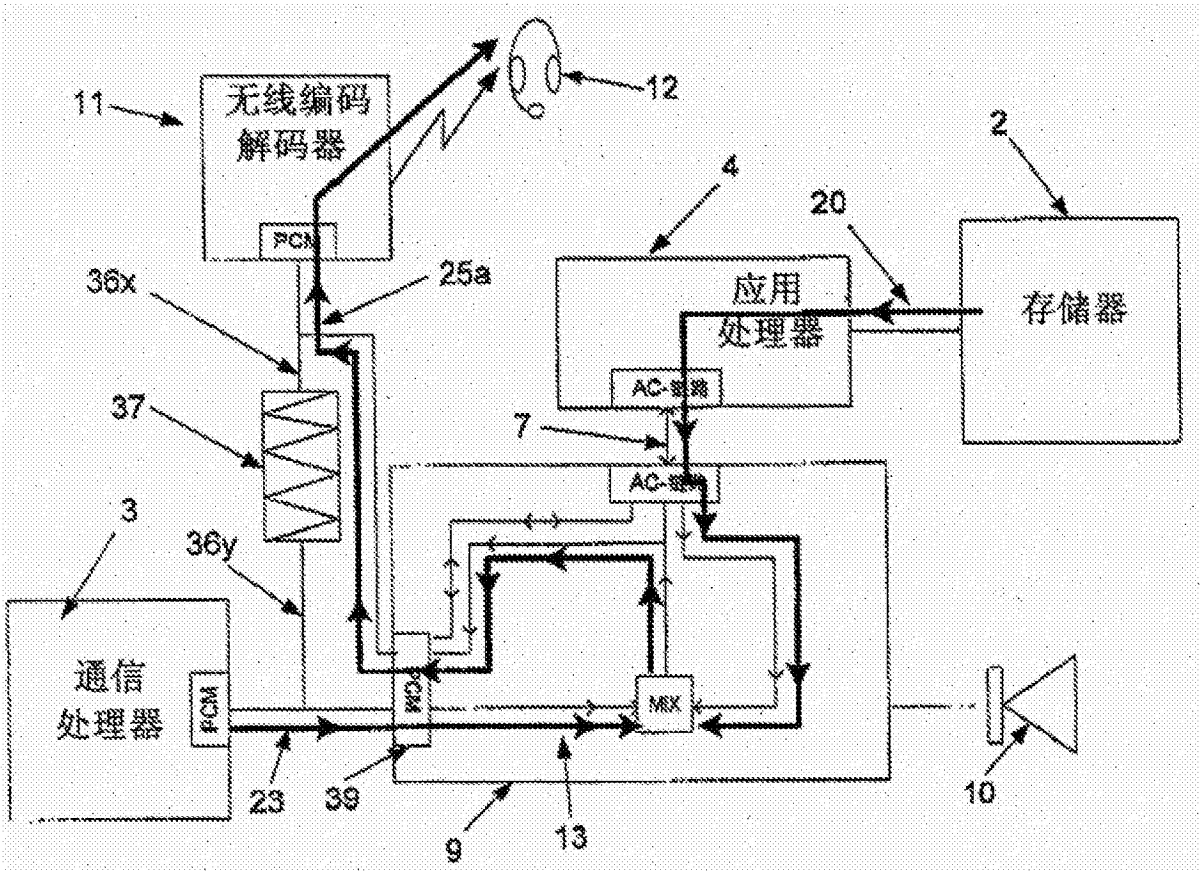

11
无线编码
解码器
PCM
12
2
4
20
存储器
应用
处理器
AC-链路
36x
25a
37
7
AC-链路
3
36y
通信
处理器
MCM
PCM
MIX
23
39
9
13
10

图10b

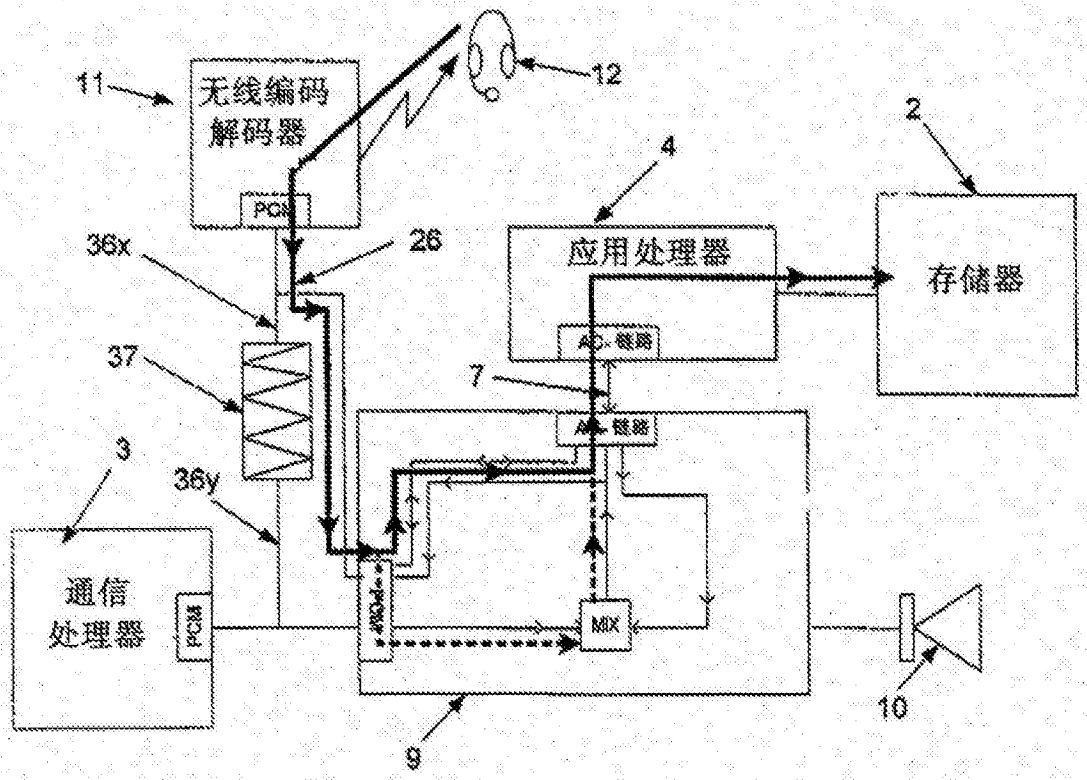

11
无线编码
解码器
PCM
12
2
4
应用处理器
存储器
36x
26
37
7
AC-链路
3
36y
通信
处理器
PCM
PCM
MIX
10
9

图10c

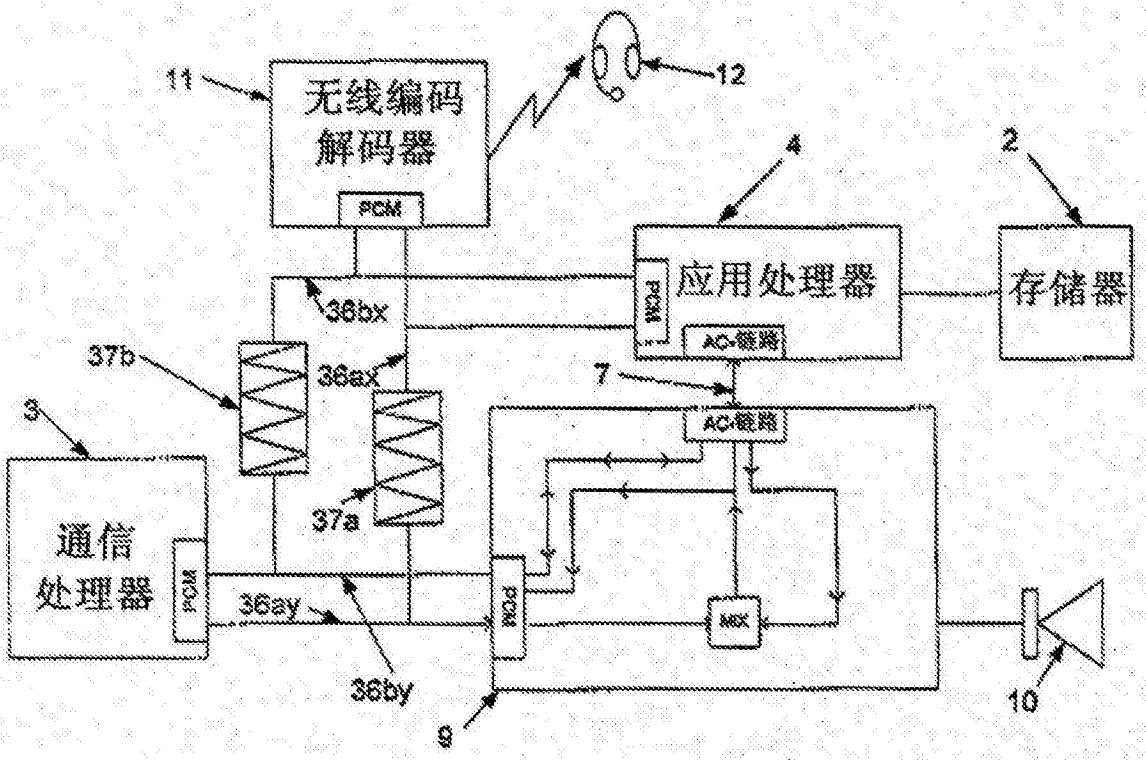

11
无线编码
解码器
PCM
12
4
2
应用处理器
PCM
存储器
AC-链路
36bx
37b
36ax
7
AC-链路
3
37a
通信
处理器
PCM
36ay
PCM
MIX
36by
9
10

图11a

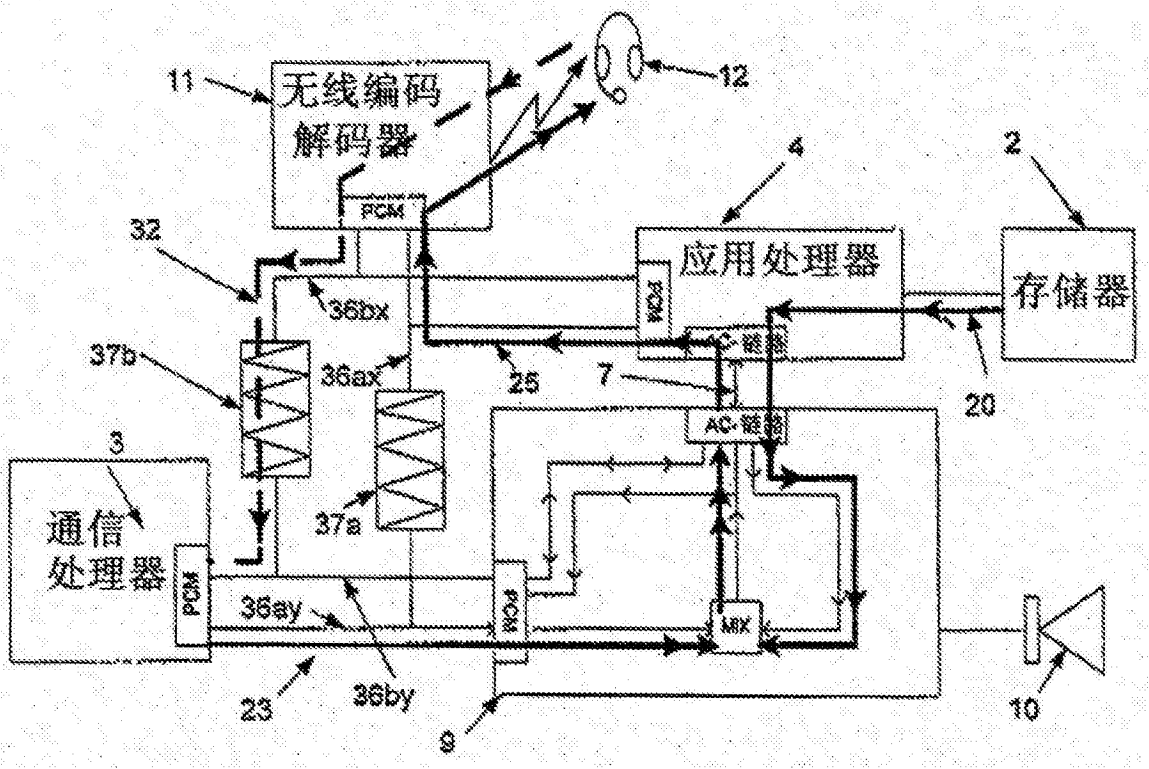

11
无线编码
解码器
12
PCM
4
2
应用处理器
存储器
32
36bx
37b
36ax
26
7
20
AC-链路
3
通信
处理器
37a
PCM
36ay
PCM
MIX
23
36by
9
10

图11b

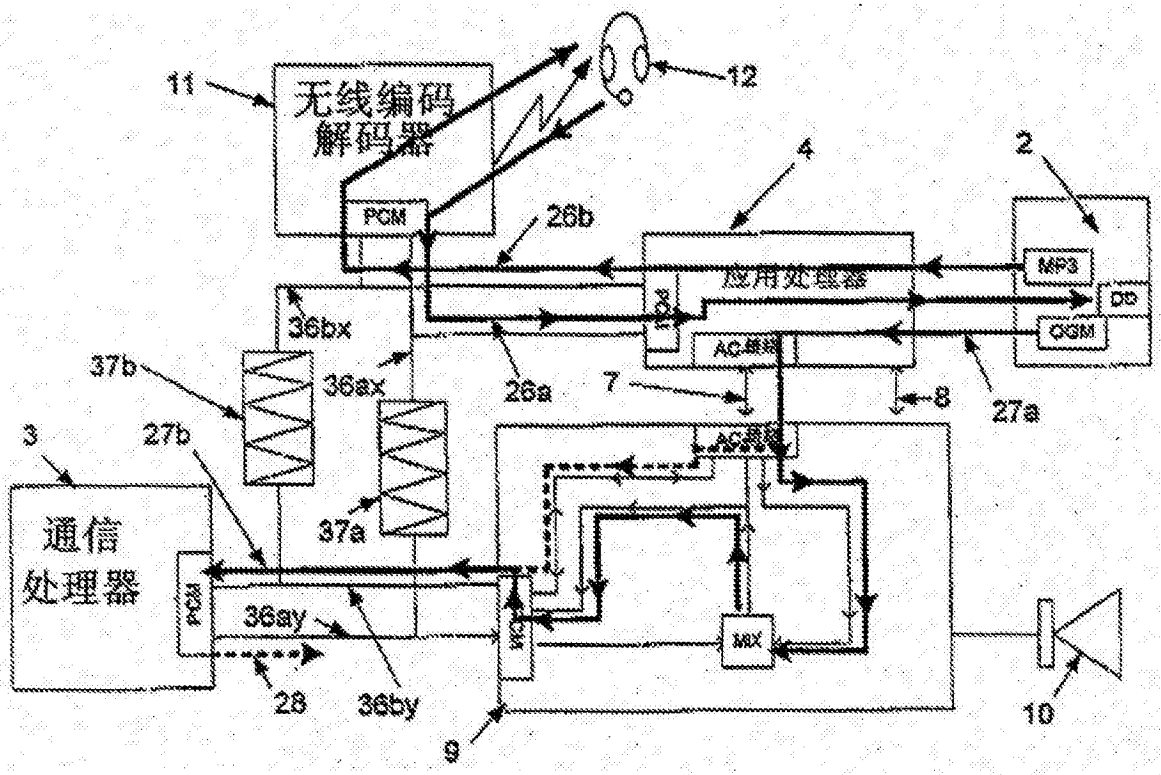

11
无线编码
解码器
12
PCM
26b
4
2
应用处理器
MP3
DB
CDM
36bx
AC-链路
37b
36ax
26a
7
8
27a
3
27b
AC-链路
通信
处理器
37a
PCM
36ay
PCM
MIX
28
36by
9
10

图11c

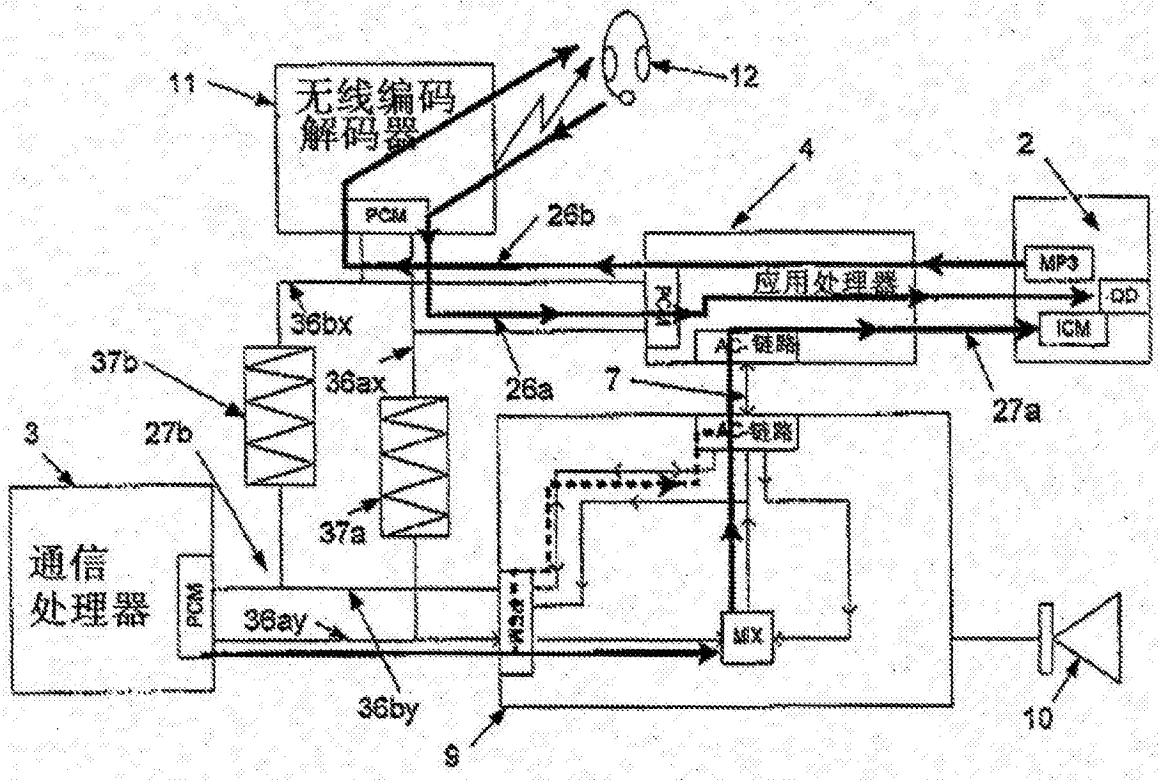

11
无线编码
解码器
12
PCM
4
2
26b
应用处理器
MP3
OD
ICM
36bx
AC-链路
37b
36ax
26a
7
27a
3
27b
通信
处理器
PCM
37a
36ay
MIX
36by
9
10

图11d

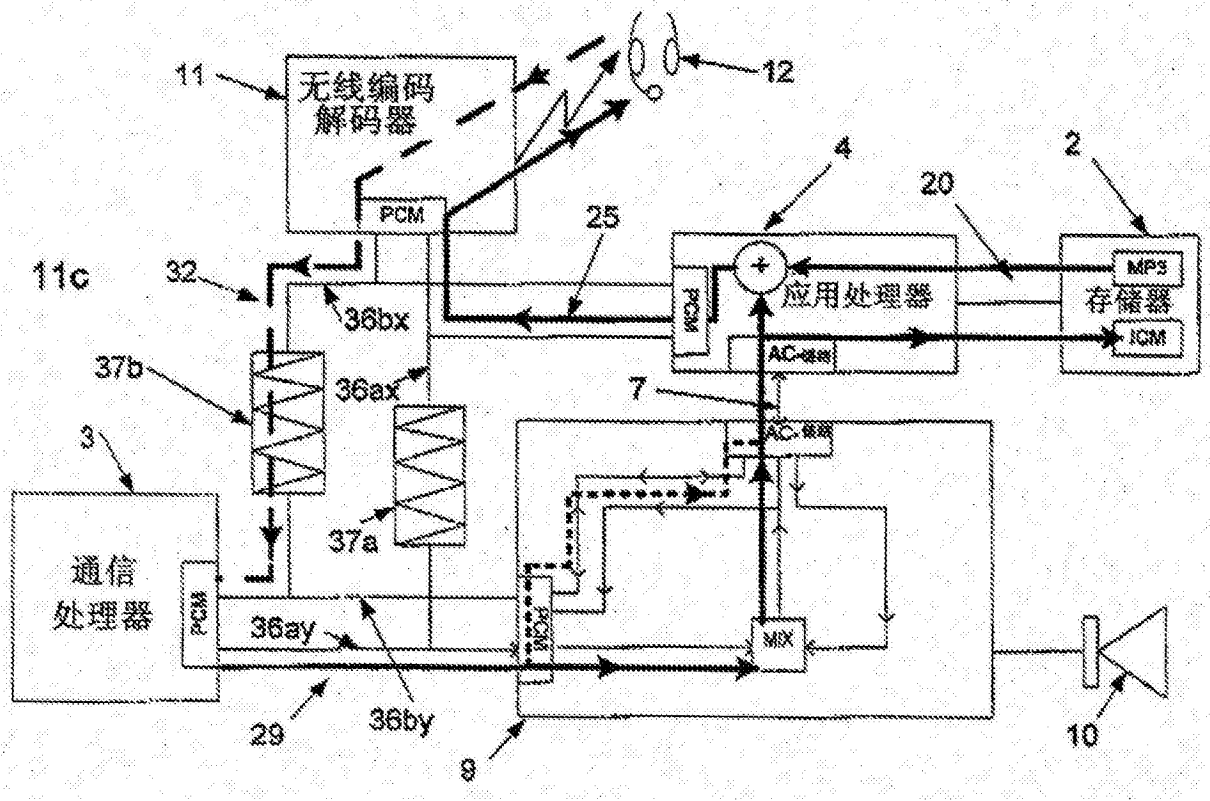

11
无线编码
解码器
12
PCM
4
2
20
25
11c
32
36bx
应用处理器
MP3
存储器
ICM
AC-链路
37b
36ax
7
3
37a
通信
处理器
PCM
36ay
MIX
29
36by
9
10

图11e

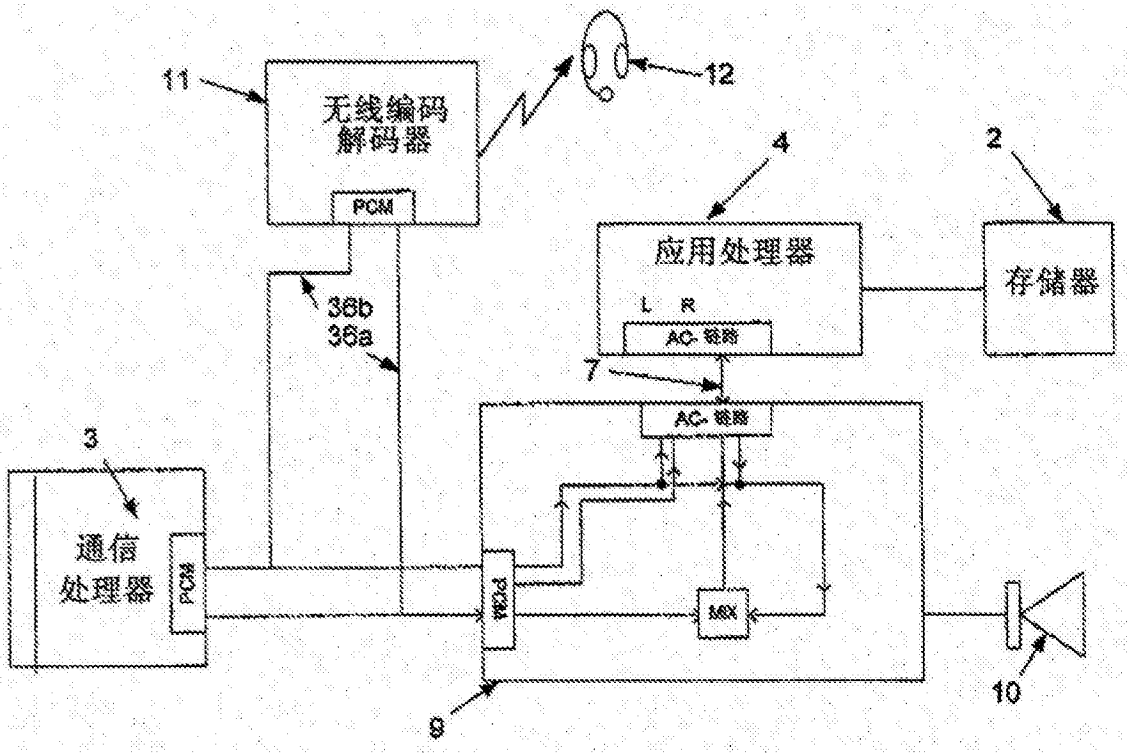

11
无线编码
解码器
PCM
12
4
应用处理器
L R
AC-'链路
2
存储器
36b
36a
7
AC-'链路
3
通信
处理器
PCM
I2S/PCM
MIX
9
10

图12a

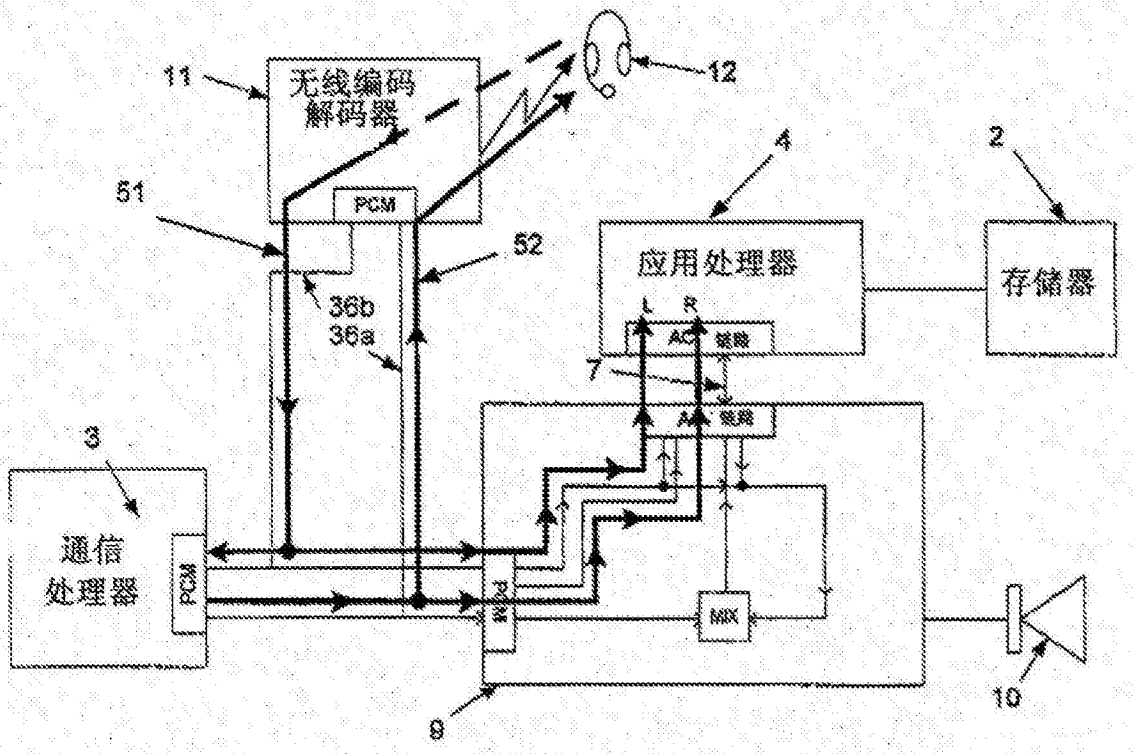

11
无线编码
解码器
PCM
12
4
应用处理器
L R
AC-'链路
2
存储器
51
52
36b
36a
7
AC-'链路
3
通信
处理器
PCM
I2S/PCM
MIX
9
10

图12b

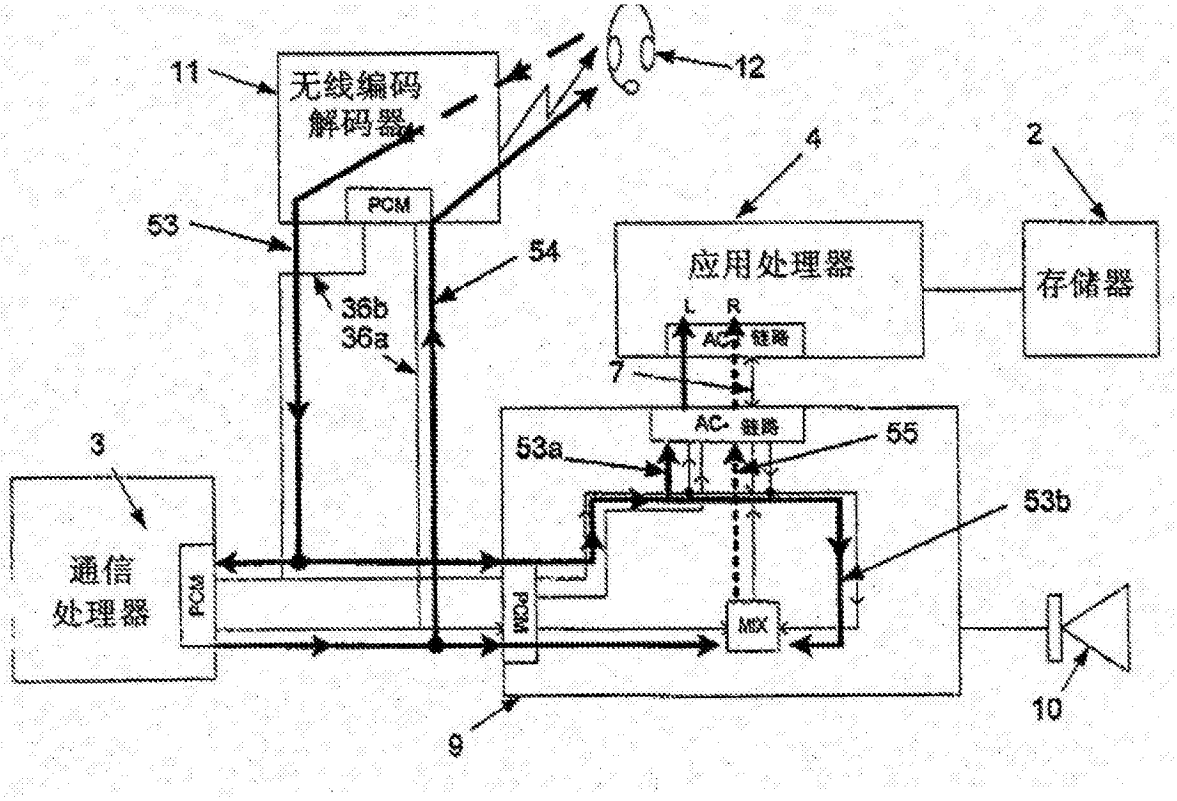

11
无线编码
解码器
PCM
12
4
2
应用处理器
存储器
L R
AC-链路
53
54
36b
36a
7
AC-链路
53a
55
53b
3
通信
处理器
PCM
MIX
9
10

图12c

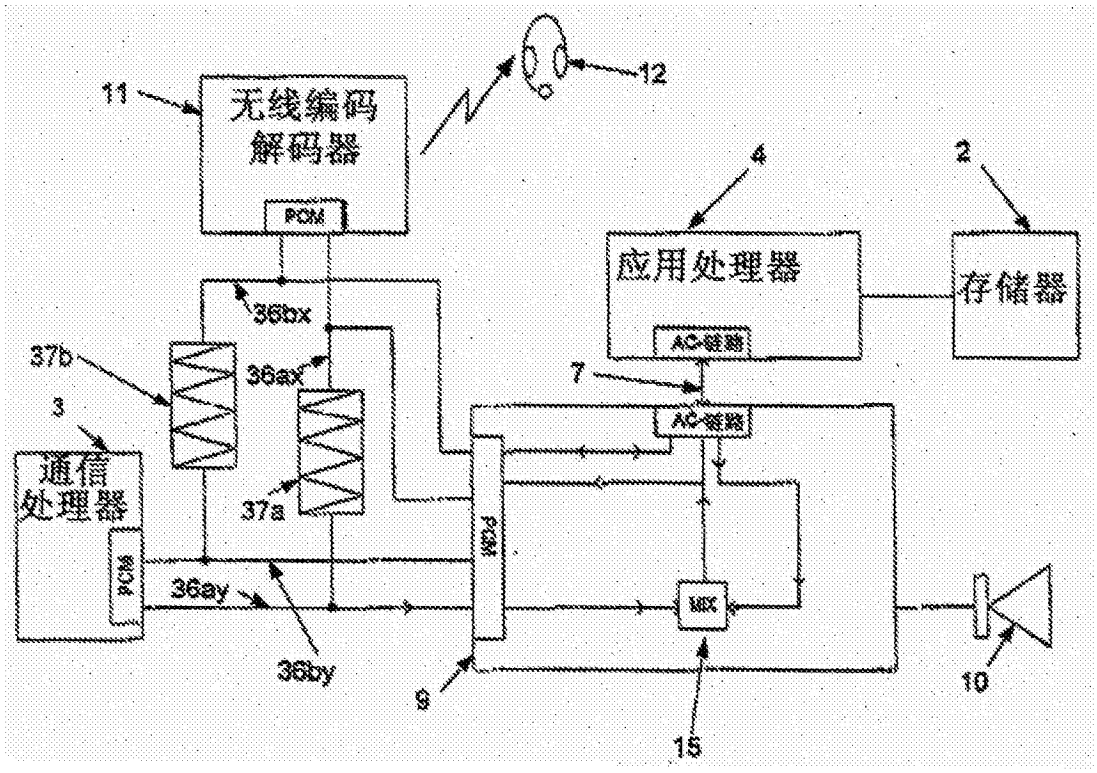

11
无线编码
解码器
PCM
12
4
2
应用处理器
存储器
AC-链路
36bx
37b
36ax
7
AC-链路
3
通信
处理器
PCM
37a
PCM
36ay
36by
MIX
9
10
15

图13a

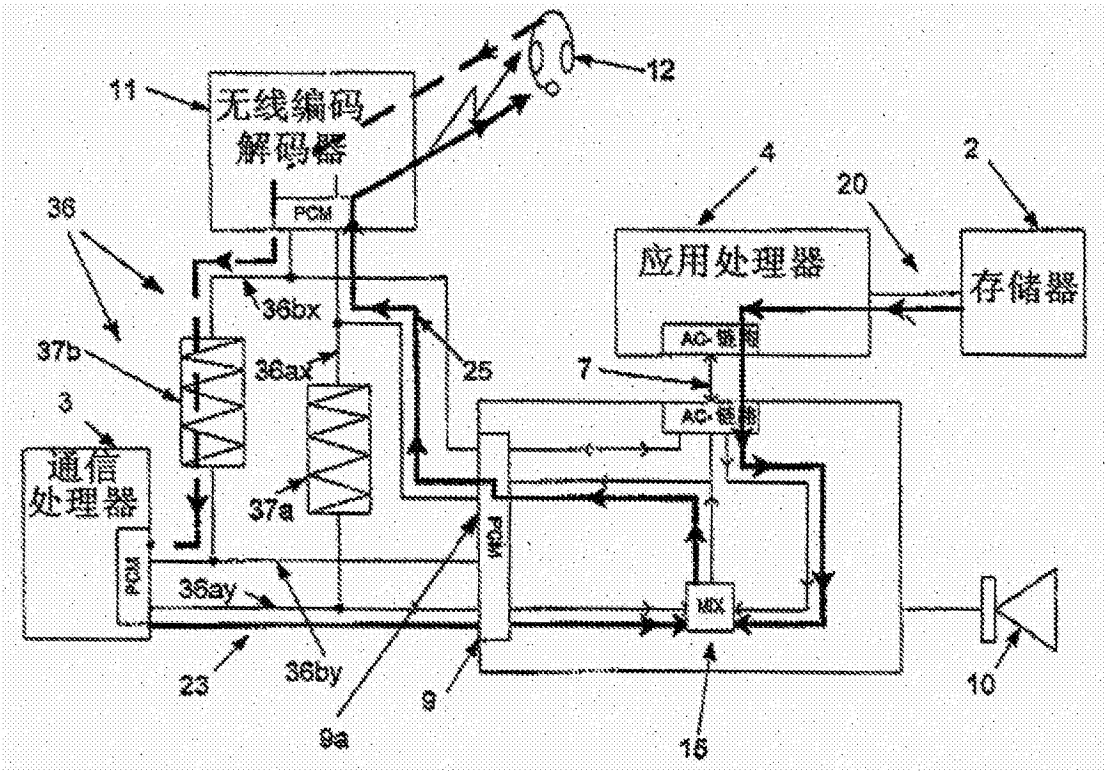

11
无线编码
解码器
12
PCM
4
2
20
应用处理器
存储器
36
36bx
37b
36ax
25
7
AC-链接
3
通信
处理器
37a
PCM
36ay
MIX
23
36by
9
9a
10
15

图13b

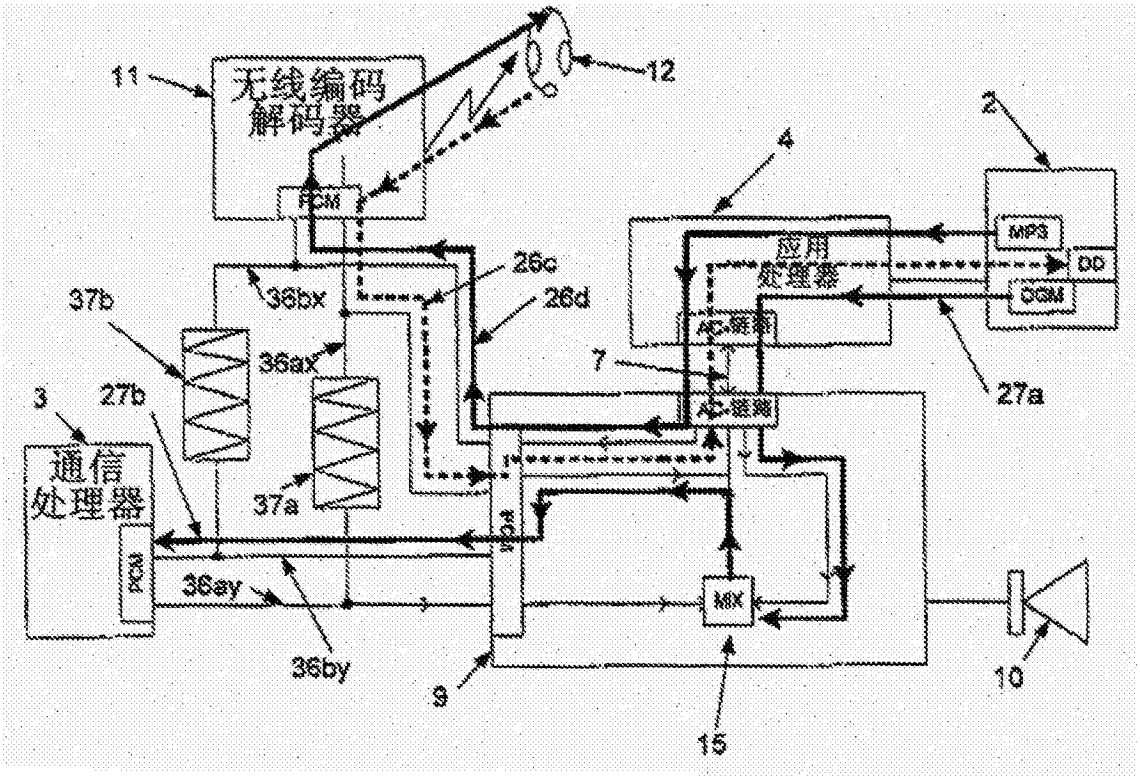

11
无线编码
解码器
12
PCM
4
2
应用
处理器
MP3
DD
DSM
26c
26d
36bx
37b
36ax
7
AC-链接
27a
3
27b
通信
处理器
37a
PCM
36ay
MIX
36by
9
10
15

图13c

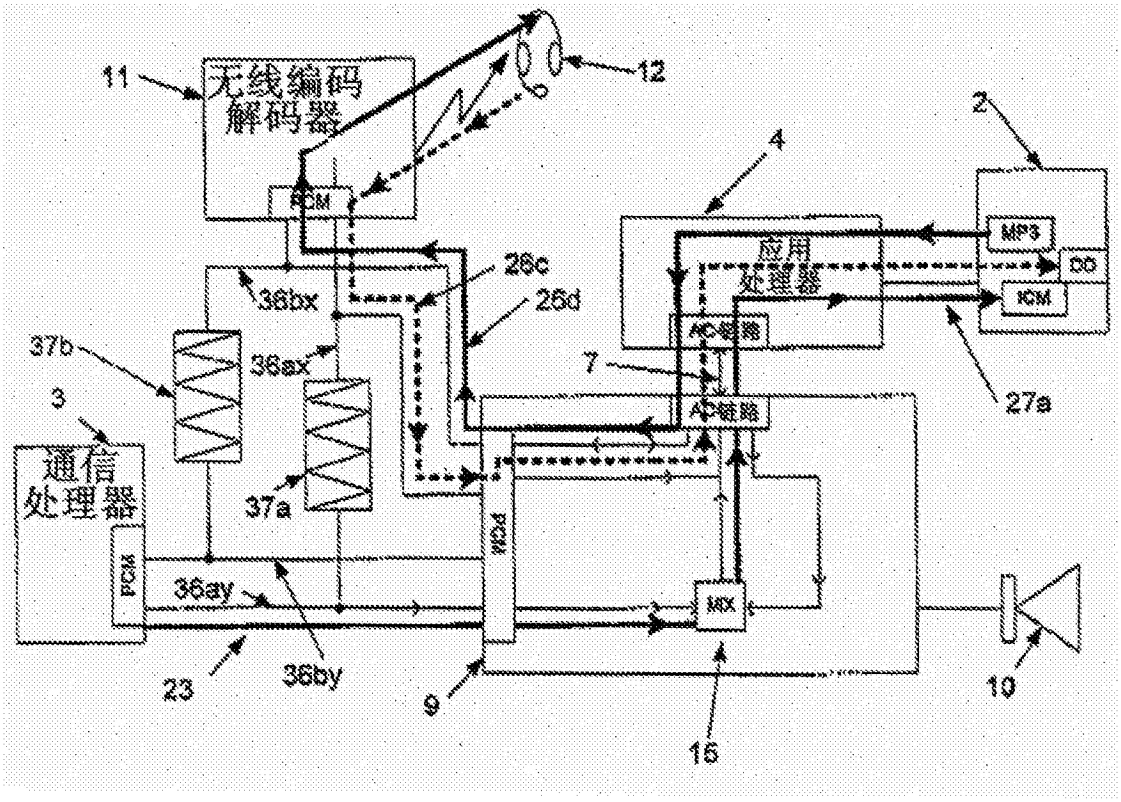

11
无线编码
解码器
12
PCM
2
4
MP3
DD
ICM
应用
处理器
26c
26d
36bx
AC链路
7
AC链路
27a
37b
36ax
3
通信
处理器
37a
PCM
PCM
36ay
MIX
23
36by
9
16
10

图13d

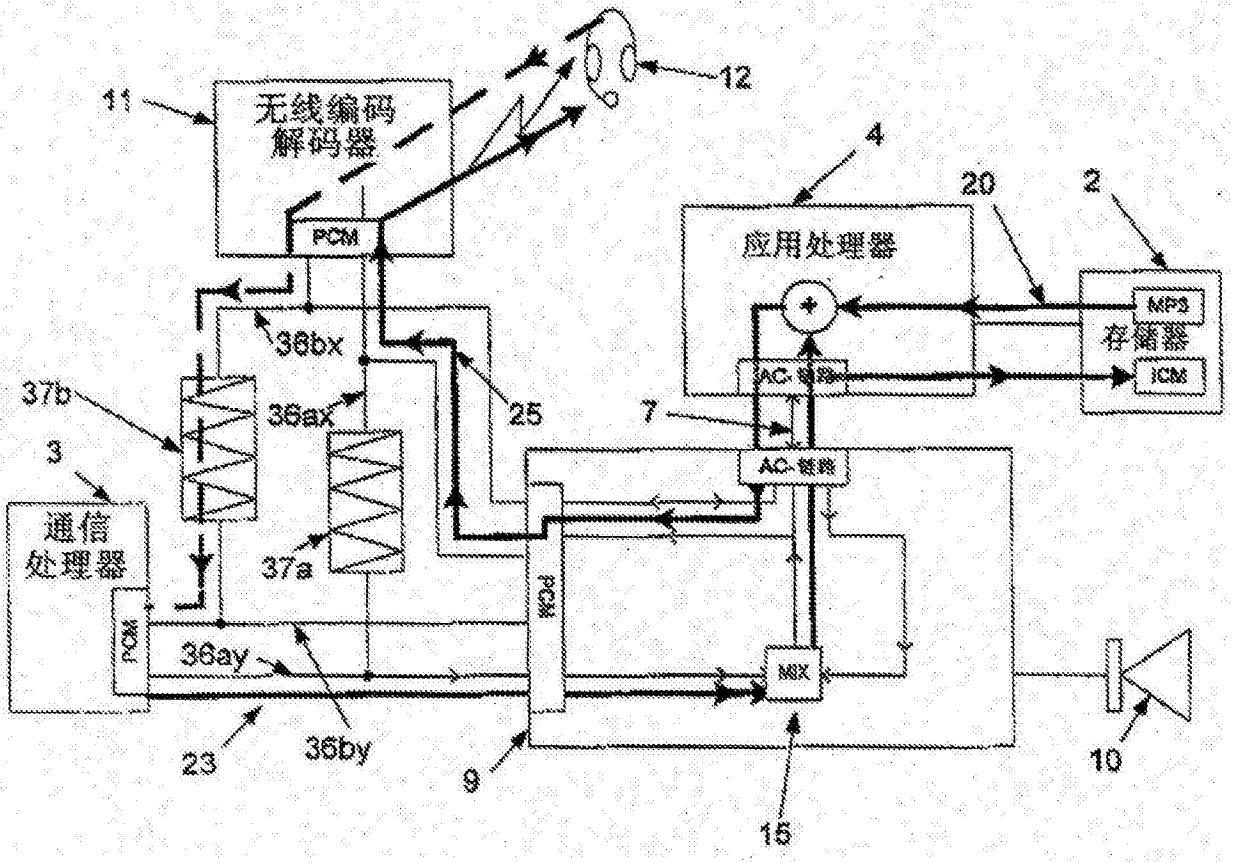

11
无线编码
解码器
PCM
12
4
应用处理器
20
2
MP3
存储器
ICM
AC-链路
36bx
37b
36ax
25
7
3
通信
处理器
37a
AC-链路
PCM
PCM
36ay
MIX
23
36by
9
15
10

图13e