

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第4514871号
(P4514871)

(45) 発行日 平成22年7月28日(2010.7.28)

(24) 登録日 平成22年5月21日(2010.5.21)

(51) Int.Cl.

F 1

G09F 9/30 (2006.01)

G09F 9/30 338

G02F 1/1345 (2006.01)

G02F 1/1345 349Z

H01L 29/786 (2006.01)

H01L 29/78 612B

請求項の数 7 (全 36 頁)

(21) 出願番号 特願2000-15372 (P2000-15372)
 (22) 出願日 平成12年1月25日 (2000.1.25)
 (65) 公開番号 特開2000-284722 (P2000-284722A)
 (43) 公開日 平成12年10月13日 (2000.10.13)
 審査請求日 平成19年1月22日 (2007.1.22)
 (31) 優先権主張番号 特願平11-22298
 (32) 優先日 平成11年1月29日 (1999.1.29)
 (33) 優先権主張国 日本国 (JP)

(73) 特許権者 000153878
 株式会社半導体エネルギー研究所
 神奈川県厚木市長谷398番地
 (72) 発明者 山崎 舜平
 神奈川県厚木市長谷398番地 株式会社
 半導体エネルギー研究所内
 (72) 発明者 池田 隆之
 神奈川県厚木市長谷398番地 株式会社
 半導体エネルギー研究所内
 (72) 発明者 福永 健司
 神奈川県厚木市長谷398番地 株式会社
 半導体エネルギー研究所内

審査官 中塚 直樹

最終頁に続く

(54) 【発明の名称】半導体装置および電子機器

(57) 【特許請求の範囲】

【請求項 1】

画素電極と電気的に接続された第1のTFTと、画素部に形成された保持容量と、駆動回路に含まれる第2のTFTと、を有する半導体装置であって、

前記第1のTFTは、チャネル形成領域、ソース領域、ドレイン領域を含む半導体層と、前記半導体層上に設けられた第1のゲート絶縁膜と、前記第1のゲート絶縁膜上に設けられた第1のゲート配線と、を有し、

前記第2のTFTは、チャネル形成領域、ソース領域、ドレイン領域を含む半導体層と、前記半導体層上に設けられた第2のゲート絶縁膜と、前記第2のゲート絶縁膜上に設けられた第2のゲート配線と、を有し、

前記保持容量は、第1保持容量と第2保持容量とが並列に接続されて形成されており、

前記第1保持容量は、第1容量電極と、前記第1容量電極上に設けられた第1誘電体と、前記第1誘電体上に設けられた第2容量電極と、を有し、

前記第2保持容量は、前記第2容量電極と、前記第2容量電極上に設けられた第2誘電体と、前記第2誘電体上に設けられた第3容量電極と、を有し、

前記第1容量電極と前記第3容量電極とは画素電極を介して電気的に接続されていることを特徴とする半導体装置。

【請求項 2】

画素電極と電気的に接続された第1のTFTと、画素部に形成された保持容量と、駆動回路に含まれる第2のTFTと、を有する半導体装置であって、

10

20

前記第1のTFTは、チャネル形成領域、ソース領域、ドレイン領域を含む半導体層と、前記半導体層上に設けられた第1のゲート絶縁膜と、前記第1のゲート絶縁膜上に設けられた第1のゲート配線と、を有し、

前記第2のTFTは、チャネル形成領域、ソース領域、ドレイン領域を含む半導体層と、前記半導体層上に設けられた第2のゲート絶縁膜と、前記第2のゲート絶縁膜上に設けられた第2のゲート配線と、を有し、

前記第2のゲート絶縁膜の膜厚は、前記第1のゲート絶縁膜の膜厚よりも薄く、

前記保持容量は、第1保持容量と第2保持容量とが並列に接続されて形成されており、前記第1保持容量は、第1容量電極と、前記第1容量電極上に設けられた第1誘電体と、前記第1誘電体上に設けられた第2容量電極と、を有し、

前記第2保持容量は、前記第2容量電極と、前記第2容量電極上に設けられた第2誘電体と、前記第2誘電体上に設けられた第3容量電極と、を有し、

前記第1容量電極と前記第3容量電極とは画素電極を介して電気的に接続されていることを特徴とする半導体装置。

【請求項3】

画素電極と電気的に接続された第1のTFTと、画素部に形成された保持容量と、駆動回路に含まれる第2のTFTと、を有する半導体装置であって、

前記第1のTFTは、チャネル形成領域、ソース領域、ドレイン領域を含む半導体層と、前記半導体層上に設けられた第1のゲート絶縁膜と、前記第1のゲート絶縁膜上に設けられた第1のゲート配線と、を有し、

前記第2のTFTは、チャネル形成領域、ソース領域、ドレイン領域を含む半導体層と、前記半導体層上に設けられた第2のゲート絶縁膜と、前記第2のゲート絶縁膜上に設けられた第2のゲート配線と、を有し、

前記第2のゲート絶縁膜の膜厚は、前記第1のゲート絶縁膜の膜厚よりも薄く、

前記保持容量は、第1保持容量と第2保持容量とが並列に接続されて形成されており、前記第1保持容量は、第1容量電極と、前記第1容量電極上に設けられた第1誘電体と、前記第1誘電体上に設けられた第2容量電極と、を有し、

前記第2保持容量は、前記第2容量電極と、前記第2容量電極上に設けられた第2誘電体と、前記第2誘電体上に設けられた第3容量電極と、を有し、

前記第1容量電極と前記第3容量電極とは画素電極を介して電気的に接続され、

前記第1容量電極は、前記第1のTFTの半導体層及び前記第2のTFTの半導体層と同一の層に形成され、

前記第2容量電極は、前記第1のゲート配線及び前記第2のゲート配線と同一の層に形成され、

前記第3の容量電極は、前記画素部の遮光膜と同一の層に形成されることを特徴とする半導体装置。

【請求項4】

請求項1乃至3のいずれか一において、

前記第1誘電体または前記第2誘電体は、珪素を含む絶縁膜で形成され、

前記第1誘電体または前記第2誘電体の膜厚は、5~50nmであることを特徴とする半導体装置。

【請求項5】

請求項1乃至4のいずれか一において、

前記第1誘電体と前記第2のTFTのゲート絶縁膜とが同一の膜厚であることを特徴とする半導体装置。

【請求項6】

請求項1乃至5のいずれか一において、

前記画素電極は、EL素子の陽極または陰極であることを特徴とする半導体装置。

【請求項7】

請求項1乃至6のいずれか一に記載の半導体装置を表示部に用いたことを特徴とする電

10

20

30

40

50

子機器。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本願発明は薄膜トランジスタ（以下、TFTという）で構成された回路を有する半導体装置に関する。例えば、液晶表示装置やEL（エレクトロルミネセンス）表示装置に代表される電気光学装置、半導体回路及び本願発明の電気光学装置または半導体回路を用いた電気器具（電子機器）の構成に関する。

【0002】

なお、本明細書中において半導体装置とは、半導体特性を利用することで機能しうる装置全般を指し、電気光学装置、半導体回路および電気器具は全て半導体装置である。

10

【0003】

【従来の技術】

薄膜トランジスタ（以下、TFTという）は透明基板上に形成することができるので、アクティブマトリクス型液晶ディスプレイ（以下、AM-LCDという）への応用開発が積極的に進められてきた。結晶質半導体膜（代表的にはポリシリコン膜）を利用したTFTは高移動度が得られるので、同一基板上に機能回路を集積させて高精細な画像表示を実現することが可能とされている。

【0004】

基本的にAM-LCDは画像を表示する画素部（画素マトリクス回路ともいう）と、画素部に配列された各画素のTFTを駆動するゲート駆動回路（ゲートドライバー回路ともいう）、各画素TFTへ画像信号を送るソース駆動回路（ソースドライバー回路ともいう）またはデータ駆動回路（データドライバー回路ともいう）が同一基板上に形成されてなる。なお、ゲート駆動回路及びソース駆動回路が形成される領域を駆動回路部と呼ぶ。

20

【0005】

近年では、これら画素部と駆動回路部の他に、信号分割回路や補正回路などといった信号処理回路をも同一基板上に設けたシステム・オン・パネルが提案されている。

【0006】

しかしながら、画素部と駆動回路部とでは回路が要求する性能が異なるため、同一構造のTFTで全ての回路仕様を満足させることは困難である。即ち、高速動作を重視するシフトレジスタ回路等を含む駆動回路部と、高耐圧特性を重視する画素部を構成するTFT（以下、画素TFTという）とを同時に満足させるTFT構造は確立されていないのが現状である。

30

【0007】

そこで本出願人は駆動回路を構成するTFT（以下、駆動TFTという）と画素TFTとでゲート絶縁膜の膜厚を異ならせるという構成を出願済みである（特開平10-056184号公報、対応米国特許番号第08/862,895）。具体的には、駆動TFTのゲート絶縁膜を画素TFTのゲート絶縁膜よりも薄くするというものである。

【0008】

【発明が解決しようとする課題】

40

本願発明では、上記公報に記載された構成を基本として、さらに画素部に関する改善を行っている。具体的には、小さい面積で大容量を確保しうる保持容量を形成するための構造を提供するものである。

【0009】

そして、AM-LCDに代表される電気光学装置の各回路を機能に応じて適切な構造のTFTでもって形成し、高い信頼性を有する電気光学装置を提供することを課題とする。延いては、そのような電気光学装置を表示部として有する半導体装置（電気器具）の信頼性を高めることを課題とする。

【0010】

【課題を解決するための手段】

50

本明細書で開示する発明の構成は、

画素TFTと保持容量とを有する画素部と、該画素部を駆動する駆動回路部とを含む半導体装置において、

前記保持容量は第1保持容量と第2保持容量とが並列に接続されて形成されており、

前記第1保持容量は、前記画素TFTの活性層に電気的に接続された第1容量電極、第1誘電体および第2容量電極で形成され、前記第2保持容量は、前記第2容量電極、第2誘電体および第3容量電極で形成され、

前記第1容量電極と前記第3容量電極とは画素電極を介して電気的に接続されていることを特徴とする。

【0011】

10

上記構成において、前記第1誘電体または前記第2誘電体としては珪素を含む絶縁膜を用いることができ、該第1誘電体または第2誘電体の膜厚は5～50nm（好ましくは10～30nm）とすることが好ましい。

【0012】

また、上記構成において、前記第2容量電極として、信号の与えられたゲート配線（選択されたゲート配線）の隣のゲート配線（選択されていないゲート配線）を用いることで開口率（透過型液晶表示装置において画像表示に用いることのできる面積の割合）が低下するのを抑えることができる。

【0013】

20

また、他の発明の構成は、

活性層、該活性層に対して第1誘電体を挟んで設けられたゲート配線、該ゲート配線を覆う第1層間絶縁膜、該第1層間絶縁膜に設けられた開口部、該開口部を覆う第2誘電体、前記ゲート配線に対して前記第2誘電体を挟んで設けられた遮光膜、該遮光膜を覆う第2層間絶縁膜、該第2層間絶縁膜の上のソース配線もしくはドレイン配線、該ソース配線もしくはドレイン配線を覆う第3層間絶縁膜及び該第3層間絶縁膜の上の画素電極を有し、前記活性層と前記ゲート配線は前記第1誘電体を挟んで第1保持容量を形成し、前記ゲート配線と前記遮光膜は前記第2誘電体を挟んで第2保持容量を形成し、

前記活性層と前記遮光膜とは前記画素電極を介して電気的に接続されていることを特徴とする。

【0014】

30

上記構成においても、第1誘電体または第2誘電体として5～50nm（好ましくは10～30nm）の厚さの珪素を含む絶縁膜を用いることができる。

【0015】

また、画素TFTのゲート絶縁膜は保持容量を形成する領域において選択的にエッチングされ除去される。その後、その領域の活性層表面には新たに5～50nm（好ましくは10～30nm）の薄い絶縁膜（第1誘電体）が形成される。即ち、画素TFTのゲート絶縁膜の膜厚は第1誘電体の膜厚よりも厚い。

【0016】

さらに、第1層間絶縁膜も保持容量を形成する領域において選択的にエッチングされている。そして、新たに5～50nm（好ましくは10～30nm）厚の珪素を含む絶縁膜を形成して第2誘電体とする。

40

【0017】

また、他の発明の構成は、

基板上に活性層を形成する第1工程と、

前記活性層の上に珪素を含む絶縁膜を形成する第2工程と、

前記珪素を含む絶縁膜の一部を除去し、前記活性層の一部を露呈させる第3工程と、

前記第3工程により露呈された活性層に第1誘電体を形成する第4工程と、

前記珪素を含む絶縁膜および前記第1誘電体の上にゲート配線及び第2容量電極を形成する第5工程と、

前記ゲート配線及び前記第2容量電極の上に第1層間絶縁膜を形成する第6工程と、

50

前記第1層間絶縁膜の一部を除去し、前記第2容量電極の一部を露呈させる第7工程と、前記第7工程により露呈された第2容量電極の上に第2誘電体を形成する第8工程と、前記第1層間絶縁膜及び前記第2誘電体の上に遮光膜を形成する第9工程と、前記遮光膜の上に第2層間絶縁膜を形成する第10工程と、前記第2層間絶縁膜の上にソース配線またはドレイン配線を形成する第11工程と、前記ソース配線またはドレイン配線の上に第3層間絶縁膜を形成する第12工程と、前記第3層間絶縁膜の上に、前記遮光膜及び前記ドレイン配線と電気的に接続される画素電極を形成する第13工程と、
を有することを特徴とする。

【0018】

10

上記構成において、前記第1誘電体または前記第2誘電体は熱CVD法（代表的には減圧熱CVD法）により形成された珪素を含む絶縁膜を用いることが好ましい。第1誘電体や第2誘電体は膜厚が5～50nmと薄いため、熱CVD法で高品質な膜を用いることが好ましいからである。

【0019】

【発明の実施の形態】

本願発明の実施形態について、図1を用いて説明する。図1は同一基板上に駆動回路部と画素部とを一体形成したAM-LCDの断面図を示している。なお、ここでは駆動回路部を構成する基本回路としてCMOS回路を示し、画素TFTとしてはダブルゲート構造のTFTを示している。勿論、ダブルゲート構造に限らずトリプルゲート構造やシングルゲート構造などのマルチゲート構造としても良い。

20

【0020】

図1において、101は耐熱性を有する基板であり、石英基板、シリコン基板、セラミックス基板、金属基板（代表的にはステンレス基板）を用いれば良い。どの基板を用いる場合においても、必要に応じて下地膜（好ましくは珪素を主成分とする絶縁膜）を設けても構わない。

【0021】

102は下地膜として設けた酸化珪素膜であり、その上に駆動TFTの活性層、画素TFTの活性層および保持容量の下部電極となる半導体膜が形成される。なお、本明細書中において「電極」とは、「配線」の一部であり、他の配線との電気的接続を行う箇所、または半導体膜と交差する箇所を指す。従って、説明の便宜上、「配線」と「電極」とを使い分けるが、「配線」という文言に「電極」は常に含められているものとする。

30

【0022】

図1において、駆動TFTの活性層は、Nチャネル型TFT（以下、NTFTという）のソース領域103、ドレイン領域104、LDD（ライトドープトドレイン）領域105およびチャネル形成領域106、並びにPチャネル型TFT（以下、PTFTという）のソース領域107、ドレイン領域108およびチャネル形成領域109で形成される。

【0023】

また、画素TFT（ここではNTFTを用いる。）の活性層は、ソース領域110、ドレイン領域111、LDD領域112a～112cおよびチャネル形成領域113a、113bで形成される。さらに、ドレイン領域111から延長された半導体膜（ドレイン領域111と同一の層に形成された半導体膜）を下側保持容量の下部電極（第1容量電極）114として用いる。なお、第1容量電極114はドレイン領域111に電気的に接続されれば良い。

40

【0024】

なお、第1容量電極は、実際には半導体膜なので対向する電極に所定の電圧を加えることでキャリアを誘起させ、電極として機能させることになる。しかし、本明細書中では説明の便宜上、電極として取り扱い、第1容量電極と呼ぶことにする。

【0025】

そして、活性層および第1容量電極を覆ってゲート絶縁膜が形成されるが、本願発明では

50

駆動TFTのゲート絶縁膜115(NTFT側)、116(P TFT側)が、画素TFTのゲート絶縁膜117よりも薄く形成される。代表的には、ゲート絶縁膜115、116の膜厚は5~50nm(好ましくは10~30nm)とし、ゲート絶縁膜117の膜厚は50~200nm(好ましくは100~150nm)とすれば良い。

【0026】

なお、駆動TFTのゲート絶縁膜は一種類の膜厚である必要はない。即ち、駆動回路内に異なる絶縁膜を有する駆動TFTが存在していても構わない。その場合、同一基板上に異なるゲート絶縁膜を有するTFTが少なくとも三種類以上存在することになる。

【0027】

また、下側保持容量の誘電体(第1誘電体)118は駆動TFTのゲート絶縁膜115、116と同時に形成された絶縁膜で形成されても良い。即ち、駆動TFTのゲート絶縁膜と保持容量の誘電体が同じ膜厚の同一絶縁膜で形成された構成としても良い。勿論、第1誘電体118としてゲート絶縁膜117をそのまま延長させて用いても構わないが、図1に示すように膜厚の薄い絶縁膜を用いた方が大きなキャパシティを得られるので有利である。

10

【0028】

なお、駆動TFTのゲート絶縁膜の膜厚と第1誘電体の膜厚が異なり、且つ、それらが画素TFTのゲート絶縁膜の膜厚と異なるという場合もありうる。例えば、駆動TFT(特に高速動作を必要とする回路)が5~10nm、画素TFTが100~150nmのゲート絶縁膜を有し、保持容量の誘電体が30~50nmという場合である。

20

【0029】

このように保持容量の誘電体を薄くすることで、容量を形成する面積を大きくすることなくキャパシティを稼ぐことができる。この保持容量の構成は前述の特開平10-056184号公報にはない。また、TFTの作製工程を増やすこともないという利点が得られる。

【0030】

次に、ゲート絶縁膜115~117の上には駆動TFTのゲート配線119、120と、画素TFTのゲート配線121a、121bが形成される。また、同時に第1誘電体118の上には下側保持容量の上部電極(第2容量電極)122が形成される。即ち、第2容量電極122はゲート配線119、120、121a及び121bと同一の層に形成される。このとき、第1容量電極114、第1誘電体118および第2容量電極122で下側保持容量(第1保持容量)が形成される。

30

【0031】

なお、この第2容量電極122は、画素TFTのゲート配線(但し、選択されていないゲート配線を用いるようにする)で兼ねることが好ましい。これにより画素部の開口率の低下を抑えることができる。この場合、活性層及び活性層に対して第1誘電体118を挟んで設けられたゲート配線により第1保持容量が形成される。

【0032】

また、ゲート配線119~121および第2容量電極122の形成材料としては、800~1150(好ましくは900~1100)の温度に耐える耐熱性を有する導電膜を用いる。

40

【0033】

代表的には、導電性を有する珪素膜(例えばリンドープシリコン膜、ボロンドープシリコン膜等)や金属膜(例えばタンクスチレン膜、タンタル膜、モリブデン膜、チタン膜等)でも良いし、前記金属膜をシリサイド化したシリサイド膜、窒化した窒化膜(窒化タンタル膜、窒化タンクスチレン膜、窒化チタン膜等)でも良い。また、これらを自由に組み合わせて積層しても良い。

【0034】

また、前記金属膜を用いる場合には、金属膜の酸化を防止するために珪素膜との積層構造とすることが望ましい。また、酸化防止という意味では、金属膜を、珪素を含む絶縁膜で

50

覆った構造が有効である。珪素を含む絶縁膜としては、酸化珪素膜、窒化珪素膜、酸化窒化珪素膜（または窒化酸化珪素膜ともいう）を用いることができる。なお、酸化窒化珪素膜とは、酸素、窒素および珪素を所定の割合で含む絶縁膜である。図1では保護膜123として窒化珪素膜を設けてゲート配線の酸化を防ぐ。

【0035】

なお、上記材料でゲート配線を形成する時、成膜時の最上層に珪素を含む絶縁膜を設け、珪素を含む絶縁膜と上記材料とを一括でエッチングしてゲート配線パターンを形成することもできる。この場合、ゲート配線の上面のみが珪素を含む絶縁膜で保護された状態となる。

【0036】

次に、124は第1層間絶縁膜であり、珪素を含む絶縁膜（単層または積層）で形成される。この第1層間絶縁膜124は第2容量電極122の上に開口部125が設けられ、開口部125を覆って上側保持容量の誘電体（第2誘電体）126が形成される。第2誘電体126としては、前述したような珪素を含む絶縁膜（単層または積層）を用いることができる。また、第2容量電極122は、上側保持容量の下部電極としても機能する。

【0037】

次に、第2誘電体126の上には、第2容量電極（ゲート配線の場合もある）に対して第2誘電体126を挟んで設けられた遮光膜127a～127cが形成される。この遮光膜127a～127cは同電位であり、特に127cで示される部分は上側保持容量の上部電極（第3容量電極）として機能する。即ち、第3容量電極127cは遮光膜と同一の層に形成される。その結果、第2容量電極122、第2誘電体126および第3容量電極127cで上側保持容量（第2保持容量）が形成される。

【0038】

その上にはパッシベーション膜128、第2層間絶縁膜129が設けられ、第2層間絶縁膜129の上にはコンタクトホールを介して駆動TFTのソース配線130、131、ドレイン配線132、および画素TFTのソース配線133、ドレイン配線134が形成される。その上にはそれらの配線を覆う第3層間絶縁膜135が形成され、その上には画素電極136が形成される。

【0039】

第2層間絶縁膜129や第3層間絶縁膜135としては、比誘電率の小さい樹脂膜が好ましい。樹脂膜としては、ポリイミド膜、アクリル膜、ポリアミド膜、BCB（ベンゾシクロブテン）膜などを用いることができる。

【0040】

また、この画素電極136はコンタクトホールを介して遮光膜127b（127a、127cでも良い）と、画素TFTのドレイン配線134に接続される。即ち、遮光膜127a～127cはドレイン配線134、ドレイン領域111および第1容量電極114と画素電極を介して電気的に接続され、同電位になる。

【0041】

また、画素電極136としては、透過型AM-LCDを作製するのであればITO膜に代表される透明導電膜を、反射型AM-LCDを作製するのであればアルミニウム膜に代表される反射率の高い金属膜を用いれば良い。

【0042】

なお、図1では画素電極136がドレイン電極134を介して画素TFTのドレイン領域111と電気的に接続されているが、画素電極136とドレイン領域111とが直接的に接続するような構造としても良い。

【0043】

以上のように、図1では活性層と同一の組成の半導体膜からなる第1容量電極114、第1誘電体118およびゲート配線と同一の層からなる第2容量電極122で下側保持容量（第1保持容量）が形成され、第2容量電極122、第2誘電体126および遮光膜と同一の層からなる第3容量電極127cで上側保持容量（第2保持容量）が形成される。

10

20

30

40

50

【0044】

そして、第1保持容量と第2保持容量が並列に接続されるため、非常にキャパシティの大きな保持容量を小さい面積で実現することができる。また、第1誘電体118または第2誘電体126として非常に薄い絶縁膜を用いることで、さらにキャパシティを増やすことができる。

【0045】

以上の構成でなる本願発明について、以下に示す実施例でもってさらに詳細な説明を行うこととする。

【0046】

【実施例】

10

【実施例1】

本実施例では、「発明の実施の形態」で説明した図1の構造を実現するための作製工程について説明する。説明には図2～5を用いる。

【0047】

まず、基板として石英基板201を用意し、その上に20nm厚の酸化珪素膜202と非晶質珪素膜203とを大気開放しないまま連続的に成膜する。こうすることで非晶質珪素膜の下表面に大気中に含まれるボロン等の不純物が吸着することを防ぐことができる。(図2(A))

【0048】

なお、本実施例では非晶質珪素(アモルファスシリコン)膜を用いるが、他の半導体膜であっても構わない。微結晶質珪素(マイクロクリスタルシリコン)膜でも良いし、非晶質シリコンゲルマニウム膜でも良い。また、膜厚は後の熱酸化工程も考慮して、最終的に25～40nmとなるように形成する。

20

【0049】

次に、非晶質珪素膜の結晶化を行う。本実施例では結晶化手段として、特開平9-312260号公報に記載された技術を用いる。同公報に記載された技術は、結晶化を助長する触媒元素としてニッケル、コバルト、パラジウム、ゲルマニウム、白金、鉄、銅から選ばれた元素を用いた固相成長により非晶質珪素膜の結晶化を行う。

【0050】

本実施例では触媒元素としてニッケルを選択し、非晶質珪素膜203上にニッケルを含んだ層(図示せず)を形成し、550～4時間の熱処理を行って結晶化する。そして、結晶質珪素(ポリシリコン)膜204を得る。(図2(B))

30

【0051】

なお、ここで結晶質珪素膜204に対してTFTのしきい値電圧を制御するための不純物元素(リンまたはボロン)を添加しても良い。リンまたはボロンを打ち分けても良いし、どちらか片方のみを添加しても良い。また、この際、最終的に保持容量の第1容量電極となる領域に予めリンを添加しておくと、後に電極として用いやすくなるので好ましい。

【0052】

次に、結晶質珪素膜204上に100nm厚の酸化珪素膜であるマスク膜205を形成し、その上にレジストマスク206a、206bを形成する。さらにレジストマスク206a、206bをマスクとしてマスク膜205をエッチングし、開口部207a、207bを形成する。

40

【0053】

この状態で周期表の15族に属する元素(本実施例ではリン)を添加し、リンドープ領域(リン添加領域)208a、208bを形成する。なお、添加するリンの濃度は 5×10^{18} ～ 1×10^{20} atoms/cm³(好ましくは 1×10^{19} ～ 5×10^{19} atoms/cm³)が好ましい。但し、添加すべきリンの濃度は、後のゲッタリング工程の温度、時間、さらにはリンドープ領域の面積によって変化するため、この濃度範囲に限定されるものではない。(図2(C))

【0054】

50

次に、レジストマスク 206a、206bを除去して 450～650（好ましくは 500～600）の熱処理を 2～16 時間加え、結晶質珪素膜中に残存するニッケルのゲッタリングを行う。ゲッタリング作用を得るために熱履歴の最高温度から ±50 度の温度が必要であるが、結晶化のための熱処理が 550～600 で行われるため、500～650 の熱処理で十分にゲッタリング作用を得ることができる。

【0055】

本実施例では 600、8 時間の熱処理を加えることによってニッケルが矢印（図 2 (D) 参照）の方向に移動し、リンドープ領域 208a、208b にゲッタリングされる。こうして 209a、209b で示される結晶質珪素膜に残存するニッケルの濃度は $2 \times 10^{17} \text{ atoms/cm}^3$ 以下（好ましくは $1 \times 10^{16} \text{ atoms/cm}^3$ 以下）にまで低減される。但し、この濃度は質量二次イオン分析（SIMS）による測定結果であり、測定限界の関係で現状ではこれ以下の濃度は確認できていない。（図 2 (D)）

【0056】

こうしてニッケルのゲッタリング工程が終了したら、結晶質珪素膜 209a、209b をパターニングして、CMOS 回路の活性層（半導体膜）210、画素 TFT の活性層 211 を形成する。その際、ニッケルを捕獲したリン添加領域は完全に除去してしまうことが望ましい。

【0057】

そして、プラズマ CVD 法またはスパッタ法により絶縁膜（図示せず）を形成し、パターニングしてゲート絶縁膜 212 を形成する。このゲート絶縁膜は画素 TFT のゲート絶縁膜として機能することになる絶縁膜であり、膜厚は 50～200 nm とする。本実施例では 75 nm 厚の酸化珪素膜を用いる。また、他の珪素を含む絶縁膜を単層または積層で用いても構わない。（図 3 (A)）

【0058】

なお、この時、ゲート絶縁膜 212 は画素 TFT の上に残すようにして形成し、CMOS 回路および保持容量となる領域の上は除去する。なお、本実施例では CMOS 回路のみで説明しているが、実際には駆動回路部の一部（特に高速動作を要求される回路群）となる領域の上において除去する。従って、バッファ回路などのようにゲート絶縁膜に高電圧が印加されるような回路の場合に限っては、ゲート絶縁膜 212 と同じ膜厚の絶縁膜を残しておくことが望ましい。

【0059】

こうして活性層の一部が露呈された状態で、800～1150（好ましくは 900～1100）の温度で 15 分～8 時間（好ましくは 30 分～2 時間）の熱処理工程を、酸化性雰囲気下で行う（熱酸化工程）。本実施例では酸素雰囲気中で 950～30 分の熱処理工程を行う。

【0060】

なお、酸化性雰囲気としては、ドライ酸素雰囲気でもウェット酸素雰囲気でも良いが、半導体膜中の結晶欠陥の低減にはドライ酸素雰囲気が適している。また、酸素雰囲気中にハロゲン元素を含ませた雰囲気でも良い。このハロゲン元素を含ませた雰囲気による熱酸化工程では、ニッケルを除去する効果も期待できるので有効である。

【0061】

こうして熱酸化工程を行うことによりゲート絶縁膜 212 のない部分（ゲート絶縁膜を除去することにより露呈された活性層）には、5～50 nm（好ましくは 10～30 nm）の酸化珪素膜（熱酸化膜）213、214 が形成される。最終的に、酸化珪素膜 213 は CMOS 回路のゲート絶縁膜として機能し、酸化珪素膜 214 は第 1 保持容量の第 1 誘電体として機能する。

【0062】

また、画素 TFT に残存した酸化珪素膜であるゲート絶縁膜 212 と、その下の半導体膜 211 との界面においても酸化反応が進行する。そのため、最終的に画素 TFT のゲート絶縁膜 215 の膜厚は 50～200 nm（好ましくは 100～150 nm）となる。本実施例

では 80 nm の厚さとなる。

【 0063 】

なお、本実施例では酸化珪素膜 213、214 を熱酸化法により形成しているが、減圧熱 CVD 法により薄い酸化珪素膜を形成しても良い。その場合、成膜温度は 800 前後、成膜ガスとしてはシランと酸素を用いれば良い。

【 0064 】

こうして熱酸化工程を終了したら、次に CMOS 回路のゲート配線 216 (N TFT 側)、217 (P TFT 側)、画素 TFT のゲート配線 218a、218b 及び第 2 容量電極 219 を形成する。なお、ゲート配線 218a、218b は画素 TFT がダブルゲート構造であるためゲート配線を 2 本記載しているが、実際には同一配線である。

10

【 0065 】

なお、第 2 容量電極 219 は、隣の画素のゲート配線（選択されていないゲート配線）で兼ねることが好ましい。勿論、ゲート配線と平行に、別途容量形成用の配線（容量電極）を形成することも可能である。

【 0066 】

また、本実施例ではゲート配線 216 ~ 218 および第 2 容量電極 219 として、下層から珪素膜（導電性を持たせたもの）/窒化タングステン膜/タングステン膜（または下層から珪素膜/タングステンシリサイド膜）という積層膜を用いる。勿論、「発明の実施の形態」で説明した他の導電膜を用いることも可能であることは言うまでもない。また、本実施例では、各ゲート配線の膜厚は 250 nm とする。

20

【 0067 】

なお、本実施例では最下層の珪素膜を、減圧熱 CVD 法を用いて形成する。CMOS 回路のゲート絶縁膜は 5 ~ 50 nm と薄いため、スパッタ法やプラズマ CVD 法を用いた場合、条件によっては半導体膜（活性層）へダメージを与える恐れがある。従って、化学的気相反応で成膜できる熱 CVD 法が好ましい。

【 0068 】

この時点で、活性層 211（後に一部が第 1 容量電極となる）、第 1 誘電体 214 および第 2 容量電極とで第 1 保持容量が形成される。

【 0069 】

次に、ゲート配線 216 ~ 218 および第 2 容量電極 219 を覆って保護膜 220 として 25 ~ 50 nm 厚の SiNxOy（但し、代表的には x = 0.5 ~ 2、y = 0.1 ~ 0.8）膜を形成する。この保護膜 220 はゲート配線 216 ~ 218 の酸化を防ぐとともに、後に珪素膜でなるサイドウォールを除去する際にエッチングストッパーとして機能する。なお、成膜を 2 回に分けて行うことはピンホールの低減に効果があり有効である。

30

【 0070 】

この時、保護膜 220 を形成する前処理として水素を含むガス（本実施例ではアンモニアガス）を用いたプラズマ処理を行うことは有効である。この前処理によりプラズマによって活性化した（励起した）水素が活性層（半導体膜）内に閉じこめられるため、効果的に水素終端が行われる。

【 0071 】

さらに、水素を含むガスに加えて亜酸化窒素ガスを加えると、発生した水分によって被処理体の表面が洗浄され、特に大気中に含まれるボロン等による汚染を効果的に防ぐことができる。

40

【 0072 】

勿論、保護膜 220 として SiNxOy 膜の代わりに、酸化珪素膜、窒化珪素膜またはそれらの積層膜を用いることができる。

【 0073 】

こうして図 3 (B) の状態を得る。次に、非晶質珪素膜（図示せず）を形成し、塩素系ガスによる異方性エッチングを行ってサイドウォール 221 ~ 224 を形成する。サイドウォール 221 ~ 224 を形成したら、画素 TFT のゲート配線上にレジストマスク 225

50

を形成する。このレジストマスク 225 によって画素 TFT の LDD 領域とソース領域（またはドレイン領域）の接合部の位置を決める。実質的には LDD 領域の長さが決まる。

【0074】

なお、本実施例ではサイドウォールの形成材料として珪素膜を用いているが、酸化珪素膜や酸化窒化珪素膜を用いても良いし、保護膜 220 として酸化珪素膜や酸化窒化珪素膜を用いていれば、窒化珪素膜を用いても構わない。

【0075】

次に、半導体膜 210、211 に対して周期表の 15 族に属する元素（本実施例ではリン）の添加工程を行う。この時、ゲート配線 216～218、第 2 容量電極 219、サイドウォール 221～224 およびレジストマスク 225 がマスクとなり、自己整合的に不純物領域 226～230 が形成される。不純物領域 226～230 に添加されるリンの濃度は $5 \times 10^{19} \sim 1 \times 10^{21}$ atoms/cm³ となるように調節する。本明細書中ではこの時のリン濃度を (n+) で表す。（図 3 (C)）

10

【0076】

この工程は、ゲート絶縁膜の膜厚が薄い部分と厚い部分とで分けて行っても良いし、同時にやってても良い。また、リンの添加工程は質量分離を行なうイオンインプランテーション法を用いても良いし、質量分離を行わないプラズマドーピング法を用いても良い。また、加速電圧やドーズ量の条件等は実施者が最適値を設定すれば良い。

【0077】

こうして図 3 (C) の状態を得たら、レジストマスク 225、サイドウォール 221～224 を除去し、再びリンの添加工程を行う。この工程は先のリンの添加工程よりも低いドーズ量で添加する。こうして先ほどはサイドウォール 221～224、レジストマスク 225 がマスクとなってリンが添加されなかった領域には低濃度不純物領域が形成される。この低濃度不純物領域に添加されるリンの濃度は $5 \times 10^{17} \sim 5 \times 10^{18}$ atoms/cm³ となるように調節する。本明細書中ではこの時のリン濃度を (n-) で表す。（図 3 (D)）

20

【0078】

勿論、この工程もゲート絶縁膜の膜厚が薄い部分と厚い部分とで分けて行っても良いし、同時にやってても良い。また、リンの添加工程は質量分離を行なうイオンインプランテーション法を用いても良いし、質量分離を行わないプラズマドーピング法を用いても良い。また、加速電圧やドーズ量の条件等は実施者が最適値を設定すれば良い。

30

【0079】

但し、この低濃度不純物領域は LDD 領域として機能することになるため、リンの濃度制御は慎重に行なう必要がある。そこで本実施例では、プラズマドーピング法を用い、添加したリンの濃度分布（濃度プロファイル）が図 6 に示すような設定とする。

【0080】

図 6において、駆動回路側のゲート絶縁膜 601 と画素部側のゲート絶縁膜 602 とは膜厚が異なっている。そのため、添加されるリンの深さ方向の濃度分布が異なるものとなる。

【0081】

本実施例では、駆動回路側で 603 で示される濃度分布をもち、且つ、画素部側で 604 で示される濃度分布をもつ様にリンの添加条件（加速電圧等）を調節する。この場合、深さ方向の濃度分布は異なるが、結果的に形成される不純物領域（ここでは低濃度不純物領域）605、606 のリン濃度はほぼ等しくなる。

40

【0082】

なお、この図 6 に示した工程は、本明細書中に記載される全ての不純物添加工程において用いることができる。

【0083】

この工程により CMOS 回路を形成する N TFT のソース領域 231、LDD 領域 232、チャネル形成領域 233 が画定する。また、画素 TFT のソース領域 234、ドレイン領域 235、LDD 領域 236a～236c、チャネル形成領域 237a、237b が画定す

50

る。さらに、第1容量電極238が画定する。

【0084】

なお、本実施例ではチャネル形成領域237a、237bの間に低濃度不純物領域(n -領域)しか形成されていないが、レジストマスク225に隙間を設けて、低濃度不純物領域236bの中央に高濃度不純物領域($n+$ 領域)を形成しても構わない。

【0085】

本実施例の場合、第1容量電極238はチャネル形成領域237aまたは237bと同一組成の半導体領域で形成され、真性または実質的に真性となっている。なお、しきい値電圧を制御する目的に意図的にリンまたはボロンを添加された領域は実質的に真性であると考えて良い。

10

【0086】

なお、本実施例ではサイドウォールを用いてLDD領域を形成する例を示しているが、通常のレジストマスクを用いた方法によりLDD領域を形成することも可能である。その場合、マスク数(工程数とも言える)は増えるが、LDD領域の幅(長さ)や形成位置の設計の自由度が増すという利点がある。

【0087】

また、CMOS回路のPTFTとなる領域にもNTFTと同様に低濃度不純物領域239が形成される。

【0088】

次に、CMOS回路のPTFTとなる領域以外をレジストマスク240a、240bで隠し、周期表の13族に属する元素(本実施例ではボロン)の添加工程を行う。この工程は既に添加されているリンよりも高濃度の不純物領域を形成するようなドーズ量で添加する。具体的には、 $1 \times 10^{20} \sim 3 \times 10^{21}$ atoms/cm³の濃度でボロンが添加されるように調節する。本明細書中ではこの時のボロン濃度を(p++)で表す。その結果、PTFTとなる領域に形成されていたN型導電性を呈する不純物領域は、全てボロンによって導電型が反転し、P型導電性を呈する不純物領域となる。(図4(A))

20

【0089】

勿論、この工程も質量分離を行なうイオンインプランテーション法を用いても良いし、質量分離を行わないプラズマドーピング法を用いても良い。また、加速電圧やドーズ量の条件等は実施者が最適値を設定すれば良い。

30

【0090】

この工程によりCMOS回路を形成するPTFTのソース領域241、ドレイン領域242、チャネル形成領域243が画定する。また、CMOS回路のNTFTのドレイン領域244が画定する。

【0091】

こうして全ての不純物領域を形成し終えたら、レジストマスク240a、240bを除去する。そして、750～1150の温度範囲で20分～12時間の熱処理工程を行う。本実施例では、950で2時間の熱処理を不活性雰囲気中において行う。(図4(B))

【0092】

この工程では、各不純物領域に添加されたリンまたはボロンを活性化すると同時に、LDD領域を内側(チャネル形成領域の方向)へ広げ、LDD領域とゲート配線とが三次元的に重なった構造を実現する。

40

【0093】

即ち、CMOS回路のLDD領域245ではLDD領域245に含まれるリンがチャネル形成領域246の方へ拡散する。その結果、LDD領域245がゲート配線216と三次元的に重なった状態となる。このような構造はホットキャリア注入による劣化を防ぐ上で非常に有効である。

【0094】

同様に、CMOS回路のPTFTではソース領域247、ドレイン領域248がチャネル形成領域249の方向へ拡散し、ゲート配線217と重なっている。また、画素 TFTで

50

は L D D 領域 2 5 0 a ~ 2 5 0 c がそれぞれチャネル形成領域 2 5 1 a、 2 5 1 b の方向へ拡散し、 それぞれゲート配線 2 1 8 a、 2 1 8 b と重なっている。

【 0 0 9 5 】

この不純物の拡散距離は熱処理の温度や時間によって制御することができる。そのため、 L D D 領域（または P T F T のソース領域およびドレイン領域）がゲート配線と重なる距離（長さ）は自由に制御することが可能である。本実施例では重なりの距離が 0 . 0 5 ~ 1 μm （好ましくは 0 . 1 ~ 0 . 3 μm ）となるように調節する。

【 0 0 9 6 】

また、この工程により第 1 容量電極 2 5 2 が画定する。もしも第 1 容量電極 2 5 2 に導電型を与える不純物元素が含まれていれば、この時点で活性化される。

10

【 0 0 9 7 】

なお、本実施例で形成したゲート配線上の保護膜 2 2 3 は、この熱活性化工程でゲート配線が酸化されることを防ぐために設けられている。しかし、この保護膜 2 2 3 は必ずしもゲート配線の形成直後に設ける必要はない。即ち、このあと形成される第 1 層間絶縁膜を形成した後に最上層に保護膜を設け、その後で不純物元素の熱活性化工程を行っても同様の効果を得ることができる。

【 0 0 9 8 】

こうして図 4 (B) の状態が得られたら、第 1 層間絶縁膜 2 5 3 を形成する。本実施例では、プラズマ C V D 法により形成した 1 μm 厚の酸化珪素膜を用いる。ここで水素化処理を行う。この工程は基板全体をプラズマまたは熱により励起（活性化）した水素に曝す工程である。水素化処理の温度は、熱により励起する場合は 3 5 0 ~ 4 5 0 （好ましくは 3 8 0 ~ 4 2 0 ）とすれば良い。

20

【 0 0 9 9 】

水素化処理が終了したら、第 2 容量電極 2 1 9 上において第 1 層間絶縁膜 2 5 3 を除去し、第 2 容量電極 2 1 9 の一部を露呈させるように開口部 2 5 4 を形成する。次に、露呈された第 2 容量電極 2 1 9 の上に 5 ~ 5 0 nm（好ましくは 1 0 ~ 3 0 nm）の酸化珪素膜 2 5 5 を形成する。この酸化珪素膜 2 5 5 において 2 5 6 で示される部分は、上側保持容量の誘電体（第 2 誘電体）として機能する。こうして図 4 (C) の状態を得る。

【 0 1 0 0 】

なお、本実施例では酸化珪素膜 2 5 5 を減圧熱 C V D 法により形成する。成膜ガスとしてはシラン（SiH₄）と亜酸化窒素（N₂O）を用い、成膜温度を 8 0 0 として高品質な酸化珪素膜（誘電体）を形成することが望ましい。

30

【 0 1 0 1 】

次に、1 0 0 nm 厚のチタン膜でなる遮光膜 2 5 7 a ~ 2 5 7 c を形成する。この時、特に 2 5 7 c で示される遮光膜は第 3 容量電極として機能する。即ち、第 2 容量電極 2 1 9 、第 2 誘電体 2 5 6 および第 3 容量電極 2 5 7 c で第 2 保持容量が形成される。

【 0 1 0 2 】

なお、本実施例の場合、遮光膜 2 5 7 a ~ 2 5 7 c は図面上では別々のパターンに図示されているが、実際には同一パターンである。つまり、後にソース配線やドレイン配線を形成する際のコンタクトホールを形成する部分のみ開口されている。

40

【 0 1 0 3 】

こうして遮光膜 2 5 7 a ~ 2 5 7 c を形成したら、パッシベーション膜 2 5 8 を形成する。パッシベーション膜 2 5 8 としては、窒化珪素膜、酸化窒化珪素膜、窒化酸化珪素膜、またはこれらの絶縁膜と酸化珪素膜との積層膜を用いることができる。本実施例では 3 0 0 nm 厚の窒化珪素膜をパッシベーション膜として用いる。

【 0 1 0 4 】

なお、本実施例では窒化珪素膜からなるパッシベーション膜 2 5 8 を形成する前処理として、アンモニアガスを用いたプラズマ処理を行い、そのままパッシベーション膜 2 5 8 を形成する。この前処理によりプラズマで活性化した（励起した）水素がパッシベーション膜 2 5 8 によって閉じこめられる。さらに、水素を含むガスに加えて亜酸化窒素ガスを加

50

えると、発生した水分によって被処理体の表面が洗浄され、特に大気中に含まれるボロン等による汚染を効果的に防ぐことができる。

【0105】

こうしてパッシベーション膜258を形成したら、ここで400～420程度の熱処理工程を行う。処理雰囲気は不活性雰囲気でも良いし、水素を含む雰囲気であっても良い。この工程では、パッシベーション膜258から放出された水素と、その前の水素化工程によって第1層間絶縁膜253に多量に含まれている水素とが下へと拡散（上方向はパッシベーション膜258がブロッキング層となる）して、活性層が水素終端される。その結果、活性層中の不対結合を効率良く不活性化することが可能となる。

【0106】

この水素化処理が終了したら、第2層間絶縁膜259として1μm厚のアクリル膜を形成する。そして、コンタクトホールを形成した後、CMOS回路のソース配線260、261およびドレイン配線262、並びに画素TFTのソース配線263およびドレイン配線264を形成する。これらの配線はアルミニウムを主成分とする導電膜をチタン膜で挟んだ積層膜で形成する。（図5（A））

10

【0107】

こうして図5（A）の状態が得られたら、次に、再び1μm厚のアクリル膜を成膜し、第3層間絶縁膜265を形成する。そして、遮光膜257b、画素TFTのドレイン配線264上においてコンタクトホールを同時に形成し、透明導電膜（代表的にはITO膜）である画素電極266を形成する。（図5（B））

20

【0108】

この時、遮光膜257と画素電極266との接続は画素TFTの上で行うことが好ましい。そうすることで、コンタクトホールによって画素領域の開口率を損ねることを抑えることができる。また、このように画素電極266を介してドレイン配線と遮光膜とが同電位になる。

【0109】

また、この工程では遮光膜257b上とドレイン配線264上とで形成するコンタクトホールの深さが異なる。しかしながら、遮光膜257bとドレイン配線264はどちらも表面がチタン膜であるので、樹脂膜でなる第2、第3層間絶縁膜と十分な選択比を得ることができる。従って、コンタクトホールを同時に形成することに関しては何ら問題はない。

30

【0110】

こうして図5（B）に示すような構造のAM-LCDが完成する。本願発明のAM-LCDは、同一基板上に形成された駆動回路（または信号処理回路）と画素部とでゲート絶縁膜の膜厚が異なる。代表的には、駆動回路に用いられる一部（高速動作を要求する回路）の駆動TFTの方が画素TFTよりも薄いゲート絶縁膜を有する。

【0111】

さらに、高速動作を要求する回路のゲート絶縁膜と、画素部に設けられる第1保持容量の誘電体（第1誘電体）は同時に形成され、同一膜厚である点にも特徴がある。即ち、本願発明には高速動作を要求する回路のゲート絶縁膜を薄く形成するための工程を、第1誘電体を薄くするための工程と兼ねるという特徴がある。

40

【0112】

また、従来ソース配線やドレイン配線の上に形成していた遮光膜をソース配線やドレイン配線よりも下層に形成し、さらに画素電極と遮光膜とを同電位とすることで、遮光膜を保持容量（第2保持容量）の電極（本実施例では第3容量電極）として用いる点に特徴がある。

【0113】

即ち、第1保持容量と第2保持容量とが重なるようにして形成された構造（回路的には並列に接続されている）を有するAM-LCDを実現することができる。このような構造により面積を広げることなく全体の保持容量のキャパシティを増加させることが可能となる。

50

【 0 1 1 4 】

また、本実施例の作製工程に従うと、最終的な TFT の活性層（半導体膜）は、結晶格子に連続性を持つ特異な結晶構造の結晶質珪素膜で形成される。その特徴について以下に説明する。

【 0 1 1 5 】

まず第 1 の特徴として、本実施例の作製工程に従って形成した結晶質珪素膜は、微視的に見れば複数の針状又は棒状の結晶（以下、棒状結晶と略記する）が集まって並んだ結晶構造を有する。このことは TEM（透過型電子顕微鏡法）による観察で容易に確認できる。

【 0 1 1 6 】

また、第 2 の特徴として、電子線回折を利用すると本実施例の作製工程に従って形成した結晶質珪素膜の表面（チャネルを形成する部分）に、結晶軸に多少のずれが含まれているものの主たる配向面として {110} 面を確認することができる。このことはスポット径約 $1.35 \mu\text{m}$ の電子線回折写真を観察した際、{110} 面に特有の規則性をもった回折斑点が現れていることから確認される。また、各斑点は同心円上に分布を持っていることも確認されている。

【 0 1 1 7 】

また、第 3 の特徴として、X 線回折法（厳密には -2 法を用いた X 線回折法）を用いて配向比率を算出してみると {220} 面の配向比率が 0.7 以上（典型的には 0.85 以上）であることが確認されている。なお、配向比率の算出方法は特開平 7-32133 9 号公報に記載された手法を用いる。

【 0 1 1 8 】

また、第 4 の特徴として、本出願人は個々の棒状結晶が接して形成する結晶粒界を HR-TEM（高分解能透過型電子顕微鏡法）により観察し、結晶粒界において結晶格子に連続性があることを確認している。これは観察される格子縞が結晶粒界において連続的に繋がっていることから容易に確認できる。

【 0 1 1 9 】

なお、結晶粒界における結晶格子の連続性は、その結晶粒界が「平面状粒界」と呼ばれる粒界であることに起因する。本明細書における平面状粒界の定義は、「Characterization of High-Efficiency Cast-Si Solar Cell Wafers by MBIC Measurement ; Ryuichi Shimokawa and Yutaka Hayashi , Japanese Journal of Applied Physics vol.27 , No.5 , pp.7 51-758 , 1988」に記載された「Planar boundary」である。

【 0 1 2 0 】

上記論文によれば、平面状粒界には双晶粒界、特殊な積層欠陥、特殊な twist 粒界などが含まれる。この平面状粒界は電気的に不活性であるという特徴を持つ。即ち、結晶粒界でありながらキャリアの移動を阻害するトラップとして機能しないため、実質的に存在しないと見なすことができる。

【 0 1 2 1 】

特に結晶軸（結晶面に垂直な軸）が 110 軸である場合、{211} 双晶粒界は 3 の対応粒界とも呼ばれる。値は対応粒界の整合性の程度を示す指針となるパラメータであり、値が小さいほど整合性の良い粒界であることが知られている。例えば、二つの結晶粒の間に形成された結晶粒界では、両方の結晶の面方位が {110} である場合、{111} 面に対応する格子縞がなす角を θ とすると $\theta = 70.5^\circ$ の時に 3 の対応粒界となることが知られている。

【 0 1 2 2 】

本実施例を実施して得た結晶質珪素膜において、結晶軸が 110 である二つの結晶粒の間に形成された結晶粒界を HR-TEM で観察すると、隣接する結晶粒の各格子縞が約 70.5° の角度で連続しているものが多い。従って、その結晶粒界は 3 の対応粒界、即ち {211} 双晶粒界であると推測できる。

【 0 1 2 3 】

この様な結晶構造（正確には結晶粒界の構造）は、結晶粒界において異なる二つの結晶粒

10

20

30

40

50

が極めて整合性よく接合していることを示している。即ち、結晶粒界において結晶格子が連続的に連なり、結晶欠陥等に起因するトラップ準位を非常に作りにくい構成となっている。従って、この様な結晶構造を有する半導体薄膜は実質的に結晶粒界が存在しない見なすことができる。

【0124】

またさらに、700～1150という高い温度での熱処理工程（本実施例における熱酸化工程にあたる）によって結晶粒内に存在する欠陥が殆ど消滅していることがTEM観察によって確認されている。これはこの熱処理工程の前後で欠陥数が大幅に低減されていることからも明らかである。

【0125】

この欠陥数の差は電子スピン共鳴分析（Electron Spin Resonance：ESR）によってスピンドensityの差となって現れる。現状では本実施例の作製工程に従って作製された結晶質珪素膜のスピンドensityは少なくとも 5×10^{17} spins/cm³以下（好ましくは 3×10^{17} spins/cm³以下）であることが判明している。ただし、この測定値は現存する測定装置の検出限界に近いので、実際のスピンドensityはさらに低いと予想される。

【0126】

以上の事から、本実施例を実施することで得られた結晶質珪素膜は結晶粒内及び結晶粒界が実質的に存在しないため、単結晶シリコン膜又は実質的な単結晶シリコン膜と考えて良い。

【0127】

（TFTの電気特性に関する知見）

本実施例で作製したTFT（図5（A）に示すCMOS回路と同一構造）は、MOSFETに匹敵する電気特性を示した。本出願人が試作したTFT（但し、活性層の膜厚は35nm、ゲート絶縁膜の膜厚は80nm）からは次に示す様なデータが得られている。

【0128】

（1）スイッチング性能（オン／オフ動作切り換えの俊敏性）の指標となるサブスレッショルド係数が、Nチャネル型TFTおよびPチャネル型TFTともに80～150mV/decade（代表的には100～120mV/decade）と小さい。

（2）TFTの動作速度の指標となる電界効果移動度（ μ_{FE} ）が、Nチャネル型TFTで150～650cm²/Vs（代表的には200～500cm²/Vs）、Pチャネル型TFTで100～300cm²/Vs（代表的には120～200cm²/Vs）と大きい。

（3）TFTの駆動電圧の指標となるしきい値電圧（ V_{th} ）が、Nチャネル型TFTで-0.5～1.5V、Pチャネル型TFTで-1.5～0.5Vと小さい。

【0129】

以上の様に、極めて優れたスイッチング特性および高速動作特性が実現可能であることが確認されている。

【0130】

〔実施例2〕

本実施例では、具体的にどのような回路にどのような構造のTFTを配置するかを図7、図8を用いて説明する。

【0131】

AM-LCDは、回路によって最低限必要な動作電圧（電源電圧）が異なる。例えば、画素部では液晶に印加する電圧と画素TFTを駆動するための電圧とを考慮すると、14～20Vもの動作電圧となる。そのため、そのような高電圧が印加されても耐えうる程度のTFTを用いなければならない。

【0132】

また、ソース駆動回路やゲート駆動回路に用いられるシフトレジスト回路などは、5～10V程度の動作電圧で十分である。動作電圧が低いほど外部信号との互換性もあり、さらに消費電力を抑えられるという利点がある。ところが、前述の高耐圧型TFTは耐圧特性が良い代わりに動作速度が犠牲なるため、シフトレジスタ回路のように高速動作が求めら

10

20

30

40

50

れる回路には不適当である。

【0133】

このように、基板上に形成される回路は、目的に応じて耐圧特性を重視したTFTを求める回路と動作速度を重視したTFTを求める回路とに分かれる。

【0134】

ここで具体的に本実施例の構成を図7に示す。図7に示したのは、AM-LCDのプロック図を上面から見た図である。701は画素部であり、各画素に画素TFTと保持容量とを備え、表示部として機能する。また、702aはシフトレジスタ回路、702bはレベルシフタ回路、702cはバッファ回路である。これらでなる回路が全体としてゲート駆動回路702を形成している。

10

【0135】

なお、図7に示したAM-LCDではゲート駆動回路を、画素部を挟んで設け、それぞれで同一ゲート配線を共有している、即ち、どちらか片方のゲートドライバに不良が発生してもゲート配線に電圧を印加することができるという冗長性を持たせている。

【0136】

また、703aはシフトレジスタ回路、703bはレベルシフタ回路、703cはバッファ回路、703dはサンプリング回路であり、これらでなる回路が全体としてソース駆動回路703を形成している。画素部を挟んでソース駆動回路と反対側にはプリチャージ回路704が設けられている。

20

【0137】

このような構成でなるAM-LCDにおいて、シフトレジスタ回路702a、703aは高速動作を求める回路であり、動作電圧が3.3～10V（代表的には3.3～5V）と低く、高耐圧特性は特に要求されない。従って、ゲート絶縁膜の膜厚は5～50nm（好ましくは10～30nm）と薄くした方が良い。

【0138】

図8(A)に示したのは主としてシフトレジスタ回路やその他の信号処理回路のように高速動作を求められる回路に用いるべきCMOS回路の概略図である。なお、図8(A)において、801aはNTFTのゲート絶縁膜、801bはPTFTのゲート絶縁膜であり、膜厚を5～50nm（好ましくは10～30nm）と薄く設計している。

【0139】

30

また、LDD領域802の長さは0.1～0.5μm（代表的には0.2～0.3μm）が好ましい。また、動作電圧が2～3Vなどのように十分低ければ、LDD領域を設けないことも可能である。

【0140】

次に、図8(B)に示すCMOS回路は、主としてレベルシフタ回路702b、703b、バッファ回路702c、703c、サンプリング回路703d、プリチャージ回路704に適している。これらの回路は大電流を流す必要があるため、動作電圧は14～16Vと高い。特にゲートドライバ側では場合によっては19Vといった動作電圧を必要とする場合もある。従って、非常に良い耐圧特性（高耐圧特性）を有するTFTが必要となる。

【0141】

40

この時、図8(B)に示したCMOS回路において、NTFTのゲート絶縁膜803a、PTFTのゲート絶縁膜803bの膜厚は、50～200nm（好ましくは100～150nm）に設計されている。このように良い耐圧特性を要求する回路は、図8(A)に示したシフトレジスタ回路などのTFTよりもゲート絶縁膜の膜厚を厚くしておくことが好ましい。

【0142】

また、LDD領域804の長さは1～3μm（代表的には1.5～2μm）が好ましい。なお、LDD領域のうちゲート配線に重なる部分の長さは0.5～2μm（好ましくは1～1.5μm）で良い。図8(B)に示すCMOS回路はバッファ回路などのように画素と同程度の高電圧がかかるため、LDD領域の長さも画素と同程度またはそれに近い長さと

50

しておくことが望ましい。

【0143】

次に、図8(C)は画素部701の概略図を示している。画素TFTは液晶に印加する電圧分も加味されるため、14~16Vの動作電圧を必要とする。また、液晶及び保持容量に蓄積された電荷を1フレーム期間保持しなければならないため、極力オフ電流は小さくなければならない。

【0144】

そういう理由から、本実施例ではNTFTを用いたダブルゲート構造とし、ゲート絶縁膜805の膜厚を50~200nm(好ましくは100~150nm)としている。この膜厚は図8(B)に示したCMOS回路と同じ膜厚であっても良いし、異なる膜厚であっても良い。10

【0145】

なお、第1保持容量の第1誘電体806や第2保持容量の第2誘電体807の膜厚は5~75nm(好ましくは20~50nm)とすれば良い。

【0146】

また、LDD領域808a、808bの長さは2~4μm(代表的には2.5~3.5μm)が好ましい。なお、LDD領域のうちゲート配線に重なる部分の長さは0.5~2.5μm(好ましくは1~1.5μm)で良い。

【0147】

また、図8(C)に示す画素TFTはオフ電流(TFTがオフ状態にある時に流れるドレン電流)を極力低減することが必要であるため、LDD領域808a、808bのうちゲート配線と重ならない領域(通常のLDD領域として機能する領域)を1~3.5(好ましくは2~3μm)μmとしておくことが望ましい。20

【0148】

以上のように、AM-LCDを例にとっても同一基板上には様々な回路が設けられ、回路によって必要とする動作電圧(電源電圧)が異なることがある。この場合には本願発明のようにゲート絶縁膜の膜厚を異ならせたTFTを配置するなどの使い分けが必要となる。

【0149】

なお、本実施例の構成を実現するために実施例1に示した回路を用いることは有効である。30

【0150】

[実施例3]

実施例1において、ゲート絶縁膜を選択的に除去する工程に際し、駆動TFTとなる領域での除去は図9に示すように行うことが望ましい。図9において、901は活性層、902はゲート絶縁膜の端部、903、904はゲート配線である。図9に示すように、ゲート配線が活性層を乗り越える部分905では、活性層901の端部にゲート絶縁膜を残しておくことが望ましい。

【0151】

活性層901の端部は後に熱酸化工程を行った際にエッジシニングと呼ばれる現象が起こる。これは、活性層端部の下に潜り込むように酸化反応が進行し、端部が薄くなると同時に上へ盛り上がる現象である。そのため、エッジシニング現象が起こるとゲート配線が乗り越え時に断線しやすいという問題が生じる。40

【0152】

しかしながら、図9に示したような構造となるようにゲート絶縁膜を除去しておけば、ゲート配線が乗り越える部分905においてエッジシニング現象を防ぐことができる。そのため、ゲート配線の断線といった問題を未然に防ぐことが可能である。なお、本実施例の構成を実施例1に用いることは有効である。

【0153】

[実施例4]

本実施例では、実施例1に示した作製工程で基板上にTFTを形成し、実際にAM-LC

50

Dを作製した場合について説明する。

【0154】

図5(B)の状態が得られたら、画素電極266上に配向膜を80nmの厚さに形成する。次に、対向基板としてガラス基板上にカラーフィルタ、透明電極(対向電極)、配向膜を形成したものを準備し、それぞれの配向膜に対してラビング処理を行い、シール材(封止材)を用いて TFT が形成された基板と対向基板とを貼り合わせる。そして、その間に液晶を保持させる。このセル組み工程は公知の手段を用いれば良いので詳細な説明は省略する。

【0155】

なお、セルギャップを維持するためのスペーサは必要に応じて設ければ良い。従って、対角1インチ以下のAM-LCDのようにスペーサがなくてもセルギャップを維持できる場合は特に設けなくても良い。

【0156】

次に、以上のようにして作製したAM-LCDの外観を図10に示す。アクティブマトリクス基板(TFTが形成された基板を指す)11には画素部12、ソース駆動回路13、ゲート駆動回路14、信号処理回路(信号分割回路、D/Aコンバータ回路、補正回路、差動增幅回路等)15が形成され、FPC(フレキシブルプリントサーキット)16が取り付けられている。なお、17は対向基板である。

【0157】

なお、本実施例は実施例1～3のいずれの実施例とも自由に組み合わせることが可能である。

【0158】

〔実施例5〕

本実施例では、実施例1において結晶質珪素膜の形成に他の手段を用いた場合について説明する。

【0159】

具体的には、非晶質珪素膜の結晶化に特開平7-130652号公報(米国特許番号08/1329,644に対応)の実施例2に記載された技術を用いる。同公報に記載された技術は、結晶化を促進する触媒元素(代表的にはニッケル)を非晶質珪素膜の表面に選択的に保持させ、その部分を核成長の種として結晶化を行う技術である。

【0160】

この技術によれば、結晶成長に特定の方向性を持たせることができるので非常に結晶性の高い結晶質珪素膜を形成することができる。

【0161】

また、触媒元素を選択的に保持させるために設けるマスク用の絶縁膜を、そのままゲッタリング用に添加するリンのマスクとしても可能である。こうすることで工程数を削減することができる。この技術に関しては、本出願人による特開平10-247735号公報(米国出願番号09/034,041に対応)に詳しい。

【0162】

なお、本実施例の構成は実施例1～4のいずれの構成とも自由に組み合わせることが可能である。

【0163】

〔実施例6〕

実施例1で説明したニッケル(珪素膜を結晶化するために用いた触媒元素)をゲッタリングするためにリンを用いたが、本実施例では他の元素を用いてニッケルをゲッタリングする場合について説明する。

【0164】

まず、実施例1の工程に従って、図2(B)の状態を得る。図2(B)において、204は結晶質珪素膜である。但し、本実施例では結晶化に用いるニッケルの濃度を極力低いものとしている。具体的には、非晶質珪素膜上に重量換算で0.5～3ppmのニッケルを含

10

20

30

40

50

む層を形成し、結晶化のための熱処理を行う。これにより形成された結晶質珪素膜中に含まれるニッケル濃度は、 $1 \times 10^{17} \sim 1 \times 10^{19}$ atoms/cm³（代表的には $5 \times 10^{17} \sim 1 \times 10^{18}$ atoms/cm³）となる。

【0165】

そして、結晶質珪素膜を形成したら、ハロゲン元素を含む酸化性雰囲気中で熱処理を行う。温度は800～1150（好ましくは900～1000）とし、処理時間は10分～4時間（好ましくは30分～1時間）とする。

【0166】

本実施例では、酸素雰囲気中に対して3～10体積%の塩化水素を含ませた雰囲気中において、950 30分の熱処理を行う。

10

【0167】

この工程により結晶質珪素膜中のニッケルは揮発性の塩化ニッケルとなって処理雰囲気中に離脱する。即ち、ハロゲン元素のゲッタリング作用によってニッケルを除去することが可能となる。但し、結晶質珪素膜中に存在するニッケル濃度が高すぎると、ニッケルの偏析部で酸化が異常に進行するという問題を生じる。そのため、結晶化の段階で用いるニッケルの濃度を極力低くする必要がある。

【0168】

なお、本実施例の構成は実施例1～実施例5のいずれの構成とも自由に組み合わせることが可能である。

【0169】

20

〔実施例7〕

本実施例では、実施例1に示したCMOS回路や画素部の構造を異なるものとした場合について説明する。具体的には、回路の要求する仕様に応じてLDD領域の配置を異なる例を示す。

【0170】

なお、CMOS回路および画素部の基本構造は図1に既に示したので本実施例では必要箇所のみに符号を付して説明することとする。また、本実施例のNFT構造は、基本的には実施例1の作製方法を参考にすれば良いが、NTFTのLDD領域の形成にレジストマスクを用いる必要がある。

【0171】

30

まず、図11(A)に示した回路は、CMOS回路において、NTFTのLDD領域21をチャネル形成領域22のドレイン領域23側のみに接して設けることを特徴としている。なお、この構造はソース領域側をレジストマスクで隠しておくことで実現できる。

【0172】

駆動回路や信号処理回路に用いられるCMOS回路は高速動作を要求されるため、動作速度を低下させる要因となりうる抵抗成分は極力排除する必要がある。しかしながら、ホットキャリア耐性を高めるために必要なLDD領域は抵抗成分として働いてしまうため、動作速度を犠牲にしてしまう。

【0173】

40

しかし、ホットキャリア注入が生じるのはチャネル形成領域のドレイン領域側の端部であり、その部分にゲート電極と三次元的に重なったLDD領域が存在すればホットキャリア対策は十分である。従って、必ずしもチャネル形成領域のソース領域側の端部には必要以上にLDD領域を設けておく必要はない。

【0174】

なお、図11(A)の構造はソース領域とドレイン領域とが入れ替わる画素TFTのような動作をする場合には適用できない。CMOS回路の場合、通常はソース領域およびドレイン領域が固定されるため、図11(A)のような構造を実現することができる。

【0175】

次に、図11(B)に示した回路は、CMOS回路において、NTFTをダブルゲート構造、PTFTをシングルゲート構造とした場合の例である。このような構造は、高耐圧で

50

あることを要求される駆動回路（バッファ回路、サンプリング回路など）に用いる。

【0176】

この場合、N TFT の LDD 領域 24a、24b をチャネル形成領域 25a、25b それぞれのドレイン領域 26 側（またはドレイン領域 26 に近い側）のみに設けることを特徴としている。

【0177】

このような構造とすることでソース領域側の LDD 領域による抵抗成分をなくし、ダブルゲート構造とすることでソース・ドレイン間にかかる電界を分散させて緩和する効果がある。

【0178】

なお、本実施例の構成は実施例 1～6 のいずれの構成とも自由に組み合わせることが可能である。

【0179】

〔実施例 8〕

実施例 1において、必要に応じて TFT の下（具体的には活性層の下）に遮光膜を設けることは、光励起によるリーク電流を抑制する上で有効である。特に、リーク電流（またはオフ電流）を極力抑える必要がある画素 TFT の下に設けることは効果的である。

【0180】

遮光膜としては、金属膜、黒色樹脂膜などを用いることができるが、金属膜を用いた場合には当該金属膜を用いて、遮光膜と活性層との間に他の保持容量を形成することも可能である。こうすることで一つの画素 TFT に対して三つの保持容量が接続された構造が実現される。

【0181】

なお、本実施例の構成は実施例 1～7 のいずれの構成とも自由に組み合わせることが可能である。

【0182】

〔実施例 9〕

本実施例では、本願発明を用いて形成された画素部の構造について、図 12～17 を用いて説明する。なお、基本的な断面構造は図 1～5 の説明を参考にすると良い。

【0183】

まず、図 12において、31 は半導体膜でなる画素 TFT の活性層である。図面上には四つの画素に相当する四つの活性層が配置されている。また、32 で示される点線は画素 TFT のゲート絶縁膜の端部である。この点線 32 に囲まれた領域のゲート絶縁膜が選択的に除去される。この状態は、図 3(A) に示す工程までが終了した状態である。

【0184】

次に、図 13 は図 12 にゲート配線 33a、33b を重ねた状態を示す。この状態は図 3(B) の工程まで終了した状態に相当する。なお、活性層 31 と重なる部分 34 はゲート電極として機能する。

【0185】

本実施例では、選択されたゲート配線 33a の隣のゲート配線 33b を保持容量に用いる。この構成自体は知られており、選択されたゲート配線以外のゲート配線をコモン電位（ビデオ信号の中間電位）に落としておくことで容量形成用の配線として用いる構成である。

【0186】

ここでゲート配線 33b に注目すると、点線 35 で囲まれた領域において、ゲート配線 33b と活性層 31 とが重なり合っている。また、図面上では図示されないが、点線 35 で囲まれた領域ではゲート絶縁膜が除去されて 5～50 nm 厚の第 1 誘電体が設けられている。即ち、この部分で本願発明の第 1 保持容量が形成される。なお、点線 35 で囲まれた領域に形成される第 1 保持容量は画素 30 の保持容量として機能する。

【0187】

この構造の利点は、別途容量形成用の配線を形成する必要がないので、画素の開口率を高

10

20

30

40

50

めることができる点にある。但し、この構成は特に直視型液晶ディスプレイなどに有効であり、上下反転駆動（上から走査したり下から走査したりする駆動方法で、プロジェクターなどに用いられる）を行う液晶ディスプレイには不向きである。そういった上下反転駆動を行う液晶ディスプレイには、インターレース方式の駆動方法（ゲート配線を1本おきに選択する駆動方法）などを用いることが望ましい。

【0188】

次に、図14は図13に遮光膜36a、36bを重ねた状態である。この状態は図5(A)において、遮光膜257a～257cまで形成した時点の状態に相当する。なお、本実施例の構造とする場合、遮光膜は一つの画素に一つの割合で設けられ、通常の遮光膜（ブラックマトリクス等と呼ばれる）のように、全画素において共通な導電層とはならない。

10

【0189】

この時、図14ではゲート配線と遮光膜との間に第1層間絶縁膜（図示せず）が設けられており、37で示される点線で囲まれた領域が選択的に除去されて5～50nm厚の第2誘電体のみが存在する。

【0190】

この遮光膜36a、36bは基本的にゲート配線に重なるように設けられるため、点線37で囲まれた領域に本願発明の第2保持容量が形成される。但し、図14において、点線37で囲まれた領域に形成される第2保持容量は画素30の保持容量として機能する。即ち、遮光膜36aは画素30の画素TFT部を隠す遮光膜としての機能を果たし、遮光膜36bは遮光膜であると同時に、画素30の保持容量を形成する第3容量電極としての機能を兼ねている。

20

【0191】

次に、図15は図14にソース配線38およびドレイン配線（ドレイン電極）39を重ねた状態である。この状態は図5(A)の工程を終了した状態に相当する。なお、40はソース配線38と活性層31とのコンタクト部分、41はドレイン配線39と活性層31とのコンタクト部分である。

30

【0192】

次に、図16は図15に画素電極42（点線で示される）を重ねた状態である。この状態は図5(B)の工程を終了した状態に相当する。なお、43はドレイン配線39と画素電極42とのコンタクト部分、44は遮光膜36と画素電極42とのコンタクト部分である。

【0193】

ここで、図16をA-A'で切った断面を図17(A)に、A-A''で切った断面を図17(B)に示す。なお、図17(A)、(B)では図12～16で用いた符号を対応箇所に用いている。また、基板、下地膜、保護膜、層間絶縁膜、パッシベーション膜、活性層の構成（ソース領域、ドレイン領域、LDD領域またはチャネル形成領域）等には符号をつけてないが、「発明の実施の形態」の欄（図1参照）や「実施例1」の欄（図2～5参照）に対応するので、ここでの説明は省略する。

【0194】

なお、本実施例の構成は、実施例1～8のいずれの構成とも自由に組み合わせることが可能である。

40

【0195】

[実施例10]

本実施例では、画素TFTのソース領域、ドレイン領域またはLDD領域を形成するための不純物元素の添加工程を、実施例1とは異なる順とした場合の例について説明する。

【0196】

まず、図3(C)に示したリンの添加工程（n+領域形成工程）を図3(D)に示したりンの添加工程（n-領域形成工程）に入れ替えてても良い。

【0197】

また、図4(A)に示したボロンの添加工程（p++領域形成工程）を図3(C)に示した

50

リンの添加工程 (n+領域形成工程) の前 (図3(B)と図3(C)の間) に行っても良い。

【0198】

また、図4(A)に示したボロンの添加工程 (p++領域形成工程) を図3(D)に示したリンの添加工程 (n-領域形成工程) の前 (図3(C)と図3(D)の間) に行っても良い。

【0199】

なお、本実施例の構成は実施例1～9のいずれの構成とも自由に組み合わせることが可能である。

【0200】

10

〔実施例11〕

本実施例では、画素TFTのソース領域、ドレイン領域またはLDD領域を形成するための不純物元素の添加工程を、実施例1とは異なる順とした場合の例について説明する。

【0201】

まず、図3(B)の状態を得た後に、すぐ図4(A)に示したボロンの添加工程 (p++領域形成工程) を行う。その次に、図3(D)に示したリンの添加工程 (n-領域形成工程) を行い、その後、図3(C)に示したリンの添加工程 (n+領域形成工程) を行う。

【0202】

また、図3(B)の状態を得た後に、すぐ図3(D)に示したリンの添加工程 (n-領域形成工程) を行う。その次に、図4(A)に示したボロンの添加工程 (p++領域形成工程) を行い、その後、図3(C)に示したリンの添加工程 (n+領域形成工程) を行うことでもできる。

20

【0203】

本実施例の場合、リンの添加工程 (n+領域形成工程) を最後に行うことになるため、マスクとして用いたサイドウォールをそのままゲート配線の側壁に残すことになる。そのため、本実施例を実施する際には、サイドウォールの材料として酸化珪素膜、窒化珪素膜または酸化窒化珪素膜などの絶縁膜を用いることが好ましい。珪素膜などの半導体膜を用いると、サイドウォールと活性層との間に寄生容量を形成してしまう恐れがある。

【0204】

30

勿論、リンの添加工程 (n+領域形成工程) を行った後にサイドウォールを除去する工程を入れても構わない。

【0205】

しかしながら、サイドウォールを残すことでゲート配線の段差が鋭角でなくなるという利点がある。そのため、ゲート配線の上に絶縁膜を形成する際に被覆不良などによりカスプ(巣)などが発生することを防ぐことができる。

【0206】

なお、本実施例の構成は、実施例1～9のいずれの構成とも自由に組み合わせることが可能である。

【0207】

40

〔実施例12〕

本実施例では、実施例1とは異なる手段で結晶質珪素膜を形成する場合の例について説明する。

【0208】

実施例1では非晶質半導体膜(具体的には非晶質珪素膜)の結晶化に触媒元素(ニッケル)を用いたが、本実施例では触媒元素を用いないで熱結晶化させた場合について説明する。

【0209】

本実施例の場合、非晶質珪素膜を形成したら、580～640(代表的には600)の温度で、12～30時間(代表的には16～24時間)の熱処理を行って結晶化し、結晶質珪素膜を得る。従って、実施例1に示したようなゲッタリング工程は省略することが

50

できる。

【0210】

このように本願発明の構造が実現できるのであれば、いわゆる高温ポリシリコンと呼ばれる結晶質珪素膜を用いたプロセスを本願発明に組み合わせることは容易である。

【0211】

なお、本実施例の構成は実施例1～11のいずれの実施例とも自由に組み合わせができる。

【0212】

〔実施例13〕

本実施例では実施例1とは異なる方法で第1層間絶縁膜を形成する例について説明する。 10 説明には図18を用いる。

【0213】

まず、実施例1の作製工程に従って図4(B)に示した活性化工程までを終了させる。次に、50～100nm(本実施例では70nm)の窒化酸化珪素膜1801を形成し、その上に600nm～1μm(本実施例では800nm)の窒化酸化珪素膜1802を形成する。さらに、その上にレジストマスク1803を形成する。(図18(A))

【0214】

なお、窒化酸化珪素膜1801と窒化酸化珪素膜1802とでは含有される窒素、酸素、水素及び珪素の組成比が異なる。窒化酸化珪素膜1801は窒素7%、酸素59%、水素2%、珪素32%となっており、窒化酸化珪素膜1802は窒素33%、酸素15%、水素23%、珪素29%となっている。勿論、この組成比に限定されるものではない。 20

【0215】

また、レジストマスク1803は膜厚が厚いため、窒化酸化珪素膜1802の表面の起伏を完全に平坦化することができる。

【0216】

次に、四フッ化炭素と酸素との混合ガスを用いたドライエッチング法によりレジストマスク1803及び窒化酸化珪素膜1802のエッチングを行う。本実施例の場合、四フッ化炭素と酸素との混合ガスを用いたドライエッチングにおいて、窒化酸化珪素膜1802とレジストマスク1803のエッチングレートがほぼ等しい。 30

【0217】

このエッチング工程により図18(B)に示すようにレジストマスク1803は完全に除去され、窒化酸化珪素膜1802の一部(本実施例では表面から深さ300nmまで)がエッチングされる。その結果、レジストマスク1803の表面の平坦度がそのままエッチングされた窒化酸化珪素膜の表面の平坦度に反映される。

【0218】

こうして極めて平坦性の高い第1層間絶縁膜1804を得る。本実施例の場合、第1層間絶縁膜1804の膜厚は500nmとなる。このとの工程は実施例1の作製工程を参照すれば良い。

【0219】

なお、本実施例の構成は、実施例1～12のいずれの実施例とも自由に組み合わせることが可能である。 40

【0220】

〔実施例14〕

本願発明は従来のMOSFET上に層間絶縁膜を形成し、その上にTFTを形成する際に用いることも可能である。即ち、半導体回路上に反射型AM-LCDが形成された三次元構造の半導体装置を実現することも可能である。

【0221】

また、前記半導体回路はSIMOX、Smart-Cut(SOITEC社の登録商標)、ELTRAN(キャノン株式会社の登録商標)などのSOI基板上に形成されたものであっても良い。 50

【0222】

なお、本実施例を実施するにあたって、実施例1～13のいずれの構成を組み合わせても構わない。

【0223】**[実施例15]**

本願発明はアクティブマトリクス型EL（エレクトロルミネッセンス）ディスプレイ（EL表示装置ともいう）に適用することも可能である。その例を図19に示す。

【0224】

図19はアクティブマトリクス型ELディスプレイの回路図である。81は表示領域を表しており、その周辺にはX方向（ゲート側）駆動回路82、Y方向（ソース側）駆動回路83が設けられている。また、表示領域81の各画素は、スイッチング用TFT84、コンデンサ85、電流制御用TFT86、EL素子87を有し、スイッチング用TFT84にX方向信号線（ゲート信号線）88a（または88b）、Y方向信号線（ソース信号線）89a（または89b、89c）が接続される。また、電流制御用TFT86には、電源線90a、90bが接続される。

10

【0225】

本実施例のアクティブマトリクス型ELディスプレイでは、X方向駆動回路82、Y方向駆動回路83に用いられるTFTのゲート絶縁膜が、スイッチング用TFT84や電流制御用TFT86のゲート絶縁膜よりも薄くなっている。また、コンデンサ85が本願発明の保持容量で形成されている。

20

【0226】

なお、本実施例のアクティブマトリクス型ELディスプレイに対して、実施例1～3、5～14のいずれの構成を組み合わせても良い。

【0227】**[実施例16]**

本実施例では、本願発明を用いてEL（エレクトロルミネッセンス）表示装置を作製した例について説明する。なお、図20（A）は本願発明のEL表示装置の上面図であり、図20（B）はその断面図である。

【0228】

図20（A）において、4001は基板、4002は画素部、4003はソース側駆動回路、4004はゲート側駆動回路であり、それぞれの駆動回路は配線4005を経てFPC（フレキシブルプリントサーキット）4006に至り、外部機器へと接続される。

30

【0229】

このとき、画素部4002、ソース側駆動回路4003及びゲート側駆動回路4004を囲むようにして第1シール材4101、カバー材4102、充填材4103及び第2シール材4104が設けられている。

【0230】

また、図20（B）は図20（A）をA-A'で切断した断面図に相当し、基板4001の上にソース側駆動回路4003に含まれる駆動TFT（但し、ここではnチャネル型TFTとpチャネル型TFTを図示している。）4201及び画素部4002に含まれる画素TFT（但し、ここではEL素子への電流を制御するTFTを図示している。）4202が形成されている。

40

【0231】

本実施例では、駆動TFT4201には図1の駆動回路と同じ構造のTFTが用いられる。また、画素TFT4202には図1の画素部と同じ構造のTFTが用いられる。

【0232】

駆動TFT4201及び画素TFT4202の上には樹脂材料でなる層間絶縁膜（平坦化膜）4301が形成され、その上に画素TFT4202のドレインと電気的に接続する画素電極（陽極）4302が形成される。画素電極4302としては仕事関数の大きい透明導電膜が用いられる。透明導電膜としては、酸化インジウムと酸化スズとの化合物または

50

酸化インジウムと酸化亜鉛との化合物を用いることができる。

【0233】

そして、画素電極4302の上には絶縁膜4303が形成され、絶縁膜4303は画素電極4302の上に開口部が形成されている。この開口部において、画素電極4302の上にはEL(エレクトロルミネッセンス)層4304が形成される。EL層4304は公知の有機EL材料または無機EL材料を用いることができる。また、有機EL材料には低分子系(モノマー系)材料と高分子系(ポリマー系)材料があるがどちらを用いても良い。

【0234】

EL層4304の形成方法は公知の技術を用いれば良い。また、EL層の構造は正孔注入層、正孔輸送層、発光層、電子輸送層または電子注入層を自由に組み合わせて積層構造または単層構造とすれば良い。

10

【0235】

EL層4304の上には遮光性を有する導電膜(代表的にはアルミニウム、銅もしくは銀を主成分とする導電膜またはそれらと他の導電膜との積層膜)からなる陰極4305が形成される。また、陰極4305とEL層4304の界面に存在する水分や酸素は極力排除しておくことが望ましい。従って、真空中で両者を連続成膜するか、EL層4304を窒素または希ガス雰囲気で形成し、酸素や水分に触れさせないまま陰極4305を形成するといった工夫が必要である。本実施例ではマルチチャンバー方式(クラスターツール方式)の成膜装置を用いることで上述のような成膜を可能とする。

【0236】

20

そして陰極4305は4306で示される領域において配線4005に電気的に接続される。配線4005は陰極4305に所定の電圧を与えるための配線であり、導電性材料4307を介してFPC4006に電気的に接続される。

【0237】

以上のようにして、画素電極(陽極)4302、EL層4304及び陰極4305からなるEL素子が形成される。このEL素子は、第1シール材4101及び第2シール材4101によって基板4001に貼り合わされたカバー材4102で囲まれ、充填材4103により封入されている。

【0238】

カバー材4102としては、ガラス板、金属板(代表的にはステンレス板)、セラミック板、FRP(Fiberglass-Reinforced Plastics)板、PVF(ポリビニルフルオライド)フィルム、マイラーフィルム、ポリエステルフィルムまたはアクリルフィルムを用いることができる。また、アルミニウムホイルをPVFフィルムやマイラーフィルムで挟んだ構造のシートを用いることもできる。

30

【0239】

但し、EL素子からの光の放射方向がカバー材側に向かう場合にはカバー材は透明でなければならない。その場合には、ガラス板、プラスチック板、ポリエステルフィルムまたはアクリルフィルムのような透明物質を用いる。

【0240】

また、充填材4103としては紫外線硬化樹脂または熱硬化樹脂を用いることができ、PVC(ポリビニルクロライド)、アクリル、ポリイミド、エポキシ樹脂、シリコーン樹脂、PVB(ポリビニルブチラル)またはEVA(エチレンビニルアセテート)を用いることができる。この充填材4103の内部に吸湿性物質(好ましくは酸化バリウム)を設けておくとEL素子の劣化を抑制できる。

40

【0241】

また、充填材4103の中にスペーサを含有させてもよい。このとき、スペーサを酸化バリウムで形成すればスペーサ自体に吸湿性をもたせることができる。また、スペーサを設けた場合、スペーサからの圧力を緩和するバッファ層として陰極4305上に樹脂膜を設けることも有効である。

【0242】

50

また、配線 4005 は導電性材料 4307 を介して FPC4006 に電気的に接続される。配線 4005 は画素部 4002、ソース側駆動回路 4003 及びゲート側駆動回路 4004 に送られる信号を FPC4006 に伝え、FPC4006 により外部機器と電気的に接続される。

【0243】

また、本実施例では第 1 シール材 4101 の露呈部及び FPC4006 の一部を覆うように第 2 シール材 4104 を設け、EL 素子を徹底的に外気から遮断する構造となっている。こうして図 20 (B) の断面構造を有する EL 表示装置となる。なお、本実施例の EL 表示装置は実施例 1 乃至 3 または 5 乃至 14 のいずれの構成を組み合わせて作製しても構わない。

10

【0244】

〔実施例 17〕

本実施例では、実施例 16 に示した EL 表示装置の画素部に用いることができる画素構造の例を図 21 (A) ~ (C) に示す。なお、本実施例において、4401 はスイッチング用 TFT4402 のソース配線、4403 はスイッチング用 TFT4402 のゲート配線、4404 は電流制御用 TFT、4405 はコンデンサ、4406、4408 は電流供給線、4407 は EL 素子とする。

【0245】

図 21 (A) は、二つの画素間で電流供給線 4406 を共通とした場合の例である。即ち、二つの画素が電流供給線 4406 を中心に線対称となるように形成されている点に特徴がある。この場合、電源供給線の本数を減らすことができるため、画素部をさらに高精細化することができる。

20

【0246】

また、図 21 (B) は、電流供給線 4408 をゲート配線 4403 と平行に設けた場合の例である。なお、図 21 (B) では電流供給線 4408 とゲート配線 4403 とが重ならないように設けた構造となっているが、両者が異なる層に形成される配線であれば、絶縁膜を介して重なるように設けることもできる。この場合、電流供給線 4408 とゲート配線 4403 とで専有面積を共有させることができるために、画素部をさらに高精細化することができる。

30

【0247】

また、図 21 (C) は、図 21 (B) の構造と同様に電流供給線 4408 をゲート配線 4403 と平行に設け、さらに、二つの画素を電流供給線 4408 を中心に線対称となるように形成する点に特徴がある。また、電流供給線 4408 をゲート配線 4403 のいずれか一方と重なるように設けることも有効である。この場合、電源供給線の本数を減らすことができるため、画素部をさらに高精細化することができる。

【0248】

〔実施例 18〕

本願発明の電気光学装置や半導体回路は電気器具の表示部や信号処理回路として用いることができる。そのような電気器具としては、ビデオカメラ、デジタルカメラ、プロジェクター、プロジェクション TV、ゴーグル型ディスプレイ（ヘッドマウントディスプレイ）、ナビゲーションシステム、音響再生装置、ノート型パソコンコンピュータ、ゲーム機器、携帯情報端末（モバイルコンピュータ、携帯電話、携帯型ゲーム機または電子書籍等）、記録媒体を備えた画像再生装置などが挙げられる。それら電気器具の具体例を図 22 ~ 24 に示す。

40

【0249】

図 22 (A) は携帯電話であり、本体 2001、音声出力部 2002、音声入力部 2003、表示部 2004、操作スイッチ 2005、アンテナ 2006 で構成される。本願発明の電気光学装置は表示部 2004 に、本願発明の半導体回路は音声出力部 2002、音声入力部 2003 または CPU やメモリ等に用いることができる。

【0250】

50

図22(B)はビデオカメラであり、本体2101、表示部2102、音声入力部2103、操作スイッチ2104、バッテリー2105、受像部2106で構成される。本願発明の電気光学装置は表示部2102に、本願発明の半導体回路は音声入力部2103またはC P Uやメモリ等に用いることができる。

【0251】

図22(C)はモバイルコンピュータ(モービルコンピュータ)であり、本体2201、カメラ部2202、受像部2203、操作スイッチ2204、表示部2205で構成される。本願発明の電気光学装置は表示部2205に、本願発明の半導体回路はC P Uやメモリ等に用いることができる。

【0252】

図22(D)はゴーグル型ディスプレイであり、本体2301、表示部2302、アーム部2303で構成される。本願発明の電気光学装置は表示部2302に、本願発明の半導体回路はC P Uやメモリ等に用いることができる。

【0253】

図22(E)はリアプロジェクター(プロジェクションTV)であり、本体2401、光源2402、表示装置2403、偏光ビームスプリッタ2404、リフレクター2405、2406、スクリーン2407で構成される。本発明は表示装置2403に用いることができ、本願発明の半導体回路はC P Uやメモリ等に用いることができる。

【0254】

図22(F)はフロントプロジェクターであり、本体2501、光源2502、表示装置2503、光学系2504、スクリーン2505で構成される。本発明は表示装置2503に用いることができ、本願発明の半導体回路はC P Uやメモリ等に用いることができる。

【0255】

図23(A)はパーソナルコンピュータであり、本体2601、映像入力部2602、表示部2603、キーボード2604等を含む。本願発明の電気光学装置は表示部2603に、本願発明の半導体回路はC P Uやメモリ等に用いることができる。

【0256】

図23(B)は電子遊戯機器(ゲーム機器)であり、本体2701、記録媒体2702、表示部2703及びコントローラー2704を含む。この電子遊戯機器から出力された音声や映像は筐体2705及び表示部2706を含む表示ディスプレイにて再生される。コントローラー2704と本体2701との間の通信手段または電子遊戯機器と表示ディスプレイとの間の通信手段は、有線通信、無線通信もしくは光通信が使える。本実施例では赤外線をセンサ部2707、2708で検知する構成となっている。本願発明の電気光学装置は表示部2703、2706に、本願発明の半導体回路はC P Uやメモリ等に用いることができる。

【0257】

図23(C)はプログラムを記録した記録媒体(以下、記録媒体と呼ぶ)を用いるプレーヤー(画像再生装置)であり、本体2801、表示部2802、スピーカ部2803、記録媒体2804及び操作スイッチ2805を含む。なお、この画像再生装置は記録媒体としてD V D (Digital Versatile Disc)、C D等を用い、音楽鑑賞や映画鑑賞やゲームやインターネットを行うことができる。本願発明の電気光学装置は表示部2802やC P Uやメモリ等に用いることができる。

【0258】

図23(D)はデジタルカメラであり、本体2901、表示部2902、接眼部2903、操作スイッチ2904、受像部(図示せず)を含む。本願発明の電気光学装置は表示部2902やC P Uやメモリ等に用いることができる。

【0259】

なお、図22(E)のリアプロジェクターや図22(F)のフロントプロジェクターに用いることのできる光学エンジンについての詳細な説明を図24に示す。なお、図24(A

10

20

30

40

50

)は光学エンジンであり、図24(B)は光学エンジンに内蔵される光源光学系である。

【0260】

図24(A)に示す光学エンジンは、光源光学系3001、ミラー3002、3005～3007、ダイクロイックミラー3003、3004、光学レンズ3008a～3008c、プリズム3011、表示装置3010、投射光学系3012を含む。投射光学系3012は、投射レンズを備えた光学系である。本実施例は表示装置3010を三つ使用する三板式の例を示したが、単板式であってもよい。また、図24(A)中において矢印で示した光路には、光学レンズ、偏光機能を有するフィルム、位相差を調節するためのフィルムもしくはIRフィルム等を設けてもよい。

【0261】

また、図24(B)に示すように、光源光学系3001は、光源3013、3014、合成プリズム3015、コリメータレンズ3016、3020、レンズアレイ3017、3018、偏光変換素子3019を含む。なお、図24(B)に示した光源光学系は光源を2つ用いたが、一つでも良いし、三つ以上としてもよい。また、光源光学系の光路のどこかに、光学レンズ、偏光機能を有するフィルム、位相差を調節するフィルムもしくはIRフィルム等を設けてもよい。

【0262】

以上の様に、本願発明の適用範囲は極めて広く、あらゆる分野の電気器具に適用することが可能である。また、本実施例の電気器具は実施例1～17のどのような組み合わせからなる構成を用いても実現することができる。

【0263】

【発明の効果】

本願発明を用いることで同一基板上に、異なる膜厚のゲート絶縁膜を有するTFTを形成することができる。そのため、AM-LCDに代表される電気光学装置や、そのような電気光学装置を表示部(表示ディスプレイ)として有する電気器具を含む半導体装置において、回路が要求する仕様に応じて適切な性能の回路を配置することが可能となり、半導体装置の性能や信頼性を大幅に向上させることができる。

【0264】

また、電気光学装置の画素部において、保持容量の誘電体を薄くすることができ、小さい面積で大きなキャパシティを有する保持容量を形成することができる。さらに、その保持容量をゲート配線やソース配線の下に隠すことができる。そのため、対角1インチ以下の表示部をもつ電気光学装置においても開口率を低下させることなく、十分な保持容量を確保することができる。

【図面の簡単な説明】

【図1】 AM-LCDの断面構造を示す図。

【図2】 AM-LCDの作製工程を示す図。

【図3】 AM-LCDの作製工程を示す図。

【図4】 AM-LCDの作製工程を示す図。

【図5】 AM-LCDの作製工程を示す図。

【図6】 不純物元素を添加する際の濃度分布の関係を示す図。

【図7】 AM-LCDのプロック図を示す図。

【図8】 AM-LCDの回路配置を示す図。

【図9】 駆動TFT(CMOS回路)の構造を示す図。

【図10】 AM-LCDの外観を示す図。

【図11】 CMOS回路の断面構造を示す図。

【図12】 画素部の上面構造を示す図。

【図13】 画素部の上面構造を示す図。

【図14】 画素部の上面構造を示す図。

【図15】 画素部の上面構造を示す図。

【図16】 画素部の上面構造を示す図。

10

20

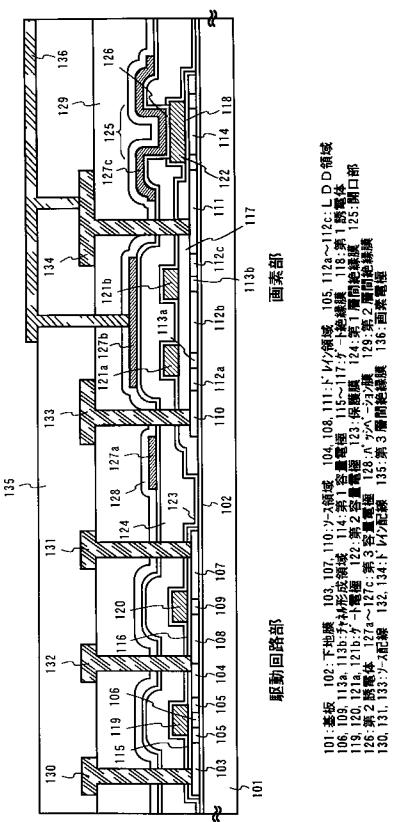
30

40

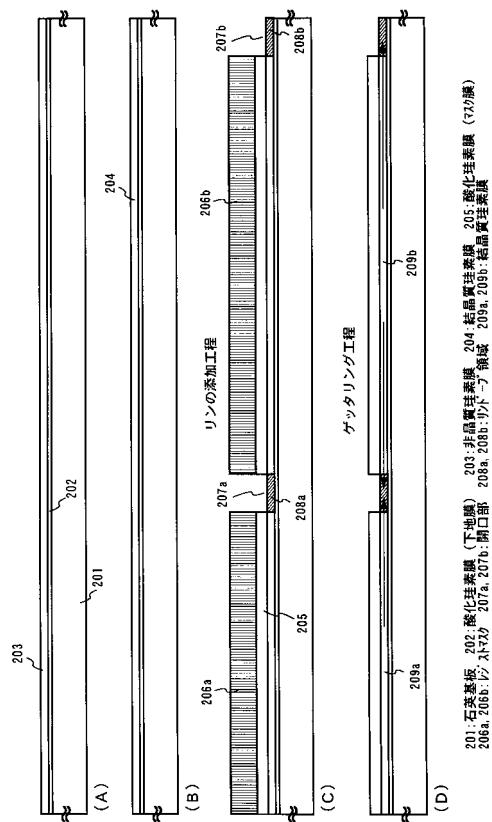
50

- 【図17】 画素部の断面構造を示す図。
 - 【図18】 A M - L C D の作製工程を示す図。
 - 【図19】 E L 表示装置の回路構成を示す図。
 - 【図20】 E L 表示装置の上面構造及び断面構造を示す図。
 - 【図21】 E L 表示装置の画素部の構造を示す図。
 - 【図22】 電気器具の一例を示す図。
 - 【図23】 電気器具の一例を示す図。
 - 【図24】 光学エンジンの構成を示す図。

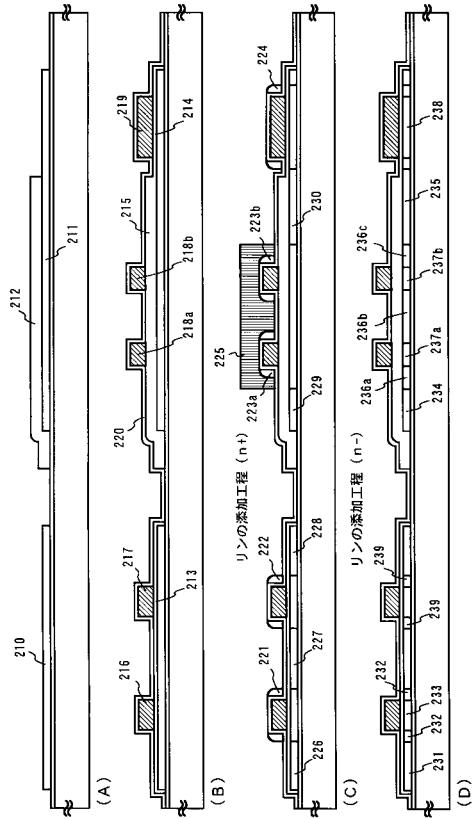
【 図 1 】



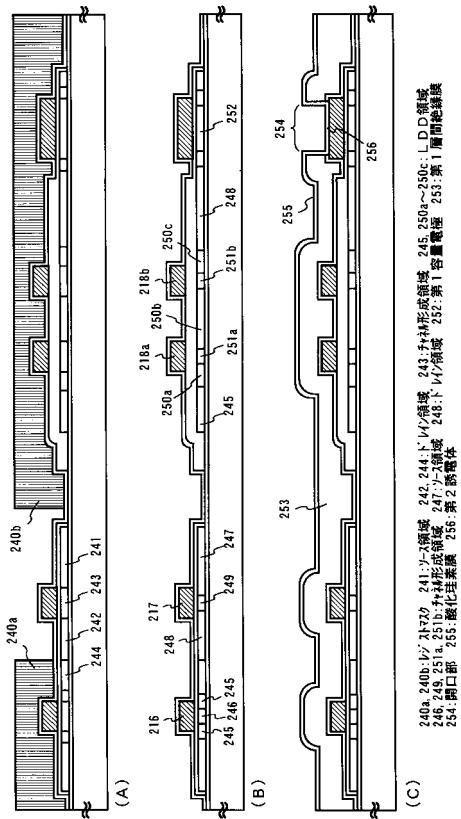
【 义 2 】



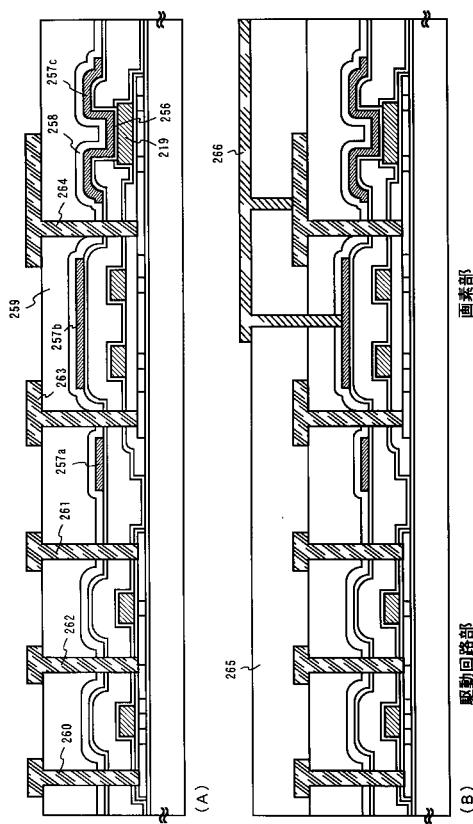
【図3】



【図4】

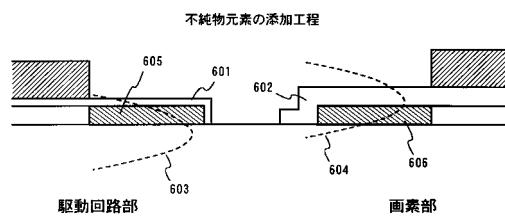


【図5】

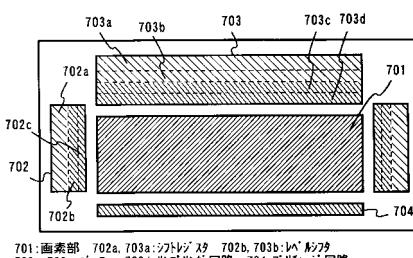


25/a～25/c: 激光膜
25/c: 第3層電極
25b: ハーフハーフシート
25c: 第2層絶縁膜
260: 261: 263: ソース配線
262: 264: ドレイン配線
265: 第3層絶縁膜
266: 画素電極
267: 第2層絶縁膜
268: 画素電極
269: 第3層電極
270: 271: 272: 273: 第3層電極
274: 275: 第3層電極
276: 277: 278: 279: 第3層電極
280: 281: 282: 283: 第3層電極
284: 285: 第3層電極
286: 287: 288: 289: 第3層電極
290: 291: 292: 293: 第3層電極
294: 295: 第3層電極
296: 297: 298: 299: 第3層電極
299: 300: 301: 302: 第3層電極
303: 304: 305: 306: 第3層電極
307: 308: 309: 310: 第3層電極
311: 312: 313: 314: 第3層電極
315: 316: 317: 318: 第3層電極
319: 320: 321: 322: 第3層電極
323: 324: 325: 326: 第3層電極
327: 328: 329: 330: 第3層電極
331: 332: 333: 334: 第3層電極
335: 336: 337: 338: 第3層電極
339: 340: 341: 342: 第3層電極
343: 344: 345: 346: 第3層電極
347: 348: 349: 350: 第3層電極
351: 352: 353: 354: 第3層電極
355: 356: 357: 358: 第3層電極
359: 360: 361: 362: 第3層電極
363: 364: 365: 366: 第3層電極
367: 368: 369: 370: 第3層電極
371: 372: 373: 374: 第3層電極
375: 376: 377: 378: 第3層電極
379: 380: 381: 382: 第3層電極
383: 384: 385: 386: 第3層電極
387: 388: 389: 390: 第3層電極
391: 392: 393: 394: 第3層電極
395: 396: 397: 398: 第3層電極
399: 400: 401: 402: 第3層電極
403: 404: 405: 406: 第3層電極
407: 408: 409: 410: 第3層電極
411: 412: 413: 414: 第3層電極
415: 416: 417: 418: 第3層電極
419: 420: 421: 422: 第3層電極
423: 424: 425: 426: 第3層電極
427: 428: 429: 430: 第3層電極
431: 432: 433: 434: 第3層電極
435: 436: 437: 438: 第3層電極
439: 440: 441: 442: 第3層電極
443: 444: 445: 446: 第3層電極
447: 448: 449: 450: 第3層電極
451: 452: 453: 454: 第3層電極
455: 456: 457: 458: 第3層電極
459: 460: 461: 462: 第3層電極
463: 464: 465: 466: 第3層電極
467: 468: 469: 470: 第3層電極
471: 472: 473: 474: 第3層電極
475: 476: 477: 478: 第3層電極
479: 480: 481: 482: 第3層電極
483: 484: 485: 486: 第3層電極
487: 488: 489: 490: 第3層電極
491: 492: 493: 494: 第3層電極
495: 496: 497: 498: 第3層電極
499: 500: 501: 502: 第3層電極
503: 504: 505: 506: 第3層電極
507: 508: 509: 510: 第3層電極
511: 512: 513: 514: 第3層電極
515: 516: 517: 518: 第3層電極
519: 520: 521: 522: 第3層電極
523: 524: 525: 526: 第3層電極
527: 528: 529: 530: 第3層電極
531: 532: 533: 534: 第3層電極
535: 536: 537: 538: 第3層電極
539: 540: 541: 542: 第3層電極
543: 544: 545: 546: 第3層電極
547: 548: 549: 550: 第3層電極
551: 552: 553: 554: 第3層電極
555: 556: 557: 558: 第3層電極
559: 560: 561: 562: 第3層電極
563: 564: 565: 566: 第3層電極
567: 568: 569: 570: 第3層電極
571: 572: 573: 574: 第3層電極
575: 576: 577: 578: 第3層電極
579: 580: 581: 582: 第3層電極
583: 584: 585: 586: 第3層電極
587: 588: 589: 590: 第3層電極
591: 592: 593: 594: 第3層電極
595: 596: 597: 598: 第3層電極
599: 600: 601: 602: 第3層電極
603: 604: 605: 606: 第3層電極

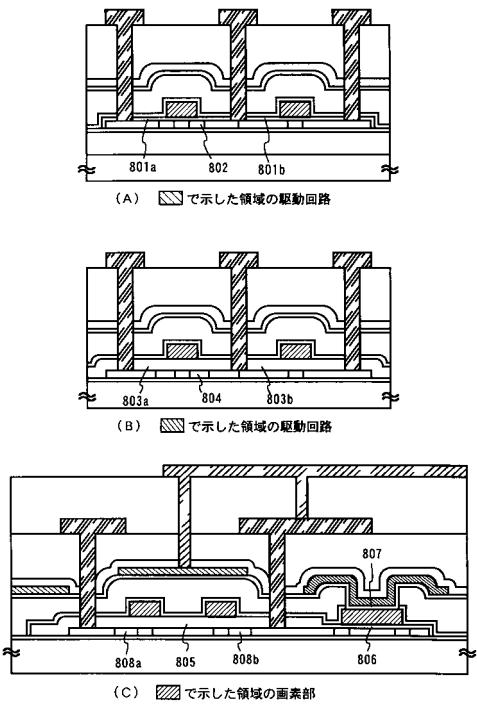
【図6】



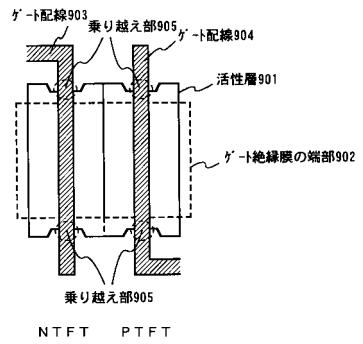
【図7】



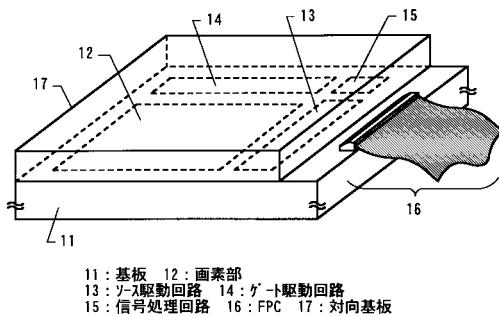
【図 8】



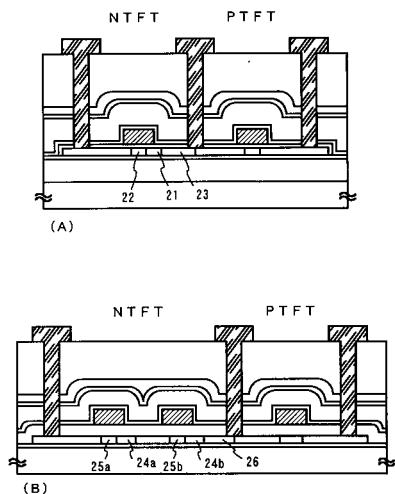
【図 9】



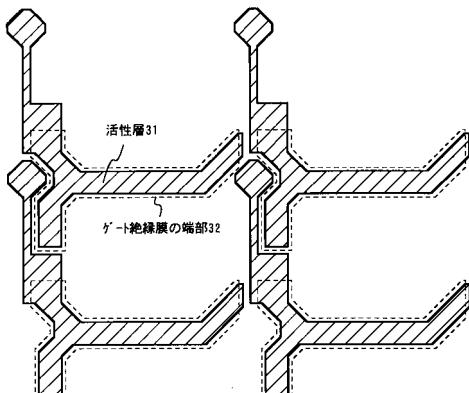
【図 10】



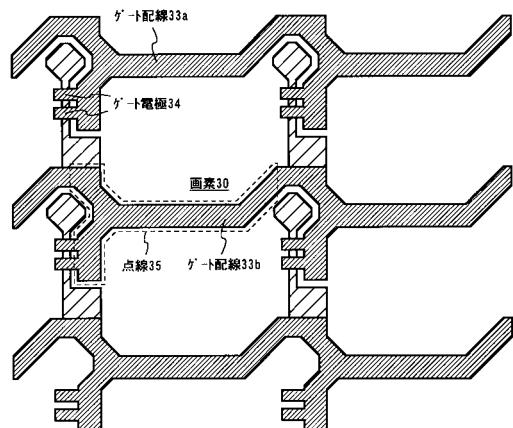
【図 11】



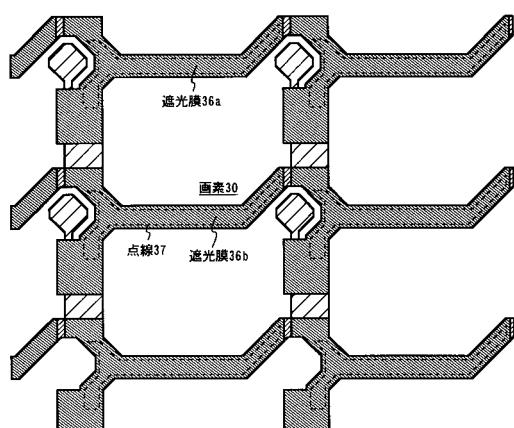
【図 12】



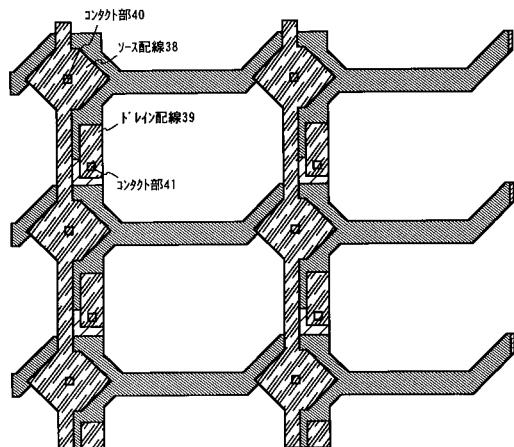
【図13】



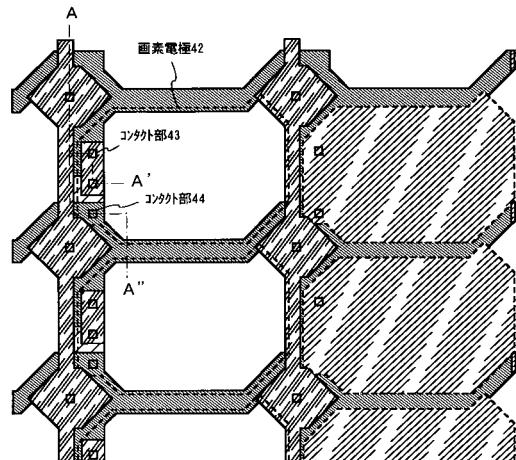
【図14】



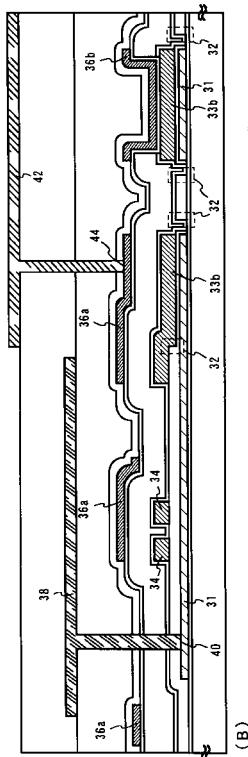
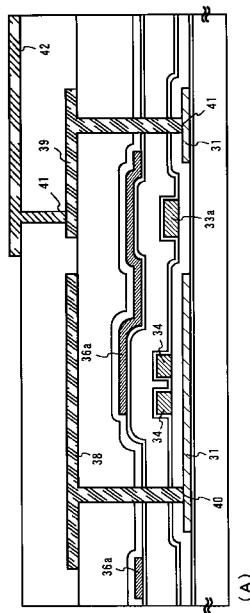
【図15】



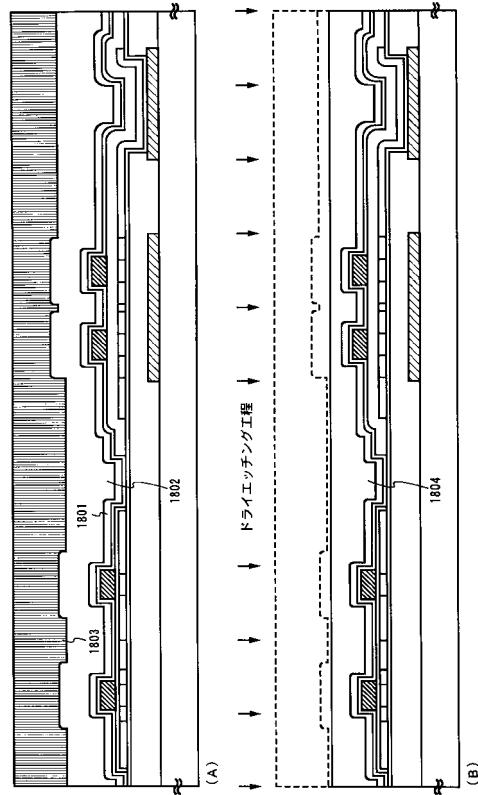
【図16】



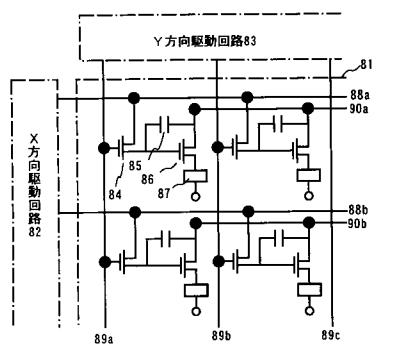
【図17】



【図18】

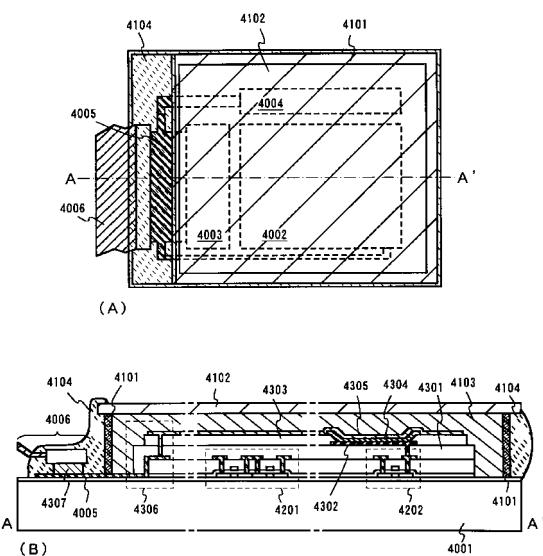


【図19】

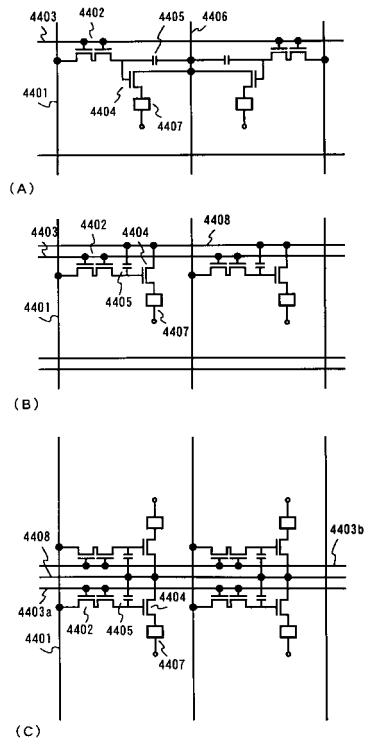


81:画素部, 82:X方向(ソース)駆動回路, 83:Y方向(ゲート)駆動回路
84:スイッチ用TFT, 85:コンデンサー, 86:電流制御用TFT, 87:有機EL素子
88a, 88b: X方向信号線 89a～89c: Y方向信号線 90a, 90b: 電源線

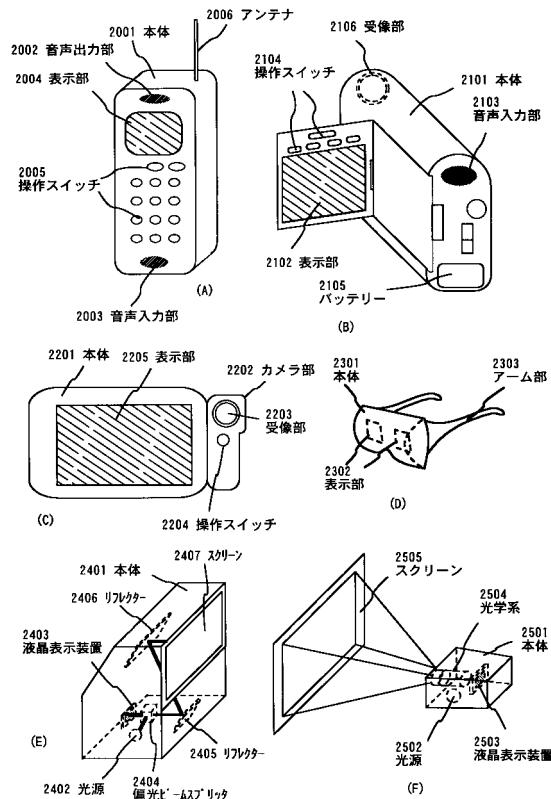
【図20】



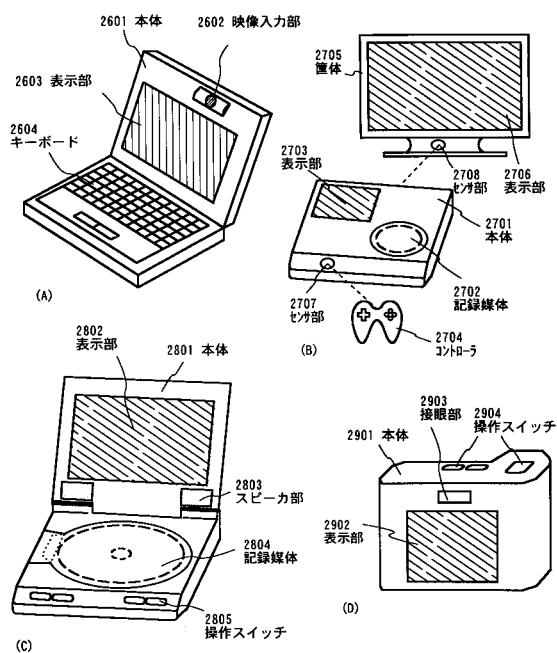
【図21】



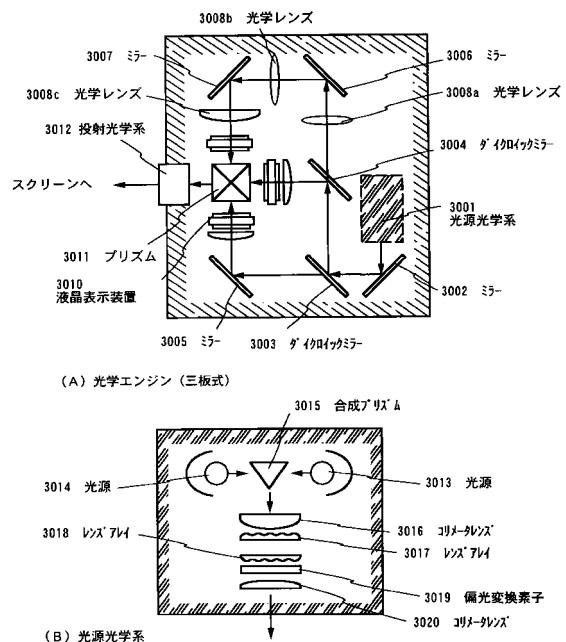
【図22】



【図23】



【図24】



フロントページの続き

(56)参考文献 特開平05-142571(JP,A)
特開平04-333828(JP,A)
特開平07-335903(JP,A)
特開平02-044317(JP,A)
特開平06-202153(JP,A)
特開平05-034718(JP,A)
特開平08-015670(JP,A)
特開昭64-042635(JP,A)

(58)調査した分野(Int.Cl., DB名)

IPC
G02F1/1343-1/1345、1/135-1/1368
G09F9/00-9/30、9/307-9/46
H01L27/32、51/50
H05B33/00-33/28