



(19)中華民國智慧財產局

(12)發明說明書公告本 (11)證書號數：TW I433199 B

(45)公告日：中華民國 103 (2014) 年 04 月 01 日

(21)申請案號：097142006

(22)申請日：中華民國 97 (2008) 年 10 月 31 日

(51)Int. Cl. : *H01J37/36 (2006.01)* *H01L21/3065(2006.01)*

(30)優先權：2007/10/31 美國 61/001,113

(71)申請人：蘭姆研究公司 (美國) LAM RESEARCH CORPORATION (US)

美國

賽瑞丹股份有限公司 (美國) CERADYNE INC. (US)

美國

(72)發明人：泰勒 特維斯 R TAYLOR, TRAVIS R. (US)；竹尼瓦森 慕肯 SRINIVASAN, MUKUND (US)；凱德哈得陽 巴比 KADKHODAYAN, BOBBY (US)；雷馬努傑 凱傑海利 Y RAMANUJAM, K. Y. (US)；米奇傑 比傑那 MIKIJELJ, BILJANA (US)；伍尚華 WU, SHANGHUA (CN)

(74)代理人：許峻榮

(56)參考文獻：

TW 575676

JP 2000-26166A

US 6120640

審查人員：皮欣霖

申請專利範圍項數：25 項 圖式數：7 共 0 頁

(54)名稱

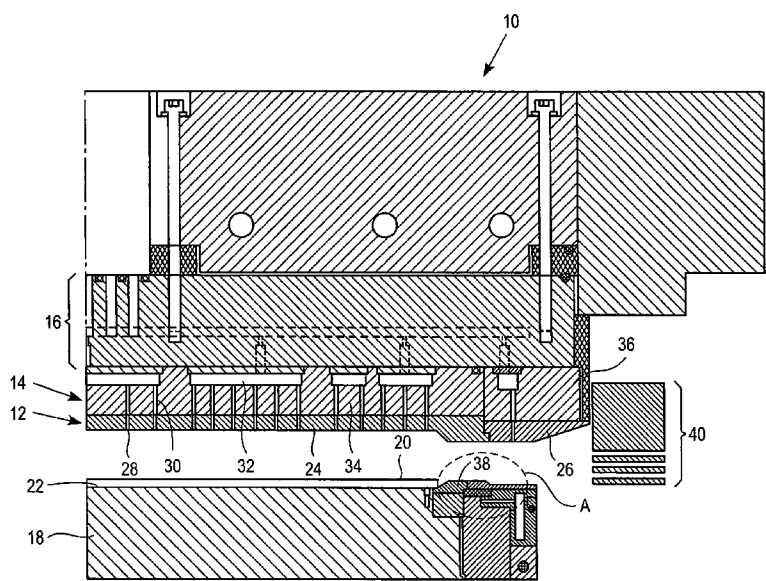
電漿處理構件、其製造方法、具有其之電漿室、及增加腔室零件使用壽命與減少污染物之方法
PLASMA PROCESSING COMPONENTS, METHOD OF MANUFACTURING THE SAME, PLASMA CHAMBER HAVING THE SAME, AND METHODS OF INCREASING CHAMBER PART LIFETIME AND REDUCING CONTAMINATION

(57)摘要

本發明係關於一種增加電漿蝕刻室之清理間隔平均時間以及腔室零件使用壽命的方法。半導體基板係在電漿蝕刻室中進行電漿蝕刻，同時並使用至少一曝露至離子撞擊及/或游離化鹵素氣體的燒結氮化矽構件。此燒結氮化矽構件包含高純度氮化矽以及由二氧化矽所組成的燒結助劑。電漿處理室的設置係包含該燒結氮化矽構件。本發明係關於一種在電漿處理期間減少矽基板表面上之金屬污染物的方法，其中係設置一電漿處理設備，其包含一個以上的燒結氮化矽構件。本發明亦關於一種電漿蝕刻室中曝露至離子撞擊及/或電漿沖蝕之構件的製造方法，其步驟乃包含將由高純度氮化矽以及二氧化矽所組成的粉末組成物進行成型，並且使成型構件進行緻密化。

A method of increasing mean time between cleans of a plasma etch chamber and chamber parts lifetimes is provided. Semiconductor substrates are plasma etched in the chamber while using at least one sintered silicon nitride component exposed to ion bombardment and/or ionized halogen gas. The sintered silicon nitride component includes high purity silicon nitride and a sintering aid consisting of silicon dioxide. A plasma processing chamber is provided including the sintered silicon nitride component. A method of reducing metallic contamination on the surface of a silicon substrate during plasma processing is provided with a plasma processing apparatus including one or more sintered silicon nitride components. A method

of manufacturing a component exposed to ion bombardment and/or plasma erosion in a plasma etch chamber, comprising shaping a powder composition consisting of high purity silicon nitride and silicon dioxide and densifying the shaped component.



- 10 . . . 噴淋頭電極組件
- 12 . . . 上部電極
- 14 . . . 支撐構件
- 16 . . . 熱控制板
- 18 . . . 基板支撐部
- 20 . . . 基板
- 22 . . . 上支撐表面
- 24 . . . 內部電極構件
- 26 . . . 外部電極構件
- 28 . . . 氣體流道
- 30 . . . 氣體流道
- 32 . . . 充氣部
- 34 . . . 支撐板
- 36 . . . 支撐環
- 38 . . . 熱邊緣環
- 40 . . . 電漿約束環組件

發明專利說明書

公告本

(本說明書格式、順序，請勿任意更動，※記號部分請勿填寫)

※申請案號：97142006

H01J37/36(2006.01)

※申請日：97.10.31

※IPC 分類：H01L21/6065(2006.01)

一、發明名稱：(中文/英文)

電漿處理構件、其製造方法、具有其之電漿室、及增加腔室零件使用壽命與減少污染物之方法

PLASMA PROCESSING COMPONENTS, METHOD OF
MANUFACTURING THE SAME, PLASMA CHAMBER HAVING
THE SAME, AND METHODS OF INCREASING CHAMBER PART
LIFETIME AND REDUCING CONTAMINATION

二、中文發明摘要：

本發明係關於一種增加電漿蝕刻室之清理間隔平均時間以及腔室零件使用壽命的方法。半導體基板係在電漿蝕刻室中進行電漿蝕刻，同時並使用至少一曝露至離子撞擊及/或游離化鹵素氣體的燒結氮化矽構件。此燒結氮化矽構件包含高純度氮化矽以及由二氧化矽所組成的燒結助劑。電漿處理室的設置係包含該燒結氮化矽構件。本發明係關於一種在電漿處理期間減少矽基板表面上之金屬污染物的方法，其中係設置一電漿處理設備，其包含一個以上的燒結氮化矽構件。本發明亦關於一種電漿蝕刻室中曝露至離子撞擊及/或電漿沖蝕之構件的製造方法，其步驟乃包含將由高純度氮化矽以及二氧化矽所組成的粉末組成物進行成型，並且使成型構件進行緻密化。

三、英文發明摘要：

A method of increasing mean time between cleans of a plasma etch chamber and chamber parts lifetimes is provided. Semiconductor substrates are plasma etched in the chamber while using at least one sintered silicon nitride component exposed to ion

bombardment and/or ionized halogen gas. The sintered silicon nitride component includes high purity silicon nitride and a sintering aid consisting of silicon dioxide. A plasma processing chamber is provided including the sintered silicon nitride component. A method of reducing metallic contamination on the surface of a silicon substrate during plasma processing is provided with a plasma processing apparatus including one or more sintered silicon nitride components. A method of manufacturing a component exposed to ion bombardment and/or plasma erosion in a plasma etch chamber, comprising shaping a powder composition consisting of high purity silicon nitride and silicon dioxide and densifying the shaped component.

四、指定代表圖：

(一)本案指定代表圖為：第（ 1 ）圖。

(二)本代表圖之元件符號簡單說明：

- 10 噴淋頭電極組件
- 12 上部電極
- 14 支撐構件
- 16 熱控制板
- 18 基板支撐部
- 20 基板
- 22 上支撐表面
- 24 內部電極構件
- 26 外部電極構件
- 28 氣體流道
- 30 氣體流道
- 32 充氣部
- 34 支撐板
- 36 支撐環
- 38 熱邊緣環
- 40 電漿約束環組件

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

（無）

六、發明說明：

【相關申請案之交互參照】

本申請案在美國專利法 35 U.S.C. 119 下主張美國臨時申請案第 61/001,113 號的優先權，標題為「HIGH LIFETIME CONSUMABLE SILICON NITRIDE-SILICON DIOXIDE PLASMA PROCESSING COMPONENTS」，該優先權案於 2007 年 10 月 31 日申請，其整體內容藉由參考文獻方式加以合併。

【發明所屬之技術領域】

本發明係關於一種電漿處理構件，尤其係關於一種高使用壽命消耗性氮化矽、二氧化矽電漿處理構件。

【先前技術】

電漿處理設備慣於利用下列技術來處理基板，包含：蝕刻、物理氣相沉積(PVD, physical vapor deposition)、化學氣相沉積(CVD, chemical vapor deposition)、離子植入以及光阻移除。用於電漿處理的其中一種電漿處理設備類型包含反應室，此反應室包含上部與下部電極。在該兩電極間由 RF(radio frequency)所產生的電漿可產生用以蝕刻晶圓基板以及反應室內之腔室零件的高能離子以及中性物質。

【發明內容】

本發明係提供一種增加電漿蝕刻室之清理間隔平均時間以及腔室零件使用壽命的方法。半導體基板在電漿蝕刻室中個別進行電漿蝕刻時，同時使用至少一曝露至離子撞擊及/或游離化鹵素氣體的燒結氮化矽構件。此氮化矽構件係由介於約重量百分比 80% 與約重量百分比 95%之間的高純度氮化矽以及介於約重量百分比 5%與約重量百分比 20%之間的燒結助劑所組成。此燒結助劑係由高純度二氧化矽所組成。

本發明係提供一種電漿處理室。一基板載台將基板支撐在處

理室的內部之中。一燒結氮化矽構件具有鄰接於基板的曝露表面。此構件係由介於約重量百分比 80%與約重量百分比 95%之間的高純度氮化矽以及介於約重量百分比 5%與約重量百分比 20%之間的燒結助劑所組成。此燒結助劑係由高純度二氧化矽所組成。一氣體供應源將處理氣體供應至處理室的內部。一能量源將能量供應進入處理室的內部，並且將處理氣體激發成用以處理基板的電漿狀態。在以電漿進行處理時，此構件即將基板表面上的金屬污染物降至最低，以低於 100×10^{10} 原子/cm²。

本發明係提供一種在電漿處理期間減少矽基板表面上之金屬污染物的方法。將一矽基板放置在電漿處理設備之反應室中的基板支撐部上。此電漿處理設備包含一個以上的燒結氮化矽構件。此氮化矽構件係由介於約重量百分比 80%與約重量百分比 95%之間的高純度氮化矽以及介於約重量百分比 5%與約重量百分比 20%之間的燒結助劑所組成。此燒結助劑係由高純度二氧化矽所組成。將處理氣體導入反應室內。電漿便從處理氣體產生。該矽基板便以此電漿來進行處理。

本發明係提供一種電漿蝕刻室之處理構件的製造方法，此處理構件在電漿蝕刻室中曝露至離子撞擊及/或電漿沖蝕。將由介於約重量百分比 80%與約重量百分比 95%之間的高純度氮化矽以及介於約重量百分比 5%與約重量百分比 20%之間的二氧化矽所組成的粉末組成物加以混合。從該粉末組成物可形成成型構件。同步施加熱與壓力而使該成型構件緻密化。

本發明係提供一種電漿處理構件。此構件包含燒結氮化矽構件，其中此構件係由介於約重量百分比 80%與約重量百分比 95%之間的高純度氮化矽以及介於約重量百分比 5%與約重量百分比 20%之間的燒結助劑所組成。此燒結助劑係由高純度二氧化矽所組成。

【實施方式】

隨著積體電路裝置在實體尺寸以及操作電壓方面持續縮減，

其相關製造良率則變得更容易受到顆粒以及金屬雜質污染的影響。因此，在製造具有更小實體尺寸的積體電路裝置時，其顆粒與金屬雜質污染等級則需低於先前被認為可接受的程度。

積體電路裝置的製造包含電漿蝕刻室的使用，其能夠蝕刻由光阻所界定之選擇層。當施加無線射頻(RF, radio frequency)功率至處理室之一個以上的電極時，處理室係用以接收處理氣體(即蝕刻化學品)。處理室內部的壓力亦為了特定處理而加以控制。在將期望的 RF 功率施加至電極之後，腔室中的處理氣體會被活化，以致產生電漿。如此產生之電漿則可進行半導體晶圓之選擇層的期望蝕刻。

電漿蝕刻狀態會造成曝露至電漿之處理室表面的巨大離子撞擊。此種與電漿化學品及/或蝕刻副產物結合的離子撞擊會產生處理室之電漿曝露表面的巨大沖蝕(erosion)、腐蝕(corrosion)以及腐蝕-沖蝕(corrosion-erosion)。因此，表面材料會被包含沖蝕、腐蝕以及腐蝕-沖蝕的物理及/或化學侵蝕所移除。此種侵蝕會引起包含零件使用壽命短、增加零件成本、顆粒污染、晶圓上傳送的(on-wafer transition)金屬污染以及處理漂移(process drift)的問題。使用壽命相當短的零件通常被稱為消耗品。假使消耗性零件之使用壽命短時，則持有成本便會提高。消耗品以及其他零件的沖蝕會在電漿處理室中產生顆粒污染。

此外，為了獲得可靠的裝置以及高良率，於積體電路製造期間，控制半導體晶圓表面上的顆粒污染係非常重要的。例如電漿處理設備的處理裝置可也是顆粒污染的一個來源。新世代之半導體技術乃積極降低在電漿室中進行蝕刻操作期間在晶圓表面上的期望金屬污染等級。目前電漿蝕刻反應器之最先進半導體裝置製造對於金屬之晶圓上金屬污染規範為 5×10^{10} 原子/cm²。金屬污染物的範例包含：鋁、鋇、鈣、銻、鉻、銅、鎳、銮、鐵、鋰、鎂、鎳、鉀、鈉、鋨、錫、鈦、釩、鈹、鋅或鋇。

圖 1 顯示一示範實施例，說明用於電漿處理設備之噴淋頭電極組件 10，該電漿處理設備中係處理例如矽晶圓之半導體基板。

噴淋頭電極組件 10 包含一含有上部電極 12 之噴淋頭電極；固定在上部電極 12 的支撐構件 14；以及熱控制板 16。包含下部電極以及靜電箝制電極(例如靜電夾頭)的基板支撐部 18(圖 1 僅顯示其一部分)係位於電漿處理設備之真空處理室中的上部電極 12 下方。接受電漿處理的基板 20 被靜電箝制在基板支撐部 18 的上支撐表面 22 上。

在說明的實施例中，噴淋頭電極的上部電極 12 包含內部電極構件 24 以及可選用的外部電極構件 26。內部電極構件 24 較佳係圓柱形板件(例如由矽所構成的板件)。內部電極構件 24 可具有小於、等於、或大於待處理之晶圓的直徑，若此板件係由矽所製造時，則例如可大至 12 英吋(300 mm)。在一較佳實施例中，噴淋頭電極組件 10 係大得足以處理大的基板，例如具有 300 mm 以上之直徑的半導體晶圓。針對 300 mm 的晶圓而言，上部電極 12 的直徑至少為 300 mm。然而，噴淋頭電極組件 10 可依尺寸製作，以處理其他晶圓尺寸或具有非圓形構造的基板。

在說明的實施例中，內部電極構件 24 係寬於基板 20。為了處理 300 mm 的晶圓，而設置外部電極構件 26，以將上部電極 12 的直徑從約 15 英吋擴充至約 17 英吋。外部電極構件 26 可為連續構件(例如連續多晶矽環)，或為分段構件(舉例而言，包含排列成環形構造的 2-6 個分離段部，例如由矽所構成的段部)。在包含多段外部電極構件 26 之上部電極 12 的實施例中，這些段部較佳係具有互相重疊的邊緣，以保護下層接合材料免於曝露至電漿。

內部電極構件 24 較佳係包含多個延伸於其中之氣體流道 28，並與形成在支撐構件 14 內的多個氣體流道 30 一致，以將處理氣體注入電漿處理室中位於上部電極 12 與基板支撐部 18 之間的空間內。支撐構件 14 包含多個充氣部 32，以將處理氣體分配至分別位於內部電極構件 24 與支撐構件 14 內的氣體流道 28 與 30。

對於內部電極構件 24 以及外部電極構件 26 的電漿曝露表面而言，矽係較佳的材料。高純度的單晶矽可在電漿處理期間使基板的污染降至最低，並且亦可在電漿處理期間平穩磨耗，藉以將

顆粒降至最低。可用於上部電極 12 之電漿曝露表面的替代材料包含例如 SiC 或 AlN。

在說明的實施例中，支撐構件 14 包含：支撐板 34；以及支撐環 36，其係圍繞支撐板 34 的周緣而延伸。在本實施例中，內部電極構件 24 與支撐板 34 為共同延伸，而外部電極構件 26 與環繞的支撐環 36 為共同延伸。然而，支撐板 34 可延伸超過內部電極構件 24，以致單一支撐板 34 可用於支撐內部電極構件 24 以及分段外部電極構件 26。內部電極構件 24 與外部電極構件 26 較佳係藉由接合材料而接附於支撐構件 14。

支撐板 34 以及支撐環 36 較佳係由與在電漿處理室中用於處理半導體基板之處理氣體化學性相容、並且可導電與導熱的材料所製造。可用以製造支撐構件 14 的示範適合材料包含鋁、鋁合金、石墨以及 SiC。

上部電極 12 可利用合適之導熱與導電的彈性接合材料而接附至支撐板 34 以及支撐環 36，此彈性接合材料可適應熱應力，並且可傳遞上部電極 12 與支撐板 34 以及支撐環 36 之間的熱與電能。用以將電極組件之表面接合在一起的彈性體的使用係例如說明於共同擁有的美國專利第 6,073,577 號中，其整體內容藉由參考文獻方式合併於此。

在用以處理例如 300 mm 晶圓的電容耦合式 RF 電漿反應器中，除了接地電極以外，吾人亦可使用次級接地(secondary ground)。例如，基板支撐部 18 可包含被以一種以上頻率供應 RF 能量的下部電極，處理氣體可透過為一接地上部電極的上部電極 12 而供應至腔室的內部。位於基板支撐部 18 之下部電極外部的次級接地可包含一電性接地部，此電性接地部大致沿著包含待處理基板 20 但被熱邊緣環 38 所隔開的一平面而延伸。熱邊緣環 38 可為在電漿產生期間被加熱的導電或半導體材料。

此外，電漿約束環組件 40 係設置於支撐板 34 以及支撐環 36 的外部。電漿約束環組件 40 以及次級接地可協助將電漿限制在上部電極 12 與基板支撐部 18 之間的空間內。用於 RF 電容耦合式電

漿反應器之電漿約束環以及次級接地的詳細討論可參考共同讓與的美國專利第 5,534,751 以及 6,744,212 號，茲將上述兩專利案以參考文獻方式加以合併。有了受約束的電漿，腔壁所引起的污染便變得稀少甚或沒有。因此，受約束電漿可提供的潔淨度等級是未約束電漿所無法提供的。例如，約束環組件 40 可由石英所構成。

圖 2A 與 2B 係在圖 1 中圍繞熱邊緣環 38 之區域 A 的放大圖。為了控制在基板 20 上的蝕刻速率均勻度以及使基板中央的蝕刻速率與基板邊緣的蝕刻速率相配合，基板邊界條件較佳係設計成可確保整個基板之基板邊緣之化學曝露、處理壓力、以及 RF 場強度的連續性。在目前的設計中，熱邊緣環 38 用以安裝在基板 20 的周圍。為了將基板污染降至最低，熱邊緣環 38 係由能與晶圓本身相容的材料所製造。舉例而言，熱邊緣環材料可包含矽、石墨、碳化矽等等。

熱邊緣環 38 上覆於耦合環 42，此耦合環係位於基板支撐部 18 的外周緣上。選擇用於耦合環 42 的材料係用以逐漸減弱基板 20 邊緣的 RF 場強度而增加蝕刻速率均勻度。例如，耦合環 42 可由陶瓷(例如石英)或導電材料所製造。

熱邊緣環覆套 44 圍繞著熱邊緣環 38，此熱邊緣環覆套係由介電材料所構成。熱邊緣環覆套 44 上覆於聚焦環 46，此聚焦環用以將電漿約束在基板 20 上方的區域內，並且其可由石英所構成。又，接地環覆套 48 圍繞著熱邊緣環覆套 44。接地環覆套 48 可保護接地延伸部分 50 免於被電漿攻擊。例如，熱邊緣環覆套 44 以及接地環覆套 48 可由石英所構成。接地延伸部分 50 可由鋁所構成。

如圖 2B 所示，導電插銷 52 以及插銷套 54 可被容納在熱邊緣環 38 以及耦合環 42 內。導電插銷 52 可在電漿處理期間監測基板支撐部 18 之靜電夾頭的 RF 偏壓，此用以判定整體的電漿特性。例如，導電插銷 52 可由碳化矽或其他導電材料所構成。插銷套 54 圍繞著導電插銷 52 並且使導電插銷 52 成為電絕緣。例如，插銷套 54 可由石英所構成。

石英可被使用作為消耗性零件之內表面的材料。然而，在電

漿室之消耗性材料中，石英具有最短的 RF 使用壽命。消耗性材料的替代品以及相關的電漿室清理間隔平均時間(MTBC, mean time between cleanings)端視其應用而定。現今，使用由 Lam Research Corporation(Fremont, California)所製造之 2300 EXELAN FLEX® 介電蝕刻系統之高寬高比接點(HARC, high aspect ratio contact)應用的 MTBC 被要求替換具有約 250 RF 小時壽命的石英構件。鑑於上述觀點，吾人亟需具有更佳抗沖蝕性且可促進將處理晶圓表面之污染物(例如顆粒以及金屬雜質)降至最少之消耗性零件的高密度電漿處理室。

氮化矽已被證明可作為適用於電漿處理構件的材料，例如用於電漿處理室的氣體分配板、襯墊、以及聚焦環，如共同擁有的美國專利第 5,993,594 號所述。

此種氮化矽構件可以各種方法加以製造。例如，氮化矽可使用含有高百分比之 α -氮化矽的粉末，而在高於 1500°C 的溫度下進行熱壓製。在此種溫度下進行熱壓製時， α 相會轉變成 β -變形(β -modification)，而轉變以及緻密化(densification)係取決於壓力、溫度以及起始粉末的 α/β 相比例。用於氮化矽的燒結助劑(sintering aids)可包含 MgO 、 Y_2O_3 、 CeO_2 、 ZrO_2 、 Al_2O_3 、 $\text{Y}_3\text{Al}_5\text{O}_{12}$ (鈮鋁石榴石，YAG(yttrium aluminum garnet))以及其他可能的稀土氧化物。吾人可藉由例如無壓(pressureless)燒結、熱壓製、熱等靜壓製(HIP-ing, hot isostatic pressing)或氣壓燒結的燒結處理而實現緻密化。相較於經熱等靜壓製的氮化矽，經氣壓燒結的材料可呈現具有高寬高比晶粒的較粗糙結構，而經壓製的材料可具有更細緻、更為等軸(equiaxed)的結構。氣壓燒結可使用上至 2 MPa 的氮氣壓力而實施，於其中氮氣可抑制氮化矽的熱分解，並且可允許待用於緻密化的更高燒結溫度。吾人可藉由在石墨誘導熱模(graphite induction heated dies)中加熱並施加單軸(uniaxial)壓力，也就是在 15 至 30 MPa 的壓力下、並將溫度控制在至 1650°C 至 1850°C 的範圍內持續進行 1 至 4 小時，如此而形成熱壓製氮化矽。另一種技術包含在 0.1 MPa 的氮氣壓下，以 1700°C 至 1800°C 燒製(firing)已

成型的氮化矽構件。另一種技術包含在進行成型之前，將例如 MgO 或 Y_2O_3 的添加物添加至矽，接著在氮氣壓下，以約 1100°C 與約 1450°C 之間的溫度範圍內進行氮化。雖然金屬氧化燒結助劑(例如 MgO)可促進緻密氮化矽構件的形成，但其可能會在電漿處理期間，將不可接受的金屬污染等級引進矽晶圓的表面上。

將由熱壓製所形成之含有約重量百分比 1%之 MgO 燒結助劑的氮化矽構件置入 2300 EXELAN FLEX® 介電蝕刻系統，以判定在電漿處理之後，各種金屬污染物的表面濃度。此種材料為充分緻密並且可藉由將高純度 Si_3N_4 粉末與含 Mg 化合物進行摻合，然後在石墨模中以高於 1600°C 的溫度進行熱壓製而生產。在熱壓製之後，從經熱壓製的毛坯(blank)研磨成這些構件並且加以清理以提供蝕刻室使用。

在 2300 EXELAN FLEX® 介電蝕刻系統中的測試包含在判定矽晶圓表面上的金屬元素含量之前，使具有約重量百分比 1% MgO 的氮化矽構件置放於電漿環境經過大約 50 小時。將塗佈空白光阻的矽晶圓曝露至高寬高比接點(HARC)蝕刻配方經過大約 5 分鐘。關於 HARC 蝕刻配方，將約 100 SCCM C_4F_8 /約 50 SCCM C_4F_6 /約 100 SCCM CH_2F_2 /約 50 SCCM O_2 /約 1000 SCCM Ar 的氣體混合物輸送至處於約 35 mTorr 至約 40 mTorr 之腔室壓力的處理室。施加介於約 5000 瓦特與約 6000 瓦特之間的 RF 功率，以自 C_4F_8 / C_4F_6 / CH_2F_2 / O_2 / Ar 處理氣體產生電漿。在完成之後，移除測試晶圓並且執行無晶圓自動清理(WAC, waferless autoclean)室的清理配方大約 30 秒。關於 WAC 清理配方，係將約 300 SCCM N_2 以及約 3000 SCCM O_2 輸送至具有約 600 mTorr 之腔室壓力的處理室。施加約 700 瓦特的 RF 功率，以利用 N_2 / O_2 處理氣體產生電漿，而自處理室的內部移除高分子沉積物。重複此種 HARC 蝕刻配方接著 WAC 配方的順序，直到氮化矽構件曝露至電漿環境經過大約 50 小時為止。由於石英在這些電漿處理條件下容易受到沖蝕，所以選擇該等 HARC 蝕刻配方以及 WAC 室清理配方。

在氮化矽構件曝露至電漿環境經過大約 50 RF 小時之後，使

空白未塗佈的 300 mm 測試用矽晶圓接受使用 HARC 蝕刻配方的電漿處理經過大約 5 分鐘。在電漿處理之後，以經稀釋的硝酸 (HNO_3) 沖洗矽晶圓的表面，並且藉由感應耦合式電漿質譜儀 (ICP-MS, inductively coupled plasma mass spectroscopy) 來分析各種金屬污染物的表面濃度 (原子/ cm^2)。圖 3 顯示在具有 MgO 燒結助劑之電漿曝露氮化矽基構件的蝕刻系統中，經過電漿處理之 300 mm 空白矽晶圓之各種金屬污染物的表面濃度。

如上所述，除了鋁以外，在矽晶圓表面上的金屬元素污染物含量理想上為 5×10^{10} 原子/ cm^2 以下。吾人可在圖 3 中觀察到鎂的表面污染物超過 100×10^{10} 原子/ cm^2 。因此，對於某些應用而言，由於矽晶圓的表面具有較高的鎂與其他污染物含量，所以使用具有重量百分比 1% 之 MgO 燒結助劑的氮化矽構件會產生不如完全令人滿意的結果。

一種用以降低矽晶圓表面上之金屬污染物的方法係使用沒有故意添加鋁、鋇、鈣、銻、鉻、銅、鎳、銮、鐵、鋰、鎂、鎳、鉀、鈉、鋁、錫、鈦、鈇、鈇、鋅或鋳的燒結助劑。吾人已可判定含有作為燒結助劑之高純度二氧化矽的高純度氮化矽基電漿處理構件會使矽晶圓表面上的金屬元素污染物含量降低。

將由熱等靜壓製所形成、含有重量百分比 10% 之二氧化矽燒結助劑的氮化矽構件置入 2300 EXELAN FLEX® 介電蝕刻系統，以判定在電漿處理之後，各種金屬污染物的表面濃度。用以製造氮化矽構件的處理步驟為：(1) 將 90 重量部 (重量百分比%) 的高純度氮化矽粉末與 10 重量部 (重量百分比%) 的高純度二氧化矽粉末在酒精溶劑中進行摻合；(2) 使酒精溶劑蒸發以形成乾粉末混合物；(3) 將粉末混合物裝載於模組具中，並且使該混合粉末接受介於約 100 MPa 與約 120 MPa 之間的單軸乾壓製或冷等靜壓製 (CIP, cold isostatic pressing)，以形成坯體預製件 (green body pre-form)，即未燒製的陶瓷體；以及 (4) 以介於約 1750°C 與約 1900°C 之間的溫度以及施加介於約 175 MPa 與約 225 MPa 之間的壓力，使用玻璃封裝 (glass encapsulation) 技術對預製件以大約 60 分鐘至

大約 120 分鐘的時間進行熱等靜壓製(HIP-ing)。

在單軸乾壓製或冷等靜壓製中，坯體預製件的密度不小於理論密度的 45%。在熱等靜壓製之後，根據該氮化矽構件不具孔隙的光學微結構來看，可判定氮化矽構件具有理論密度之約 95%以上的密度。含有二氧化矽燒結助劑的氮化矽構件具有低於 5000 ppm 的總金屬污染物，較佳係低於 1000 ppm，最佳係低於 100 ppm。金屬污染物包含：鋇、鈣、銻、鉻、銅、鎳、銻、鐵、鋰、鎂、鎳、鉀、鈉、鋁、錫、鈦、釩、鈮、鋅以及銻。

如上所述，在 2300 EXELAN FLEX® 介電蝕刻系統中的測試包含在判定矽晶圓表面上的金屬元素含量之前，使具有重量百分比 10%之二氧化矽燒結助劑的氮化矽構件置放於電漿環境中經過大約 50 小時。將塗佈空白光阻的矽晶圓曝露至高寬高比接點(HARC)蝕刻配方經過大約 5 分鐘。在完成之後，移除測試晶圓並且執行無晶圓自動清理(WAC)室清理配方大約 30 秒。重複此種順序直到氮化矽構件曝露至電漿環境經過大約 50 小時為止。

在電漿處理之後，以經稀釋的硝酸(HNO_3)沖洗矽晶圓的表面，並且藉由感應耦合式電漿質譜儀(ICP-MS)分析各種金屬污染物的表面濃度(原子/ cm^2)。如圖 4 所示，鎂的表面污染物係低於 5×10^{10} 原子/ cm^2 。此外，雖然鈣、鋰以及鈉超過 5×10^{10} 原子/ cm^2 的污染等級，但這些金屬的含量係低於 22×10^{10} 原子/ cm^2 。比較圖 3 與圖 4，含有 10%之 SiO_2 燒結助劑的氮化矽構件可提供優於含有 1% MgO 之氮化矽構件的明顯改善。

相較於對應的石英構件，由熱等靜壓製所形成、含有 SiO_2 燒結助劑的氮化矽構件在曝露至氟碳化物/氫氟碳化物以及氧/氮電漿期間，亦可表現出較優的耐磨耗性。再者，吾人可判定含有約重量百分比 10%之 SiO_2 燒結助劑的氮化矽會表現出最低的磨耗率。吾人可藉由玻璃封裝熱等靜壓製來形成含有約重量百分比 5%、約重量百分比 10%、約重量百分比 20%以及約重量百分比 35%之 SiO_2 燒結助劑的氮化矽基構件(例如插銷套)。在鑽石研磨之後，使此材料接近公差，並且在清理之後，將每一個構件個別置入 2300

EXELAN FLEX® 介電蝕刻系統，並且交替曝露至 HARC 蝕刻配方大約 5 分鐘然後至 WAC 配方大約 30 秒，直到總電漿曝露為大約 18 RF 小時為止。在進行測試時，插銷套構件會遭遇到離子撞擊及/或游離化的鹵素氣體。如圖 5A 所示，吾人可藉由量測 y 方向的尺寸變化而判定插銷套的磨耗率。如圖 5A 所示，當插銷套的高度已磨耗至新插銷套的 50% 時更換插銷套。在一實施例中，插銷套的高度可分佈介於約 5 mm 與約 15 mm 之間。

如圖 5B 所示，含有約重量百分比 5% 至約重量百分比 20% 之 SiO_2 的氮化矽插銷套構件可在電漿處理期間提供改善的磨耗率，低於約 $8 \mu\text{m}/\text{RF}$ 小時。石英構件(即 100% SiO_2) 顯現出的最高磨耗率約 $13 \mu\text{m}/\text{RF}$ 小時。然而，含有約重量百分比 10% 之 SiO_2 的氮化矽構件可表現出至少減少兩倍的磨耗率，約 $6 \mu\text{m}/\text{RF}$ 小時。因此，以含有介於約重量百分比 5% 與約重量百分比 20% 之間之 SiO_2 (例如介於約重量百分比 8% 與約重量百分比 12% 之間、介於約重量百分比 9% 與約重量百分比 11% 之間，約重量百分比 10%) 的氮化矽構件替代石英消耗性構件，可令使用壽命從約 250 RF 小時加倍至介於約 800 RF 小時與約 1000 RF 小時之間。

雖然上述內容已參考特定實施例進行詳細說明，但熟習本項技藝者可明白在不離開請求項之範圍的情況下，可進行各種變化以及修改並且利用其等效設計。

【圖式簡單說明】

圖 1 顯示電漿處理設備之噴淋頭電極組件以及基板支撐部之實施例的一部分；

圖 2A-2B 顯示電漿處理設備之圍繞熱邊緣環之基板支撐部的一部分；

圖 3 顯示在包含氮化矽構件以及氧化鎂燒結助劑的處理室中進行電漿處理之後矽晶圓表面上的金屬污染物；

圖 4 顯示在包含氮化矽構件以及二氧化矽燒結助劑的處理室中進行電漿處理之後矽晶圓表面上的金屬污染物；及

圖 5A 與 5B 顯示石英構件以及含有各種含量之二氧化矽以作為燒結助劑之氮化矽構件的磨耗率。

【主要元件符號說明】

- 10 噴淋頭電極組件
- 12 上部電極
- 14 支撐構件
- 16 熱控制板
- 18 基板支撐部
- 20 基板
- 22 上支撐表面
- 24 內部電極構件
- 26 外部電極構件
- 28 氣體流道
- 30 氣體流道
- 32 充氣部
- 34 支撐板
- 36 支撐環
- 38 熱邊緣環
- 40 電漿約束環組件
- 42 耦合環
- 44 熱邊緣環覆套
- 46 聚焦環
- 48 接地環覆套
- 50 接地延伸部分
- 52 導電插銷
- 54 插銷套

七、申請專利範圍：

1.一種增加電漿蝕刻室之清理間隔平均時間以及腔室零件使用壽命的方法，其步驟包含：

在該電漿蝕刻室中對個別半導體基板進行電漿蝕刻，同時使用至少一曝露至離子撞擊及/或游離化鹵素氣體的燒結氮化矽構件，該氮化矽構件係由介於約重量百分比 80%與約重量百分比 95%之間的高純度氮化矽以及介於約重量百分比 5%與約重量百分比 20%之間的燒結助劑所組成，該燒結助劑係由高純度二氧化矽所組成；

其中該氮化矽構件具有低於 100ppm 之總金屬污染物；且

該氮化矽構件已接受單軸壓製或冷等靜壓製，後接熱等靜壓製。

2.如申請專利範圍第 1 項之增加電漿蝕刻室之清理間隔平均時間以及腔室零件使用壽命的方法，其步驟更包含在對該半導體基板進行電漿蝕刻之前，以該燒結氮化矽構件替代一石英構件。

3.如申請專利範圍第 1 項之增加電漿蝕刻室之清理間隔平均時間以及腔室零件使用壽命的方法，其步驟更包含在對該半導體基板進行電漿蝕刻之前，以該燒結氮化矽構件替代一氮化矽構件。

4.如申請專利範圍第 1 項之增加電漿蝕刻室之清理間隔平均時間以及腔室零件使用壽命的方法，其中該構件為下列至少其中之一：插銷套、約束環、熱邊緣環覆套或接地環覆套。

5.如申請專利範圍第 1 項之增加電漿蝕刻室之清理間隔平均時間以及腔室零件使用壽命的方法，其中該電漿蝕刻的步驟包含使用氟碳化物及/或氫氟碳化物蝕刻氣體，在一介電材料中蝕刻開口。

6.如申請專利範圍第 1 項之增加電漿蝕刻室之清理間隔平均時間

以及腔室零件使用壽命的方法，其中該金屬污染物包含：鋇、鈣、銻、鉻、銅、鎳、銻、鐵、鋰、鎂、鎳、鉀、鈉、鋁、錫、鈦、鈮、鈮、鋅以及銻；以及該氮化矽構件具有理論密度之約 95% 以上的密度及/或不具有孔隙。

7.如申請專利範圍第 1 項之增加電漿蝕刻室之清理間隔平均時間以及腔室零件使用壽命的方法，其中在蝕刻一介電材料時，該清理間隔之平均時間為介於約 800 RF 小時與約 1000 RF 小時之間。

8.如申請專利範圍第 1 項之增加電漿蝕刻室之清理間隔平均時間以及腔室零件使用壽命的方法，其步驟更包含：

從該電漿蝕刻室移除該半導體基板；及

對該電漿蝕刻室的內部進行電漿清理，其中該電漿清理包含以氧氣及/或氮氣產生電漿，而從該電漿蝕刻室的內部移除高分子沉積物，且該電漿清理係在蝕刻一基板之後而在蝕刻另一基板之前執行。

9.一種電漿處理室，包含：

一基板載台，用以將一基板支撐在該處理室的內部之中；

一燒結氮化矽構件，具有一鄰接該基板的曝露表面，其中該構件係由介於約重量百分比 80%與約重量百分比 95%之間的高純度氮化矽以及介於約重量百分比 5%與約重量百分比 20%之間的燒結助劑所組成，該燒結助劑係由高純度二氧化矽所組成；

一氣體供應源，用以將處理氣體供應至該處理室的內部；及

一能量源，用以將能量供應進入該處理室的內部，並且將該處理氣體激發成用以處理該基板的電漿狀態，其中在以該電漿進行處理時，該構件使該基板表面上的金屬污染物降至最低，以低於 100×10^{10} 原子/cm²；

其中該構件具有低於 100ppm 之總金屬污染物；且

該構件已接受單軸壓製或冷等靜壓製，後接熱等靜壓製。

10.如申請專利範圍第 9 項之電漿處理室，其中在以該電漿進行處理時，該構件使該基板表面上的金屬污染物降至最低，以低於 50×10^{10} 原子/cm²；以及該構件係由介於約重量百分比 80%與約重量百分比 93%之間的高純度氮化矽以及介於約重量百分比 7%與約重量百分比 20%之間的燒結助劑所組成。

11.如申請專利範圍第 9 項之電漿處理室，其中在以該電漿進行處理時，該構件使該基板表面上的金屬污染物降至最低，以低於 10×10^{10} 原子/cm²。

12.如申請專利範圍第 9 項之電漿處理室，其中在以該電漿進行處理時，該構件使該基板表面上的金屬污染物降至最低，以低於 5×10^{10} 原子/cm²。

13.如申請專利範圍第 9 項之電漿處理室，其中該金屬污染物包含：鋇、鈣、銻、鉻、銅、鎳、銻、鐵、鋰、鎂、鎳、鉀、鈉、鋇、錫、鈦、釩、鈮、鋅以及鉛。

14.如申請專利範圍第 9 項之電漿處理室，其中該處理氣體包含氟碳化物及/或氫氟碳化物。

15.一種在電漿處理期間減少矽基板表面上之金屬污染物的方法，其步驟包含：

將一矽基板放置在一電漿處理設備之一反應室中的一基板支撐部上，該電漿處理設備包含一個以上的燒結氮化矽構件，該氮化矽構件係由介於約重量百分比 80%與約重量百分比 95%之間的高純度氮化矽以及介於約重量百分比 5%與約重量百分比 20%之間的燒結助劑所組成，該燒結助劑係由高純度二氧化矽所組成；

將一處理氣體導入該反應室內；

從該處理氣體產生電漿；及
以該電漿處理該矽基板；
其中該氮化矽構件具有低於 100ppm 之總金屬污染物；且
該氮化矽構件已接受單軸壓製或冷等靜壓製，後接熱等靜壓製。

16.如申請專利範圍第 15 項之在電漿處理期間減少矽基板表面上之金屬污染物的方法，其中該處理氣體包含氟碳化物及/或氫氟碳化物。

17.如申請專利範圍第 15 項之在電漿處理期間減少矽基板表面上之金屬污染物的方法，其中該一個以上的氮化矽構件為插銷套、約束環、熱邊緣環覆套或接地環覆套。

18.如申請專利範圍第 15 項之在電漿處理期間減少矽基板表面上之金屬污染物的方法，其中在以該電漿處理該矽基板之後，該矽基板具有低於 5×10^{10} 原子/cm² 的金屬表面濃度。

19.如申請專利範圍第 18 項之在電漿處理期間減少矽基板表面上之金屬污染物的方法，其中該金屬污染物包含：鋁、鈣、銻、鉻、銅、鎳、銻、鐵、鋰、鎂、鎳、鉀、鈉、鋁、錫、鈦、鈮、鈮、鋅或銻。

20.如申請專利範圍第 15 項之在電漿處理期間減少矽基板表面上之金屬污染物的方法，其中該矽基板的處理包含蝕刻。

21.一種電漿蝕刻室之處理構件的製造方法，該構件在一電漿蝕刻室中曝露至離子撞擊及/或電漿沖蝕，該方法之步驟包含：

將由介於約重量百分比 80%與約重量百分比 95%之間的高純度氮化矽以及介於約重量百分比 5%與約重量百分比 20%之間的

二氧化矽所組成的粉末組成物進行混合；

從該粉末組成物形成一成型構件；及

以熱與壓力的同步施加，使該成型構件進行緻密化；

其中該構件具有低於 100ppm 之總金屬污染物；且

該構件已接受單軸壓製或冷等靜壓製，後接熱等靜壓製。

22.如申請專利範圍第 21 項之電漿蝕刻室之處理構件的製造方法，其中混合該粉末組成物的步驟更包含：

在一酒精溶劑中摻合該高純度氮化矽以及該高純度二氧化矽；及

使該酒精溶劑蒸發，以形成一乾粉末混合物；

其中形成該成型構件的步驟更包含：

將該乾粉末混合物裝載於一模組具中；及

以介於約 100 MPa 與約 120 MPa 之間的壓力，使該粉末混合物接受單軸壓製或冷等靜壓製，而形成一坯體預製件(green body pre-form)；及

其中以該熱與壓力的同步施加而使該成型構件進行緻密化的步驟更包含：

以介於約 1750°C 與約 1900°C 之間的溫度以及介於約 175 MPa 與約 225 MPa 之間的壓力，使用玻璃封裝(glass encapsulation)對該坯體預製件進行熱等靜壓製大約 60 分鐘至大約 120 分鐘。

23.如申請專利範圍第 22 項之電漿蝕刻室之處理構件的製造方法，其中該坯體預製件具有理論密度之 45%的最小密度。

24.一種電漿處理構件，包含：

一燒結氮化矽構件，其中該構件係由介於約重量百分比 80% 與約重量百分比 95%之間的高純度氮化矽以及介於約重量百分比 5%與約重量百分比 20%之間的燒結助劑所組成，該燒結助劑係由高純度二氧化矽所組成，且

其中該氮化矽構件具有低於 100ppm 之總金屬污染物；且

其中該氮化矽構件已接受單軸壓製或冷等靜壓製，後接熱等靜壓製。

25.如申請專利範圍第 24 項之電漿處理構件，其中該構件為插銷套、約束環、熱邊緣環覆套或接地環覆套。

八、圖式：

圖式

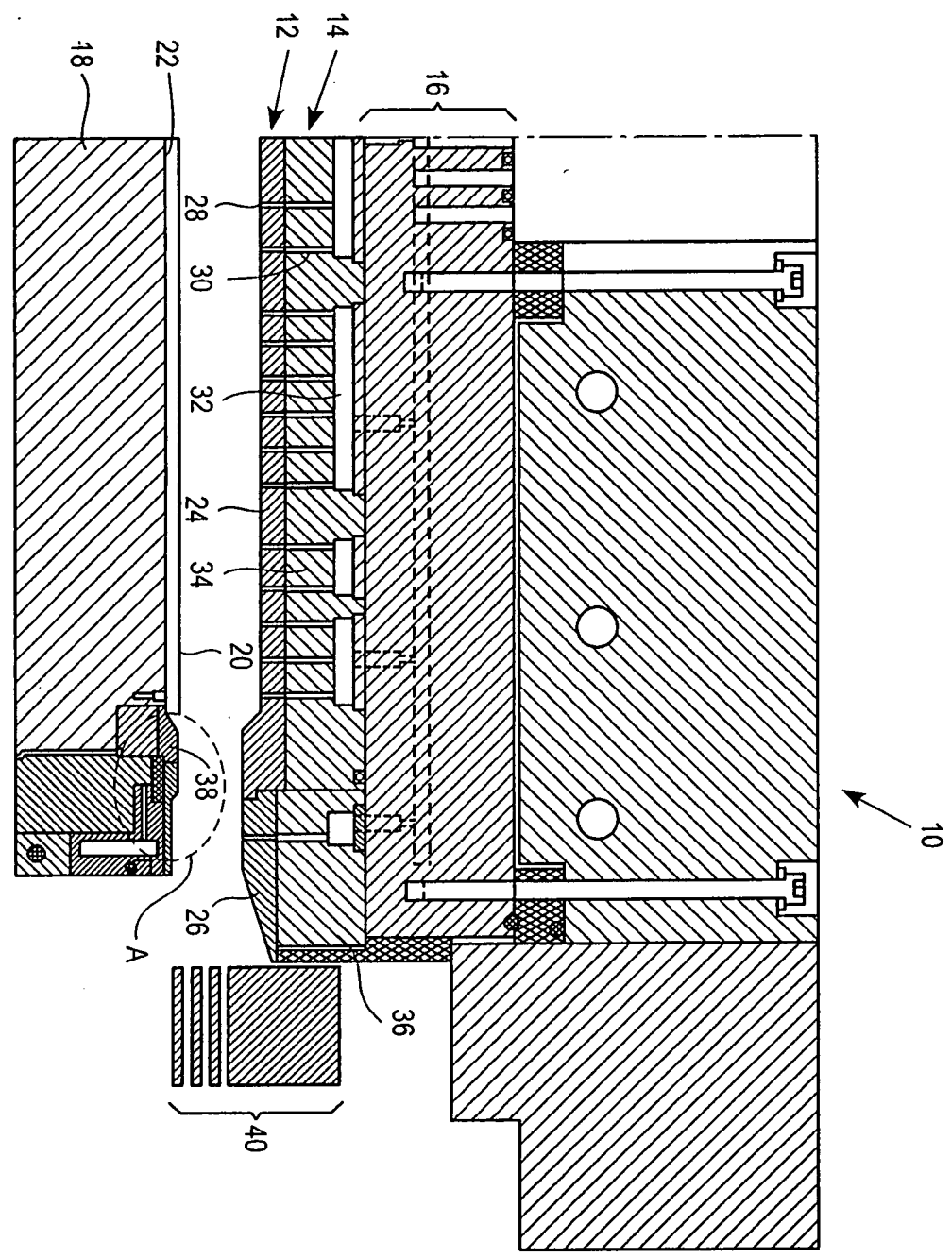


圖 1

圖式

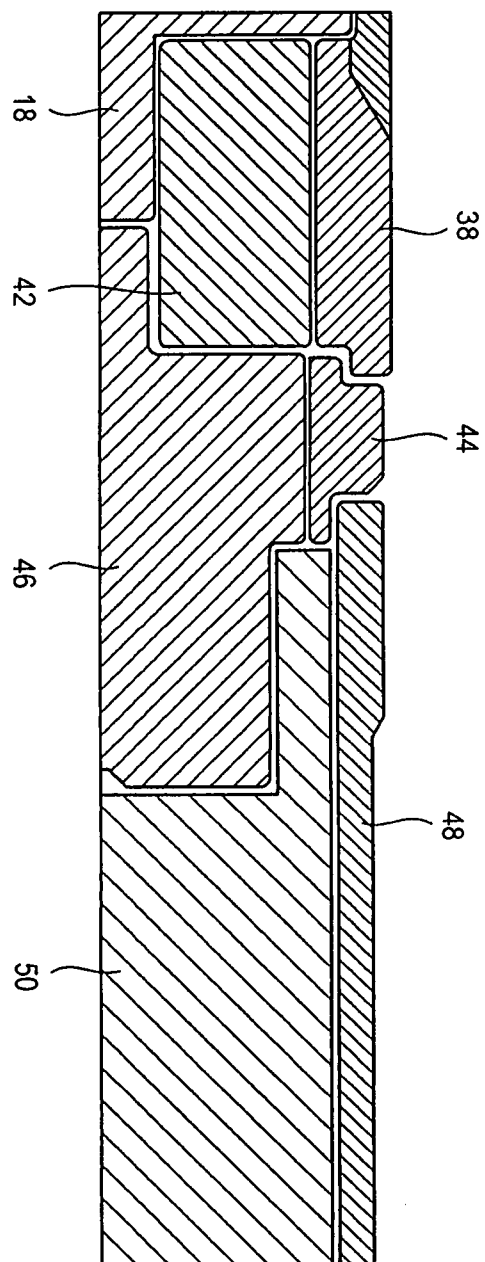


圖 2A

圖式

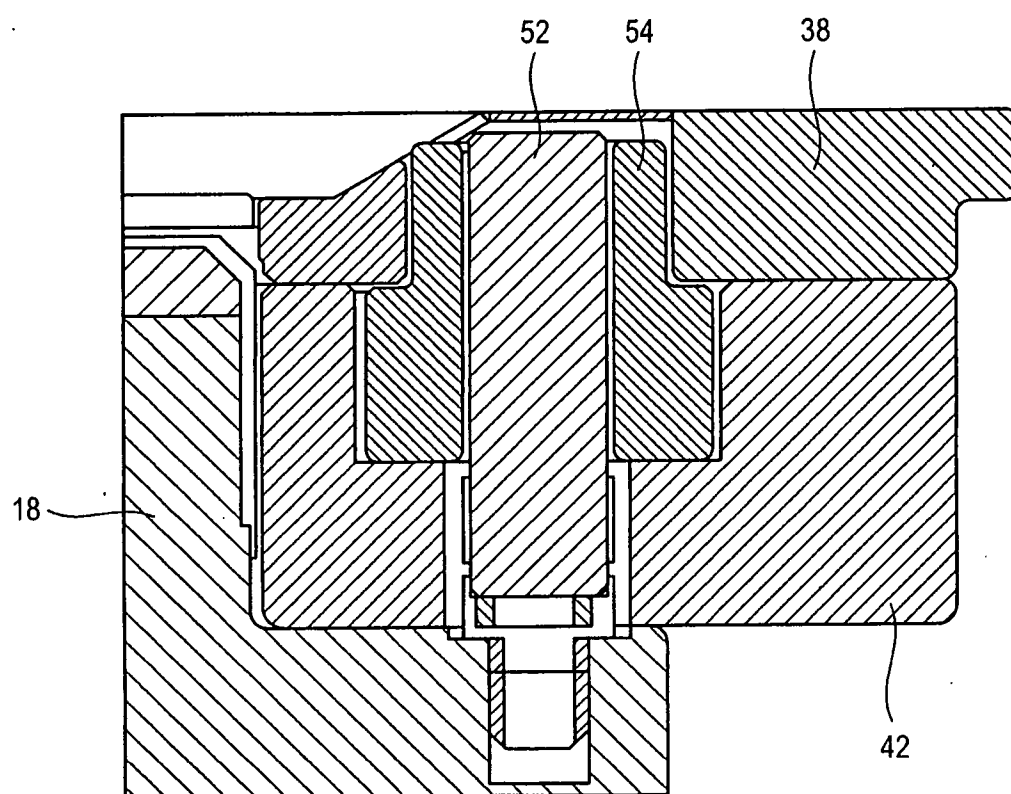


圖 2B

圖式

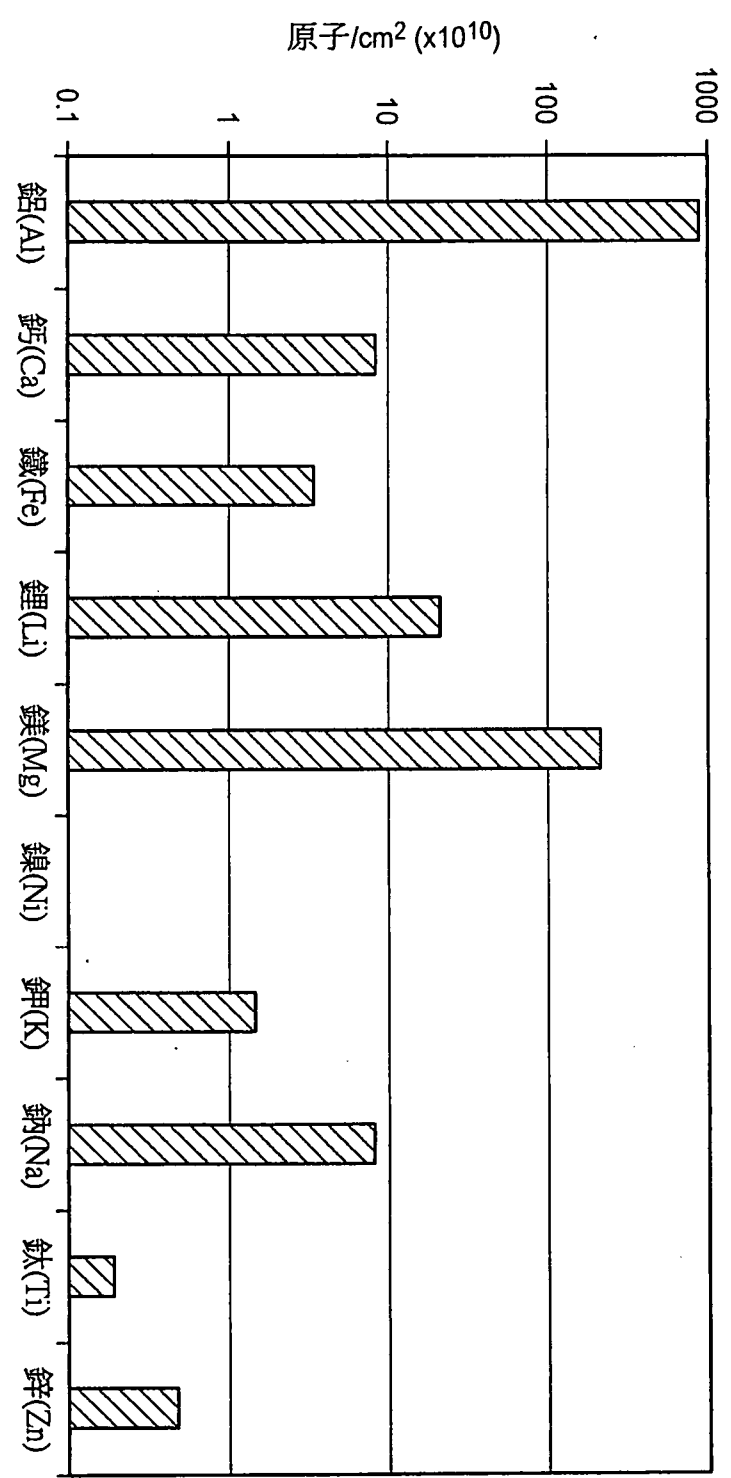


圖 3

圖式

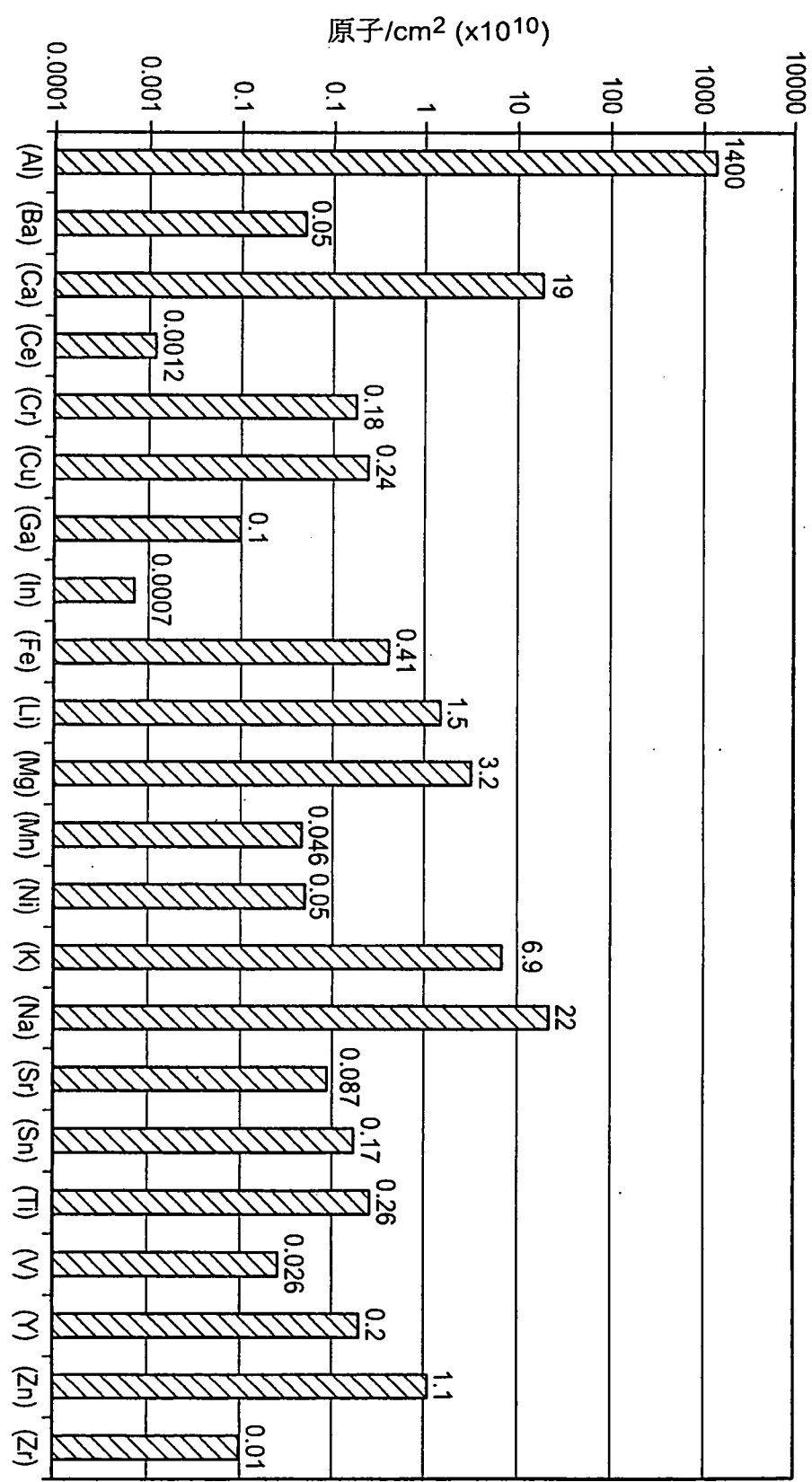


圖 4

圖式

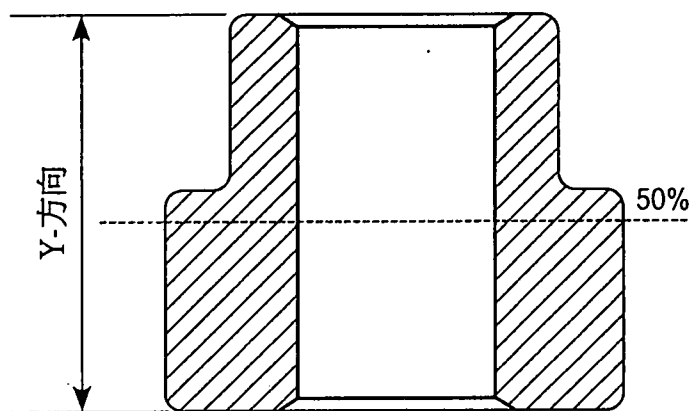


圖 5A

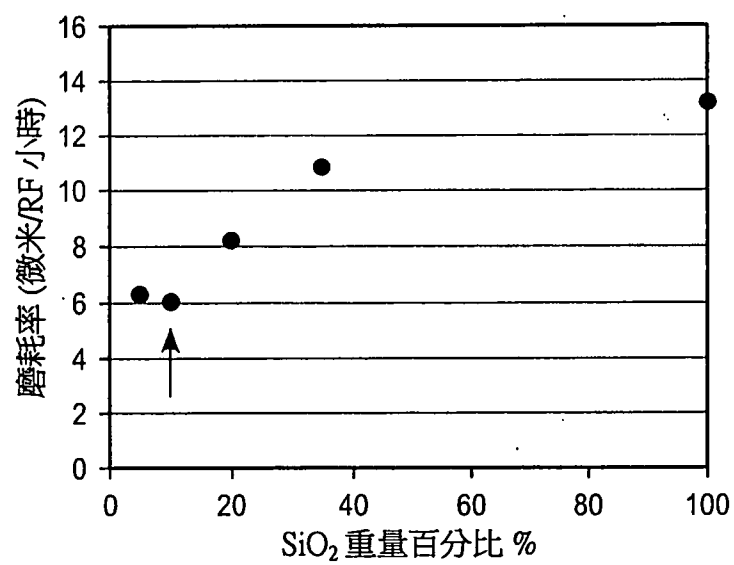


圖 5B