(19)日本国特許庁(JP)

(12)特許公報(B2)

(11)特許番号
特許第7315572号
(P7315572)

(45)発行日　令和5年7月26日(2023.7.26)

(24)登録日　令和5年7月18日(2023.7.18)

(51)国際特許分類		FI		
G09G	*3/36 (2006.01)*	G09G	3/36	
G09G	*3/20 (2006.01)*	G09G	3/20	624B
G09G	*3/3233(2016.01)*	G09G	3/20	621A
G02F	*1/133(2006.01)*	G09G	3/20	680V
G02F	*1/1365(2006.01)*	G09G	3/20	642D

請求項の数　7　（全49頁）　最終頁に続く

(21)出願番号　特願2020-547466(P2020-547466)
(86)(22)出願日　令和1年9月9日(2019.9.9)
(86)国際出願番号　PCT/IB2019/057559
(87)国際公開番号　WO2020/058798
(87)国際公開日　令和2年3月26日(2020.3.26)
審査請求日　令和4年8月4日(2022.8.4)
(31)優先権主張番号　特願2018-176865(P2018-176865)
(32)優先日　平成30年9月21日(2018.9.21)
(33)優先権主張国・地域又は機関
日本国(JP)

(73)特許権者　000153878
株式会社半導体エネルギー研究所
神奈川県厚木市長谷３９８番地
(72)発明者　川島 進
神奈川県厚木市長谷３９８番地 株式会社半導体エネルギー研究所内
(72)発明者　楠本 直人
神奈川県厚木市長谷３９８番地 株式会社半導体エネルギー研究所内
審査官　道祖土 新吾

最終頁に続く

(54)【発明の名称】　表示装置および電子機器

(57)【特許請求の範囲】

【請求項１】

第１の画素回路と、第２の画素回路と、を有する表示装置であって、

前記第１の画素回路は、第１のトランジスタと、第２のトランジスタと、第３のトランジスタと、第１のキャパシタと、第１の回路と、を有し、

前記第２の画素回路は、前記第１のトランジスタと、前記第２のトランジスタと、第４のトランジスタと、前記第１のキャパシタと、第２の回路と、を有し、

前記第１の回路および前記第２の回路のそれぞれは、表示デバイスを有し、

前記第１のトランジスタのソースまたはドレインの一方は、前記第１のキャパシタの一方の電極と電気的に接続され、

前記第１のキャパシタの一方の電極は、前記第３のトランジスタのソースまたはドレインの一方と電気的に接続され、

前記第３のトランジスタのソースまたはドレインの他方は、前記第１の回路と電気的に接続され、

前記第１のキャパシタの他方の電極は、前記第２のトランジスタのソースまたはドレインの一方と電気的に接続され、

前記第２のトランジスタのソースまたはドレインの一方は、前記第４のトランジスタのソースまたはドレインの一方と電気的に接続され、

前記第４のトランジスタのソースまたはドレインの他方は、前記第２の回路と電気的に接続されている表示装置。

【請求項２】
請求項１において、
前記第１の回路および前記第２の回路は、第５のトランジスタと、第２のキャパシタと、前記表示デバイスとして発光デバイスと、を有し、
前記第５のトランジスタのゲートは、前記第３のトランジスタまたは前記第４のトランジスタと電気的に接続され、
前記第５のトランジスタのソースまたはドレインの一方は、前記発光デバイスの一方の電極と電気的に接続され、
前記発光デバイスの一方の電極は、前記第２のキャパシタの一方の電極と電気的に接続され、
前記第２のキャパシタの他方の電極は、前記第５のトランジスタのゲートと電気的に接続されている表示装置。
【請求項３】
請求項１において、
前記第１の回路および前記第２の回路は、前記表示デバイスとして液晶デバイスを有し、
前記液晶デバイスの一方の電極は、前記第３のトランジスタまたは前記第４のトランジスタのソースまたはドレインの他方と電気的に接続されている表示装置。
【請求項４】
請求項３において、
さらに第３のキャパシタを有し、
前記第３のキャパシタの一方の電極は、前記液晶デバイスの一方の電極と電気的に接続されている表示装置。
【請求項５】
請求項１乃至４のいずれか一項において、
前記第１のキャパシタは、第５のキャパシタおよび第６のキャパシタを有し、
前記第５のキャパシタおよび前記第６のキャパシタは、並列接続されている表示装置。
【請求項６】
請求項１乃至５のいずれか一項において、
前記第１の画素回路および前記第２の画素回路が有するトランジスタは、チャネル形成領域に金属酸化物を有し、
前記金属酸化物は、Ｉｎと、Ｚｎと、Ｍ（ＭはＡｌ、Ｔｉ、Ｇａ、Ｇｅ、Ｓｎ、Ｙ、Ｚｒ、Ｌａ、Ｃｅ、ＮｄまたはＨｆ）と、を有する表示装置。
【請求項７】
請求項１乃至６のいずれか一項に記載の表示装置と、カメラと、を有する電子機器。
【発明の詳細な説明】
【技術分野】
【０００１】
本発明の一態様は、表示装置に関する。
【０００２】
なお、本発明の一態様は、上記の技術分野に限定されない。本明細書等で開示する発明の一態様の技術分野は、物、方法、または、製造方法に関するものである。または、本発明の一態様は、プロセス、マシン、マニュファクチャ、または、組成物（コンポジション・オブ・マター）に関するものである。そのため、より具体的に本明細書で開示する本発明の一態様の技術分野としては、半導体装置、表示装置、液晶表示装置、発光装置、照明装置、蓄電装置、記憶装置、撮像装置、それらの動作方法、または、それらの製造方法、を一例として挙げることができる。
【０００３】
なお、本明細書等において半導体装置とは、半導体特性を利用することで機能しうる装置全般を指す。トランジスタ、半導体回路は半導体装置の一態様である。また、記憶装置、表示装置、撮像装置、電子機器は、半導体装置を有する場合がある。

【背景技術】
【０００４】
基板上に形成された金属酸化物を用いてトランジスタを構成する技術が注目されている。例えば、酸化亜鉛またはＩｎ－Ｇａ－Ｚｎ系酸化物を用いたトランジスタを表示装置の画素のスイッチング素子などに用いる技術が特許文献１および特許文献２に開示されている。
【０００５】
また、オフ電流が極めて低いトランジスタをメモリセルに用いる構成の記憶装置が特許文献３に開示されている。
【先行技術文献】
【特許文献】
【０００６】
【文献】特開２００７－１２３８６１号公報
特開２００７－９６０５５号公報
特開２０１１－１１９６７４号公報
【発明の概要】
【発明が解決しようとする課題】
【０００７】
分散型液晶デバイスおよびタンデム型の発光デバイスなどの駆動には、一般的な表示デバイスの駆動電圧よりも高い電圧を要する場合があり、汎用のソースドライバよりも高出力のソースドライバを用いる必要がある。高出力のソースドライバは消費電力も高く、新たなドライバＩＣを開発しなければならない場合もある。
【０００８】
したがって、本発明の一態様では、高電圧を表示デバイスに供給することのできる表示装置を提供することを目的の一つとする。または、ソースドライバの出力電圧以上の電圧を表示デバイスに供給することができる表示装置を提供することを目的の一つとする。または、表示画像の輝度を高めることができる表示装置を提供することを目的の一つとする。または、画素の開口率を高めることができる表示装置を提供することを目的の一つとする。
【０００９】
または、低消費電力の表示装置を提供することを目的の一つとする。または、信頼性の高い表示装置を提供することを目的の一つとする。または、新規な表示装置などを提供することを目的の一つとする。または、上記表示装置の駆動方法を提供することを目的の一つとする。または、新規な半導体装置などを提供することを目的の一つとする。
【００１０】
なお、これらの課題の記載は、他の課題の存在を妨げるものではない。なお、本発明の一態様は、これらの課題の全てを解決する必要はないものとする。なお、これら以外の課題は、明細書、図面、請求項などの記載から、自ずと明らかとなるものであり、明細書、図面、請求項などの記載から、これら以外の課題を抽出することが可能である。
【課題を解決するための手段】
【００１１】
本発明の一態様は、高電圧を表示デバイスに供給することのできる表示装置に関する。
【００１２】
本発明の一態様は、第１の画素回路と、第２の画素回路と、を有する表示装置であって、第１の画素回路は、第１のトランジスタと、第２のトランジスタと、第３のトランジスタと、キャパシタと、第１の表示デバイスと、を有し、第２の画素回路は、第１のトランジスタと、第２のトランジスタと、第４のトランジスタと、キャパシタと、第２の表示デバイスと、を有し、第１のトランジスタ、第２のトランジスタおよびキャパシタで構成される回路は、第１のデータおよび第２のデータを加算して第３のデータを生成する機能を有し、第３のデータは、第１の表示デバイスまたは第２の表示デバイスに供給される表示装置である。
【００１３】

本発明の他の一態様は、第１の画素回路と、第２の画素回路と、とを有する表示装置であって、第１の画素回路は、第１のトランジスタと、第２のトランジスタと、第３のトランジスタと、第１のキャパシタと、第１の回路と、を有し、第２の画素回路は、第１のトランジスタと、第２のトランジスタと、第４のトランジスタと、第１のキャパシタと、第２の回路と、を有し、第１の回路および第２の回路のそれぞれは、表示デバイスを有し、第１のトランジスタのソースまたはドレインの一方は、第１のキャパシタの一方の電極と電気的に接続され、第１のキャパシタの一方の電極は、第３のトランジスタのソースまたはドレインの一方と電気的に接続され、第３のトランジスタのソースまたはドレインの他方は、第１の回路と電気的に接続され、第１のキャパシタの他方の電極は、第２のトランジスタのソースまたはドレインの一方と電気的に接続され、第２のトランジスタのソースまたはドレインの一方は、第４のトランジスタのソースまたはドレインの他方と電気的に接続され、第４のトランジスタのソースまたはドレインの他方は、第２の回路と電気的に接続されている表示装置である。

【００１４】

第１の回路および第２の回路は、第５のトランジスタと、第２のキャパシタと、表示デバイスとして発光デバイスと、を有し、第５のトランジスタのゲートは、第３のトランジスタまたは第４のトランジスタと電気的に接続され、第５のトランジスタのソースまたはドレインの一方は、発光デバイスの一方の電極と電気的に接続され、発光デバイスの一方の電極は、第２のキャパシタの一方の電極と電気的に接続され、第２のキャパシタの他方の電極は、第５のトランジスタのゲートと電気的に接続されている構成とすることができる。

【００１５】

第１の回路および第２の回路は、表示デバイスとして液晶デバイスを有し、液晶デバイスの一方の電極は、第３のトランジスタまたは第４のトランジスタのソースまたはドレインの他方と電気的に接続された構成とすることができる。さらに第３のキャパシタを有し、第３のキャパシタの一方の電極は、液晶デバイスの一方の電極と電気的に接続されていてもよい。

【００１６】

第１のキャパシタは、第５のキャパシタおよび第６のキャパシタを有し、前記第５のキャパシタおよび第６のキャパシタは、並列接続されていてもよい。

【００１７】

第１の画素回路および第２の画素回路が有するトランジスタは、チャネル形成領域に金属酸化物を有し、金属酸化物は、Ｉｎと、Ｚｎと、Ｍ（ＭはＡｌ、Ｔｉ、Ｇａ、Ｇｅ、Ｓｎ、Ｙ、Ｚｒ、Ｌａ、Ｃｅ、ＮｄまたはＨｆ）と、を有することが好ましい。

【発明の効果】

【００１８】

本発明の一態様を用いることで、高電圧を表示デバイスに供給することのできる表示装置を提供することができる。または、ソースドライバの出力電圧以上の電圧を表示デバイスに供給することができる表示装置を提供することができる。または、表示画像の輝度を高めることができる表示装置を提供することができる。または、画素の開口率を高めることができる表示装置を提供することができる。

【００１９】

または、低消費電力の表示装置を提供することができる。または、信頼性の高い表示装置を提供することができる。または、新規な表示装置などを提供することができる。または、上記表示装置の動作方法を提供することができる。または、新規な半導体装置などを提供することができる。

【図面の簡単な説明】

【００２０】

図１は、表示装置を説明する図である。

図２は、画素回路を説明する図である。

図３は、画素回路を説明する図である。

図４は、画素回路の動作を説明するタイミングチャートである。
図５Ａ～図５Ｄは、回路を説明する図である。
図６Ａ～図６Ｄは、回路を説明する図である。
図７は、画素回路を説明する図である。
図８Ａは、シミュレーションに用いる画素回路を説明する図である。図８Ｂは、画素回路の動作を説明するタイミングチャートである。
図９は、シミュレーションの結果を説明する図である。
図１０Ａ～図１０Ｃは、表示装置を説明する図である。
図１１Ａ、図１１Ｂは、タッチパネルを説明する図である。
図１２Ａ、図１２Ｂは、表示装置を説明する図である。
図１３は、表示装置を説明する図である。
図１４Ａ、図１４Ｂは、表示装置を説明する図である。
図１５Ａ、図１５Ｂは、表示装置を説明する図である。
図１６Ａ～図１６Ｅは、表示装置を説明する図である。
図１７Ａ１～図１７Ｃ２は、トランジスタを説明する図である。
図１８Ａ１～図１８Ｃ２は、トランジスタを説明する図である。
図１９Ａ１～図１９Ｃ２は、トランジスタを説明する図である。
図２０Ａ１～図２０Ｃ２は、トランジスタを説明する図である。
図２１Ａ～図２１Ｆは、電子機器を説明する図である。

【発明を実施するための形態】

【００２１】
実施の形態について、図面を用いて詳細に説明する。但し、本発明は以下の説明に限定されず、本発明の趣旨およびその範囲から逸脱することなくその形態および詳細を様々に変更し得ることは当業者であれば容易に理解される。したがって、本発明は以下に示す実施の形態の記載内容に限定して解釈されるものではない。なお、以下に説明する発明の構成において、同一部分または同様な機能を有する部分には同一の符号を異なる図面間で共通して用い、その繰り返しの説明は省略することがある。なお、図を構成する同じ要素のハッチングを異なる図面間で適宜省略または変更する場合もある。

【００２２】
また、回路図上では単一の要素として図示されている場合であっても、機能的に不都合がなければ、当該要素が複数で構成されてもよい。例えば、スイッチとして動作するトランジスタは、複数が直列または並列に接続されてもよい場合がある。また、キャパシタ（容量素子ともいう）を分割して複数の位置に配置してもよい場合がある。

【００２３】
また、一つの導電体が、配線、電極および端子のような複数の機能を併せ持っている場合があり、本明細書においては、同一の要素に対して複数の呼称を用いる場合がある。また、回路図上で要素間が直接接続されているように図示されている場合であっても、実際には当該要素間が複数の導電体を介して接続されている場合があり、本明細書ではこのような構成でも直接接続の範疇に含める。

【００２４】
（実施の形態１）
本実施の形態では、本発明の一態様である表示装置について、図面を参照して説明する。

【００２５】
本発明の一態様は、データを加算する機能を有する画素が設けられた表示装置である。当該画素は、第１のデータを保持する機能を有し、第１のデータに第２のデータを加算して第３のデータを生成し、第３のデータを表示デバイスに供給する機能を有する。したがって、ソースドライバの出力電圧以上の電圧を表示デバイスに供給することができる。

【００２６】
データの加算にはキャパシタによる容量結合を用いる。本発明の一態様では、垂直方向（ソース線が延在する方向）の２画素で当該キャパシタを含む要素を共有するため、当該キ

ャパシタに２画素分の設置面積を与えることができ、容量値を高めることができる。したがって、容量結合によるデータの加算を効率良く行うことができる。

【００２７】

図１は、本発明の一態様の表示装置を説明する図である。表示装置は、ソースドライバ１４と、ゲートドライバ１５ａ、１５ｂと、画素アレイ１６と、を有する。画素アレイ１６は、列方向および行方向に配置された画素１１および画素１２を有する。

【００２８】

ソースドライバ１４は、画素１１および画素１２と電気的に接続される。ゲートドライバ１５ａは、例えば、画素１１と電気的に接続することができる。ゲートドライバ１５ｂは、例えば、画素１２と電気的に接続することができる。なお、ゲートドライバ１５ａ、１５ｂは上記の接続形態に限らず、画素１１および画素１２が有するトランジスタとの接続形態は任意とすることができる。また、ゲートドライバは、画素アレイ１６を介して対向するように二つ設けられた例を示しているが、一つのゲートドライバで画素１１および画素１２を駆動させてもよい。

【００２９】

画素１１および画素１２は、垂直方向（ソース線が延在する方向）に隣り合って設けられる。画素１１および画素１２は同じ回路構成を有し、互いに共有する回路１３を有する。

【００３０】

画素１１および画素１２は、それぞれ供給されたデータを加算する機能を有する。当該加算動作は、回路１３で行うことができる。

【００３１】

画素１１および画素１２の具体例を図２に示す。画素１１は、トランジスタ１０１と、トランジスタ１０２と、トランジスタ１０３と、キャパシタ１０５と、回路１１０を有する。画素１２は、トランジスタ１０１と、トランジスタ１０２と、トランジスタ１０４と、キャパシタ１０５と、回路１１０を有する。なお、回路１１０は、トランジスタ、キャパシタ、および表示デバイスなどを有する構成とすることができ、各画素に設けられる。

【００３２】

トランジスタ１０１のソースまたはドレインの一方は、キャパシタ１０５の一方の電極と電気的に接続される。キャパシタ１０５の一方の電極は、トランジスタ１０３のソースまたはドレインの一方と電気的に接続される。トランジスタ１０３のソースまたはドレインの他方は、画素１１の回路１１０と電気的に接続される。キャパシタ１０５の他方の電極は、トランジスタ１０２のソースまたはドレインの一方と電気的に接続される。トランジスタ１０２のソースまたはドレインの一方は、トランジスタ１０４のソースまたはドレインの一方と電気的に接続される。トランジスタ１０４のソースまたはドレインの他方は、画素１２の回路１１０と電気的に接続される。

【００３３】

画素１１および画素１２が有する要素と各種配線との接続を説明する。トランジスタ１０１のゲートは、配線１２１と電気的に接続される。トランジスタ１０２のゲートは、配線１２３と電気的に接続される。トランジスタ１０３のゲートは、配線１２２と電気的に接続される。トランジスタ１０４のゲートは、配線１２４と電気的に接続される。

【００３４】

トランジスタ１０１のソースまたはドレインの他方は、配線１２５と電気的に接続される。トランジスタ１０２のソースまたはドレインの他方は、配線１２６と電気的に接続される。

【００３５】

配線１２１、１２２、１２３、１２４は、ゲート線としての機能を有し、ゲートドライバ１５ａまたはゲートドライバ１５ｂと電気的に接続することができる。配線１２５、１２６はソース線としての機能を有し、ソースドライバ１４と電気的に接続することができる（図１参照）。

【００３６】

ここで、トランジスタ１０１のソースまたはドレインの一方と、キャパシタ１０５の一方の電極と、トランジスタ１０３のソースまたはドレインの一方とを接続する配線をノードＮＭ$_{11}$とする。トランジスタ１０２のソースまたはドレインの一方と、キャパシタ１０５の他方の電極と、トランジスタ１０４のソースまたはドレインの一方とを接続する配線をノードＮＭ$_{12}$とする。また、トランジスタ１０３と、回路１１０とを接続する配線をノードＮＡ$_{11}$とする。トランジスタ１０４と、回路１１０とを接続する配線をノードＮＡ$_{12}$とする。

【００３７】

ノードＮＡ$_{11}$およびノードＮＡ$_{12}$はフローティングとすることができ、回路１１０が有する表示デバイスはノードＮＡ$_{11}$またはノードＮＡ$_{12}$の電位に従って動作する。

【００３８】

トランジスタ１０１、トランジスタ１０２およびキャパシタ１０５は、画素１１および画素１２が共有する回路１３に相当する。回路１３は、データを加算する機能を有する。画素１１においては、ノードＮＭ$_{11}$に書き込む第１のデータと、ノードＮＭ$_{12}$に書き込む第２のデータとの容量結合により、ノードＮＭ$_{11}$に第３のデータを生成する。また、画素１２においては、ノードＮＭ$_{12}$に書き込む第１のデータと、ノードＮＭ$_{11}$に書き込む第２のデータとの容量結合により、ノードＮＭ$_{12}$に第３のデータを生成する。

【００３９】

画素１１および画素１２はキャパシタ１０５を共有するため、画素ごとにキャパシタを設けて一つの回路を構成する場合よりもキャパシタの設置面積を広くとることができる。すなわち、キャパシタ１０５の電極面積を大きくすることができ、容量値を高めることができる。

【００４０】

画素１１では、まず、ノードＮＭ$_{11}$に第１のデータ（重み：Ｗ）を書き込む。このとき、ノードＮＭ$_{12}$には基準電位“Ｖ$_{ref}$”を供給し、キャパシタ１０５には電位“Ｗ－Ｖ$_{ref}$”を保持させる。次に、ノードＮＭ$_{11}$をフローティングとし、ノードＮＭ$_{12}$に第２のデータ（データ：Ｄ）を供給する。

【００４１】

このとき、キャパシタ１０５の容量値をＣ$_{105}$、ノードＮＭ$_{11}$の容量値（ノードＮＡ$_{11}$の容量値を含む）をＣ$_{NM11}$とすると、ノードＮＭ$_{11}$の電位は、Ｗ＋（Ｃ$_{105}$／（Ｃ$_{105}$＋Ｃ$_{NM11}$））×（Ｄ－Ｖ$_{ref}$）となる。ここで、Ｃ$_{105}$の値を大きくし、Ｃ$_{NM11}$の値を無視できるようになれば、ノードＮＭ$_{11}$の電位は“Ｗ＋Ｄ－Ｖ$_{ref}$”となる。本発明の一態様では、上述したようにキャパシタ１０５の電極面積を大きくし容量値Ｃ$_{105}$を高めることができるため、データの加算を効率良く行うことができる。

【００４２】

したがって、“Ｗ”＝“Ｄ”、“Ｖ$_{ref}$”＝０Ｖであって、Ｃ$_{105}$がＣ$_{NM11}$に比べて十分に大きければノードＮＭ$_{11}$の電位は“２Ｄ”に近づく。つまり、ソースドライバ１４の出力の約２倍の電位となる第３のデータ（“２Ｄ”）をノードＮＭ$_{11}$に供給できることになる。

【００４３】

画素１２では、まず、ノードＮＭ$_{12}$に第１のデータ（重み：Ｗ）を書き込む。このとき、ノードＮＭ$_{11}$には基準電位“Ｖ$_{ref}$”を供給し、キャパシタ１０５には“Ｗ－Ｖ$_{ref}$”を保持させる。次に、ノードＮＭ$_{12}$をフローティングとし、ノードＮＭ$_{11}$に第２のデータ（データ：Ｄ）を供給する。

【００４４】

このとき、キャパシタ１０５の容量値をＣ$_{105}$、ノードＮＭ$_{12}$の容量値（ノードＮＡ$_{12}$の容量値を含む）をＣ$_{NM12}$とすると、ノードＮＭ$_{12}$の電位は、Ｗ＋（Ｃ$_{105}$／（Ｃ$_{105}$＋Ｃ$_{NM12}$））×（Ｄ－Ｖ$_{ref}$）となる。ここで、Ｃ$_{105}$の値を大きくし、Ｃ$_{NM12}$の値を無視できるようになれば、ノードＮＭ$_{12}$の電位は“Ｗ＋Ｄ－Ｖ$_{ref}$”となる。

【００４５】

したがって、“Ｗ”＝“Ｄ”、“Ｖ$_{ref}$”＝０Ｖであって、Ｃ$_{105}$がＣ$_{NM12}$に比べて十分に

大きければノードＮＭ１２の電位は“２Ｄ”に近づく。
【００４６】
なお、画素１１、１２ともに、“V_{ref}”が“－Ｗ”または“－Ｄ”であって、“－Ｗ”＝“－Ｄ”であれば、ノードＮＭ１１の電位は“３Ｄ”に近づけることができる。
【００４７】
当該作用により、汎用のドライバＩＣを用いても高い電圧を生成することができる。例えば、階調制御に高い電圧を必要とする液晶デバイスなどを駆動することができる。または、一般的な液晶デバイスや発光デバイスなどを駆動するためにソースドライバ１４から供給する電圧を約１／２または約１／３とすることができるため、表示装置を低消費電力化することができる。
【００４８】
ノードＮＭ１１、ノードＮＭ１２、ノードＮＡ１１、ノードＮＡ１２は、記憶ノードとして作用する。各ノードに接続するトランジスタを導通させることで、データを各ノードに書き込むことができる。また、当該トランジスタを非導通とすることで、当該データを各ノードに保持することができる。当該トランジスタに極めてオフ電流の低いトランジスタを用いることでリーク電流を抑えることができ、各ノードの電位を長時間保持することが可能となる。当該トランジスタには、例えば、金属酸化物をチャネル形成領域に用いたトランジスタ（以下、ＯＳトランジスタ）を用いることができる。
【００４９】
具体的には、トランジスタ１０１、１０２、１０３、１０４のいずれか、または全てにＯＳトランジスタを適用することが好ましい。また、回路１１０が有する要素にＯＳトランジスタを適用してもよい。また、リーク電流量が許容できる範囲で動作を行う場合は、Ｓｉをチャネル形成領域に有するトランジスタ（以下、Ｓｉトランジスタ）を適用してもよい。または、ＯＳトランジスタおよびＳｉトランジスタを併用してもよい。なお、上記Ｓｉトランジスタとしては、アモルファスシリコンを有するトランジスタ、結晶性のシリコン（微結晶シリコン、低温ポリシリコン、単結晶シリコン）を有するトランジスタなどが挙げられる。
【００５０】
ＯＳトランジスタに用いる半導体材料としては、エネルギーギャップが２ｅＶ以上、好ましくは２．５ｅＶ以上、より好ましくは３ｅＶ以上である金属酸化物を用いることができる。代表的には、インジウムを含む酸化物半導体などであり、例えば、後述するＣＡＡＣ－ＯＳまたはＣＡＣ－ＯＳなどを用いることができる。ＣＡＡＣ－ＯＳは結晶を構成する原子が安定であり、信頼性を重視するトランジスタなどに適する。また、ＣＡＣ－ＯＳは、高移動度特性を示すため、高速駆動を行うトランジスタなどに適する。
【００５１】
ＯＳトランジスタは半導体層のエネルギーギャップが大きいため、数ｙＡ／μｍ（チャネル幅１μｍあたりの電流値）という極めて低いオフ電流特性を示す。また、ＯＳトランジスタは、インパクトイオン化、アバランシェ降伏、および短チャネル効果などが生じないなどＳｉトランジスタとは異なる特徴を有し、高耐圧で信頼性の高い回路を形成することができる。また、Ｓｉトランジスタでは問題となる結晶性の不均一性に起因する電気特性のばらつきもＯＳトランジスタでは生じにくい。
【００５２】
ＯＳトランジスタが有する半導体層は、例えばインジウム、亜鉛およびＭ（アルミニウム、チタン、ガリウム、ゲルマニウム、イットリウム、ジルコニウム、ランタン、セリウム、スズ、ネオジムまたはハフニウム等の金属）を含むＩｎ－Ｍ－Ｚｎ系酸化物で表記される膜とすることができる。Ｉｎ－Ｍ－Ｚｎ系酸化物は代表的には、スパッタリング法で形成することができる。または、ＡＬＤ（Ａｔｏｍｉｃ　ｌａｙｅｒ　ｄｅｐｏｓｉｔｉｏｎ）法を用いて形成してもよい。
【００５３】
Ｉｎ－Ｍ－Ｚｎ系酸化物をスパッタリング法で形成するために用いるスパッタリングター

ゲットの金属元素の原子数比は、Ｉｎ≧Ｍ、Ｚｎ≧Ｍを満たすことが好ましい。このようなスパッタリングターゲットの金属元素の原子数比として、Ｉｎ：Ｍ：Ｚｎ＝１：１：１、Ｉｎ：Ｍ：Ｚｎ＝１：１：１．２、Ｉｎ：Ｍ：Ｚｎ＝３：１：２、Ｉｎ：Ｍ：Ｚｎ＝４：２：３、Ｉｎ：Ｍ：Ｚｎ＝４：２：４．１、Ｉｎ：Ｍ：Ｚｎ＝５：１：６、Ｉｎ：Ｍ：Ｚｎ＝５：１：７、Ｉｎ：Ｍ：Ｚｎ＝５：１：８等が好ましい。なお、成膜される半導体層の原子数比はそれぞれ、上記のスパッタリングターゲットに含まれる金属元素の原子数比のプラスマイナス４０％の変動を含む。

【００５４】

半導体層としては、キャリア密度の低い酸化物半導体を用いる。例えば、半導体層は、キャリア密度が1×10^{17}／ｃｍ^{3}以下、好ましくは1×10^{15}／ｃｍ^{3}以下、さらに好ましくは1×10^{13}／ｃｍ^{3}以下、より好ましくは1×10^{11}／ｃｍ^{3}以下、さらに好ましくは1×10^{10}／ｃｍ^{3}未満であり、1×10^{-9}／ｃｍ^{3}以上の酸化物半導体を用いることができる。そのような酸化物半導体を、高純度真性または実質的に高純度真性な酸化物半導体と呼ぶ。当該酸化物半導体は、欠陥準位密度が低く、安定な特性を有する酸化物半導体であるといえる。

【００５５】

なお、これらに限られず、必要とするトランジスタの半導体特性および電気特性（電界効果移動度、しきい値電圧等）に応じて適切な組成の酸化物半導体を用いればよい。また、必要とするトランジスタの半導体特性を得るために、半導体層のキャリア密度や不純物濃度、欠陥密度、金属元素と酸素の原子数比、原子間距離、密度等を適切なものとすることが好ましい。

【００５６】

半導体層を構成する酸化物半導体において、第１４族元素の一つであるシリコンや炭素が含まれると、酸素欠損が増加し、ｎ型化してしまう。このため、半導体層におけるシリコンや炭素の濃度（二次イオン質量分析法（ＳＩＭＳ：Ｓｅｃｏｎｄａｒｙ Ｉｏｎ Ｍａｓｓ Ｓｐｅｃｔｒｏｍｅｔｒｙ）により得られる濃度）を、2×10^{18}ａｔｏｍｓ／ｃｍ^{3}以下、好ましくは2×10^{17}ａｔｏｍｓ／ｃｍ^{3}以下とする。

【００５７】

また、アルカリ金属およびアルカリ土類金属は、酸化物半導体と結合するとキャリアを生成する場合があり、トランジスタのオフ電流が増大してしまうことがある。このため、半導体層におけるアルカリ金属またはアルカリ土類金属の濃度（ＳＩＭＳにより得られる濃度）を、1×10^{18}ａｔｏｍｓ／ｃｍ^{3}以下、好ましくは2×10^{16}ａｔｏｍｓ／ｃｍ^{3}以下にする。

【００５８】

また、半導体層を構成する酸化物半導体に窒素が含まれていると、キャリアである電子が生じてキャリア密度が増加し、ｎ型化しやすい。この結果、窒素が含まれている酸化物半導体を用いたトランジスタはノーマリーオン特性となりやすい。このため半導体層における窒素濃度（ＳＩＭＳにより得られる濃度）は、5×10^{18}ａｔｏｍｓ／ｃｍ^{3}以下にすることが好ましい。

【００５９】

また、半導体層を構成する酸化物半導体に水素が含まれていると、金属原子と結合する酸素と反応して水になるため、酸化物半導体中に酸素欠損を形成する場合がある。酸化物半導体中のチャネル形成領域に酸素欠損が含まれていると、トランジスタはノーマリーオン特性となる場合がある。さらに、酸素欠損に水素が入った欠陥はドナーとして機能し、キャリアである電子が生成されることがある。また、水素の一部が金属原子と結合する酸素と結合して、キャリアである電子を生成する場合がある。したがって、水素が多く含まれている酸化物半導体を用いたトランジスタは、ノーマリーオン特性となりやすい。

【００６０】

酸素欠損に水素が入った欠陥は、酸化物半導体のドナーとして機能しうる。しかしながら、当該欠陥を定量的に評価することは困難である。そこで、酸化物半導体においては、ド

ナー濃度ではなく、キャリア濃度で評価される場合がある。よって、本明細書等では、酸化物半導体のパラメータとして、ドナー濃度ではなく、電界が印加されない状態を想定したキャリア濃度を用いる場合がある。つまり、本明細書等に記載の「キャリア濃度」は、「ドナー濃度」と言い換えることができる場合がある。

【００６１】

よって、酸化物半導体中の水素はできる限り低減されていることが好ましい。具体的には、酸化物半導体において、ＳＩＭＳにより得られる水素濃度を、1×10^{20}ａｔｏｍｓ／ｃｍ^{3}未満、好ましくは1×10^{19}ａｔｏｍｓ／ｃｍ^{3}未満、より好ましくは5×10^{18}ａｔｏｍｓ／ｃｍ^{3}未満、さらに好ましくは1×10^{18}ａｔｏｍｓ／ｃｍ^{3}未満とする。水素などの不純物が十分に低減された酸化物半導体をトランジスタのチャネル形成領域に用いることで、安定した電気特性を付与することができる。

【００６２】

また、半導体層は、例えば非単結晶構造でもよい。非単結晶構造は、例えば、ｃ軸に配向した結晶を有するＣＡＡＣ－ＯＳ（Ｃ－Ａｘｉｓ Ａｌｉｇｎｅｄ Ｃｒｙｓｔａｌｌｉｎｅ Ｏｘｉｄｅ Ｓｅｍｉｃｏｎｄｕｃｔｏｒ）、多結晶構造、微結晶構造、または非晶質構造を含む。非単結晶構造において、非晶質構造は最も欠陥準位密度が高く、ＣＡＡＣ－ＯＳは最も欠陥準位密度が低い。

【００６３】

非晶質構造の酸化物半導体膜は、例えば、原子配列が無秩序であり、結晶成分を有さない。または、非晶質構造の酸化物膜は、例えば、完全な非晶質構造であり、結晶部を有さない。

【００６４】

なお、半導体層が、非晶質構造の領域、微結晶構造の領域、多結晶構造の領域、ＣＡＡＣ－ＯＳの領域、単結晶構造の領域のうち、二種以上を有する混合膜であってもよい。混合膜は、例えば上述した領域のうち、いずれか二種以上の領域を含む単層構造、または積層構造を有する場合がある。

【００６５】

以下では、非単結晶の半導体層の一態様であるＣＡＣ（Ｃｌｏｕｄ－Ａｌｉｇｎｅｄ Ｃｏｍｐｏｓｉｔｅ）－ＯＳの構成について説明する。

【００６６】

ＣＡＣ－ＯＳとは、例えば、酸化物半導体を構成する元素が、０．５ｎｍ以上１０ｎｍ以下、好ましくは、１ｎｍ以上２ｎｍ以下、またはその近傍のサイズで偏在した材料の一構成である。なお、以下では、酸化物半導体において、一つあるいはそれ以上の金属元素が偏在し、該金属元素を有する領域が、０．５ｎｍ以上１０ｎｍ以下、好ましくは、１ｎｍ以上２ｎｍ以下、またはその近傍のサイズで混合した状態をモザイク状、またはパッチ状ともいう。

【００６７】

なお、酸化物半導体は、少なくともインジウムを含むことが好ましい。特にインジウムおよび亜鉛を含むことが好ましい。また、それらに加えて、アルミニウム、ガリウム、イットリウム、銅、バナジウム、ベリリウム、ホウ素、シリコン、チタン、鉄、ニッケル、ゲルマニウム、ジルコニウム、モリブデン、ランタン、セリウム、ネオジム、ハフニウム、タンタル、タングステン、またはマグネシウムなどから選ばれた一種、または複数種が含まれていてもよい。

【００６８】

例えば、Ｉｎ－Ｇａ－Ｚｎ酸化物におけるＣＡＣ－ＯＳ（ＣＡＣ－ＯＳの中でもＩｎ－Ｇａ－Ｚｎ酸化物を、特にＣＡＣ－ＩＧＺＯと呼称してもよい。）とは、インジウム酸化物（以下、InO_{X1}（$X1$は０よりも大きい実数）とする。）、またはインジウム亜鉛酸化物（以下、$In_{X2}Zn_{Y2}O_{Z2}$（$X2$、$Y2$、および$Z2$は０よりも大きい実数）とする。）と、ガリウム酸化物（以下、GaO_{X3}（$X3$は０よりも大きい実数）とする。）、またはガリウム亜鉛酸化物（以下、$Ga_{X4}Zn_{Y4}O_{Z4}$（$X4$、$Y4$、および$Z4$

は０よりも大きい実数）とする。）などと、に材料が分離することでモザイク状となり、モザイク状のInO_{X1}、または$In_{X2}Zn_{Y2}O_{Z2}$が、膜中に均一に分布した構成（以下、クラウド状ともいう。）である。

【００６９】

つまり、ＣＡＣ－ＯＳは、GaO_{X3}が主成分である領域と、$In_{X2}Zn_{Y2}O_{Z2}$、またはInO_{X1}が主成分である領域とが、混合している構成を有する複合酸化物半導体である。なお、本明細書において、例えば、第１の領域の元素Ｍに対するＩｎの原子数比が、第２の領域の元素Ｍに対するＩｎの原子数比よりも大きいことを、第１の領域は、第２の領域と比較して、Ｉｎの濃度が高いとする。

【００７０】

なお、ＩＧＺＯは通称であり、Ｉｎ、Ｇａ、Ｚｎ、およびＯによる１つの化合物をいう場合がある。代表例として、$InGaO_3(ZnO)_{m1}$（ｍ１は自然数）、または$In_{(1+x0)}Ga_{(1-x0)}O_3(ZnO)_{m0}$（$-1 \leqq x0 \leqq 1$、ｍ０は任意数）で表される結晶性の化合物が挙げられる。

【００７１】

上記結晶性の化合物は、単結晶構造、多結晶構造、またはＣＡＡＣ構造を有する。なお、ＣＡＡＣ構造とは、複数のＩＧＺＯのナノ結晶がｃ軸配向を有し、かつａ－ｂ面においては配向せずに連結した結晶構造である。

【００７２】

一方、ＣＡＣ－ＯＳは、酸化物半導体の材料構成に関する。ＣＡＣ－ＯＳとは、Ｉｎ、Ｇａ、Ｚｎ、およびＯを含む材料構成において、一部にＧａを主成分とするナノ粒子状に観察される領域と、一部にＩｎを主成分とするナノ粒子状に観察される領域とが、それぞれモザイク状にランダムに分散している構成をいう。したがって、ＣＡＣ－ＯＳにおいて、結晶構造は副次的な要素である。

【００７３】

なお、ＣＡＣ－ＯＳは、組成の異なる二種類以上の膜の積層構造は含まないものとする。例えば、Ｉｎを主成分とする膜と、Ｇａを主成分とする膜との２層からなる構造は、含まない。

【００７４】

なお、GaO_{X3}が主成分である領域と、$In_{X2}Zn_{Y2}O_{Z2}$、またはInO_{X1}が主成分である領域とは、明確な境界が観察できない場合がある。

【００７５】

なお、ガリウムの代わりに、アルミニウム、イットリウム、銅、バナジウム、ベリリウム、ホウ素、シリコン、チタン、鉄、ニッケル、ゲルマニウム、ジルコニウム、モリブデン、ランタン、セリウム、ネオジム、ハフニウム、タンタル、タングステン、またはマグネシウムなどから選ばれた一種、または複数種が含まれている場合、ＣＡＣ－ＯＳは、一部に該金属元素を主成分とするナノ粒子状に観察される領域と、一部にＩｎを主成分とするナノ粒子状に観察される領域とが、それぞれモザイク状にランダムに分散している構成をいう。

【００７６】

ＣＡＣ－ＯＳは、例えば基板を意図的に加熱しない条件で、スパッタリング法により形成することができる。また、ＣＡＣ－ＯＳをスパッタリング法で形成する場合、成膜ガスとして、不活性ガス（代表的にはアルゴン）、酸素ガス、および窒素ガスの中から選ばれたいずれか一つまたは複数を用いればよい。また、成膜時の成膜ガスの総流量に対する酸素ガスの流量比は低いほど好ましく、例えば酸素ガスの流量比を０％以上３０％未満、好ましくは０％以上１０％以下とすることが好ましい。

【００７７】

ＣＡＣ－ＯＳは、Ｘ線回折（ＸＲＤ：Ｘ－ｒａｙ　ｄｉｆｆｒａｃｔｉｏｎ）測定法のひとつであるＯｕｔ－ｏｆ－ｐｌａｎｅ法による$\theta/2\theta$スキャンを用いて測定したときに、明確なピークが観察されないという特徴を有する。すなわち、Ｘ線回折測定から、測定

領域のａ－ｂ面方向、およびｃ軸方向の配向は見られないことが分かる。
【００７８】
また、ＣＡＣ－ＯＳは、プローブ径が１ｎｍの電子線（ナノビーム電子線ともいう。）を照射することで得られる電子線回折パターンにおいて、リング状に輝度の高い領域（リング領域）と、該リング領域に複数の輝点が観測される。したがって、電子線回折パターンから、ＣＡＣ－ＯＳの結晶構造が、平面方向、および断面方向において、配向性を有さないｎｃ（ｎａｎｏ－ｃｒｙｓｔａｌ）構造を有することがわかる。
【００７９】
また、例えば、Ｉｎ－Ｇａ－Ｚｎ酸化物におけるＣＡＣ－ＯＳでは、エネルギー分散型Ｘ線分光法（ＥＤＸ：Ｅｎｅｒｇｙ Ｄｉｓｐｅｒｓｉｖｅ Ｘ－ｒａｙ ｓｐｅｃｔｒｏｓｃｏｐｙ）を用いて取得したＥＤＸマッピングにより、GaO_{X3}が主成分である領域と、$In_{X2}Zn_{Y2}O_{Z2}$、またはInO_{X1}が主成分である領域とが、偏在し、混合している構造を有することが確認できる。
【００８０】
ＣＡＣ－ＯＳは、金属元素が均一に分布したＩＧＺＯ化合物とは異なる構造であり、ＩＧＺＯ化合物と異なる性質を有する。つまり、ＣＡＣ－ＯＳは、GaO_{X3}などが主成分である領域と、$In_{X2}Zn_{Y2}O_{Z2}$、またはInO_{X1}が主成分である領域と、に互いに相分離し、各元素を主成分とする領域がモザイク状である構造を有する。
【００８１】
ここで、$In_{X2}Zn_{Y2}O_{Z2}$、またはInO_{X1}が主成分である領域は、GaO_{X3}などが主成分である領域と比較して、導電性が高い領域である。つまり、$In_{X2}Zn_{Y2}O_{Z2}$、またはInO_{X1}が主成分である領域を、キャリアが流れることにより、酸化物半導体としての導電性が発現する。したがって、$In_{X2}Zn_{Y2}O_{Z2}$、またはInO_{X1}が主成分である領域が、酸化物半導体中にクラウド状に分布することで、高い電界効果移動度（μ）が実現できる。
【００８２】
一方、GaO_{X3}などが主成分である領域は、$In_{X2}Zn_{Y2}O_{Z2}$、またはInO_{X1}が主成分である領域と比較して、絶縁性が高い領域である。つまり、GaO_{X3}などが主成分である領域が、酸化物半導体中に分布することで、リーク電流を抑制し、良好なスイッチング動作を実現できる。
【００８３】
したがって、ＣＡＣ－ＯＳを半導体デバイスに用いた場合、GaO_{X3}などに起因する絶縁性と、$In_{X2}Zn_{Y2}O_{Z2}$、またはInO_{X1}に起因する導電性とが、相補的に作用することにより、高いオン電流（I_{on}）、および高い電界効果移動度（μ）を実現することができる。
【００８４】
また、ＣＡＣ－ＯＳを用いた半導体デバイスは、信頼性が高い。したがって、ＣＡＣ－ＯＳは、様々な半導体装置の構成材料として適している。
【００８５】
なお、本発明の一態様の画素回路では、キャパシタ１０５を複数のキャパシタの並列接続で構成してもよい。例えば、図３に示すように、ゲート配線（配線１２３および１２５）をブリッジする配線を用いて二つのキャパシタを並列接続する構成とすることができる。当該構成とすることで、ゲート配線を分散して設置することができ、特に高精細な小型パネルなどでは表示品質を向上させることができる。なお、配線幅に対して画素サイズが十分に大きい大型パネルでは、図１および図２に示すように、ゲート配線が画素間にまとめて配置されていても高い表示品質を得ることができる。
【００８６】
次に、図４に示すタイミングチャートを用いて、画素１１および画素１２の動作によりソースドライバの出力するデータ電位の約２倍のデータ電位を表示デバイスに供給する方法を説明する。

【００８７】
なお、以下の説明においては、高電位を“Ｈ”、低電位を“Ｌ”で表す。また、画素１１に供給する重みを“Ｗ１”、画像データを“Ｄ１”、画素１２に供給する重みを“Ｗ２”、画像データを“Ｄ２”とする。“V_{ref}”としては、例えば０Ｖ、ＧＮＤ電位または特定の基準電位を用いることができる。
【００８８】
なお、ここでは電位の分配、結合または損失において、回路の構成や動作タイミングなどに起因する詳細な変化は勘案しない。また、キャパシタを用いた容量結合による電位の変化は、当該キャパシタと、接続される要素との容量比に依存するが、説明を明瞭にするため、ノードNM_{11}、ノードNM_{12}、ノードNA_{11}およびノードNA_{12}の容量値は十分に小さい値に仮定する。
【００８９】
時刻Ｔ１に配線１２５に“Ｗ１”、配線１２６に“V_{ref}”を供給し、配線１２１の電位を“Ｈ”、配線１２２の電位を“Ｈ”、１２３の電位を“Ｈ”、配線１２４の電位を“Ｌ”とすると、トランジスタ１０２が導通し、ノードNM_{12}の電位は“V_{ref}”となる。当該動作は、後の加算動作（容量結合動作）を行うためのリセット動作である。
【００９０】
また、トランジスタ１０１、１０３が導通し、ノードNM_{11}およびノードNA_{11}に配線１２５の電位が書き込まれる。当該動作は、画素１１における重みの書き込み動作であり、ノードNM_{11}およびノードNA_{11}の電位は“Ｗ１”となる。
【００９１】
時刻Ｔ２に配線１２１の電位を“Ｌ”、配線１２２の電位を“Ｈ”、配線１２３の電位を“Ｈ”、配線１２４の電位を“Ｌ”とすると、トランジスタ１０１が非導通となる。このとき、ノードNM_{11}およびノードNA_{11}に“Ｗ１”が保持される。また、キャパシタ１０５には、“$W1-V_{ref}$”が保持される。
【００９２】
また、配線１２６に“Ｄ１”が供給されると、ノードNM_{12}の電位は“Ｄ１”となり、キャパシタ１０５とノードNM_{11}＋ノードNA_{11}の容量比に応じた“（$D1-V_{ref}$）’”がノードNM_{11}およびノードNA_{11}に付加される。当該動作は画素１１における加算動作であり、ノードNM_{11}およびノードNA_{11}の電位は“$W1+(D1-V_{ref})'$”となる。このとき、“V_{ref}”＝０であれば、ノードNM_{11}およびノードNA_{11}の電位は、“Ｗ１＋Ｄ１’”となる。ノードNA_{11}の電位は表示デバイスに供給され、表示が行われる。
【００９３】
ここで、Ｗ１＝Ｄ１であって、ノードNM_{11}およびノードNA_{11}の容量がキャパシタ１０５の容量よりも十分に小さい場合は、“Ｗ１＋Ｄ１’”は“２Ｄ１”に近い値となる。したがって、ソースドライバの出力するデータ電位の約２倍のデータ電位を表示デバイスに供給することができる。
【００９４】
時刻Ｔ３に配線１２２の電位を“Ｌ”とすると、トランジスタ１０３は非導通となり、ノードNA_{11}の電位は保持され、次フレームの動作まで表示が継続される。以上が画素１１の動作説明である。
【００９５】
また、時刻Ｔ３に配線１２５に“V_{ref}”、配線１２６に“Ｗ２”を供給し、配線１２１の電位を“Ｈ”、１２３の電位を“Ｈ”、配線１２４の電位を“Ｈ”とすると、トランジスタ１０１が導通し、ノードNM_{11}の電位は“V_{ref}”となる。当該動作は、後の加算動作（容量結合動作）を行うためのリセット動作である。
【００９６】
また、トランジスタ１０２、１０４が導通し、ノードNM_{12}およびノードNA_{12}に配線１２６の電位が書き込まれる。当該動作は、画素１２における重みの書き込み動作であり、ノードNM_{12}およびノードNA_{12}の電位は“Ｗ２”となる。

【００９７】
時刻Ｔ４に配線１２１の電位を“Ｈ”、配線１２２の電位を“Ｌ”、配線１２３の電位を“Ｌ”、配線１２４の電位を“Ｈ”とすると、トランジスタ１０２が非導通となる。このとき、ノードＮＭ$_{12}$およびノードＮＡ$_{12}$に“Ｗ２”が保持される。また、キャパシタ１０５には、“Ｗ２－Ｖ$_{ref}$”が保持される。
【００９８】
また、配線１２５に“Ｄ２”が供給されると、ノードＮＭ$_{11}$の電位は“Ｄ２”となり、キャパシタ１０５とノードＮＭ$_{12}$＋ノードＮＡ$_{12}$の容量比に応じた“（Ｄ２－Ｖ$_{ref}$）’”がノードＮＭ$_{12}$およびノードＮＡ$_{12}$に付加される。当該動作は画素１２における加算動作であり、ノードＮＭ$_{12}$およびノードＮＡ$_{12}$の電位は“Ｗ２＋（Ｄ２－Ｖ$_{ref}$）’”となる。このとき、“Ｖ$_{ref}$”＝０であれば、ノードＮＭ$_{12}$およびノードＮＡ$_{12}$の電位は、“Ｗ２＋Ｄ２’”となる。ノードＮＡ$_{12}$の電位は表示デバイスに供給され、表示が行われる。
【００９９】
ここで、Ｗ１＝Ｄ１であって、ノードＮＭ$_{12}$およびノードＮＡ$_{12}$の容量がキャパシタ１０５の容量よりも十分に小さい場合は、“Ｗ２＋Ｄ２’”は“２Ｄ２”に近い値となる。したがって、ソースドライバの出力するデータ電位の約２倍のデータ電位を表示デバイスに供給することができる。
【０１００】
時刻Ｔ５に配線１２１の電位を“Ｌ”、配線１２４の電位を“Ｌ”とすると、トランジスタ１０４は非導通となり、ノードＮＡ$_{12}$の電位は保持され、次フレームの動作まで表示が継続される。以上が画素１２の動作説明である。
【０１０１】
図５Ａ乃至図５Ｄは、回路１１０に適用でき、表示デバイスとして発光デバイスを含む構成の例である。なお、例として画素１１が有するノードＮＡ$_{11}$を図中に示しているが、画素１２が有するノードＮＡ$_{12}$に置き換えてもよい。
【０１０２】
図５Ａに示す構成は、トランジスタ１１１と、キャパシタ１１３と、発光デバイス１１４を有する。トランジスタ１１１のソースまたはドレインの一方は、発光デバイス１１４の一方の電極と電気的に接続される。発光デバイス１１４の一方の電極は、キャパシタ１１３の一方の電極と電気的に接続される。キャパシタ１１３の他方の電極は、トランジスタ１１１のゲートと電気的に接続される。トランジスタ１１１のゲートは、ノードＮＡ$_{11}$に電気的に接続される。
【０１０３】
トランジスタ１１１のソースまたはドレインの他方は、配線１２８と電気的に接続される。発光デバイス１１４の他方の電極は、配線１２９と電気的に接続される。配線１２８、１２９は電源を供給する機能を有する。例えば、配線１２８は、高電位電源を供給することができる。また、配線１２９は、低電位電源を供給することができる。
【０１０４】
または、図５Ｂに示すように、発光デバイス１１４の一方の電極を配線１２８と電気的に接続し、発光デバイス１１４の他方の電極をトランジスタ１１１とソースまたはドレインの他方と電気的に接続してもよい。当該構成は、発光デバイス１１４を有する他の回路１１０にも適用することができる。
【０１０５】
図５Ｃは、図５Ａの構成にトランジスタ１１２を付加した構成である。トランジスタ１１２のソースまたはドレインの一方は、トランジスタ１１１のソースまたはドレインの一方と電気的に接続される。トランジスタ１１２のソースまたはドレインの他方は、発光デバイス１１４と電気的に接続される。トランジスタ１１２のゲートは、配線１２７と電気的に接続される。配線１２７は、トランジスタ１１２の導通を制御する信号線としての機能を有することができる。
【０１０６】

当該構成では、ノードＮＡ$_{11}$の電位がトランジスタ１１１のしきい値電圧以上であって、トランジスタ１１２が導通したときに発光デバイス１１４に電流が流れる。したがって、重み（Ｗ）とデータ（Ｄ）の加算動作後の任意タイミングに発光デバイス１１４の発光を開始することができる。

【０１０７】

図５Ｄは、図５Ａの構成にトランジスタ１１５を付加した構成である。トランジスタ１１５のソースまたはドレインの一方は、トランジスタ１１１のソースまたはドレインの一方と電気的に接続される。トランジスタ１１５のソースまたはドレインの他方は、配線１３１と電気的に接続される。トランジスタ１１５のゲートは、配線１３２と電気的に接続される。配線１３２は、トランジスタ１１５の導通を制御する信号線としての機能を有することができる。

【０１０８】

配線１３１は、基準電位などの特定の電位の供給源と電気的に接続することができる。配線１３１からトランジスタ１１１のソースまたはドレインの一方に特定の電位を供給することで、画像データの書き込みを安定化させることもできる。また、発光デバイス１１４の発光のタイミングを制御することもできる。

【０１０９】

また、配線１３１は回路１２０と接続することができ、モニタ線としての機能を有することもできる。回路１２０は、上記特定の電位の供給源、トランジスタ１１１の電気特性を取得する機能、および補正データを生成する機能の一つ以上を有することができる。

【０１１０】

図６Ａ乃至図６Ｄは、回路１１０に適用でき、表示デバイスとして液晶デバイスを含む構成の例である。

【０１１１】

図６Ａに示す構成は、キャパシタ１１６および液晶デバイス１１７を有する。液晶デバイス１１７の一方の電極は、キャパシタ１１６の一方の電極と電気的に接続される。キャパシタ１１６の一方の電極は、ノードＮＡ$_{11}$に電気的に接続される。

【０１１２】

キャパシタ１１６の他方の電極は、配線１３３と電気的に接続される。液晶デバイス１１７の他方の電極は、配線１３４と電気的に接続される。配線１３３、１３４は、電源を供給する機能を有する。例えば、配線１３３、１３４は、ＧＮＤや０Ｖなどの基準電位や任意の電位を供給することができる。

【０１１３】

なお、図６Ｂに示すようにキャパシタ１１６を省いた構成としてもよい。前述したように、ノードＮＡ$_{11}$と接続するトランジスタにＯＳトランジスタを用いることができる。ＯＳトランジスタはリーク電流が極めて小さいため、保持容量として機能するキャパシタ１１６を省いても表示を比較的長時間維持することができる。また、トランジスタの構成に限らず、フィールドシーケンシャル駆動のように、高速動作で表示期間を短くできる場合にもキャパシタ１１６を省くことは有効である。キャパシタ１１６を省くことで開口率を向上させることができる。または、画素の透過率を向上させることができる。

【０１１４】

図６Ｃは、図６Ａの構成にトランジスタ１１８を付加した構成である。トランジスタ１１８のソースまたはドレインの一方は、キャパシタ１１６の一方の電極と電気的に接続される。トランジスタ１１８のソースまたはドレインの他方は、ノードＮＡ$_{11}$と電気的に接続される。トランジスタ１１８のゲートは、配線１３０と電気的に接続される。配線１３０は、トランジスタ１１８の導通を制御する信号線としての機能を有することができる。

【０１１５】

当該構成では、トランジスタ１１８の導通に伴って液晶デバイス１１７にノードＮＡ$_{11}$の電位が印加される。したがって、重み（Ｗ）とデータ（Ｄ）の加算動作後の任意のタイミングに液晶デバイスの動作を開始することができる。

【０１１６】
なお、トランジスタ１１８が非導通の状態ではキャパシタ１１６および液晶デバイス１１７に供給された電位が保持され続けるため、画像データを書き換える前にキャパシタ１１６および液晶デバイス１１７に供給された電位をリセットすることが好ましい。当該リセットは、例えば、配線１２５（図２参照）にリセット電位を供給し、トランジスタ１０４およびトランジスタ１１８を同時に導通させればよい。
【０１１７】
図６Ｄは、図６Ｃの構成にトランジスタ１１９を付加した構成である。トランジスタ１１９のソースまたはドレインの一方は、液晶デバイス１１７の一方の電極と電気的に接続される。トランジスタ１１９のソースまたはドレインの他方は、配線１３１と電気的に接続される。トランジスタ１１９のゲートは、配線１３５と電気的に接続される。配線１３５はトランジスタ１１９の導通を制御する信号線としての機能を有することができる。
【０１１８】
配線１３１と電気的に接続される回路１２０は、前述した図５Ｃの説明と同様であるほか、キャパシタ１１６および液晶デバイス１１７に供給された電位をリセットする機能を有していてもよい。
【０１１９】
また、本発明の一態様においては、図７に例示するように、トランジスタにバックゲートを設けた構成としてもよい。図７では、バックゲートがフロントゲートと電気的に接続された構成を示しており、オン電流を高める効果を有する。または、バックゲートが定電位を供給できる配線と電気的に接続された構成であってもよい。当該構成では、トランジスタのしきい値電圧を制御することができる。なお、回路１１０が有するトランジスタにもバックゲートを設けてもよい。
【０１２０】
次に、画素の動作に関するシミュレーション結果を説明する。図８Ａにシミュレーションに用いた画素の構成を示す。画素数は２（Ｐ１、Ｐ２）で、回路１１０としては、図６Ｂに示す構成（液晶デバイスのみ）を用いた。シミュレーションは、入力電圧を約３倍にする動作における各画素のノードＮＡ（ノードＮＡ$_{11}$、ノードＮＡ$_{12}$）の電圧変化について行った。なお、回路シミュレーションソフトウェアにはＳＰＩＣＥを用いた。
【０１２１】
シミュレーションに用いたパラメータは以下の通りであり、トランジスタサイズは全てＬ／Ｗ＝３μｍ／３０μｍ、キャパシタＣ１の容量値は１０ｐＦ、液晶デバイスＣｌｃの容量値は２ｐＦとした。また、トランジスタのゲートに印加する電圧は、“Ｈ”として＋１５Ｖ、“Ｌ”として－１０Ｖ、コモン電位（ＶＣＯＭ）は０Ｖとした。
【０１２２】
図８Ｂは、シミュレーションに用いたタイミングチャートである。Ｗ１は画素Ｐ１に対する重み、Ｄ１は画素Ｐ１に対するデータ、Ｖ$_{ref1}$は画素Ｐ１に対する基準電位、Ｗ２は画素Ｐ２に対する重み、Ｄ２は画素Ｐ２に対するデータ、Ｖ$_{ref2}$は画素Ｐ２に対する基準電位である。
【０１２３】
シミュレーションは、正極性動作の検証と負極性動作の検証を交互に行った。正極性動作では、Ｗ１、Ｗ２を＋５Ｖ、Ｄ１、Ｄ２を＋５Ｖ、Ｖ$_{ref1}$、Ｖ$_{ref2}$を－５Ｖとした。負極性動作では、Ｗ１、Ｗ２を－５Ｖ、Ｄ１、Ｄ２を－５Ｖ、Ｖ$_{ref1}$、Ｖ$_{ref2}$を＋５Ｖとした。
【０１２４】
図９は正極性動作、負極性動作のそれぞれのシミュレーション結果であり、横軸を時間（秒）、縦軸をノードＮＡ（ノードＮＡ$_{11}$、ノードＮＡ$_{12}$）の電圧（Ｖ）で表している。容量比の関係で入力電圧の３倍には届いていないが、正極性動作および負極性動作ともに入力電圧に対して高い電圧を生成できることが確認できた。
【０１２５】

以上のシミュレーション結果により、本発明の一態様の効果を確認することができた。

【０１２６】

本実施の形態は、他の実施の形態などに記載した構成と適宜組み合わせて実施することが可能である。

【０１２７】

（実施の形態２）

本実施の形態では、液晶デバイスを用いた表示装置の構成例と、発光デバイスを用いた表示装置の構成例について説明する。なお、本実施の形態においては、実施の形態１で説明した表示装置の要素、動作および機能の説明は省略する。

【０１２８】

本実施の形態で説明する表示装置には、実施の形態１で説明した画素を用いることができる。なお、以下に説明する走査線駆動回路はゲートドライバ、信号線駆動回路はソースドライバに相当する。

【０１２９】

図１０Ａ乃至図１０Ｃは、本発明の一態様を用いることのできる表示装置の構成を示す図である。

【０１３０】

図１０Ａにおいて、第１の基板４００１上に設けられた表示部２１５を囲むようにして、シール材４００５が設けられ、表示部２１５がシール材４００５および第２の基板４００６によって封止されている。

【０１３１】

図１０Ａでは、走査線駆動回路２２１ａ、信号線駆動回路２３１ａ、信号線駆動回路２３２ａ、および共通線駆動回路２４１ａは、それぞれがプリント基板４０４１上に設けられた集積回路４０４２を複数有する。集積回路４０４２は、単結晶半導体または多結晶半導体で形成されている。共通線駆動回路２４１ａは、実施の形態１に示した配線１２８、１２９、１３３、１３４などに規定の電位を供給する機能を有する。

【０１３２】

走査線駆動回路２２１ａ、共通線駆動回路２４１ａ、信号線駆動回路２３１ａ、および信号線駆動回路２３２ａに与えられる各種信号および電位は、ＦＰＣ（Ｆｌｅｘｉｂｌｅ ｐｒｉｎｔｅｄ ｃｉｒｃｕｉｔ）４０１８を介して供給される。

【０１３３】

走査線駆動回路２２１ａおよび共通線駆動回路２４１ａが有する集積回路４０４２は、表示部２１５に選択信号を供給する機能を有する。信号線駆動回路２３１ａおよび信号線駆動回路２３２ａが有する集積回路４０４２は、表示部２１５に画像データを供給する機能を有する。集積回路４０４２は、第１の基板４００１上のシール材４００５によって囲まれている領域とは異なる領域に実装されている。

【０１３４】

なお、集積回路４０４２の接続方法は、特に限定されるものではなく、ワイヤボンディング法、ＣＯＧ（Ｃｈｉｐ Ｏｎ Ｇｌａｓｓ）法、ＴＣＰ（Ｔａｐｅ Ｃａｒｒｉｅｒ Ｐａｃｋａｇｅ）法、ＣＯＦ（Ｃｈｉｐ Ｏｎ Ｆｉｌｍ）法などを用いることができる。

【０１３５】

図１０Ｂは、信号線駆動回路２３１ａおよび信号線駆動回路２３２ａに含まれる集積回路４０４２をＣＯＧ法により実装する例を示している。また、駆動回路の一部または全体を表示部２１５と同じ基板上に一体形成して、システムオンパネルを形成することができる。

【０１３６】

図１０Ｂでは、走査線駆動回路２２１ａおよび共通線駆動回路２４１ａを、表示部２１５と同じ基板上に形成する例を示している。駆動回路を表示部２１５内の画素回路と同時に形成することで、部品点数を削減することができる。よって、生産性を高めることができる。

【０１３７】

また、図１０Ｂでは、第１の基板４００１上に設けられた表示部２１５と、走査線駆動回路２２１ａおよび共通線駆動回路２４１ａと、を囲むようにして、シール材４００５が設けられている。また表示部２１５、走査線駆動回路２２１ａ、および共通線駆動回路２４１ａの上に第２の基板４００６が設けられている。よって、表示部２１５、走査線駆動回路２２１ａ、および共通線駆動回路２４１ａは、第１の基板４００１とシール材４００５と第２の基板４００６とによって、表示デバイスと共に封止されている。

【０１３８】

また、図１０Ｂでは、信号線駆動回路２３１ａおよび信号線駆動回路２３２ａを別途形成し、第１の基板４００１に実装している例を示しているが、この構成に限定されない。走査線駆動回路を別途形成して実装してもよいし、信号線駆動回路の一部または走査線駆動回路の一部を別途形成して実装してもよい。また、図１０Ｃに示すように、信号線駆動回路２３１ａおよび信号線駆動回路２３２ａを表示部２１５と同じ基板上に形成してもよい。

【０１３９】

また、表示装置は、表示デバイスが封止された状態にあるパネルと、該パネルにコントローラを含むＩＣ等を実装した状態にあるモジュールとを含む場合がある。

【０１４０】

また、第１の基板上に設けられた表示部および走査線駆動回路は、トランジスタを複数有している。当該トランジスタとして、実施の形態１で示したＯＳトランジスタまたはＳｉトランジスタを適用することができる。

【０１４１】

周辺駆動回路が有するトランジスタと、表示部の画素回路が有するトランジスタの構造は同じであってもよく、異なっていてもよい。周辺駆動回路が有するトランジスタは、全て同じ構造のトランジスタであってもよく、２種類以上の構造のトランジスタを有していてもよい。同様に、画素回路が有するトランジスタは、全て同じ構造のトランジスタであってもよく、２種類以上の構造のトランジスタを有していてもよい。

【０１４２】

また、第２の基板４００６上には入力装置４２００を設けることができる。図１０Ａ乃至図１０Ｃに示す表示装置に入力装置４２００を設けた構成はタッチパネルとして機能させることができる。

【０１４３】

本発明の一態様のタッチパネルが有する検知デバイス（センサ素子ともいう）に限定は無い。指やスタイラスなどの被検知体の近接または接触を検知することのできる様々なセンサを、検知デバイスとして適用することができる。

【０１４４】

センサの方式としては、例えば、静電容量方式、抵抗膜方式、表面弾性波方式、赤外線方式、光学方式、感圧方式など様々な方式を用いることができる。

【０１４５】

本実施の形態では、静電容量方式の検知デバイスを有するタッチパネルを例に挙げて説明する。

【０１４６】

静電容量方式としては、表面型静電容量方式、投影型静電容量方式等がある。また、投影型静電容量方式としては、自己容量方式、相互容量方式等がある。相互容量方式を用いると、同時多点検知が可能となるため好ましい。

【０１４７】

本発明の一態様のタッチパネルは、別々に作製された表示装置と検知デバイスとを貼り合わせる構成、表示デバイスを支持する基板および対向基板の一方または双方に検知デバイスを構成する電極等を設ける構成等、様々な構成を適用することができる。

【０１４８】

図１１Ａ、図１１Ｂに、タッチパネルの一例を示す。図１１Ａは、タッチパネル４２１０の斜視図である。図１１Ｂは、入力装置４２００の斜視概略図である。なお、明瞭化のた

め、代表的な構成要素のみを示している。
【０１４９】
タッチパネル４２１０は、別々に作製された表示装置と検知デバイスとを貼り合わせた構成である。
【０１５０】
タッチパネル４２１０は、入力装置４２００と、表示装置とを有し、これらが重ねて設けられている。
【０１５１】
入力装置４２００は、基板４２６３、電極４２２７、電極４２２８、複数の配線４２３７、複数の配線４２３８および複数の配線４２３９を有する。例えば、電極４２２７は配線４２３７または配線４２３９と電気的に接続することができる。また、電極４２２８は配線４２３９と電気的に接続することができる。ＦＰＣ４２７２ｂは、複数の配線４２３７および複数の配線４２３８の各々と電気的に接続する。ＦＰＣ４２７２ｂにはＩＣ４２７３ｂを設けることができる。
【０１５２】
または、表示装置の第１の基板４００１と第２の基板４００６との間にタッチセンサを設けてもよい。第１の基板４００１と第２の基板４００６との間にタッチセンサを設ける場合は、静電容量方式のタッチセンサのほか、光電変換素子を用いた光学式のタッチセンサを適用してもよい。
【０１５３】
図１２Ａ、図１２Ｂは、図１０Ｂ中でＮ１－Ｎ２の鎖線で示した部位の断面図である。図１２Ａ、図１２Ｂに示す表示装置は電極４０１５を有しており、電極４０１５はＦＰＣ４０１８が有する端子と異方性導電層４０１９を介して、電気的に接続されている。また、図１２Ａ、図１２Ｂでは、電極４０１５は、絶縁層４１１２、絶縁層４１１１、および絶縁層４１１０に形成された開口において配線４０１４と電気的に接続されている。
【０１５４】
電極４０１５は、第１の電極層４０３０と同じ導電層から形成され、配線４０１４は、トランジスタ４０１０、およびトランジスタ４０１１のソース電極およびドレイン電極と同じ導電層で形成されている。
【０１５５】
また、第１の基板４００１上に設けられた表示部２１５と走査線駆動回路２２１ａは、トランジスタを複数有しており、図１２Ａ、図１２Ｂでは、表示部２１５に含まれるトランジスタ４０１０、および走査線駆動回路２２１ａに含まれるトランジスタ４０１１を例示している。なお、図１２Ａ、図１２Ｂでは、トランジスタ４０１０およびトランジスタ４０１１としてボトムゲート型のトランジスタを例示しているが、トップゲート型のトランジスタであってもよい。
【０１５６】
図１２Ａ、図１２Ｂでは、トランジスタ４０１０およびトランジスタ４０１１上に絶縁層４１１２が設けられている。また、図１２Ｂでは、絶縁層４１１２上に隔壁４５１０が形成されている。
【０１５７】
また、トランジスタ４０１０およびトランジスタ４０１１は、絶縁層４１０２上に設けられている。また、トランジスタ４０１０およびトランジスタ４０１１は、絶縁層４１１１上に形成された電極４０１７を有する。電極４０１７はバックゲート電極として機能することができる。
【０１５８】
また、図１２Ａ、図１２Ｂに示す表示装置は、キャパシタ４０２０を有する。キャパシタ４０２０は、トランジスタ４０１０のゲート電極と同じ工程で形成された電極４０２１と、絶縁層４１０３と、ソース電極およびドレイン電極と同じ工程で形成された電極と、を有する例を示している。キャパシタ４０２０の構成はこれに限定されず、その他の導電層

および絶縁層で形成されていてもよい。

【０１５９】

表示部２１５に設けられたトランジスタ４０１０は表示デバイスと電気的に接続する。図１２Ａは、表示デバイスとして液晶デバイスを用いた液晶表示装置の一例である。図１２Ａにおいて、表示デバイスである液晶デバイス４０１３は、第１の電極層４０３０、第２の電極層４０３１、および液晶層４００８を含む。なお、液晶層４００８を挟持するように配向膜として機能する絶縁層４０３２、絶縁層４０３３が設けられている。第２の電極層４０３１は第２の基板４００６側に設けられ、第１の電極層４０３０と第２の電極層４０３１は液晶層４００８を介して重畳する。

【０１６０】

液晶デバイス４０１３として、様々なモードが適用された液晶デバイスを用いることができる。例えば、ＶＡ（Ｖｅｒｔｉｃａｌ Ａｌｉｇｎｍｅｎｔ）モード、ＴＮ（Ｔｗｉｓｔｅｄ Ｎｅｍａｔｉｃ）モード、ＩＰＳ（Ｉｎ－Ｐｌａｎｅ－Ｓｗｉｔｃｈｉｎｇ）モード、ＡＳＭ（Ａｘｉａｌｌｙ Ｓｙｍｍｅｔｒｉｃ ａｌｉｇｎｅｄ Ｍｉｃｒｏ－ｃｅｌｌ）モード、ＯＣＢ（Ｏｐｔｉｃａｌｌｙ Ｃｏｍｐｅｎｓａｔｅｄ Ｂｅｎｄ）モード、ＦＬＣ（Ｆｅｒｒｏｅｌｅｃｔｒｉｃ Ｌｉｑｕｉｄ Ｃｒｙｓｔａｌ）モード、ＡＦＬＣ（ＡｎｔｉＦｅｒｒｏｅｌｅｃｔｒｉｃ Ｌｉｑｕｉｄ Ｃｒｙｓｔａｌ）モード、ＥＣＢ（Ｅｌｅｃｔｒｉｃａｌｌｙ Ｃｏｎｔｒｏｌｌｅｄ Ｂｉｒｅｆｒｉｎｇｅｎｃｅ）モード、ＶＡ－ＩＰＳモード、ゲストホストモード等が適用された液晶デバイスを用いることができる。

【０１６１】

また、本実施の形態に示す液晶表示装置にノーマリーブラック型の液晶表示装置、例えば垂直配向（ＶＡ）モードを採用した透過型の液晶表示装置を適用してもよい。垂直配向モードとしては、ＭＶＡ（Ｍｕｌｔｉ－Ｄｏｍａｉｎ Ｖｅｒｔｉｃａｌ Ａｌｉｇｎｍｅｎｔ）モード、ＰＶＡ（Ｐａｔｔｅｒｎｅｄ Ｖｅｒｔｉｃａｌ Ａｌｉｇｎｍｅｎｔ）モード、ＡＳＶ（Ａｄｖａｎｃｅｄ Ｓｕｐｅｒ Ｖｉｅｗ）モードなどを用いることができる。

【０１６２】

なお、液晶デバイスは、液晶の光学変調作用によって光の透過または非透過を制御する素子である。液晶の光学的変調作用は、液晶にかかる電界（横方向の電界、縦方向の電界または斜め方向の電界を含む）によって制御される。液晶デバイスに用いる液晶としては、サーモトロピック液晶、低分子液晶、高分子液晶、高分子分散型液晶（ＰＤＬＣ：Ｐｏｌｙｍｅｒ Ｄｉｓｐｅｒｓｅｄ Ｌｉｑｕｉｄ Ｃｒｙｓｔａｌ）、強誘電性液晶、反強誘電性液晶等を用いることができる。これらの液晶材料は、条件により、コレステリック相、スメクチック相、キュービック相、カイラルネマチック相、等方相等を示す。

【０１６３】

図１２Ａでは、縦電界方式の液晶デバイスを有する液晶表示装置の例を示したが、本発明の一態様には、横電界方式の液晶デバイスを有する液晶表示装置を適用することができる。横電界方式を採用する場合、配向膜を用いないブルー相を示す液晶を用いてもよい。ブルー相は液晶相の一つであり、コレステリック液晶を昇温していくと、コレステリック相から等方相へ転移する直前に発現する相である。ブルー相は狭い温度範囲でしか発現しないため、温度範囲を改善するために５重量％以上のカイラル剤を混合させた液晶組成物を液晶層４００８に用いる。ブルー相を示す液晶とカイラル剤とを含む液晶組成物は、応答速度が短く、光学的等方性を示す。また、ブルー相を示す液晶とカイラル剤とを含む液晶組成物は、配向処理が不要であり、視野角依存性が小さい。また配向膜を設けなくてもよいのでラビング処理も不要となるため、ラビング処理によって引き起こされる静電破壊を防止することができ、作製工程中の液晶表示装置の不良または破損を軽減することができる。

【０１６４】

また、スペーサ４０３５は絶縁層を選択的にエッチングすることで得られる柱状のスペーサであり、第１の電極層４０３０と第２の電極層４０３１との間隔（セルギャップ）を制

御するために設けられている。なお球状のスペーサを用いていても良い。
【０１６５】
また、必要に応じて、ブラックマトリクス（遮光層）、着色層（カラーフィルタ）、偏光部材、位相差部材、反射防止部材などの光学部材（光学基板）などを適宜設けてもよい。例えば、偏光基板および位相差基板による円偏光を用いてもよい。また、光源としてバックライト、サイドライトなどを用いてもよい。また、上記バックライトおよびサイドライトとして、マイクロＬＥＤなどを用いても良い。
【０１６６】
図１２Ａに示す表示装置では、基板４００６と第２の電極層４０３１の間に、遮光層４１３２、着色層４１３１、絶縁層４１３３が設けられている。
【０１６７】
遮光層として用いることのできる材料としては、カーボンブラック、チタンブラック、金属、金属酸化物、複数の金属酸化物の固溶体を含む複合酸化物等が挙げられる。遮光層は、樹脂材料を含む膜であってもよいし、金属などの無機材料の薄膜であってもよい。また、遮光層に、着色層の材料を含む膜の積層膜を用いることもできる。例えば、ある色の光を透過する着色層に用いる材料を含む膜と、他の色の光を透過する着色層に用いる材料を含む膜との積層構造を用いることができる。着色層と遮光層の材料を共通化することで、装置を共通化できるほか工程を簡略化できるため好ましい。
【０１６８】
着色層に用いることのできる材料としては、金属材料、樹脂材料、顔料または染料が含まれた樹脂材料などが挙げられる。遮光層および着色層は、例えば、インクジェット法などを用いて形成することができる。
【０１６９】
また、図１２Ａ、図１２Ｂに示す表示装置は、絶縁層４１１１と絶縁層４１０４を有する。絶縁層４１１１と絶縁層４１０４として、不純物元素を透過しにくい絶縁層を用いる。絶縁層４１１１と絶縁層４１０４でトランジスタの半導体層を挟むことで、外部からの不純物の浸入を防ぐことができる。
【０１７０】
また、表示装置に含まれる表示デバイスとして発光デバイスを用いることができる。発光デバイスとしては、例えば、エレクトロルミネッセンスを利用するＥＬデバイスを適用することができる。ＥＬデバイスは、一対の電極の間に発光性の化合物を含む層（「ＥＬ層」ともいう。）を有する。一対の電極間に、ＥＬデバイスのしきい値電圧よりも大きい電位差を生じさせると、ＥＬ層に陽極側から正孔が注入され、陰極側から電子が注入される。注入された電子と正孔はＥＬ層において再結合し、ＥＬ層に含まれる発光性の化合物が発光する。
【０１７１】
ＥＬデバイスとしては、例えば、有機ＥＬデバイスまたは無機ＥＬデバイスを用いることができる。なお、発光材料に化合物半導体を用いるＬＥＤ（マイクロＬＥＤを含む）を用いることもできる。
【０１７２】
なお、ＥＬ層は、発光性の化合物以外に、正孔注入性の高い物質、正孔輸送性の高い物質、正孔ブロック材料、電子輸送性の高い物質、電子注入性の高い物質、またはバイポーラ性の物質（電子輸送性および正孔輸送性が高い物質）などを有していてもよい。
【０１７３】
ＥＬ層は、蒸着法（真空蒸着法を含む）、転写法、印刷法、インクジェット法、塗布法などの方法で形成することができる。
【０１７４】
無機ＥＬデバイスは、その素子構成により、分散型無機ＥＬデバイスと薄膜型無機ＥＬデバイスとに分類される。分散型無機ＥＬデバイスは、発光材料の粒子をバインダ中に分散させた発光層を有するものであり、発光メカニズムはドナー準位とアクセプター準位を利

用するドナー－アクセプター再結合型発光である。薄膜型無機ＥＬデバイスは、発光層を誘電体層で挟み込み、さらにそれを電極で挟んだ構造であり、発光メカニズムは金属イオンの内殻電子遷移を利用する局在型発光である。なお、ここでは、発光デバイスとして有機ＥＬデバイスを用いて説明する。

【０１７５】

発光デバイスは発光を取り出すために少なくとも一対の電極の一方が透明であればよい。そして、基板上にトランジスタおよび発光デバイスを形成し、当該基板とは逆側の面から発光を取り出す上面射出（トップエミッション）構造や、基板側の面から発光を取り出す下面射出（ボトムエミッション）構造や、両面から発光を取り出す両面射出（デュアルエミッション）構造の発光デバイスがあり、どの射出構造の発光デバイスも適用することができる。

【０１７６】

図１２Ｂは、表示デバイスとして発光デバイスを用いた発光表示装置（「ＥＬ表示装置」ともいう。）の一例である。表示デバイスである発光デバイス４５１３は、表示部２１５に設けられたトランジスタ４０１０と電気的に接続している。なお発光デバイス４５１３の構成は、第１の電極層４０３０、発光層４５１１、第２の電極層４０３１の積層構造であるが、この構成に限定されない。発光デバイス４５１３から取り出す光の方向などに合わせて、発光デバイス４５１３の構成は適宜変えることができる。

【０１７７】

隔壁４５１０は、有機絶縁材料、または無機絶縁材料を用いて形成する。特に感光性の樹脂材料を用い、第１の電極層４０３０上に開口部を形成し、その開口部の側面が連続した曲率を持って形成される傾斜面となるように形成することが好ましい。

【０１７８】

発光層４５１１は、単数の層で構成されていても、複数の層が積層されるように構成されていてもどちらでも良い。

【０１７９】

発光デバイス４５１３の発光色は、発光層４５１１を構成する材料によって、白、赤、緑、青、シアン、マゼンタ、または黄などとすることができる。

【０１８０】

カラー表示を実現する方法としては、発光色が白色の発光デバイス４５１３と着色層を組み合わせて行う方法と、画素毎に発光色の異なる発光デバイス４５１３を設ける方法がある。前者の方法は後者の方法よりも生産性が高い。一方、後者の方法では画素毎に発光層４５１１を作り分ける必要があるため、前者の方法よりも生産性が劣る。ただし、後者の方法では、前者の方法よりも色純度の高い発光色を得ることができる。後者の方法に加えて、発光デバイス４５１３にマイクロキャビティ構造を付与することにより色純度をさらに高めることができる。

【０１８１】

なお、発光層４５１１は、量子ドットなどの無機化合物を有していてもよい。例えば、量子ドットを発光層に用いることで、発光材料として機能させることもできる。

【０１８２】

発光デバイス４５１３に酸素、水素、水分、二酸化炭素等が侵入しないように、第２の電極層４０３１および隔壁４５１０上に保護層を形成してもよい。保護層としては、窒化シリコン、窒化酸化シリコン、酸化アルミニウム、窒化アルミニウム、酸化窒化アルミニウム、窒化酸化アルミニウム、ＤＬＣ（Ｄｉａｍｏｎｄ　Ｌｉｋｅ　Ｃａｒｂｏｎ）などを形成することができる。また、第１の基板４００１、第２の基板４００６、およびシール材４００５によって封止された空間には充填材４５１４が設けられ密封されている。このように、外気に曝されないように気密性が高く、脱ガスの少ない保護フィルム（貼り合わせフィルム、紫外線硬化樹脂フィルム等）やカバー材でパッケージング（封入）することが好ましい。

【０１８３】

充填材４５１４としては窒素やアルゴンなどの不活性な気体の他に、紫外線硬化樹脂または熱硬化樹脂を用いることができ、ＰＶＣ（ポリビニルクロライド）、アクリル系樹脂、ポリイミド、エポキシ系樹脂、シリコーン系樹脂、ＰＶＢ（ポリビニルブチラル）またはＥＶＡ（エチレンビニルアセテート）などを用いることができる。また、充填材４５１４に乾燥剤が含まれていてもよい。

【０１８４】

シール材４００５には、ガラスフリットなどのガラス材料や、二液混合型の樹脂などの常温で硬化する硬化樹脂、光硬化性の樹脂、熱硬化性の樹脂などの樹脂材料を用いることができる。また、シール材４００５に乾燥剤が含まれていてもよい。

【０１８５】

また、必要であれば、発光デバイスの射出面に偏光板、または円偏光板（楕円偏光板を含む）、位相差板（λ／４板、λ／２板）、カラーフィルタなどの光学フィルムを適宜設けてもよい。また、偏光板または円偏光板に反射防止膜を設けてもよい。例えば、表面の凹凸により反射光を拡散し、映り込みを低減できるアンチグレア処理を施すことができる。

【０１８６】

また、発光デバイスをマイクロキャビティ構造とすることで、色純度の高い光を取り出すことができる。また、マイクロキャビティ構造とカラーフィルタを組み合わせることで、映り込みが低減し、表示画像の視認性を高めることができる。

【０１８７】

表示デバイスに電圧を印加する第１の電極層および第２の電極層（画素電極層、共通電極層、対向電極層などともいう）においては、取り出す光の方向、電極層が設けられる場所、および電極層のパターン構造によって透光性、反射性を選択すればよい。

【０１８８】

第１の電極層４０３０、第２の電極層４０３１は、酸化タングステンを含むインジウム酸化物、酸化タングステンを含むインジウム亜鉛酸化物、酸化チタンを含むインジウム酸化物、インジウム錫酸化物、酸化チタンを含むインジウム錫酸化物、インジウム亜鉛酸化物、酸化ケイ素を添加したインジウム錫酸化物などの透光性を有する導電性材料を用いることができる。

【０１８９】

また、第１の電極層４０３０、第２の電極層４０３１はタングステン（Ｗ）、モリブデン（Ｍｏ）、ジルコニウム（Ｚｒ）、ハフニウム（Ｈｆ）、バナジウム（Ｖ）、ニオブ（Ｎｂ）、タンタル（Ｔａ）、クロム（Ｃｒ）、コバルト（Ｃｏ）、ニッケル（Ｎｉ）、チタン（Ｔｉ）、白金（Ｐｔ）、アルミニウム（Ａｌ）、銅（Ｃｕ）、銀（Ａｇ）などの金属、またはその合金、もしくはその金属窒化物から一種以上を用いて形成することができる。

【０１９０】

また、第１の電極層４０３０、第２の電極層４０３１として、導電性高分子（導電性ポリマーともいう）を含む導電性組成物を用いて形成することができる。導電性高分子としては、いわゆるπ電子共役系導電性高分子を用いることができる。例えば、ポリアニリン若しくはその誘導体、ポリピロール若しくはその誘導体、ポリチオフェン若しくはその誘導体、または、アニリン、ピロールおよびチオフェンの２種以上からなる共重合体若しくはその誘導体などがあげられる。

【０１９１】

また、トランジスタは静電気などにより破壊されやすいため、駆動回路保護用の保護回路を設けることが好ましい。保護回路は、非線形素子を用いて構成することが好ましい。

【０１９２】

なお、図１３に示すように、トランジスタやキャパシタが高さ方向に重なる領域を有するようなスタック構造としてもよい。例えば、駆動回路を構成するトランジスタ４０１１およびトランジスタ４０２２を重ねて配置すれば、狭額縁の表示装置とすることができる。また、画素回路を構成するトランジスタ４０１０、トランジスタ４０２３、キャパシタ４０２０などが一部でも重なる領域を有するように配置すれば開口率や解像度を向上させる

ことができる。なお、図１３では図１２Ａに示す液晶表示装置にスタック構造を応用した例を示しているが、図１２Ｂに示すＥＬ表示装置に応用してもよい。

【０１９３】

また、画素回路において、電極や配線に可視光に対して透光性の高い導電膜を用いることで、画素内の光の透過率を高めることができ、実質的に開口率を向上させることができる。なお、ＯＳトランジスタを用いる場合は半導体層も透光性を有するため、さらに開口率を高めることができる。これらは、トランジスタ等をスタック構造としない場合においても有効である。

【０１９４】

また、液晶表示装置と発光装置を組み合わせて表示装置を構成としてもよい。

【０１９５】

発光装置は表示面の逆側、または表示面の端部に配置される。発光装置は表示デバイスに光を供給する機能を有する。発光装置は、バックライトとも呼ぶことができる。

【０１９６】

ここで、発光装置は、板状またはシート状の導光部（導光板ともいう）と、異なる色の光を呈する複数の発光デバイスを有することができる。当該発光デバイスを導光部の側面近傍に配置すると、導光部側面から内部へ光を発することができる。導光部は光路を変更する機構（光取り出し機構ともいう）を有しており、これにより、発光装置は表示パネルの画素部に光を均一に照射することができる。または、導光部を設けず、画素の直下に発光装置を配置する構成としてもよい。

【０１９７】

発光装置は、赤色（Ｒ）、緑色（Ｇ）、青色（Ｂ）の３色の発光デバイスを有することが好ましい。さらに白色（Ｗ）の発光デバイスを有していてもよい。これら発光デバイスとして発光ダイオード（ＬＥＤ：Ｌｉｇｈｔ　Ｅｍｉｔｔｉｎｇ　Ｄｉｏｄｅ）を用いることが好ましい。

【０１９８】

さらに、発光デバイスは、その発光スペクトルの半値全幅（ＦＷＨＭ：Ｆｕｌｌ　Ｗｉｄｔｈ　ａｔ　Ｈａｌｆ　Ｍａｘｉｍｕｍ）が、５０ｎｍ以下、好ましくは４０ｎｍ以下、より好ましくは３０ｎｍ以下、さらに好ましくは２０ｎｍ以下である、極めて色純度の高い発光デバイスであることが好ましい。なお、発光スペクトルの半値全幅は、小さければ小さいほどよいが、例えば１ｎｍ以上とすることができる。これにより、カラー表示を行う際に、色再現性が高い鮮やかな表示を行うことができる。

【０１９９】

また、赤色の発光デバイスは、発光スペクトルのピーク波長が、６２５ｎｍ以上６５０ｎｍ以下の範囲内に位置する素子を用いることが好ましい。また、緑色の発光デバイスは、発光スペクトルのピーク波長が、５１５ｎｍ以上５４０ｎｍ以下の範囲内に位置する素子を用いることが好ましい。青色の発光デバイスは、発光スペクトルのピーク波長が、４４５ｎｍ以上４７０ｎｍ以下の範囲内に位置する素子を用いることが好ましい。

【０２００】

表示装置は、３色の発光デバイスを順次点滅させるとともに、これと同期させて画素を駆動し、継時加法混色法に基づいてカラー表示を行うことができる。当該駆動方法は、フィールドシーケンシャル駆動とも呼ぶことができる。

【０２０１】

フィールドシーケンシャル駆動では、鮮やかなカラー画像を表示することができる。また、滑らかな動画像を表示することができる。また上記駆動方法を用いることで、１つの画素を複数の異なる色の副画素で構成する必要がなく、１つの画素の有効反射面積（有効表示面積、開口率ともいう）を大きくできるため、明るい表示を行うことができる。さらに、画素にカラーフィルタを設ける必要がないため、画素の透過率も向上させることもでき、さらに明るい表示を行うことができる。また、作製工程を簡略化でき、作製コストを低減することができる。

【０２０２】
図１４Ａ、図１４Ｂは、フィールドシーケンシャル駆動が可能な表示装置の断面概略図の一例である。当該表示装置の第１の基板４００１側にはＲＧＢ各色の発光が可能なバックライトユニットが設けられる。なお、フィールドシーケンシャル駆動では、ＲＧＢ各色の時分割発光で色を表現するため、カラーフィルタは不要となる。
【０２０３】
図１４Ａに示すバックライトユニット４３４０ａは、画素の直下に拡散板４３５２を介して発光デバイス４３４２が複数設けられた構成である。拡散板４３５２は、発光デバイス４３４２から第１の基板４００１側に射出された光を拡散し、表示部面内の輝度を均一化する機能を有する。発光デバイス４３４２と拡散板４３５２との間には、必要に応じて偏光板を設けてもよい。また、拡散板４３５２は不要であれば設けなくてもよい。また、遮光層４１３２を省いた構成としてもよい。
【０２０４】
バックライトユニット４３４０ａは、発光デバイス４３４２を多く搭載することができるため、明るい表示が可能となる。また、導光板は不要であり、発光デバイス４３４２の光の効率を損ないにくい利点がある。なお、必要に応じて発光デバイス４３４２に光拡散用のレンズ４３４４を設けてもよい。
【０２０５】
図１４Ｂに示すバックライトユニット４３４０ｂは、画素の直下に拡散板４３５２を介して導光板４３４１が設けられた構成である。導光板４３４１の端部には発光デバイス４３４２が複数設けられる。導光板４３４１は、拡散板４３５２とは逆側に凹凸形状を有し、導波した光を当該凹凸形状で散乱して拡散板４３５２の方向に射出することができる。
【０２０６】
発光デバイス４３４２は、プリント基板４３４７に固定することができる。なお、図１４Ｂでは、ＲＧＢ各色の発光デバイス４３４２が重なるように図示しているが、奥行方向にＲＧＢ各色の発光デバイス４３４２が並ぶように配置することもできる。また、導光板４３４１において、発光デバイス４３４２とは反対側の側面には、可視光を反射する反射層４３４８を設けてもよい。
【０２０７】
バックライトユニット４３４０ｂは、発光デバイス４３４２を少なくすることができるため、低コストかつ薄型とすることができる。
【０２０８】
また、液晶デバイスには、光散乱型液晶デバイスを用いてもよい。光散乱型液晶デバイスとしては、液晶と高分子の複合材料を有する素子を用いることが好ましい。例えば、高分子分散型液晶デバイスを用いることができる。または、高分子ネットワーク型液晶（ＰＮＬＣ（Ｐｏｌｙｍｅｒ　Ｎｅｔｗｏｒｋ　Ｌｉｑｕｉｄ　Ｃｒｙｓｔａｌ））素子を用いてもよい。
【０２０９】
光散乱型液晶デバイスは、一対の電極で挟まれる樹脂部の３次元ネットワーク構造中に液晶部が設けられた構造である。液晶部に用いる材料としては、例えばネマティック液晶を用いることができる。また、樹脂部としては光硬化樹脂を用いることができる。光硬化樹脂は、例えば、アクリレート、メタクリレートなどの単官能モノマー、ジアクリレート、トリアクリレート、ジメタクリレート、トリメタクリレートなどの多官能モノマー、または、これらを混合させた重合性化合物を用いることができる。
【０２１０】
光散乱型液晶デバイスは液晶材料の屈折率の異方性を利用し、光を透過または散乱させることにより表示を行う。また、樹脂部も屈折率の異方性を有していてもよい。光散乱型液晶デバイスに印加される電圧に従って液晶分子が一定方向に配列するとき、液晶部と樹脂部の屈折率の差が小さくなる方向が発生し、当該方向に沿って入射する光は液晶部で散乱されることなく透過する。したがって、光散乱型液晶デバイスは当該方向からは透明な状

態に視認される。一方で、印加される電圧に従って液晶分子の配列がランダムとなるとき、液晶部と樹脂部の屈折率の差に大きな変化が生じないため、入射する光は液晶部で散乱される。したがって、光散乱型液晶デバイスは視認の方向を問わず不透明の状態となる。

【０２１１】

図１５Ａは、図１４Ａの表示装置の液晶デバイス４０１３を光散乱型液晶デバイス４０１６に置き換えた構成である。光散乱型液晶デバイス４０１６は、液晶部および樹脂部を有する複合層４００９、ならびに電極層４０３０、４０３１を有する。フィールドシーケンシャル駆動に関する要素は、図１４Ａと同じであるが、光散乱型液晶デバイス４０１６を用いる場合は、配向膜および偏光板が不要となる。なお、スペーサ４０３５は球状の形態で図示しているが、柱状であってもよい。

【０２１２】

図１５Ｂは、図１４Ｂの表示装置の液晶デバイス４０１３を光散乱型液晶デバイス４０１６に置き換えた構成である。図１４Ｂの構成では、光散乱型液晶デバイス４０１６に電圧を印加しないときに光を透過し、電圧を印加したときに光を散乱させるモードで動作する構成とすることが好ましい。当該構成とすることで、ノーマル状態（表示をさせない状態）で透明な表示装置とすることができる。この場合は、光を散乱させる動作を行ったときにカラー表示を行うことができる。

【０２１３】

図１５Ｂに示す表示装置の変形例を図１６Ａ乃至図１６Ｅに示す。なお、図１６Ａ乃至図１６Ｅにおいては、明瞭化のため、図１５Ｂの一部要素を用い、他の要素を省いて図示している。

【０２１４】

図１６Ａは、基板４００１が導光板としての機能を有する構成である。基板４００１の外側の面には、凹凸形状を設けてもよい。当該構成では、導光板を別途設ける必要がなくなるため、製造コストを低減することができる。また、当該導光板による光の減衰もなくなるため、発光デバイス４３４２が射出する光を効率良く利用することができる。

【０２１５】

図１６Ｂは、複合層４００９の端部近傍から光を入射する構成である。複合層４００９と基板４００６との界面、および複合層４００９と基板４００１との界面での全反射を利用し、光散乱型液晶デバイスから外部に光を射出することができる。複合層４００９の樹脂部には、基板４００１および基板４００６よりも屈折率が大きい材料を用いる。

【０２１６】

なお、発光デバイス４３４２は表示装置の一辺に設けるだけでなく、図１６Ｃに示すように対向する二辺に設けてもよい。さらに、三辺または四辺に設けてもよい。発光デバイス４３４２を複数の辺に設けることで、光の減衰を補うことができ、大面積の表示デバイスにも対応することができる。

【０２１７】

図１６Ｄは、発光デバイス４３４２から射出される光がミラー４３４５を介して表示装置に導光される構成である。当該構成により表示装置に一定の角度からの導光を行いやすくなるため、効率良く全反射光を得ることができる。

【０２１８】

図１６Ｅは、複合層４００９上に層４００３および層４００４の積層を有する構成である。層４００３および層４００４の一方はガラス基板などの支持体であり、他方は無機膜、有機樹脂のコーティング膜またはフィルムなどで形成することができる。複合層４００９の樹脂部には、層４００４よりも屈折率が大きい材料を用いる。また、層４００４には層４００３よりも屈折率が大きい材料を用いる。

【０２１９】

複合層４００９と層４００４との間には一つ目の界面が形成され、層４００４と層４００３との間には二つ目の界面が形成される。当該構成により、一つ目の界面で全反射されず通り抜けた光を二つ目の界面で全反射させ、複合層４００９に戻すことができる。したが

って、発光デバイス４３４２が射出する光を効率良く利用することができる。
【０２２０】
なお、図１５Ｂおよび図１６Ａ乃至図１６Ｅにおける構成は、互いに組み合すことができる。
【０２２１】
本実施の形態は、他の実施の形態などに記載した構成と適宜組み合わせて実施することが可能である。
【０２２２】
（実施の形態３）
本実施の形態では、上記実施の形態に示した各トランジスタに置き換えて用いることのできるトランジスタの一例について、図面を用いて説明する。
【０２２３】
本発明の一態様の表示装置は、ボトムゲート型のトランジスタや、トップゲート型トランジスタなどの様々な形態のトランジスタを用いて作製することができる。よって、既存の製造ラインに合わせて、使用する半導体層の材料やトランジスタ構造を容易に置き換えることができる。
【０２２４】
〔ボトムゲート型トランジスタ〕
図１７Ａ１は、ボトムゲート型のトランジスタの一種であるチャネル保護型のトランジスタ８１０のチャネル長方向の断面図である。図１７Ａ１において、トランジスタ８１０は基板７７１上に形成されている。また、トランジスタ８１０は、基板７７１上に絶縁層７７２を介して電極７４６を有する。また、電極７４６上に絶縁層７２６を介して半導体層７４２を有する。電極７４６はゲート電極として機能できる。絶縁層７２６はゲート絶縁層として機能できる。
【０２２５】
また、半導体層７４２のチャネル形成領域上に絶縁層７４１を有する。また、半導体層７４２の一部と接して、絶縁層７２６上に電極７４４ａおよび電極７４４ｂを有する。電極７４４ａは、ソース電極またはドレイン電極の一方として機能できる。電極７４４ｂは、ソース電極またはドレイン電極の他方として機能できる。電極７４４ａの一部、および電極７４４ｂの一部は、絶縁層７４１上に形成される。
【０２２６】
絶縁層７４１は、チャネル保護層として機能できる。チャネル形成領域上に絶縁層７４１を設けることで、電極７４４ａおよび電極７４４ｂの形成時に生じる半導体層７４２の露出を防ぐことができる。よって、電極７４４ａおよび電極７４４ｂの形成時に、半導体層７４２のチャネル形成領域がエッチングされることを防ぐことができる。本発明の一態様によれば、電気特性の良好なトランジスタを実現することができる。
【０２２７】
また、トランジスタ８１０は、電極７４４ａ、電極７４４ｂおよび絶縁層７４１上に絶縁層７２８を有し、絶縁層７２８の上に絶縁層７２９を有する。
【０２２８】
半導体層７４２に酸化物半導体を用いる場合、電極７４４ａおよび電極７４４ｂの、少なくとも半導体層７４２と接する部分に、半導体層７４２の一部から酸素を奪い、酸素欠損を生じさせることが可能な材料を用いることが好ましい。半導体層７４２中の酸素欠損が生じた領域はキャリア濃度が増加し、当該領域はｎ型化し、ｎ型領域（n^+領域）となる。したがって、当該領域はソース領域またはドレイン領域として機能することができる。半導体層７４２に酸化物半導体を用いる場合、半導体層７４２から酸素を奪い、酸素欠損を生じさせることが可能な材料の一例として、タングステン、チタン等を挙げることができる。
【０２２９】
半導体層７４２にソース領域およびドレイン領域が形成されることにより、電極７４４ａ

および電極７４４ｂと半導体層７４２の接触抵抗を低減することができる。よって、電界効果移動度や、しきい値電圧などの、トランジスタの電気特性を良好なものとすることができる。

【０２３０】

半導体層７４２にシリコンなどの半導体を用いる場合は、半導体層７４２と電極７４４ａの間、および半導体層７４２と電極７４４ｂの間に、ｎ型半導体またはｐ型半導体として機能する層を設けることが好ましい。ｎ型半導体またはｐ型半導体として機能する層は、トランジスタのソース領域またはドレイン領域として機能することができる。

【０２３１】

絶縁層７２９は、外部からのトランジスタへの不純物の拡散を防ぐ、または低減する機能を有する材料を用いて形成することが好ましい。なお、必要に応じて絶縁層７２９を省略することもできる。

【０２３２】

図１７Ａ２に示すトランジスタ８１１は、絶縁層７２９上にバックゲート電極として機能できる電極７２３を有する点が、トランジスタ８１０と異なる。電極７２３は、電極７４６と同様の材料および方法で形成することができる。

【０２３３】

一般に、バックゲート電極は導電層で形成され、ゲート電極とバックゲート電極で半導体層のチャネル形成領域を挟むように配置される。よって、バックゲート電極は、ゲート電極と同様に機能させることができる。バックゲート電極の電位は、ゲート電極と同電位としてもよいし、接地電位（ＧＮＤ電位）や、任意の電位としてもよい。また、バックゲート電極の電位をゲート電極と連動させず独立して変化させることで、トランジスタのしきい値電圧を変化させることができる。

【０２３４】

また、電極７４６および電極７２３は、どちらもゲート電極として機能することができる。よって、絶縁層７２６、絶縁層７２８、および絶縁層７２９は、それぞれがゲート絶縁層として機能することができる。なお、電極７２３は、絶縁層７２８と絶縁層７２９の間に設けてもよい。

【０２３５】

なお、電極７４６または電極７２３の一方を、「ゲート電極」という場合、他方を「バックゲート電極」という。例えば、トランジスタ８１１において、電極７２３を「ゲート電極」と言う場合、電極７４６を「バックゲート電極」と言う。また、電極７２３を「ゲート電極」として用いる場合は、トランジスタ８１１をトップゲート型のトランジスタの一種と考えることができる。また、電極７４６および電極７２３のどちらか一方を、「第１のゲート電極」といい、他方を「第２のゲート電極」という場合がある。

【０２３６】

半導体層７４２を挟んで電極７４６および電極７２３を設けることで、更には、電極７４６および電極７２３を同電位とすることで、半導体層７４２においてキャリアの流れる領域が膜厚方向においてより大きくなるため、キャリアの移動量が増加する。この結果、トランジスタ８１１のオン電流が大きくなると共に、電界効果移動度が高くなる。

【０２３７】

したがって、トランジスタ８１１は、占有面積に対して大きいオン電流を有するトランジスタである。すなわち、求められるオン電流に対して、トランジスタ８１１の占有面積を小さくすることができる。本発明の一態様によれば、トランジスタの占有面積を小さくすることができる。よって、本発明の一態様によれば、集積度の高い半導体装置を実現することができる。

【０２３８】

また、ゲート電極とバックゲート電極は導電層で形成されるため、トランジスタの外部で生じる電界が、チャネルが形成される半導体層に作用しないようにする機能（特に静電気などに対する電界遮蔽機能）を有する。なお、バックゲート電極を半導体層よりも大きく

形成し、バックゲート電極で半導体層を覆うことで、電界遮蔽機能を高めることができる。
【０２３９】
また、バックゲート電極を、遮光性を有する導電膜で形成することで、バックゲート電極側から半導体層に光が入射することを防ぐことができる。よって、半導体層の光劣化を防ぎ、トランジスタのしきい値電圧がシフトするなどの電気特性の劣化を防ぐことができる。
【０２４０】
本発明の一態様によれば、信頼性の良好なトランジスタを実現することができる。また、信頼性の良好な半導体装置を実現することができる。
【０２４１】
図１７Ｂ１は、図１７Ａ１とは異なる構成のチャネル保護型のトランジスタ８２０のチャネル長方向の断面図である。トランジスタ８２０は、トランジスタ８１０とほぼ同様の構造を有しているが、絶縁層７４１が半導体層７４２の端部を覆っている点が異なる。また、半導体層７４２と重なる絶縁層７４１の一部を選択的に除去して形成した開口部において、半導体層７４２と電極７４４ａが電気的に接続している。また、半導体層７４２と重なる絶縁層７４１の一部を選択的に除去して形成した他の開口部において、半導体層７４２と電極７４４ｂが電気的に接続している。絶縁層７４１の、チャネル形成領域と重なる領域は、チャネル保護層として機能できる。
【０２４２】
図１７Ｂ２に示すトランジスタ８２１は、絶縁層７２９上にバックゲート電極として機能できる電極７２３を有する点が、トランジスタ８２０と異なる。
【０２４３】
絶縁層７４１を設けることで、電極７４４ａおよび電極７４４ｂの形成時に生じる半導体層７４２の露出を防ぐことができる。よって、電極７４４ａおよび電極７４４ｂの形成時に半導体層７４２の薄膜化を防ぐことができる。
【０２４４】
また、トランジスタ８２０およびトランジスタ８２１は、トランジスタ８１０およびトランジスタ８１１よりも、電極７４４ａと電極７４６の間の距離と、電極７４４ｂと電極７４６の間の距離が長くなる。よって、電極７４４ａと電極７４６の間に生じる寄生容量を小さくすることができる。また、電極７４４ｂと電極７４６の間に生じる寄生容量を小さくすることができる。本発明の一態様によれば、電気特性の良好なトランジスタを実現できる。
【０２４５】
図１７Ｃ１は、ボトムゲート型のトランジスタの１つであるチャネルエッチング型のトランジスタ８２５のチャネル長方向の断面図である。トランジスタ８２５は、絶縁層７２９を用いずに電極７４４ａおよび電極７４４ｂを形成する。このため、電極７４４ａおよび電極７４４ｂの形成時に露出する半導体層７４２の一部がエッチングされる場合がある。一方、絶縁層７２９を設けないため、トランジスタの生産性を高めることができる。
【０２４６】
図１７Ｃ２に示すトランジスタ８２６は、絶縁層７２９上にバックゲート電極として機能できる電極７２３を有する点が、トランジスタ８２０と異なる。
【０２４７】
図１８Ａ１乃至図１８Ｃ２にトランジスタ８１０、８１１、８２０、８２１、８２５、８２６のチャネル幅方向の断面図をそれぞれ示す。
【０２４８】
図１８Ｂ２、図１８Ｃ２に示す構造では、ゲート電極とバックゲート電極とが接続され、ゲート電極とバックゲート電極との電位が同電位となる。また、半導体層７４２は、ゲート電極とバックゲート電極に挟まれている。
【０２４９】
ゲート電極およびバックゲート電極のそれぞれのチャネル幅方向の長さは、半導体層７４２のチャネル幅方向の長さよりも長く、半導体層７４２のチャネル幅方向全体は、絶縁層

７２６、７４１、７２８、７２９を間に挟んでゲート電極およびバックゲート電極に覆われた構成である。

【０２５０】

当該構成とすることで、トランジスタに含まれる半導体層７４２を、ゲート電極およびバックゲート電極の電界によって電気的に取り囲むことができる。

【０２５１】

トランジスタ８２１およびトランジスタ８２６のように、ゲート電極およびバックゲート電極の電界によって、チャネル形成領域が形成される半導体層７４２を電気的に取り囲むトランジスタのデバイス構造をＳｕｒｒｏｕｎｄｅｄ　ｃｈａｎｎｅｌ（Ｓ－ｃｈａｎｎｅｌ）構造と呼ぶことができる。

【０２５２】

Ｓ－ｃｈａｎｎｅｌ構造とすることで、ゲート電極およびバックゲート電極の一方または双方によってチャネルを誘起させるための電界を効果的に半導体層７４２に印加することができるため、トランジスタの電流駆動能力が向上し、高いオン電流特性を得ることが可能となる。また、オン電流を高くすることが可能であるため、トランジスタを微細化することが可能となる。また、Ｓ－ｃｈａｎｎｅｌ構造とすることで、トランジスタの機械的強度を高めることができる。

【０２５３】

〔トップゲート型トランジスタ〕

図１９Ａ１に例示するトランジスタ８４２は、トップゲート型のトランジスタの１つである。電極７４４ａおよび電極７４４ｂは、絶縁層７２８および絶縁層７２９に形成した開口部において半導体層７４２と電気的に接続する。

【０２５４】

また、電極７４６と重ならない絶縁層７２６の一部を除去し、電極７４６と残りの絶縁層７２６をマスクとして用いて不純物を半導体層７４２に導入することで、半導体層７４２中に自己整合（セルフアライメント）的に不純物領域を形成することができる。トランジスタ８４２は、絶縁層７２６が電極７４６の端部を越えて延伸する領域を有する。半導体層７４２の絶縁層７２６を介して不純物が導入された領域の不純物濃度は、絶縁層７２６を介さずに不純物が導入された領域よりも小さくなる。よって、半導体層７４２は、絶縁層７２６と重なる領域であって、電極７４６と重ならない領域にＬＤＤ（ＬｉｇｈｔｌｙＤｏｐｅｄ　Ｄｒａｉｎ）領域が形成される。

【０２５５】

図１９Ａ２に示すトランジスタ８４３は、電極７２３を有する点がトランジスタ８４２と異なる。トランジスタ８４３は、基板７７１の上に形成された電極７２３を有する。電極７２３は、絶縁層７７２を介して半導体層７４２と重なる領域を有する。電極７２３は、バックゲート電極として機能することができる。

【０２５６】

また、図１９Ｂ１に示すトランジスタ８４４および図１９Ｂ２に示すトランジスタ８４５のように、電極７４６と重ならない領域の絶縁層７２６を全て除去してもよい。また、図１９Ｃ１に示すトランジスタ８４６および図１９Ｃ２に示すトランジスタ８４７のように、絶縁層７２６を残してもよい。

【０２５７】

トランジスタ８４２乃至トランジスタ８４７も、電極７４６を形成した後に、電極７４６をマスクとして用いて不純物を半導体層７４２に導入することで、半導体層７４２中に自己整合的に不純物領域を形成することができる。本発明の一態様によれば、電気特性の良好なトランジスタを実現することができる。また、本発明の一態様によれば、集積度の高い半導体装置を実現することができる。

【０２５８】

図２０Ａ１乃至図２０Ｃ２にトランジスタ８４２、８４３、８４４、８４５、８４６、８４７のチャネル幅方向の断面図をそれぞれ示す。

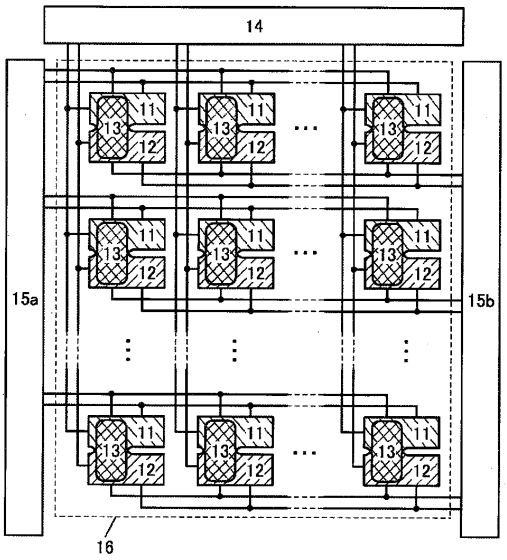
【０２５９】
トランジスタ８４３、トランジスタ８４５、およびトランジスタ８４７は、それぞれ先に説明したＳ－ｃｈａｎｎｅｌ構造である。ただし、これに限定されず、トランジスタ８４３、トランジスタ８４５、およびトランジスタ８４７をＳ－ｃｈａｎｎｅｌ構造としなくてもよい。
【０２６０】
本実施の形態は、他の実施の形態などに記載した構成と適宜組み合わせて実施することが可能である。
【０２６１】
（実施の形態４）
本発明の一態様に係る表示装置を用いることができる電子機器として、表示機器、パーソナルコンピュータ、記録媒体を備えた画像記憶装置または画像再生装置、携帯電話、携帯型を含むゲーム機、携帯データ端末、電子書籍端末、ビデオカメラ、デジタルスチルカメラ等のカメラ、ゴーグル型ディスプレイ（ヘッドマウントディスプレイ）、ナビゲーションシステム、音響再生装置（カーオーディオ、デジタルオーディオプレイヤー等）、複写機、ファクシミリ、プリンタ、プリンタ複合機、現金自動預け入れ払い機（ＡＴＭ）、自動販売機などが挙げられる。これら電子機器の具体例を図２１Ａ乃至図２１Ｆに示す。
【０２６２】
図２１Ａはデジタルカメラであり、筐体９６１、シャッターボタン９６２、マイク９６３、スピーカ９６７、表示部９６５、操作キー９６６、ズームレバー９６８、レンズ９６９等を有する。表示部９６５に本発明の一態様の表示装置を用いることができる。
【０２６３】
図２１Ｂは携帯データ端末であり、筐体９１１、表示部９１２、スピーカ９１３、操作ボタン９１４、カメラ９１９等を有する。表示部９１２が有するタッチパネル機能により情報の入出力を行うことができる。表示部９１２に本発明の一態様の表示装置を用いることができる。
【０２６４】
図２１Ｃは携帯電話機であり、筐体９５１、表示部９５２、操作ボタン９５３、外部接続ポート９５４、スピーカ９５５、マイク９５６、カメラ９５７等を有する。当該携帯電話機は、表示部９５２にタッチセンサを備える。電話を掛ける、或いは文字を入力するなどのあらゆる操作は、指やスタイラスなどで表示部９５２に触れることで行うことができる。また、筐体９０１および表示部９５２は可撓性を有し、図示するように折り曲げて使用することができる。表示部９５２に本発明の一態様の表示装置を用いることができる。
【０２６５】
図２１Ｄはビデオカメラであり、第１筐体９０１、第２筐体９０２、表示部９０３、操作キー９０４、レンズ９０５、接続部９０６、スピーカ９０７等を有する。操作キー９０４およびレンズ９０５は第１筐体９０１に設けられており、表示部９０３は第２筐体９０２に設けられている。表示部９０３に本発明の一態様の表示装置を用いることができる。
【０２６６】
図２１Ｅはテレビであり、筐体９７１、表示部９７３、操作ボタン９７４、スピーカ９７５、通信用接続端子９７６、光センサ９７７等を有する。表示部９７３にはタッチセンサが設けられ、入力操作を行うこともできる。表示部９７３に本発明の一態様の表示装置を用いることができる。
【０２６７】
図２１Ｆはデジタルサイネージであり、大型の表示部９２２を有する。デジタルサイネージは、例えば、柱９２１の側面に大型の表示部９２２が取り付けられる。表示部９２２に本発明の一態様の表示装置を用いることができる。
【０２６８】
本実施の形態は、他の実施の形態などに記載した構成と適宜組み合わせて実施することが可能である。

【符号の説明】
【０２６９】
１１：画素、１２：画素、１３：回路、１４：ソースドライバ、１５ａ：ゲートドライバ、１５ｂ：ゲートドライバ、１６：画素アレイ、１０１：トランジスタ、１０２：トランジスタ、１０３：トランジスタ、１０４：トランジスタ、１０５：キャパシタ、１１０：回路、１１１：トランジスタ、１１２：トランジスタ、１１３：キャパシタ、１１４：発光デバイス、１１５：トランジスタ、１１６：キャパシタ、１１７：液晶デバイス、１１８：トランジスタ、１１９：トランジスタ、１２０：回路、１２１：配線、１２２：配線、１２３：配線、１２４：配線、１２５：配線、１２６：配線、１２７：配線、１２８：配線、１２９：配線、１３０：配線、１３１：配線、１３２：配線、１３３：配線、１３４：配線、１３５：配線、２１５：表示部、２２１ａ：走査線駆動回路、２３１ａ：信号線駆動回路、２３２ａ：信号線駆動回路、２４１ａ：共通線駆動回路、７２３：電極、７２６：絶縁層、７２８：絶縁層、７２９：絶縁層、７４１：絶縁層、７４２：半導体層、７４４ａ：電極、７４４ｂ：電極、７４６：電極、７７１：基板、７７２：絶縁層、８１０：トランジスタ、８１１：トランジスタ、８２０：トランジスタ、８２１：トランジスタ、８２５：トランジスタ、８２６：トランジスタ、８４２：トランジスタ、８４３：トランジスタ、８４４：トランジスタ、８４５：トランジスタ、８４６：トランジスタ、８４７：トランジスタ、９０１：第１筐体、９０２：第２筐体、９０３：表示部、９０４：操作キー、９０５：レンズ、９０６：接続部、９０７：スピーカ、９１１：筐体、９１２：表示部、９１３：スピーカ、９１４：操作ボタン、９１９：カメラ、９２１：柱、９２２：表示部、９５１：筐体、９５２：表示部、９５３：操作ボタン、９５４：外部接続ポート、９５５：スピーカ、９５６：マイク、９５７：カメラ、９６１：筐体、９６２：シャッターボタン、９６３：マイク、９６５：表示部、９６６：操作キー、９６７：スピーカ、９６８：ズームレバー、９６９：レンズ、９７１：筐体、９７３：表示部、９７４：操作ボタン、９７５：スピーカ、９７６：通信用接続端子、９７７：光センサ、４００１：基板、４００３：層、４００４：層、４００５：シール材、４００６：基板、４００８：液晶層、４００９：複合層、４０１０：トランジスタ、４０１１：トランジスタ、４０１３：液晶デバイス、４０１４：配線、４０１５：電極、４０１６：光散乱型液晶デバイス、４０１７：電極、４０１８：ＦＰＣ、４０１９：異方性導電層、４０２０：キャパシタ、４０２１：電極、４０２２：トランジスタ、４０２３：トランジスタ、４０３０：電極層、４０３１：電極層、４０３２：絶縁層、４０３３：絶縁層、４０３５：スペーサ、４０４１：プリント基板、４０４２：集積回路、４１０２：絶縁層、４１０３：絶縁層、４１０４：絶縁層、４１１０：絶縁層、４１１１：絶縁層、４１１２：絶縁層、４１３１：着色層、４１３２：遮光層、４１３３：絶縁層、４２００：入力装置、４２１０：タッチパネル、４２２７：電極、４２２８：電極、４２３７：配線、４２３８：配線、４２３９：配線、４２６３：基板、４２７２ｂ：ＦＰＣ、４２７３ｂ：ＩＣ、４３４０ａ：バックライトユニット、４３４０ｂ：バックライトユニット、４３４１：導光板、４３４２：発光デバイス、４３４４：レンズ、４３４５：ミラー、４３４７：プリント基板、４３４８：反射層、４３５２：拡散板、４５１０：隔壁、４５１１：発光層、４５１３：発光デバイス、４５１４：充填材

【図面】

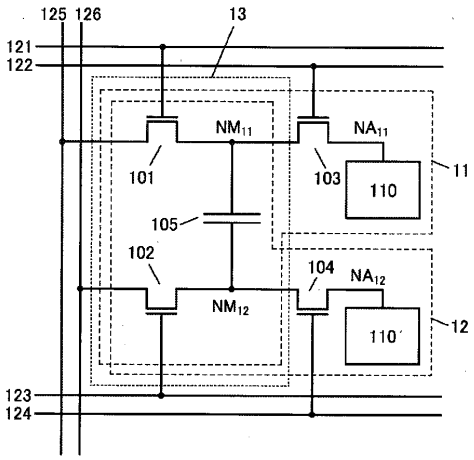
【図１】

図1



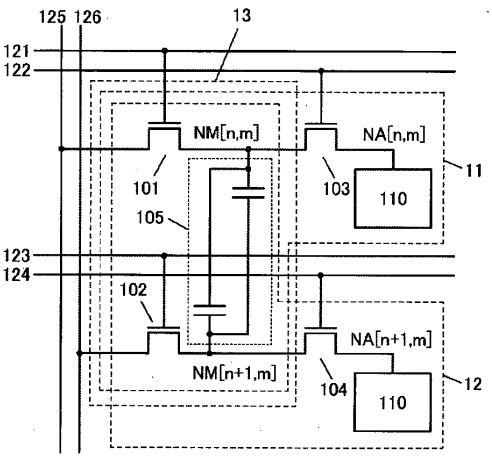
【図２】

図2



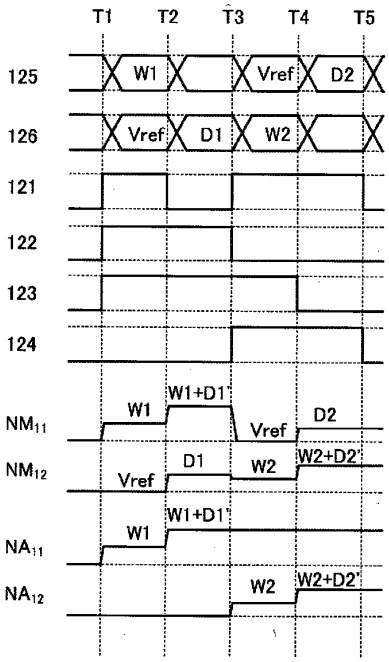
【図３】

図3



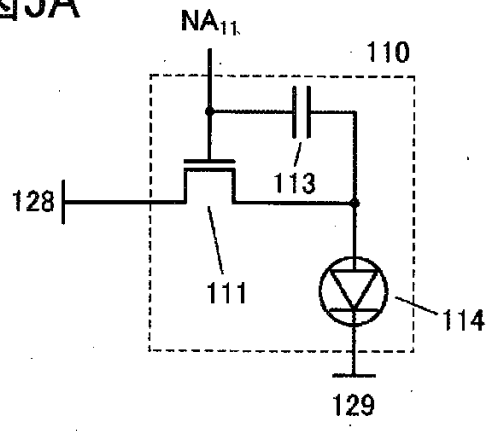
【図４】

図4



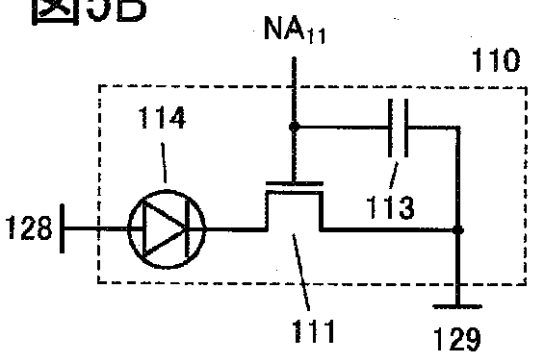
【図５Ａ】

図5A



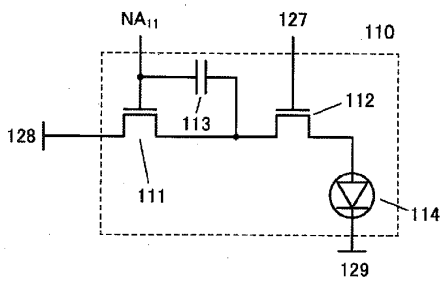
【図５Ｂ】

図5B



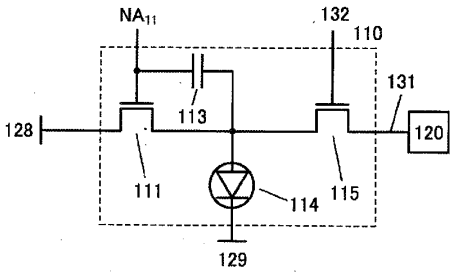
【図５Ｃ】

図5C



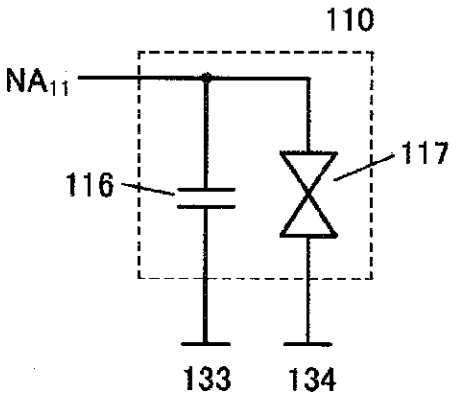
【図５Ｄ】

図5D



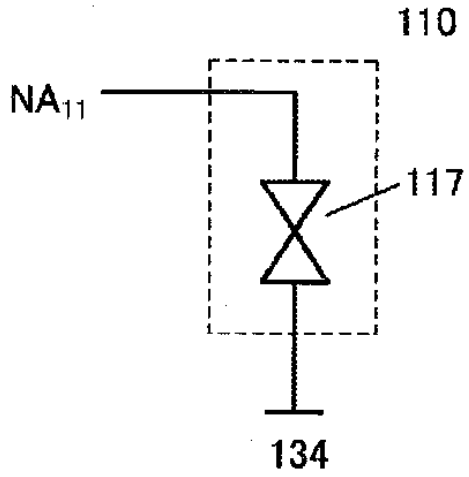
【図６Ａ】

図6A



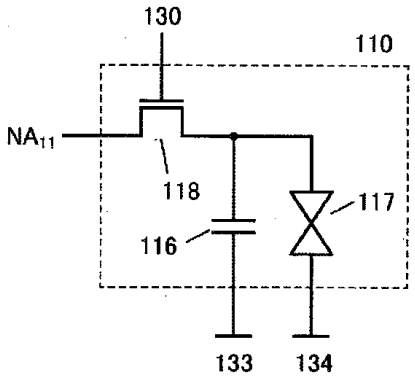
【図６Ｂ】

図6B



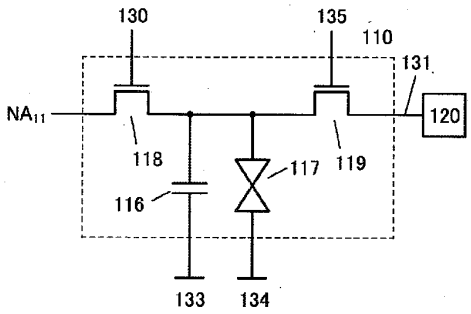
【図６Ｃ】

図6C



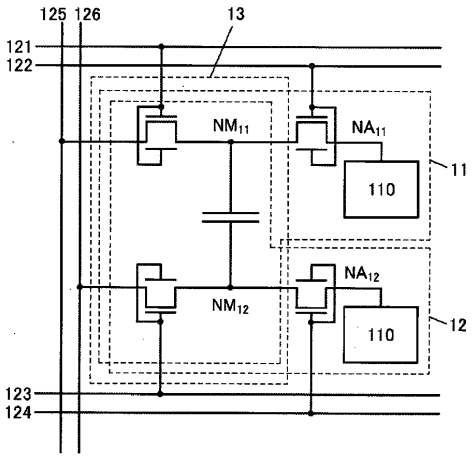
【図６Ｄ】

図6D



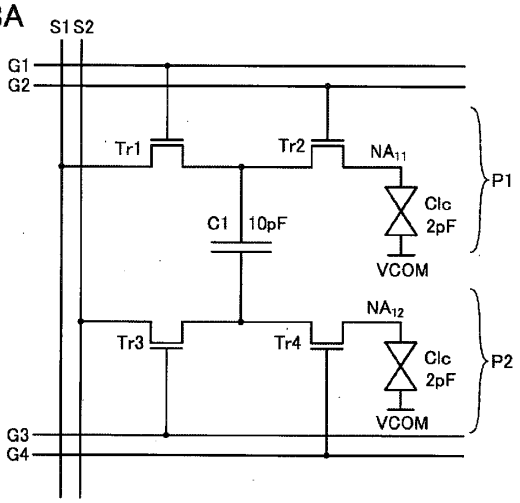
【図７】

図7



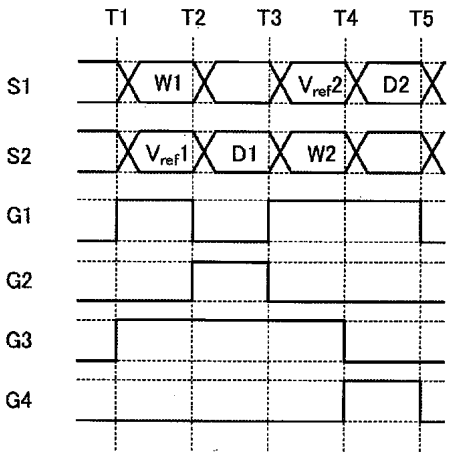
【図８Ａ】

図8A



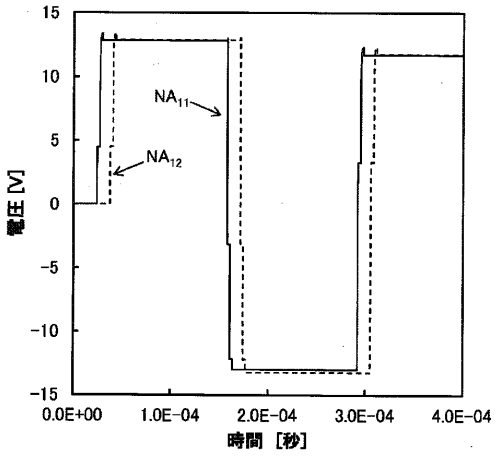
【図８Ｂ】

図8B



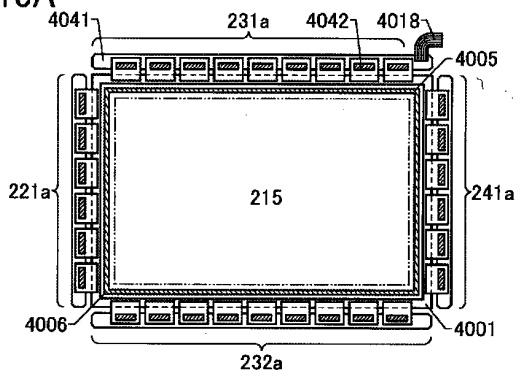
【図９】

図09



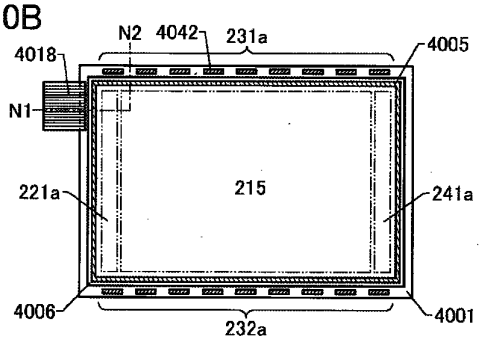
【図１０Ａ】

図10A



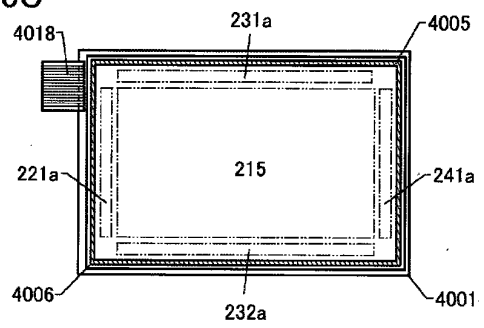
【図１０Ｂ】

図10B



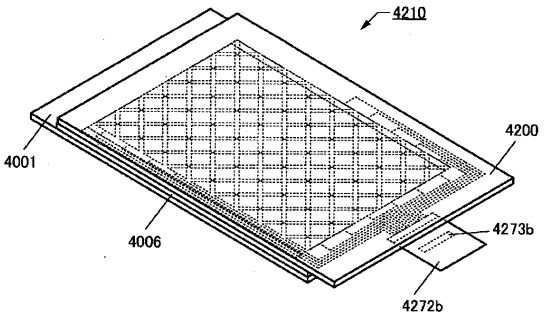
【図１０Ｃ】

図10C



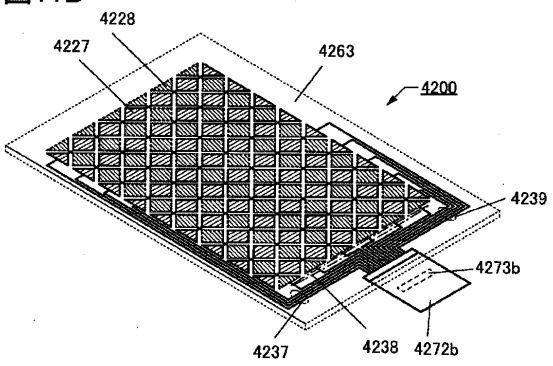
【図１１Ａ】

図11A



【図１１Ｂ】

図11B



【図１２Ａ】

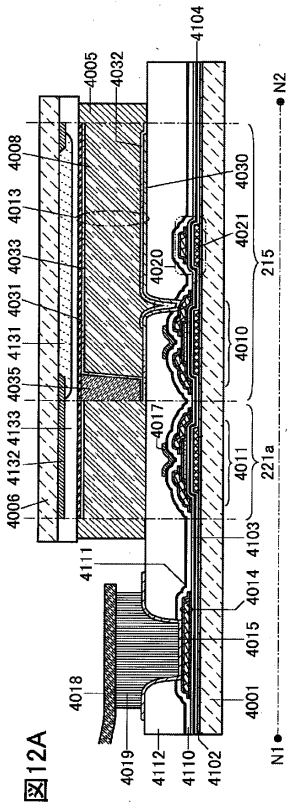


図12A

【図１２Ｂ】

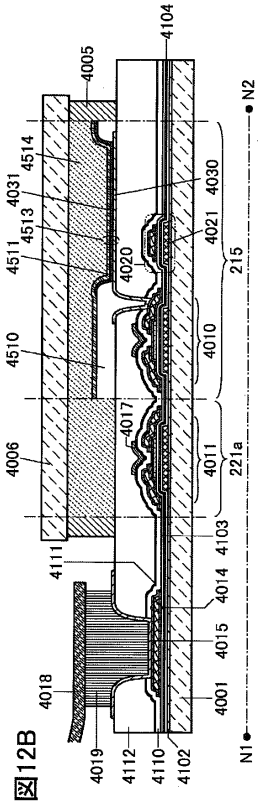


図12B

【図１３】

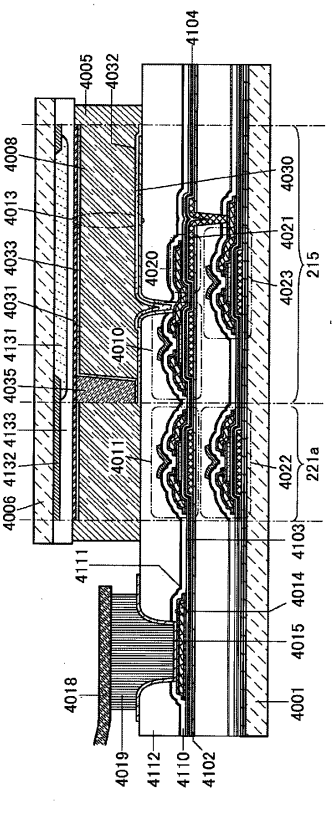


図13

【図１４Ａ】

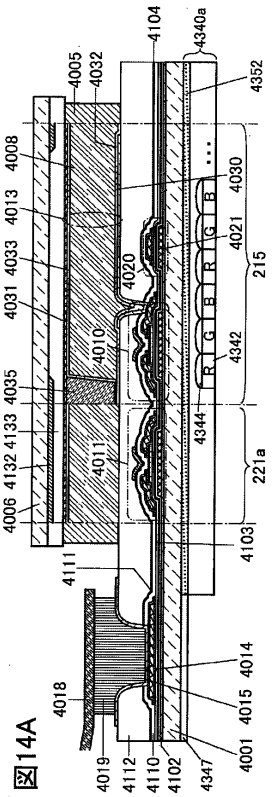


図14A

【図１４Ｂ】

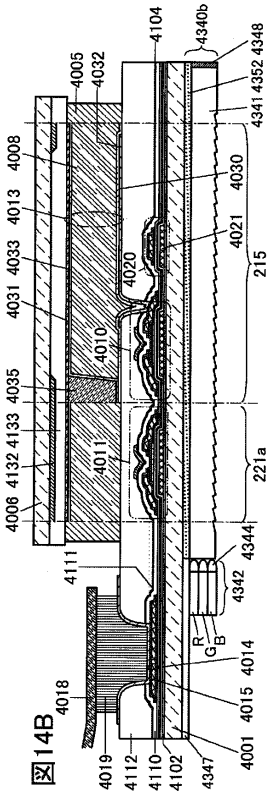


図14B

【図１５Ａ】

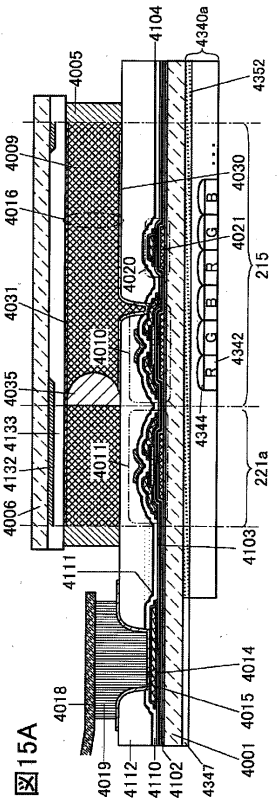


図15A

【図１５Ｂ】

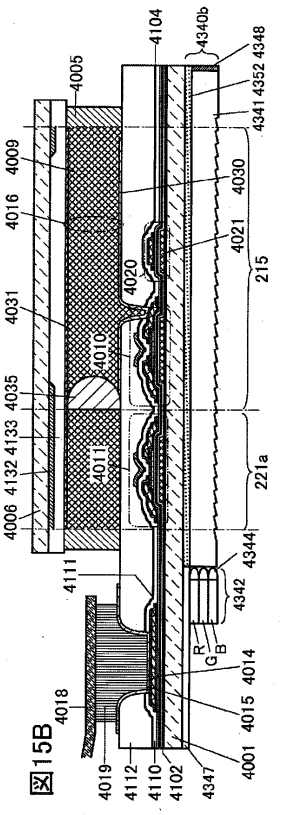
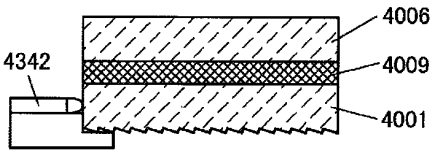


図15B

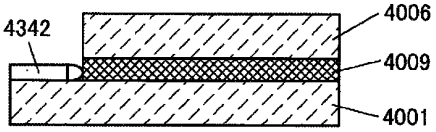
【図１６Ａ】

図16A



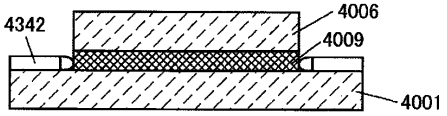
【図１６Ｂ】

図16B



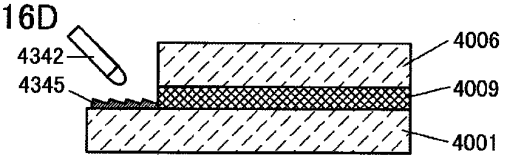
【図１６Ｃ】

図16C



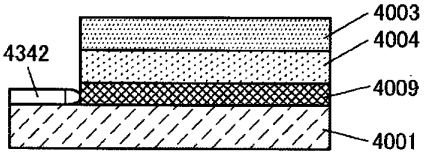
【図１６Ｄ】

図16D



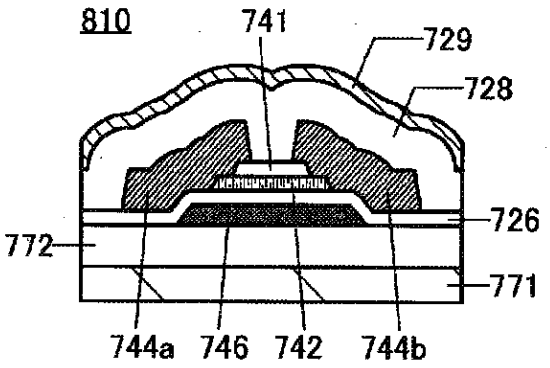
【図１６Ｅ】

図16E

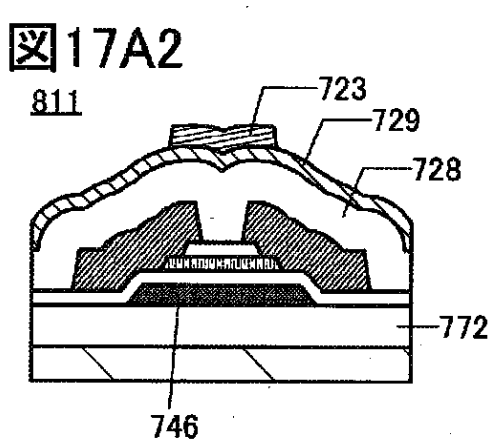


【図１７Ａ１】

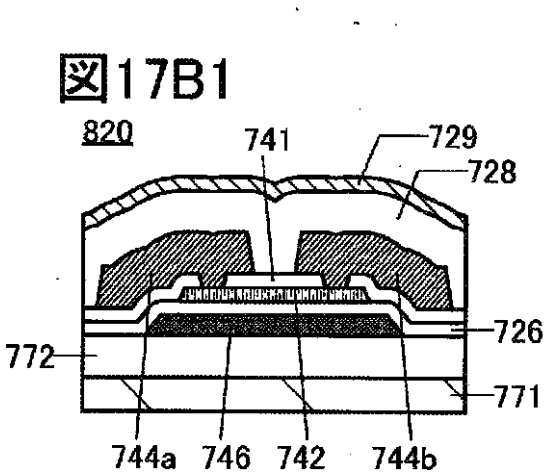
図17A1



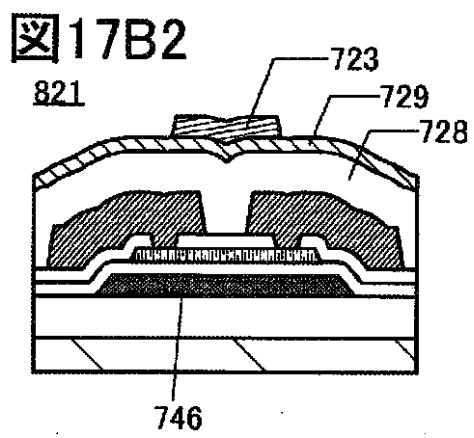
【図１７Ａ２】



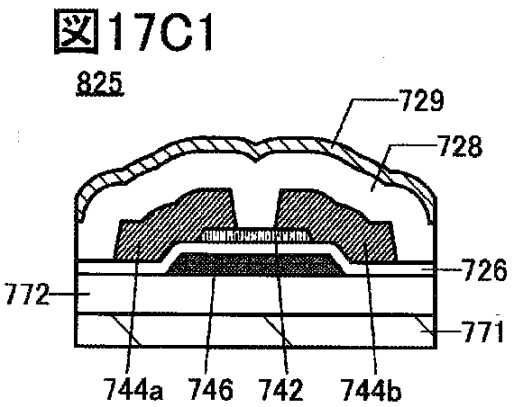
【図１７Ｂ１】



【図１７Ｂ２】

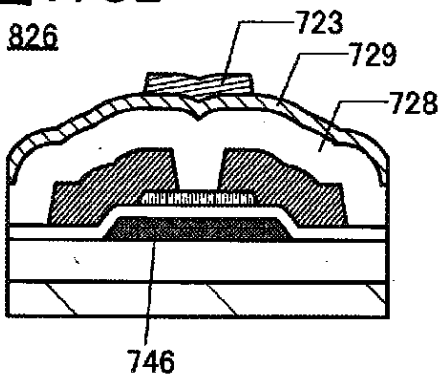


【図１７Ｃ１】



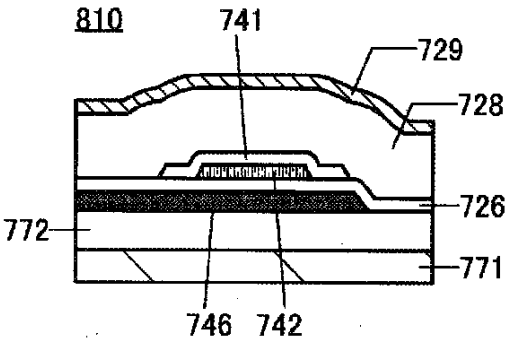
【図１７Ｃ２】

図17C2



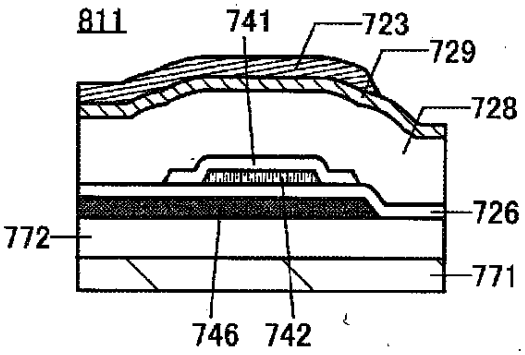
【図１８Ａ１】

図18A1



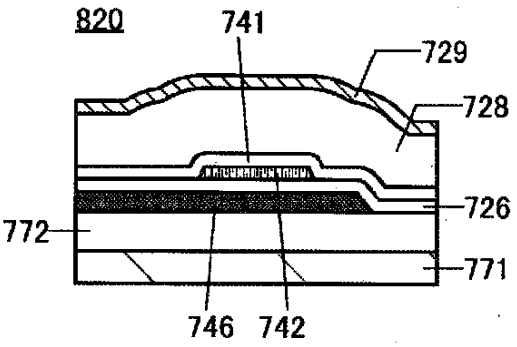
【図１８Ａ２】

図18A2



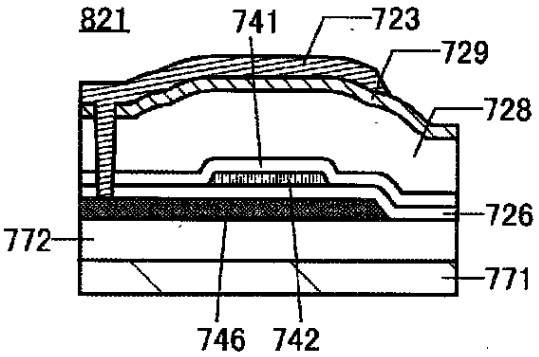
【図１８Ｂ１】

図18B1



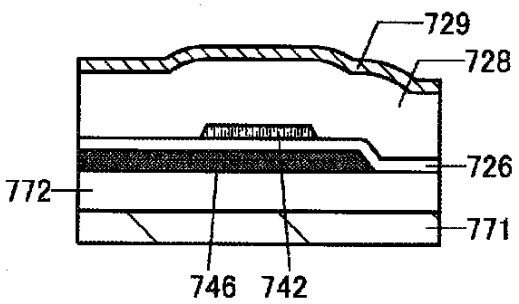
【図１８Ｂ２】

図18B2



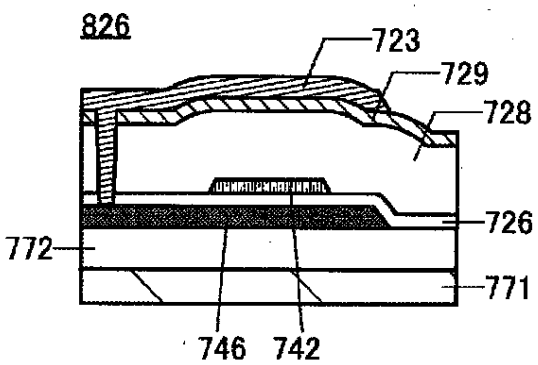
【図１８Ｃ１】

図18C1



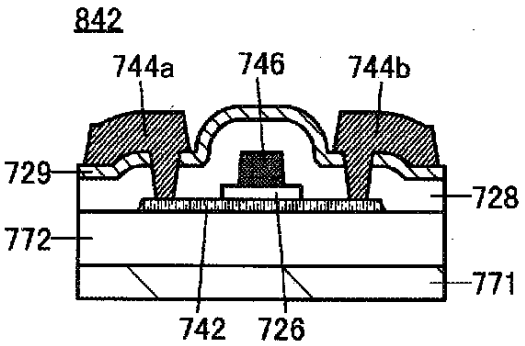
【図１８Ｃ２】

図18C2



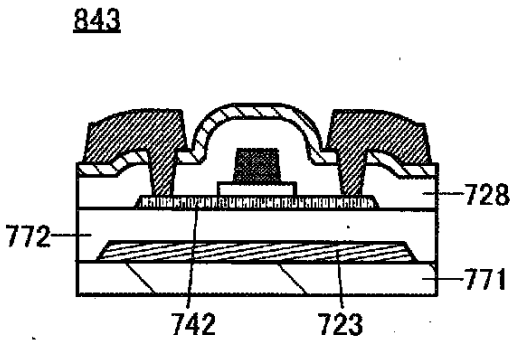
【図１９Ａ１】

図19A1



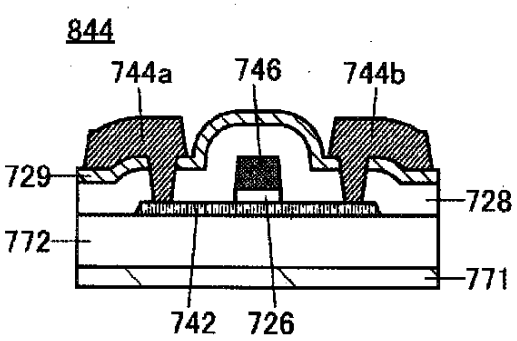
【図１９Ａ２】

図19A2



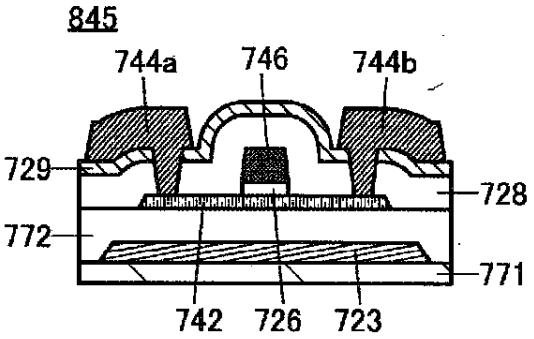
【図１９Ｂ１】

図19B1



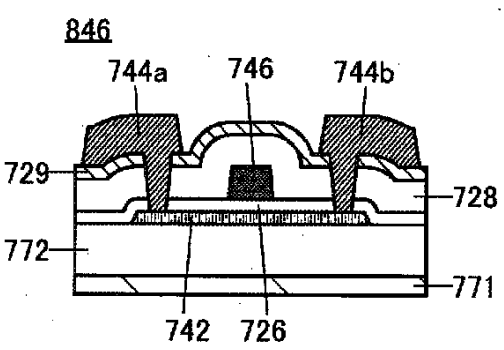
【図１９Ｂ２】

図19B2



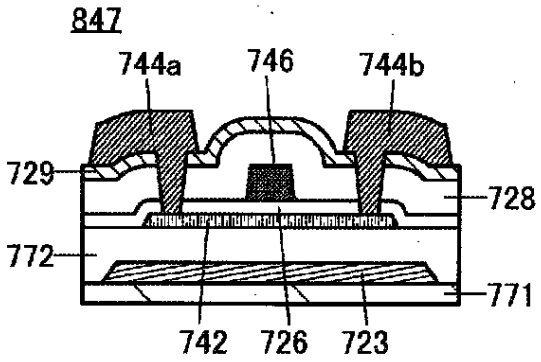
【図１９Ｃ１】

図19C1



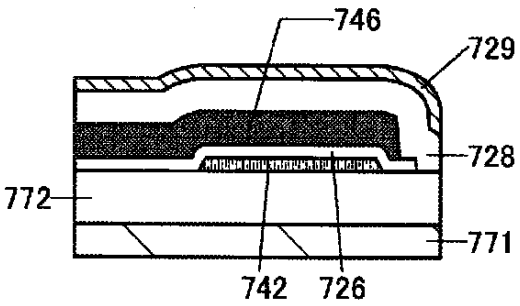
【図１９Ｃ２】

図19C2



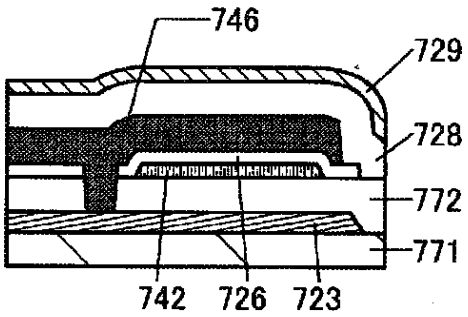
【図２０Ａ１】

図20A1



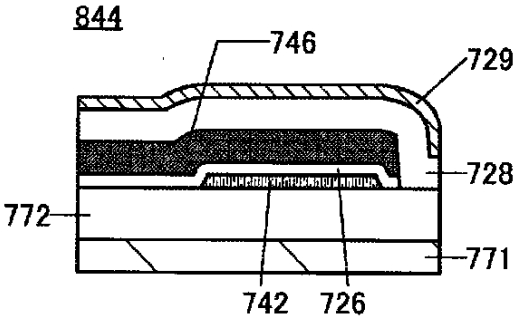
【図２０Ａ２】

図20A2



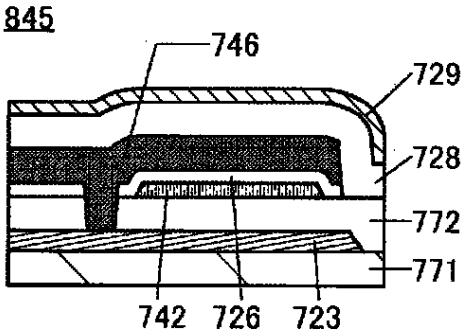
【図２０Ｂ１】

図20B1



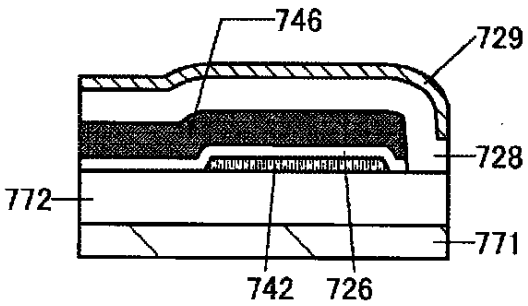
【図２０Ｂ２】

図20B2



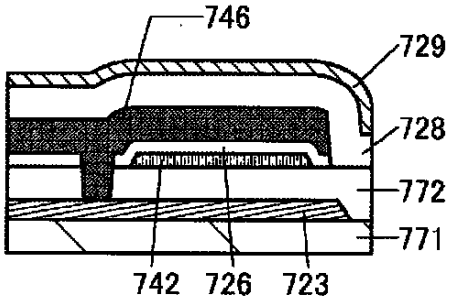
【図２０Ｃ１】

図20C1



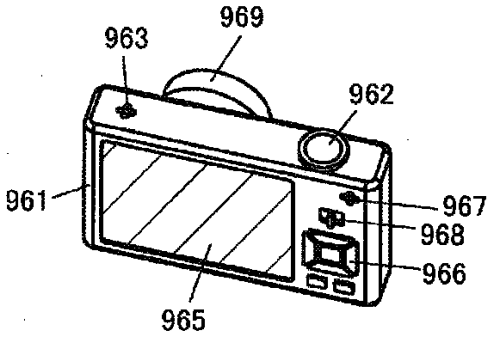
【図２０Ｃ２】

図20C2



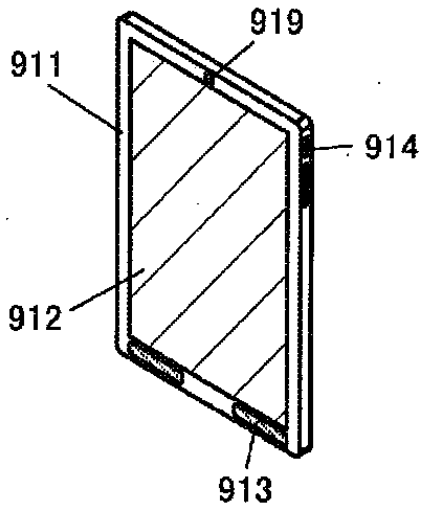
【図２１Ａ】

図21A



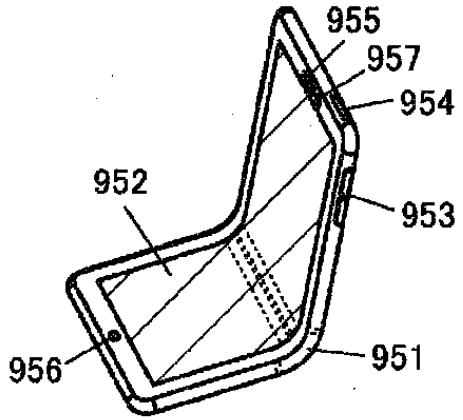
【図２１Ｂ】

図21B



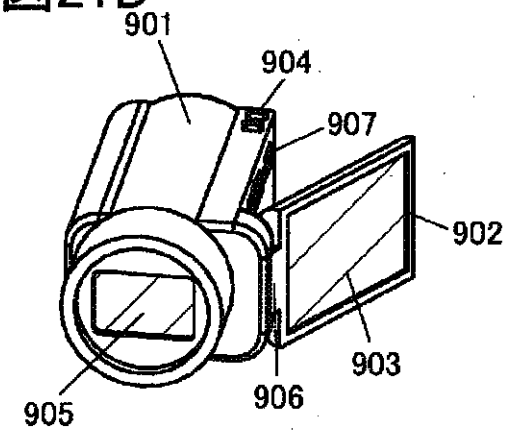
【図２１Ｃ】

図21C



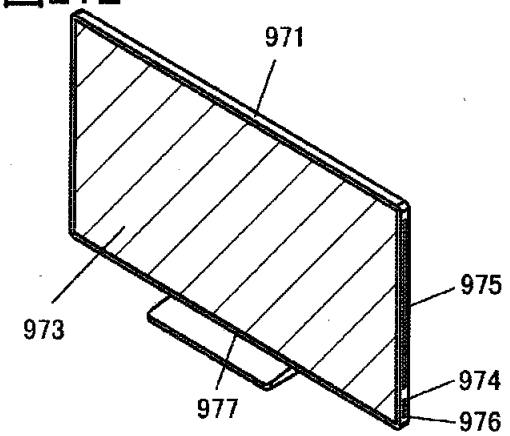
【図２１Ｄ】

図21D



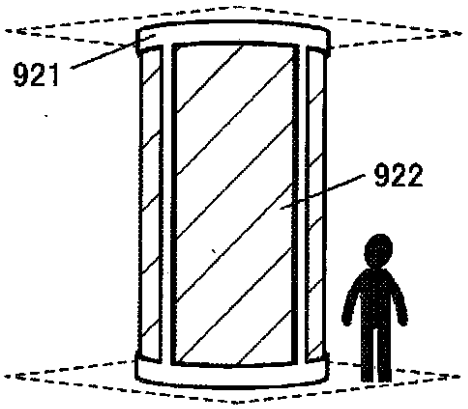
【図２１Ｅ】

図21E



【図２１Ｆ】

図21F



フロントページの続き

(51)国際特許分類
H01L 29/786(2006.01)

FI
G09G 3/20 611A
G09G 3/20 680H
G09G 3/20 680G
G09G 3/20 621H
G09G 3/3233
G02F 1/133 550
G02F 1/1365
H01L 29/78 618B
H01L 29/78 614

(56)参考文献 米国特許出願公開第２０１０／０１５７１８５（ＵＳ，Ａ１）
特開２０１４－１２３１２８（ＪＰ，Ａ）
特開２０１０－０２０３０２（ＪＰ，Ａ）
特開２０１７－０２７０１２（ＪＰ，Ａ）
特開２０１２－１４５６５５（ＪＰ，Ａ）
特開２０１２－１８５３２８（ＪＰ，Ａ）

(58)調査した分野 (Int.Cl.，ＤＢ名)
Ｇ０９Ｇ ３／３６
Ｇ０９Ｇ ３／２０
Ｇ０９Ｇ ３／３２３３
Ｇ０２Ｆ １／１３３
Ｇ０２Ｆ １／１３６５
Ｈ０１Ｌ ２９／７８６