

發明專利說明書

(本說明書格式、順序，請勿任意更動)

【發明名稱】(中文/英文)

用於讀取和程式化1-R電阻變化元件陣列的方法

METHODS FOR READING AND PROGRAMMING 1-R

RESISTIVE CHANGE ELEMENT ARRAYS

【技術領域】

【0001】 本揭示內容大致上有關電阻變化元件之陣列，且更明確地是，有關用於讀取及程式化此等陣列、而不需要單元原位選擇及電流限制元件的改良方法。

【先前技術】

【0002】 遍及此說明書之相關技術領域的任何討論將絕未被考慮為認可此技術領域係普遍認識或形式該領域中之普通一般知識的一部份。

【0003】 通常被那些熟習此技術領域者稱為電阻RAMs之電阻改變裝置及陣列係於該半導體工業中熟知。此等裝置及陣列譬如包括、但不被限制於相變記憶體、固體電解質記憶體、金屬氧化物電阻記憶體、及諸如NRAMTM的碳奈米管記憶體。

【0004】 電阻改變裝置及陣列藉由調整電阻變化元件來儲存資訊，典型在二或更多電阻狀態間之每一個別陣列單元內，包含一些能在對一些所施加之刺激作出回應的許多非揮發性電阻狀態之間被調整的材料。譬如，在電阻變化元件單元內之每一電阻狀態可對應於一資料值，其能藉由支撐該裝置或陣列內的電路系統被程式化及讀回。

【0005】 例如，電阻變化元件可被配置來於二電阻狀態之間切換：高電阻狀態(其可對應於邏輯“0”)及低電阻狀態(其可對應於邏輯“1”)。以這種方式，電阻變化元件能被使用於儲存一個二進位數字(位元)的資料。

【0006】 或，當作另一範例，電阻變化元件可被配置來在四個電阻狀態之間切換，以便儲存二位元的資料。或，電阻變化元件可被配置來在八個電阻狀態之間切換，以便儲存四位元的資料。或，電阻變化元件可被配置來在 $2n$ 個電阻狀態之間切換，以便儲存 n 位元的資料。

【0007】 在該目前之尖端技術內，對估算及增加電阻變化元件陣列的

陣列之單元密度有一增加的需求。然而，因技術係在該尖端技術內被開發以提供日益較小之電阻變化元件，於某些特定應用中，在電阻變化元件陣列內的個別陣列單元之物理尺寸變得被傳統電阻變化元件陣列單元內所使用的選擇電路系統之物理尺寸所限制。為此目的，如果用於讀取及程式化電阻變化元件之陣列的方法被實現，使得該等個別陣列單元可被迅速地存取(讀取)或調整(程式化)，而不需要原位選擇電路系統或其他在每一單元內之電流控制裝置將為有利的。

【發明內容】

【0008】 本揭示內容有關用於程式化及讀取電阻變化元件之陣列的方法，且更明確地是，有關此等方法，其中在一陣列內之單元能被迅速地程式化或讀取，而不需要在每一單元內的原位選擇或電流控制電路系統。

【0009】 尤其，本揭示內容提供用於測定電阻變化元件陣列內之至少一電阻變化元件的電阻狀態之方法。此方法包含首先提供一電阻變化元件陣列。此電阻變化元件陣列包含複數個字元線、複數個位元線；及複數個電阻變化元件。這些電阻變化元件的每一個具有第一端子及第二端子，其中每一個電阻變化元件之第一端子係與字元線電連通，且每一個電阻變化元件的第二端子係與位元線電連通。該電阻變化元件陣列另包含至少一電阻參考元件，此電阻參考元件具有與字元線電連通之第一端子及與位元線電連通的第二端子。

【0010】 此用於測定至少一電阻變化元件之電阻狀態的方法包含首先將該電阻變化元件陣列內之所有該等位元線及所有該等字元線初始化至接地。此方法接著選擇該電阻變化元件陣列內的一字元線及將此被選擇之字元線充電至預選的電壓，同時將所有其他字元線保持在接地及允許所有位元線浮動。此方法接著經過至少一電阻變化元件將所選擇之字元線放電，並觀察經過至少一電阻變化元件的至少一放電電流。

【0011】 此用於測定至少一電阻變化元件之電阻狀態的方法接著將該電阻變化元件陣列內之所有該等位元線及所有該等字元線重新初始化至接地。此方法接著選擇至少一電阻參考元件及將與該至少一所選擇之電阻參考元件電連通的字元線充電至預選之電壓，同時將所有其他字元線保持在接地及允許所有位元線浮動。此方法接著經過該至少一所選擇之電阻參

考元件將與該至少一所選擇之電阻參考元件電連通的字元線放電，並觀察經過至少一所選擇之電阻參考元件的至少一放電電流。此方法接著比較經過至少一電阻變化元件所觀察之至少一放電電流與經過至少一所選擇的電阻參考元件所觀察之至少一放電電流，以測定該至少一電阻變化元件的電阻狀態。

【0012】 再者，本揭示內容亦提供用於調整電阻變化元件陣列內之至少一電阻變化元件的電阻狀態之方法。此方法首先包含提供一電阻變化元件陣列。此電阻變化元件陣列包含複數個字元線、複數個位元線；及複數個電阻變化元件。每一個電阻變化元件具有第一端子及第二端子，其中每一個電阻變化元件的第一端子係與字元線電連通，且每一個電阻變化元件之第二端子係與位元線電連通。

【0013】 此用於調整電阻變化元件陣列內之至少一電阻變化元件的電阻狀態之方法首先將該電阻變化元件陣列內之所有該等位元線及所有該等字元線初始化至接地。此方法接著選擇一字元線，其中此被選擇的字元線係與待調整之至少一電阻變化元件電連通。此方法接著浮動所有未被選擇的字元線。此方法接著經過可選擇之電流限制元件將所有該等位元線拉動至接地。這些可選擇的電流限制元件之每一個可被建構在至少二狀態中：第一被建構狀態，其允許充分程式化的電流流經可選擇之電流限制元件；及第二被建構狀態，其禁止充分程式化的電流流經可選擇之電流限制元件。此方法接著將與待調整的電阻變化元件電連通之那些位元線有關聯的那些可選擇之電流限制元件建構進入該第一被建構狀態，並將與不被調整的電阻變化元件電連通之那些位元線有關聯的那些可選擇之電流限制元件建構進入該第二被建構狀態。此方法接著將所選擇的字元線驅動至預選之電壓，並經過至少一電阻變化元件將所選擇的字組放電，以經過至少一電阻變化元件提供至少一程式化電流。且此至少一程式化電流將至少一電阻變化元件之電阻由第一電阻狀態調整至第二電阻狀態。

【0014】 於本揭示內容的另一態樣之下，在用於調整電阻變化元件的電阻狀態之此方法內，該第一電阻狀態係低於該第二電阻狀態。

【0015】 於本揭示內容的另一態樣之下，在用於調整電阻變化元件的電阻狀態之此方法內，該第一電阻狀態係高於該第二電阻狀態。

【0016】 於本揭示內容的另一態樣之下，在用於調整電阻變化元件的電阻狀態之此方法內，與所選擇的字元線電連通之每一個電阻變化元件的電阻狀態被同時地調整。

【0017】 於本揭示內容的另一態樣之下，在用於調整電阻變化元件的電阻狀態之此方法內，該第一電阻狀態對應於第一邏輯值，且該第二邏輯狀態對應於第二邏輯值。

【0018】 於本揭示內容的另一態樣之下，在用於調整電阻變化元件的電阻狀態之此方法內，在所選擇的字元線已被放電之後，與所選擇的字元線電連通之所有該等電阻變化元件被以相同的邏輯值程式化。

【0019】 再者，本揭示內容亦提供用於調整電阻變化元件陣列內之單一電阻變化元件的電阻狀態之方法。此方法首先包含提供一電阻變化元件陣列。此電阻變化元件陣列包含複數個字元線、複數個位元線；及複數個電阻變化元件。每一個電阻變化元件具有第一端子及第二端子，其中每一個電阻變化元件的第一端子係與字元線電連通，且每一個電阻變化元件之第二端子係與位元線電連通。

【0020】 此用於調整電阻變化元件陣列內的單一電阻變化元件之電阻狀態的方法首先浮動該電阻變化元件陣列內之所有該等位元線及所有該等字元線。此方法接著選擇該複數個電阻變化元件的其中一者。此方法接著將與所選擇之電阻變化元件電連通的位元線驅動至預選之電壓，並將與所選擇的電阻變化元件電連通之字元線驅動至接地。此方法接著經過所選擇的電阻變化元件將與所選擇之電阻變化元件電連通的位元線放電，以提供經過所選擇之電阻變化元件的程式化電流。此程式化電流將所選擇之電阻變化元件之電阻由第一電阻狀態調整至第二電阻狀態。

【0021】 於本揭示內容的另一態樣之下，在用於調整單一電阻變化元件的電阻狀態之此方法內，該第一電阻狀態係低於該第二電阻狀態。

【0022】 於本揭示內容的另一態樣之下，在用於調整單一電阻變化元件的電阻狀態之此方法內，該第一電阻狀態係高於該第二電阻狀態。

【0023】 於本揭示內容的另一態樣之下，在用於調整單一電阻變化元件的電阻狀態之此方法內，該第一電阻狀態對應於第一邏輯值，且該第二邏輯狀態對應於第二邏輯值。

【0024】 於本揭示內容的另一態樣之下，在用於調整單一電阻變化元件的電阻狀態之此方法內，該電流限制路徑係充分防止經過未被選擇的電阻變化元件之放電電流大到足以調整該未被選擇的電阻變化元件之電阻狀態。

【0025】 於本揭示內容的另一態樣之下，在所呈現的程式化及讀取方法內，該等電阻變化元件係二端子奈米管切換元件。

【0026】 於本揭示內容的另一態樣之下，在所呈現的程式化及讀取方法內，該等電阻變化元件係金屬氧化物記憶體元件。

【0027】 於本揭示內容的另一態樣之下，在所呈現的程式化及讀取方法內，該等電阻變化元件係相變記憶體元件。

【0028】 於本揭示內容的另一態樣之下，在所呈現的程式化及讀取方法內，該電阻變化元件陣列係記憶體陣列。

【0029】 本揭示內容的其它特色與優點將由本發明之以下敘述變得明顯，該敘述係在下面關於該等附圖被提供。

【圖式簡單說明】

【0030】 在該等圖面中，

【0031】 圖1係簡化的概要圖，說明用於電阻變化元件之陣列的示範典型架構，其中FET選擇裝置被使用在該陣列之單元內。

【0032】 圖2係簡化的概要圖，說明用於電阻變化元件之陣列的示範典型架構，其中二極體選擇裝置被使用在該陣列之單元內。

【0033】 圖3係簡化的概要圖，說明用於1-R電阻變化元件單元之陣列的示範典型架構，其中沒有選擇裝置或另一電流限制電路系統被使用在該陣列之單元內。

【0034】 圖4係概要圖，說明於靜態DC程式化或讀取操作期間，在1-R電阻變化元件陣列架構(譬如，如圖3中所示)內所呈現的寄生電流流動。

【0035】 圖5係立體圖，說明1-R電阻變化元件單元之3D陣列的布局。

【0036】 圖6A係簡化的概要圖，說明用於1-R電阻變化元件單元之陣列的示範架構，其中沒有選擇裝置或另一電流限制電路系統被使用在該陣列之單元內(如同圖3)，而且包括固定的電壓參考及對每一位元線作出回應之示範測量與儲存元件，如在本揭示內容的某些實施例內所敘述。

【0037】 圖6B係簡化的概要圖，說明用於1-R電阻變化元件單元之陣列的示範架構，其中沒有選擇裝置或另一電流限制電路系統被使用在該陣列之單元內(如同圖3)，而且包括用於每一位元線的參考電阻元件及對每一位元線作出回應之示範測量與儲存元件，如在本揭示內容的某些實施例內所敘述。

【0038】 圖7A係流程圖，詳細說明根據本揭示內容用於使用固定電壓參考施行與電阻變化元件陣列內之所選擇的位元線有關聯之所有該等位元上的READ操作之方法。

【0039】 圖7B係流程圖，詳細說明根據本揭示內容用於使用該陣列內之參考電阻元件施行與電阻變化元件陣列內的所選擇之位元線有關聯的所有該等位元上之READ操作的方法。

【0040】 圖8A係簡化的概要圖，詳細說明在根據如圖7A中所詳細說明之本揭示內容的方法所施行之示範READ操作期間，被提供至示範電阻變化元件陣列(譬如，如於圖6A中所示)之電刺激。

【0041】 圖8B係簡化的概要圖，詳細說明在圖8A所示之示範讀取操作內被提供至所選擇的位元線及所選擇之字元線的電刺激。

【0042】 圖9A係簡化的概要圖，詳細說明在根據如圖7B中所詳細說明之本揭示內容的方法所施行之示範READ操作的前半部期間，被提供至示範電阻變化元件陣列(譬如，如於圖6B中所示)之電刺激(製程步驟703)。

【0043】 圖9B係簡化的概要圖，詳細說明在圖9A所示之示範讀取操作內被提供至所選擇的位元線及所選擇之字元線的電刺激。

【0044】 圖9C係簡化的概要圖，詳細說明在根據如圖7B中所詳細說明之本揭示內容的方法所施行之示範READ操作的後半部期間，被提供至示範電阻變化元件陣列(譬如，如於圖6B中所示)之電刺激(製程步驟705)。

【0045】 圖9D係簡化的概要圖，詳細說明在圖9C所示之示範讀取操作內被提供至所選擇的位元線及該參考字元線的電刺激。

【0046】 圖10A係一系列波形圖，詳細說明在根據如圖7A中所詳細說明之本揭示內容的方法所施行之示範READ操作期間，被提供至示範電阻變化元件陣列(譬如，如於圖6A中所示)之電刺激，其中該選擇單元讀取邏輯1。

【0047】 圖10B係一系列波形圖，詳細說明在根據如圖7A中所詳細說

明之本揭示內容的方法所施行之示範READ操作期間，被提供至示範電阻變化元件陣列(譬如，如於圖6A中所示)之電刺激，其中該選擇單元讀取邏輯0。

【0048】 圖11A係一系列波形圖，詳細說明在根據如圖7B中所詳細說明之本揭示內容的方法所施行之示範READ操作期間，被提供至示範電阻變化元件陣列(譬如，如於圖6B中所示)之電刺激，其中該選擇單元讀取邏輯1。

【0049】 圖11B係一系列波形圖，詳細說明在根據如圖7B中所詳細說明之本揭示內容的方法所施行之示範READ操作期間，被提供至示範電阻變化元件陣列(譬如，如於圖6B中所示)之電刺激，其中該選擇單元讀取邏輯0。

【0050】 圖12A係用於圖8B中所示的簡化概要圖之戴維寧等效電路模型，且與圖14及15A-15C中所詳細說明的示範READ操作之討論一起被使用。

【0051】 圖12B係用於圖9B及9D中所示的簡化概要圖之戴維寧等效電路模型，且與圖14及15A-15C中所詳細說明的示範READ操作之討論一起被使用。

【0052】 圖13係電流／電壓繪圖，說明用於將被使用在圖14及15A-15C中所詳細說明的示範讀取操作內之非線性電阻變化元件的IV曲線。

【0053】 圖14係表格，詳細說明源自根據本揭示內容之方法在許多示範陣列組構上施行READ操作的最小(最少)READ信號位準，如於圖7A及7B中所詳細說明。

【0054】 圖15A係表格，詳細說明經過根據本揭示內容之方法在許多示範陣列組構上施行READ操作所實現的結果位元線電壓(VBL)，如於圖7A中所詳細說明，其中該等陣列使用非線性電阻變化元件(如相對於圖13所敘述)。

【0055】 圖15B係表格，詳細說明經過根據本揭示內容之方法在許多示範陣列組構上施行READ操作所實現的結果位元線電壓(VBL)，如於圖7B中所詳細說明，其中該等陣列使用非線性電阻變化元件(如相對於圖13所敘述)。

【0056】 圖15C係表格，詳細說明經過根據本揭示內容之方法在許多示範陣列組構上施行READ操作所實現的結果位元線電壓(VBL)，如於圖7B中所詳細說明，其中該等陣列使用2X非線性電阻變化元件(如相對於圖13所

敘述)。

【0057】 圖16A係流程圖，詳細說明根據本揭示內容之方法，用於使用根據本揭示內容之方法之電流限制程式化方法，在電阻變化元件陣列內的一或多個所選擇之單元上施行程式化操作(諸如被顯示於譬如圖3、5、6A、及6B中)，其中該程式化電流或諸電流被提供至由字元線流動至位元線的所選擇之單元或諸單元。

【0058】 圖16B係流程圖，詳細說明根據本揭示內容之方法，用於使用根據本揭示內容之方法之電流限制程式化方法，在電阻變化元件陣列內的一或多個所選擇之單元上施行程式化操作(諸如被顯示於譬如圖3、5、6A、及6B中)，其中該程式化電流或諸電流被提供至由位元線流動至字元線的所選擇之單元或諸單元。

【0059】 圖17A係簡化的概要圖，詳細說明在根據本揭示內容之方法所施行的示範電流限制程式化操作期間，被提供至示範電阻變化元件陣列(如被顯示於譬如圖3、5、6A、及6B中)之電刺激，如於圖16A中所詳細說明。

【0060】 圖17B係簡化的概要圖，詳細說明在根據本揭示內容之方法所施行的示範電流限制程式化操作期間，被提供至示範電阻變化元件陣列(如被顯示於譬如圖3、5、6A、及6B中)之電刺激，如於圖16B中所詳細說明。

【0061】 圖18A係簡化的概要圖，詳細說明在圖17A中所示之示範電流限制程式化操作內被提供至所選擇的字元線及位元線之電刺激。

【0062】 圖18B係簡化的概要圖，詳細說明在圖17B中所示之示範電流限制程式化操作內被提供至所選擇的字元線及位元線之電刺激。

【0063】 圖19A係流程圖，詳細說明根據本揭示內容之方法，用於使用根據本揭示內容之方法的利用引導電流路徑之程式化方法，在電阻變化元件陣列(諸如被顯示於譬如圖3、5、6A、及6B中)內之一或多個被選擇單元上施行RESET操作。

【0064】 圖19B係流程圖，詳細說明根據本揭示內容之方法，用於使用根據本揭示內容之方法的利用引導電流路徑之程式化方法，在電阻變化元件陣列(諸如被顯示於譬如圖3、5、6A、及6B中)內之一或多個被選擇單元上施行SET操作。

【0065】 圖20A係簡化的概要圖，詳細說明在根據本揭示內容之方法

所施行的示範程式化操作期間，被提供至示範電阻變化元件陣列(如被顯示於譬如圖3、5、6A、及6B中)之電刺激，如於圖19A中所詳細說明。

【0066】 圖20B係簡化的概要圖，詳細說明在圖20A中所示之示範程式化操作內被提供至所選擇的位元線及字元線之電刺激。

【0067】 圖20C係等效模型概要圖，詳細說明在圖20A中所示之示範程式化操作內被提供至所選擇的位元線及字元線之電刺激。

【0068】 圖20D係簡化的概要圖，其提供用於圖20B中所描述之相當複雜電路的等效電路模型。

【0069】 圖21A-21D係戴維寧（Thevenin）等效電路，被使用於計算圖20A-20D中所詳細說明之WRITE電壓用的等效電阻及電壓。

【0070】 圖22係表格，摘要WRITE電壓及電流，如在相對於圖20A-20D及21A-21D所討論之示範電阻變化元件陣列內所詳細說明。

【0071】 圖23係簡化的方塊圖，說明能夠在電阻變化元件陣列上施行本揭示內容之程式化及READ方法的存取及編址系統。

【0072】 圖24係示範記憶體資料路徑電路之簡化的概要圖，該示範記憶體資料路徑電路很適合用於實施如於圖7B中所詳細說明之本揭示內容的READ操作、及於圖19A及19B中所詳細說明之程式化操作。

【0073】 圖25係一系列波形圖，說明源自圖24中所詳細說明之記憶體資料路徑電路概要圖的電性能之計算的各種操作波形。

【實施方式】

【0074】 本揭示內容有關電阻變化元件陣列及用於程式化及讀取一陣列內之電阻變化元件的電阻狀態之方法。如將在下面被詳細地討論，本揭示內容的程式化及讀取方法係很適合供使用在1-R電阻變化元件單元之陣列內。這些1-R電阻變化元件陣列(其範例被顯示在圖3、5、6A、及6B中，且在下面相對於那些圖面被詳細地討論)的特徵為這些單元係只由二端子電阻變化元件所構成，且不包括任何原位選擇電路系統或其他電流限制元件。本揭示內容之程式化及讀取方法包括同時充電一電阻變化元件陣列內的某些陣列線，且接著將特定之陣列線接地，而允許其他陣列線“浮動”，以便將放電電流引導經過只被選擇單元。於一些案例中，在本揭示內容之方法內，電流限制元件被使用在某些陣列線上--這些電流限制元件係位於該

等陣列單元外側，或於一些應用中，在該陣列本身外側--以禁止程式化電流流經某些陣列單元。以這種方式，如在下面被詳細地敘述，本揭示內容的方法能被使用來可靠及迅速地程式化--亦即，將電阻變化元件之電阻狀態由第一值調整至想要的第二值--及讀取--亦即，在一陣列內測定一或多個單元內之電阻變化元件的電阻狀態--而不需要很多傳統程式化及讀取方法所固有之某些設計及布局限制。

【0075】 在被充電至想要的電壓位準之後，如本揭示內容的方法內所敘述之數個處理步驟需要一或多個陣列線被“浮動”。應注意的是在本揭示內容的範圍內，“浮動”一陣列線係正驅動該線(或僅只由被使用來驅動該電壓至該線上之電路元件斷開該線)，使得該陣列線上的預充電電壓由於線電容而暫時被保留。如將在下面被詳細地顯示，此“浮動”技術被使用在本揭示內容之程式化及READ方法內，以提供經過所選擇單元之陣列線放電路徑(並防止此等路徑經過未被選擇單元)，而不需要具有陣列單元的原位選擇電路系統。

【0076】 如將在下面被詳細地敘述，本揭示內容教導用於在一陣列內之電阻變化元件上程式化(亦即，施行SET與RESET操作)及存取(亦即，施行讀取操作)的方法。在本揭示內容之某些實施例內，電阻變化元件的陣列被配置，使得每一電阻變化元件之第一端子係電耦接至字元線，且每一電阻變化元件的第二端子係耦接至位元線。以這種方式，在此等配置內，每一電阻變化元件係唯一可經由特別之字元線及位元線組合存取的。圖3、5、6A、及6B(如在下面被詳細地討論)提供此等電阻變化元件陣列之範例。本揭示內容的一些態樣提供方法(再者，如將在下面被詳細地說明)，用於程式化及存取此一陣列內之電阻變化元件，而不需要區域、原位選擇電路系統或電流限制裝置。

【0077】 為此目的，本揭示內容提供用於在電阻變化元件陣列內之一或多個單元上施行READ操作的方法。亦即，一操作，其中電阻變化元件陣列內之一或多個元件係經由相關聯的字元線及位元線存取，以測定該陣列元件或諸元件內所儲存之電阻狀態。在本揭示內容的一些態樣內，此一READ方法利用固定之電壓參考(如所描述，譬如，於圖6A中)，其係在該記憶體陣列電路本身內產生或藉由外部控制電路系統所提供。如將在下面被

更詳細地敘述，在此一READ操作內，所選擇的字元線被驅動至預先選擇之READ電壓，且接著對於與該一或多個所選擇的陣列元件相關聯的位元線或諸位元線作出回應，被允許經過一或多個所選擇之陣列元件放電至一測量及儲存元件。經過該等所選擇單元的每一個所測量之放電電壓／電流接著被比較於該固定的電壓參考，以測定所選擇之陣列單元的每一個中所儲存之電阻狀態。如將在下面被討論，於某些特定應用中，以這種方式，此一固定電壓參考的使用能提供更多及較低之電壓READ操作。根據本揭示內容的方法之此READ方法係在下面的圖7A、8A-8B、10A-10B、及14之討論內詳細地敘述。

【0078】 在本揭示內容的其他態樣內，此一READ方法利用該陣列本身內之電阻參考元件(如被描述於譬如圖6B中)。這些參考元件的每一個具有電耦接至參考字元線(專用之陣列線，被使用來將測試電壓／電流提供至該等電阻參考元件)之第一端子、及第二端子，其每一個被電耦接至位元線。如將在下面被更詳細地敘述，於第一操作相位中，所選擇的字元線被驅動至預先選擇之READ電壓，且接著對於與該一或多個所選擇的陣列元件相關聯的位元線或諸位元線作出回應，被允許經過一或多個所選擇的陣列元件放電至一測量及儲存元件。在第二操作相位中，該陣列之參考字元線被驅動至相同的預先選擇READ電壓，且被允許經過與所選擇之位元線相關聯的參考元件之每一個放電至相同的測量及儲存元件。用於所選擇之陣列元件的每一個，由該第一操作相位及該第二操作相位所測量之放電電壓／電流接著被比較，以測定所選擇之陣列單元的每一個中所儲存之電阻狀態。以這種方式，所選擇單元(或諸單元)的電壓放電僅只可被比較於相同環境中之參考元件的電壓放電，代替被測量及比較於該陣列之外的一些期望值。另一選擇係，該參考元件可在第一操作相位中被選擇，且資料元件可於第二操作相位中被選擇。如將在下面被討論，於某些特定應用中，以這種方式，參考元件之使用能提供更多及較低的電壓READ操作。根據本揭示內容的方法之此READ方法係在下面的圖7B、9A-9D、11A-11B及15A-15C之討論內詳細地敘述。

【0079】 再者，根據本揭示內容的一些態樣之程式化操作(其係SET或RESET操作，如在此中所界定)能被使用於SET或RESET與電阻變化元件

陣列內之所選擇的字元線有關聯之一或多個電阻變化元件。在本揭示內容的一些態樣內，此一程式化方法首先涉及初始化所有該等陣列線至接地(0V)，接著浮動該陣列內之所有該等字元線。該陣列內的位元線接著經過所選擇之電流限制元件(諸如、但不受限於電流來源、可程式化電源供給、及電阻元件)被拉動至接地。那些與待調整(亦即，程式化)的陣列元件有關聯之位元線經過電流限制元件被拉動，該等電流限制元件允許相當高的電流流經所選擇之元件，且那些與不被調整的陣列元件有關聯之位元線經過電流限制元件被拉動，該等電流限制元件只允許低電流流動。所選擇的字元線接著被驅動至所需之程式化電壓(VP)，且程式化電流被允許流經所選擇的電阻變化元件(該等電流限制元件防止充分之程式化電流流經未被選擇的陣列元件)。藉由經過所選擇之電流限制元件代替地拉動該陣列內的所有位元線直至所選擇之程式化電壓(VP)，且接著將所選擇的字元線接地，根據本揭示內容之方法的此一程式化操作之極性能被顛倒。以這種方式，該電阻變化元件陣列的交流電暫態行為能被使用來於任一方向中經過陣列內之一群所選擇的電阻變化元件單元選擇性提供程式化電流，而在每一陣列單元內不需區域、原位選擇電路系統。根據本揭示內容之此所選擇的電流限制程式化方法係以在下面之圖16A-16B、17A-17B及18A-18B的討論被更詳細地敘述。

【0080】 本揭示內容亦提供一程式化方法，其使用電阻變化元件陣列內之字元線及位元線的被選擇偏壓，以引導充分之程式化電流經過待程式化的單一陣列元件，同時防止此等電流流經該陣列內之其它元件。以此程式化方法，所有該等陣列線(亦即所有位元線與所有字元線)最初被浮動。與所選擇的陣列元件有關聯之位元線被驅動至所需的程式化電壓(VP)，且接著與所選擇之陣列元件有關聯的字元線被驅動至接地(0V)。以這種方式，程式化電流被誘導至由位元線流經所選擇之陣列元件至字元線。此程式化電流的極性能藉由將與所選擇之陣列元件有關聯之字元線驅動至該程式化電壓(VP)、及將與所選擇的陣列元件有關聯之位元線驅動至接地(0V)所顛倒。該陣列中之未被選擇的元件可在所選擇之位元線與所選擇的字元線之間提供“漏洩”電流路徑。然而，如將在下面被詳細地說明，這些漏洩電流能被限制(譬如，藉由該程式化電壓、該等電阻變化元件內所使用的電阻值、

或該陣列之尺寸的選擇)，以便防止電流大到足以造成該陣列內之未被選擇的元件之電阻狀態中的變化。以這種方式，該電阻變化元件陣列之交流電暫態行為能被使用於在任一方向中經過陣列內的單一元件選擇性提供一程式化電流，而在每一陣列單元內不需要區域、原位選擇電路系統。根據本揭示內容之此引導電流路徑程式化方法係在下面之圖19A-19B及20A-20C的討論內被更詳細地敘述。

【0081】 應注意的是雖然根據本揭示內容之方法的電阻變化元件之程式化及存取方法的前述討論大致上敘述由字元線流動至位元線之程式化及讀取電流，本揭示內容的方法就這一點而言不被限制。實際上，如將在下面被詳細地敘述，程式化或讀取電流可譬如被預充電且浮動至與所選擇單元(或諸單元)有關聯之位元線上，及與所選擇單元(或諸單元)有關聯的字元線(或諸線)被接地，以提供由位元線流動至字元線之程式化及讀取電流。如此，本揭示內容的方法提供與單極(亦即，單一極性)及雙極(亦即，雙重極性)電阻變化元件操作兩者相容之程式化及存取方法。

【0082】 電阻改變單元經過該單元內的電阻變化元件之使用來儲存資訊。對電刺激作出回應，此電阻變化元件可於至少二非揮發性電阻狀態之間被調整。典型地，二電阻狀態被使用：低電阻狀態(典型對應於邏輯 '1,' SET狀態)及高電阻狀態(典型對應於邏輯 '0,' RESET狀態)。以這種方式，該電阻變化元件單元內的電阻變化元件之電阻值能被使用於儲存一位元的資訊(譬如，用如一位元記憶體元件)。根據本揭示內容之其他態樣，超過二電阻狀態被使用，允許單一單元儲存超過一位元的資訊。譬如，電阻變化記憶體單元可於四種非揮發性電阻狀態之間調整其電阻變化元件，允許用於單一單元中的二位元資訊之儲存。

【0083】 在本揭示內容內，該“程式化”一詞被使用於敘述一操作，其中電阻變化元件被由最初之電阻狀態調整至新的想要之電阻狀態。此等程式化操作可包括SET操作，其中電阻變化元件被由相當高的電阻狀態(例如約10M Ω)調整至相當低之電阻狀態(例如約100k Ω)。此等程式化操作(如藉由本揭示內容所界定)亦可包括RESET操作，其中電阻變化元件被由相當低的電阻狀態(例如約100k Ω)調整至相當高之電阻狀態(例如約1M Ω)。另外，如藉由本揭示內容所界定的READ操作被使用於敘述一操作，其中電阻

變化元件之電阻狀態被測定，而不會顯著地變更所儲存的電阻狀態。

【0084】 電阻變化元件能使用譬如二端子奈米管切換元件、相變記憶體、金屬氧化物記憶體單元、或傳導橋記憶體(CBRAM)以及其他材料與設計。

【0085】 電阻變化元件(及其陣列)係很適合供用作非揮發性記憶體裝置，用於在電子裝置(諸如、但不限於行動電話、數位相機、固態硬碟、及電腦)內儲存數位資料(儲存邏輯值當作電阻狀態)。然而，電阻變化元件之使用不被限制記憶體應用。實際上，電阻變化元件的陣列以及藉由本揭示內容所教導之先進架構亦可被使用在邏輯裝置內或在類比電路系統內。

【0086】 典型地，電阻變化元件於不同電阻狀態之間藉由越過該元件施加電刺激而被調整(程式化)。譬如，特定電壓、電流、及脈衝寬度的一或多個程式化脈衝(如被特定應用之需要所要求)能越過電阻變化元件被施加，以將電阻變化元件的電阻由最初之電阻值調整至新的想要之電阻值。第二程式化脈衝(或諸脈衝)能被使用來將該電阻變化元件調整回至該第一最初電阻狀態、或視該特定應用而定調整回至第三電阻狀態。

【0087】 再者，電阻變化元件的狀態能被測定，譬如，藉由越過該電阻變化元件施加DC測試電壓及測量經過該電阻變化元件之電流。於一些應用中，此電流可使用具有電流回饋輸出的電源供給、譬如可程式化之電源供給或感測放大器被測量。於其他應用中，此電流能藉由插入一與該電阻變化元件串連的電流測量裝置而被測量。另一選擇係，電阻變化元件之狀態亦可被測定，譬如，藉由驅動固定的引導電流經過該電阻變化元件及越過該電阻變化元件測量該結果之電壓。於兩案例中，被施加至電阻變化元件的電刺激被限制，以便不會變更該元件之電阻狀態。以這種方式，READ操作能測定電阻變化記憶體元件的狀態。

【0088】 電阻變化元件可為由複數個材料所形成、諸如、但不限於金屬氧化物、固體電解質、諸如硫屬玻璃之相變材料、及碳奈米管織物。譬如，以引用的方式併入本文中之發給貝爾丹等人的美國專利第7,781,862號，揭示包含第一及第二導電端子及奈米管織物物件之二端子奈米管切換裝置。貝爾丹教導用於在複數個非揮發性電阻狀態之間調整該奈米管織物物件的電阻率之方法。於至少一實施例中，電刺激被施加至該第一及第二

導電元件的至少一者，以便使電流通過該奈米管織物層。藉由在某一組預定參數內小心地控制此電刺激(如在美國專利第7,781,862號中藉由貝爾丹所敘述)，該奈米管物件之電阻率能在相當高之電阻狀態與相當低的電阻狀態之間被反覆地切換。於某些實施例中，這些高及低電阻狀態能被使用來儲存一位元的資訊。

【0089】 如藉由所併入之參考所敘述，如在此中對於本揭示內容所提及的奈米管織物包含多數、互連碳奈米管之層。在本揭示內容中的奈米管之織物(奈米織物)、例如不織布碳奈米管(CNT)織物，可譬如具有相對彼此不規則地配置的多數個捲入式奈米管之結構。另一選擇、或此外，譬如，用於本揭示內容的奈米管之織物可擁有該等奈米管的某一程度之位置規則性、例如沿著其長軸的某一程度之平行性。此位置規則性可譬如在相當小的比例上被發現，其中奈米管之扁平陣列沿著其長軸被大量地配置在一起、且約一奈米管長及十至二十奈米管寬。於其他範例中，此位置規則性或許在較大比例被發現，具有整齊的奈米管之區域，於一些案例中，大體上延伸在該整個織物層之上。此較大比例位置規則性係本揭示內容所特別感興趣者。

【0090】 雖然在本揭示內容內的電阻變化單元及元件之一些範例明確地參考基於電阻變化單元及元件的碳奈米管，本揭示內容之方法就這一點而言不被限制。實際上，對於那些熟習此技術領域者將為清楚的被呈現揭示內容之方法係可適用於任何型式的電阻變化單元或元件(諸如、但不限於相變及金屬氧化物)。

【0091】 參考圖1，用於電阻變化元件陣列100之示範架構係以簡化的概要圖被說明。在該示範架構100內，場效電晶體(FETs)被使用在每一電阻變化元件單元內，以對該單元提供選擇能力功能。亦即，該等FET裝置(Q00-Qxy)提供一機構，以存取想要之電阻變化元件，同時隔絕未被選擇的元件。

【0092】 現在明確地看圖1，該陣列100包含複數個單元(CELL00-CELLxy)，每一單元包括電阻變化元件(SW00-SWxy)及選擇裝置(Q00-Qxy)。用於讀取及程式化操作，在電阻變化陣列100內之個別陣列單元(CELL00-CELLxy)使用來源線(SL[0]-SL[x])、字元線(WL[0]-WL[y])、及

位元線(BL[0]-BL[x])之陣列而被選擇，如將在下面被敘述。

【0093】 對被施加至該等字元線(WL[0]-WL[y])的控制信號作出回應，在該個別陣列單元內之選擇裝置(Q00-Q_{xy})允許存取或電隔絕該等電阻變化元件(SW00-SW_{xy})。特定的個別單元(譬如，CELL00)能藉由用足以開啟該想要單元之選擇FET(用於CELL00的Q00)之電刺激來驅動該相關聯的字元線(用於CELL00之WL[0])。程式化(亦即，SET或RESET)或讀取所選擇的電阻變化元件(用於CELL00之SW00)所需的電刺激，可接著越過與所選擇之單元有關聯的位元線(用於CELL[0]之BL[0])及選擇線(用於CELL00的SL[0])被施加。使該選擇裝置(於此範例中之Q00)被賦能，導電路徑經過所選擇的電阻變化元件被提供於該位元線及該選擇線之間，且所提供的程式化或讀取刺激只越過所選擇之電阻變化元件(用於CELL00之SW00)被驅動。與被使用的位元線及選擇線有關聯之其他單元係在分開的字元線上，且如此未賦能。以這種方式，圖1之示範電阻變化元件陣列架構100提供一機構，用於個別地存取及編址在該陣列內的所有該等單元，並引導所施加之電刺激，而足以程式化(亦即，SET或RESET)或讀取該陣列內的任何該等單元。

【0094】 如上述，圖1之電阻變化元件陣列架構100提供一存取及編址方案，其要求每一個單元對於三條分開的控制線作出回應。再者，其要求每一個單元包括原位FET選擇裝置，且再者此FET選擇裝置係有足夠高之額定功率，以耐受住藉由被使用在該陣列內的電阻變化元件所要求之程式化電壓。於某些應用中，這可導致一FET選擇裝置，其如被比較於被使用的電阻變化元件之物理大小、或甚至如被比較於陣列單元的想要物理尺寸邊界係顯著地大。在某些應用中，因電阻變化元件陣列被按比例縮小及單元密度增加，圖1之陣列架構100的這些及其他設計要求可代表相對於該電路設計及定比之顯著的限制。

【0095】 現在參考圖2，用於電阻變化元件陣列200之第二示範架構係以簡化的概要圖被說明。在該示範架構200內，二極體被使用在每一電阻變化元件單元內，以對該單元提供選擇能力功能。亦即，該等二極體裝置(D00-D_{xy})提供一機構，以存取想要之電阻變化元件，同時隔絕未被選擇的元件。

【0096】 現在明確地看圖2，該陣列200包含複數個單元(CELL00-CELLxy)，且每一單元包含與選擇裝置(D00-Dxy)串連之電阻變化元件(SW00-SWxy)。用於讀取及程式化操作，在電阻變化陣列200內之個別陣列單元(CELL00-CELLxy)使用字元線(WL[0]-WL[y])及位元線(BL[0]-BL[x])之陣列而被選擇，如將在下面被敘述。

【0097】 藉由以特定的偏壓驅動其字元線(WL[0]-WL[y])及位元線(BL[0]-BL[x])之陣列，圖2的電阻變化元件陣列架構200可藉由正向偏壓該單元的選擇二極體、而逆向偏壓或僅只越過該等剩餘之未被選擇單元之選擇二極體未提供電壓下降，將所選擇之陣列單元賦能。譬如，為存取CELL00，充分的READ、SET、或RESET電壓(或電流)被施加至WL[0]，而BL[0]被驅動至接地(0V)。該等剩餘之字元線(WL[1]-WL[y])被驅動至接地(0V)，且該剩餘的位元線(BL[1]-BL[x])在所供給之相同電壓下被驅動至WL[0]。以這種方式，在所選擇的位元線BL[0]上之剩餘單元--亦即，CELL01-CELL0y--內的選擇二極體保持未被偏壓，該等單元之每一個在其相關聯的字元線及其相關聯之位元線上看見0V。類似地，在所選擇的字元線(WL[0])上之剩餘單元--亦即，CELL10-CELLx0--內的選擇二極體亦保持未被偏壓，那些單元之每一個在其相關聯的字元線及其相關聯之位元線上看見所施加的程式化或READ電壓。且最後，該陣列中之剩餘單元內的選擇二極體--亦即，CELL11-CELLxy--被逆向偏壓，那些單元之每一個在其相關聯的字元線上看見0V，並在其相關聯之位元線上看見所施加的程式化電壓或READ電壓。以這種方式，只D00被正向偏壓，且所施加之程式化或讀取READ電壓(或電流)只被施加在所選擇的電阻變化元件SW00之上。

【0098】 如上述，圖2的電阻變化元件陣列架構200提供一編址方案，如與藉由圖1之陣列架構100所要求的三條控制線比較，其要求每一個單元只對於二分開之控制線作出回應。雖然這代表架構及布局中的顯著簡化，圖2之陣列架構200仍然要求每一個單元包括原位選擇裝置(在此案例中為二極體)。如以圖1的陣列架構100之FET選擇裝置，此選擇二極體必需有足夠高之額定功率，以耐受住藉由被使用在該陣列內的電阻變化元件所要求之程式化電壓--這包括大於藉由被使用的電阻變化元件所要求之程式化電壓及電流的逆向偏壓額定值。如以圖1之FET選擇裝置，於某些應用中，這可

導致二極體選擇裝置，其如被比較於被使用的電阻變化元件之物理大小、或甚至如被比較於陣列單元的想要物理尺寸邊界係顯著地大。另外，圖2之陣列架構200不允許該等電阻變化元件的雙極操作。亦即，程式化(SET與RESET)電流及READ電流可只被施加唯一方向中：與該等選擇二極體之正向偏壓方向有關聯的極性。於某些應用中，雙極操作--譬如，其中SET操作將以由位元線至字元線流經電阻變化元件之電流被施行，且RESET操作將以由字元線流動至位元線的電流被施行--在用於特別之電阻變化元件技術或組構的程式化方案內係想要的。在某些應用內，因電阻變化元件陣列被按比例縮小及單元密度增加，圖2之陣列架構200的這些及其他設計要求能代表相對於該電路設計及定比兩者之顯著限制。

【0099】 現在參考圖3，用於電阻變化元件陣列300的第三示範架構係以簡化之概要圖被說明。在該示範架構300內，沒有選擇裝置或其他電流限制元件被使用在該等電阻變化元件單元內。亦即，每一個單元只由經由二控制線(字元線與位元線)存取的電阻變化元件所構成。

【0100】 如以圖2中之詳細所說明的陣列架構200，圖3之陣列架構300可藉由以特定的偏壓來驅動該等字元線及位元線而編址該陣列內的個別電阻變化單元。因在該等個別陣列單元(CELL00-CELLxy)內無任何選擇裝置，對陣列架構300之存取操作必需提供充分的電刺激--如用於程式化(SET與RESET)或READ操作所要求--至所選擇之陣列單元，且同時，防止該陣列中的其他單元經歷任何將變更其所儲存之電阻狀態的電刺激。

【0101】 例如，為存取圖3之陣列架構300內的CELL00，充分之READ、SET、或RESET電壓(或電流)被施加至WL[0]，而BL[0]被驅動至接地(0V)。該等剩餘的字元線(WL[1]-WL[y])及該等剩餘之位元線(BL[1]-BL[x])係在所供給的一半電壓(或電流)下被驅動至WL[0]。以這種方式，只一半所施加之程式化或READ電壓(或電流)被施加至所選擇之位元線(BL[0])上的剩餘單元--亦即，CELL01-CELL0y--內、及在所選擇之字元線(WL[0])上之剩餘單元--亦即，CELL10-CELLx0內之電阻變化元件。亦即，CELL01-CELL0y之每一個看見在其相關聯的字元線上之所施加程式化或READ電壓的一半、及在其相關聯之位元線上的0V，且CELL10-CELLx0看見在其相關聯之字元線上的整個程式化或READ電壓、但只看見在其相關聯

之位元線上的一半該程式化或READ電壓。該陣列中之剩餘單元--亦即，CELL11-CELLxy--未被偏壓，那些單元的每一個看見在其相關聯之字元線及其相關聯之位元線兩者上之所施加的程式化或READ電壓(或電流)之一半，導致沒有電壓下降或電流流動越過／經過那些單元中的電阻變化元件。以這種方式，所施加之程式化或READ電壓只被施加在所選擇的電阻變化元件SW00之上，且同時該陣列內的一些未被選擇之單元係於該存取及編址操作期間被局部地偏壓，被施加至那些單元的電刺激係不足以變更那些單元之電阻狀態或干擾在所選擇單元所施行之程式化或READ操作。

【0102】 圖4係概要圖400，說明在圖3的1-R電阻變化元件陣列上所施行之傳統靜態DC程式化或READ操作期間，經過所選擇之單元及亦毗連所選擇之單元的單元之電流(如上面相對於圖3所敘述)。在該概要圖400內，所選擇單元410係藉由驅動充分之程式化(SET或RESET)或READ電壓(此等電壓要求藉由所使用的電阻變化元件之特別應用或型式的特定需要所測定)至WL1上、及將BL1下拉至接地(0V)所存取。對於此所施加之電刺激作出回應，程式化或READ電流450係由WL1至BL1經過所選擇的電阻變化單元410產生。另外(如上面相對於圖3所詳細地敘述)，在施加至WL1的電壓之一半位準的電壓係施加至該等未被選擇的字元線(WL0及WL2)及該等未被選擇之位元線(BL0及BL2)。以這種方式，未被選擇單元421、423、426及428保持未被偏壓(這些單元之每一個其相關聯之位元線上與其相關聯之字元線兩者上看見所施加的程式化或READ電壓之一半)。且未被選擇單元422、424、425及427在施加至WL1的電壓之一半變得被偏壓，經過那些單元產生寄生電流460。如上述，以該等電阻變化元件本身的程式化電壓、電流、及設計參數之小心選擇，這些寄生電流460保持不足以變更未被選擇單元422、424、425及427之電阻狀態、或干擾被選擇單元410上之程式化或READ操作。

【0103】 如上述，於圖3中所詳細說明的陣列架構300提供一電路結構，如以圖2之陣列架構200，該電路結構要求每一個單元只對於二分開的控制線作出回應，如與圖1之陣列架構100所要求的三條控制線比較。再者，如於圖3中所詳細說明之陣列架構300不會使每一個電阻變化元件要求一原位選擇裝置，且陣列架構300允許用於雙極操作(亦即，程式化或READ電流能由字元線流動至位元線或由位元線流動至字元線，如適合特定應用或特

定電阻變化元件技術之需要)。當敘述用於此一陣列內的程式化及讀取單元之一些方法(如上述)時,發給貝爾丹等人而全部以引用的方式併入本文中的美國專利申請案第20140166959號教導用於電阻變化元件陣列之此型式的架構。在US 2014 0166959內,貝爾丹將此型式之電阻變化元件單元--其中該陣列單元只由二端子電阻變化元件所組成--命名為1-R單元。

【0104】 相對於用在某些應用的電路架構及布局(如與圖1及2之陣列架構100及200比較),於圖3中所詳細說明(及在發給貝爾丹的13/716,453內所討論)之此1-R單元陣列架構300代表另一顯著的改良及簡化。譬如,陣列架構300內之單元大小的定比只被該等電阻變化元件本身之物理尺寸要求所限制。再者,因每一陣列單元只包括一裝置(該電阻變化元件本身)、及二互連部(電耦接至該電阻變化元件的第一端子之位元線與電耦接至該第二端子的字元線),該電阻變化元件陣列之複雜性係顯著地減少--在某些應用內--相對於易於製造、成本、用於定比的增加之能力、及電路整合提供極多利益。如此,如圖3中所詳細說明的簡化陣列架構300(或譬如類似變動、諸如圖5中所顯示之陣列組構)係極想要的,因該尖端技術持續需求較高密度之電阻變化元件陣列。

【0105】 然而,雖然陣列架構300(與類似變動)在某些應用內係極想要的,如上述及相對於圖3及4所詳細說明之傳統靜態DC程式化及讀取方法(及那些在發給貝爾丹的13/716,453中所討論的方法),能在某些應用內代表相對於電阻變化元件陣列之布局及設計的限制。如相對於圖4所敘述,在靜態DC程式化及READ操作內所固有之寄生電流460譬如可在某些應用內導入某些在電阻變化元件陣列內的設計限制。譬如,如與其他架構(譬如於圖1及2中之100及200)內所使用的電阻變化元件比較,此一程式化方法能於某些應用中要求在特定電阻變化元件內所使用之額定SET及RESET電阻值係顯著地遠遠分開。額定電阻值中的此一寬廣範圍能譬如導入奈米管織物或硫屬塊材內之物理尺寸要求,該奈米管織物或硫屬塊材與組成該等陣列的單元之電阻變化元件一起使用。

【0106】 再者,於另一範例中,於某些應用中,該電阻變化元件陣列內所使用的位元線及字元線之長度可局部由於圖4中所詳細說明之寄生電流460而被限制。相對於READ,譬如,當每位元線的單元(或位元)之數目增

加時，至該感測放大器的READ信號被減少，藉此限制每位元線的單元(或位元)之數目，以確保至該感測放大器的充分信號電壓。很長陣列線中之固有的電容亦可--再次於某些應用中--允許這些小電流流經未被選擇之電池，因該等線本身充電直至其所要求的電壓。雖然這些寄生電流值之振幅可為小的，如被比較於所要求之程式化電流，譬如，如果在該陣列設計內不小心地考慮，該延長之電流流動可為足以變更未被選擇單元中所儲存之電阻值、或禁止或以別的方式不利地影響程式化或READ操作。於某些應用中，此一限制可要求位元線及字元線被限制至某一長度，以減少單元之數目及線電容。

【0107】 於另一範例中，圖4中所詳細說明的存取及編址方法可於某些應用中要求較高之SET、RESET、及READ電流，如被比較於其他電阻變化元件陣列架構(譬如圖1及2中的100及200)。譬如圖4中所示之許多寄生電流460係藉由該相同的驅動器電路所驅動，亦即：該外部電路在WL1上驅動該程式化電壓。譬如在諸如圖2中所示之陣列架構內，只所選擇單元將被偏壓及賦能，且該整個供給電流將流經所選擇之電阻變化元件。然而，如在圖4中所示，使用諸如被顯示在圖3中的陣列組構內之傳統靜態DC程式化或READ方法(其中該等單元未含有選擇元件)，所供給的程式化或READ電流係不只經過該被選擇單元驅動，而且在所選擇之位元線及所選擇的字元線上之許多未被選擇單元被驅動。如此，於這些某些應用中，如與其他架構比較，經過所選擇單元之有效電流可被顯著地減少。亦即，譬如，為了使用圖4所詳細說明之存取及編址方法提供充分的READ電流，如藉由某一特定應用及電阻變化元件技術所要求，顯著較高之READ電流(或電壓)將需要被供給在WL1上，以負責該存取及編址方法中所固有的寄生電流。於某些應用中，此等增加之功率要求可為不想要的。

【0108】 如上面所詳細地敘述，雖然圖3之1-R電阻變化元件陣列架構300(與類似變動)相對於易於設計及製造以及成本及定比考慮提供極多利益，如被開發用於其他型式的陣列架構(諸如、但不分別受限於圖1及2中之陣列架構100及200)的靜態、DC程式化方法能導入不想要之限制，該等限制能於某些應用中限制此一陣列組構的有效性。為此目的，本揭示內容提供改良之存取及編址方法，其係很適合用於與1-R電阻變化元件陣列架構一起

使用，其中沒有選擇裝置(或其它電流限制元件)被使用在該等陣列單元內(譬如，如在圖3中所詳細地敘述)。此被改良的存取及編址方法能被使用，以在此等架構內施行SET、RESET、及READ操作，而不會招致上面相對於有關圖4所敘述之方法所敘述的限制。這些存取及編址方法將在下面之剩餘圖示的討論內被詳細地敘述。

【0109】 圖5係3D電阻變化元件陣列500之立體圖。電阻變化元件陣列500係由被配置於三度空間(沿著該x-、y-、及z-軸)中的1-R電阻變化單元。第一層位元線(542a、544a、546a、及548a)係沿著該y軸設置，且第一層字元線(532a、534a、536a、及538a)係沿著該x軸及在此第一層位元線上方設置。第一層電阻變化元件510被設置於位元線(542a、544a、546a、及548a)之這些第一二層及字元線(532a、534a、536a、及538a)之間，在每一字元線及位元線交叉處有一電阻變化元件。該等電阻變化元件的每一個係由電阻變化材料516(諸如、但不限於奈米管織物層或相變材料之塊材)所構成，其被設置在第一導電元件512及第二導電元件514之間。於某些應用中，其想要的是使用這些第一及第二導電元件(分別為512及514)，以於陣列線(字組或位元線)及該實際電阻變化材料516之間提供一導電路徑。然而，這些導電元件(512及514)在每一應用中不被要求。譬如，視被使用於該等陣列線的材料而定，該特別材料被選擇用於該電阻變化元件516，且該布局及製造方法被使用，於某些應用中，用於該電阻變化材料塊材可為更有利的，以直接地連接至該等陣列線本身。如此，第一及第二導電元件(分別為512及514)之含括將不被視為相對於1-R電阻變化元件陣列的架構之限制。

【0110】 第二層位元線(542b、544b、546b、及548b)的係在該第一層字元線上方沿著該y軸設置。電阻變化元件510的第二層被設置於此第二層位元線(542b、544b、546b、及548b)與第一層字元線(532a、534a、536a、及538a)之間，在每一字元線及位元線交叉處有一電阻變化元件。第二層字元線(532b、534B、536B、及538b)係沿著該x軸設置在第二層位元線(542b、544b、546b、及548b)上方，且電阻變化元件510的第三層被設置，在每一字元線及位元線交叉處有一電阻變化元件。以這種方式，四十八個1-R電阻變化元件單元之陣列被配置在本質上相同的截面積上，其將被使用於傳統2D陣列結構之僅只十六個陣列單元的陣列。

【0111】 以定比及陣列單元密度的觀點，如於圖5中所詳細說明之3D陣列結構係極想要的。且該1-R單元架構(如相對於圖3及4所詳細地敘述)之相當簡單性係很適合用於此一3D結構，並提供極多製造及機能利益。再者，本揭示內容的READ及程式化方法係尤其很適合用於此一複雜之陣列結構。如將在下面被詳細地討論，本揭示內容的改良之存取及編址方法消除該靜態DC方法中所固有的許多設計限制(諸如關於上面之圖4所敘述)。如此，於某些應用中，本揭示內容的方法係很適合供與複雜之陣列結構一起使用，諸如於圖5中所描述。

【0112】 現在看圖6A及6B，於圖3中所詳細說明的1-R陣列架構300之二變更版本係於簡化的概要圖中被說明。這些變更之陣列架構601及602被呈現為圖3中所示陣列架構300上的變動，並很適合供與本揭示內容之改良的READ方法一起使用。陣列架構601及陣列架構602兩者之結構係與圖3中的陣列架構300幾乎完全相同。1-R陣列單元(CELL00-CELL_{xy})之每一個係僅只由單一電阻變化元件(SW00-SW_{xy})所組成，且無原位選擇裝置或其他電流限制裝置被使用在該等陣列單元內。該等單元(CELL00-CELL_{xy})的每一個只對於二線：字元線(WL[0]-WL[y])及位元線(BL[0]-BL[x])作出回應而被編址及存取。

【0113】 看圖6A及6B兩者，第一變動係對於該等陣列內之每一位元線(分別為601及602)作出回應的測量及儲存元件之附加。這些測量及儲存元件係很適合供使用在本揭示內容的READ方法內，如在下面相對於圖7A-7B、8A-8B、9A-9D、10A-10B、及11A-11B所詳細地討論者。在圖6A之示範陣列架構601內，這些測量及儲存元件的每一個包含“資料”FET(QD0-QDX)，當藉由控制線(RD_DATA0-RD_DATA_x)所賦能時，其將每一關聯之位元線連接至比較器元件(U1-U_x)的第一輸入。在圖6A之示範陣列架構內，固定之參考電壓係藉由參考電壓產生器U100所提供，且被供給至該測量及儲存元件內的比較器元件(U0-U_x)之第二輸入。此一固定的參考電壓能被該陣列電路本身內之電路元件所提供、或藉由該陣列外面的電路系統所提供，如適合特別應用之需要。選擇性地對於關聯之位元線及該固定之參考電壓作出回應，該等比較器元件(U0-U_x)的每一個提供一資料輸出(D0-D_x)，如將在下面被詳細地顯示，在本揭示內容之方法內，該資料輸出

能被使用於指示在與該測量及儲存元件有關聯的位元線上之所選擇的電阻變化元件內所儲存之資料值。

【0114】 看圖6B，第二陣列架構變動(如與圖3的陣列架構300比較)係參考電阻元件(RREF0-RREFx)及該參考字元線(WL_REF)之附加。這些參考電阻元件(RREF0-RREFx)的每一個具有與該參考字元線(WL_REF)電連通之第一端子、及與該等位元線(BL[0]-BL[x])的其中一者電連通之第二端子。以這種方式，該陣列602內的每一位元線係與參考電阻元件有關聯。在圖6B之示範陣列架構602內，該等測量及儲存元件的每一個另包含“參考”FET(QREF0-QREFx)，當藉由控制線(RD_REF0-RD_REFx)所賦能時，其提供一由與測量及儲存元件有關聯之位元線至“參考”儲存電容器(CREF0-CREFx)的放電路徑。再者，每一測量及儲存元件亦包括“資料”儲存電容器(CDATA0-CDATAx)，其被使用於保留在READ操作之資料相位期間所看見的位元線電壓(如將在圖7B之討論內被詳細地說明)。以這種方式，圖6B的比較器元件(U0-Ux)之每一個係對於“資料”儲存電容器(CDATA0-CDATAx)及“參考”儲存電容器(CREF0-CREFx)作出回應，並提供一資料輸出(D0-Dx)，如將在下面被詳細地顯示，在本揭示內容之方法內，該資料輸出能被使用於指示在與該測量及儲存元件有關聯的位元線上之所選擇的電阻變化元件內所儲存之資料值。這些參考電阻元件被使用在本揭示內容的READ方法之至少一態樣內，且其功能將在下面的圖7B、9A-9D、及11A-11B之討論內被詳細地說明。

【0115】 如將在下面的圖7A及7B之討論內被更詳細地敘述，由經過所選擇單元於第一操作中所驅動之放電電流，該等示範測量及儲存元件能被使用於測量及儲存該結果電壓。於某些操作中，此被儲存的電壓可接著被比較於一固定之參考電壓(如圖6A中所示及在圖7A的READ方法內所敘述)，以測定所選擇之單元或諸單元的電阻狀態。或，於其他操作中，由經過電阻參考元件所驅動之放電電流，第二製程步驟能被使用來測量及儲存該結果電壓。該二個被儲存的電壓可接著被比較，以測定所選擇之單元或諸單元的電阻狀態(如圖6B中所示及在圖7B的方法內所敘述)。再者，以對於每一位元線作出回應之分開的測量及儲存元件，該等示範陣列架構601及602能被使用於同時讀取所選擇的字元線上之每一陣列單元。於某些應用

中，此一功能性可為極想要的，在此快速之資料READ操作或頁模式READ操作被要求。

【0116】 應注意的是雖然該等示範陣列架構601及602描述由某些電路元件所構成之示範的測量及儲存元件，且具有對於專用之測量及儲存元件作出回應的每一位元線，本揭示內容之方法就這一點而言不被限制。實際上，如將在下面被更詳細地敘述，本揭示內容的方法只要求源自所施加之讀取電壓的放電電流或電壓被觀察，且該值或位準於READ操作期間被暫時地儲存或記錄。圖6A及6B中所描述之示範測量及儲存元件係意欲用作能夠施行此功能性的電路之非限制範例。放電電壓及／或電流的觀察、測量、及儲存(或僅只那些電壓及電流之值)可為藉由大量類似的電路元件及架構所達成。再者，於某些應用中，此等測量可在該陣列本身外面被施行(經由譬如外部測量元件或在驅動該READ電壓本身之電源供給元件內)。又再者，對於該陣列內之一或多個位元線作出回應，根據本揭示內容的方法之測量及儲存元件可為多工的，以便減少所要求的測量及儲存元件之數目。

【0117】 圖7A及7B係流程圖，詳細說明根據本揭示內容用於在電阻變化元件陣列內的一或多個單元上施行READ操作之方法。尤其是，圖7A詳細說明READ方法，其中READ電壓(VRD)被施加至一或多個所選擇單元，以便提供經過那些被選擇單元之READ電流。此電流／電壓顯現在該比較器元件的一端子上，且被比較於施加至該另一端子之固定的電壓參考，以於單一步驟READ操作中測定被選擇單元或諸單元中所儲存之電阻狀態。圖7B詳細說明READ方法，其中READ電壓(VRD)係施加至一或多個所選擇單元，以便經過那些單元於第一操作(“資料” READ相位)中提供READ電流，且接著，完全相同之READ電壓(VRD)被施加至一或多個參考電阻元件，以便經過那些元件於第二操作(“參考” READ相位)中提供電流。源自這些相位兩者(於二步驟READ操作中所獲得)的電流／電壓被暫時地儲存及接著被比較，以測定所選擇之單元或諸單元的電阻狀態。

【0118】 為了說明如在圖7A內所敘述之本揭示內容的READ方法，於如圖7A中所敘述地施行之示範READ操作方法期間，圖8A提供簡化的概要圖，描述被施加至圖6A中所示之電阻變化元件陣列架構601的電壓。且圖8B係簡化之概要圖，詳細說明在圖8A中所描述的READ操作期間沿著BL[1]的

陣列元件。再者，圖10A及10B提供一系列波形圖，根據本揭示內容說明二示範READ操作，如於圖7A中所詳細說明。明確地是，圖10A描述在CELL11上之READ操作(如圖6A及8A中所示)，其中該單元讀取為邏輯“1”，且圖10B描述在相同單元上的READ操作，其中該單元讀取為邏輯“0”。

【0119】 再者，為了說明如在圖7B內所敘述之本揭示內容的READ方法，圖9A提供簡化之概要圖，於圖7B中所敘述之READ操作的第一相位(該“資料” READ相位)期間，描述被施加至圖6B中所示的電阻變化元件陣列架構之電壓(直至製程步驟704b)。且圖9B係簡化的概要圖，詳細說明在圖9A中所描述之製程步驟期間沿著BL[1]的陣列元件。類似地，圖9C係簡化之概要圖，於圖7B中所敘述之READ操作的第二相位(該“參考” READ相位)期間，描述被施加至圖6B中所示的電阻變化元件陣列架構之電壓(直至製程步驟704b)。且圖9D係簡化的概要圖，詳細說明於圖9C中所描述之製程步驟期間沿著BL[1]的陣列元件。圖9B及9D被配置，以說明在根據圖7B中所敘述之方法所施行的READ操作之每一相位期間所實現的位元線電壓電壓(VBL1)。這些位元線電壓(VBL1)被暫時地儲存(分別在CDATA1與CREF1內)，且在該示範READ操作內，被提供至該比較器元件U1，以測定待READ之單元的狀態。這些位元線電壓(VBL1)亦如圖12B內之戴維寧電壓(VTH)被顯示及計算。再者，圖11A及11B提供一系列波形圖，說明根據本揭示內容的如圖7B中所詳細說明之二示範READ操作。特別地是，圖11A描述CELL11上的READ操作(如圖6B及9A中所示)，其中該單元讀取為邏輯“1”，且圖11B描述該相同單元上之READ操作，其中該單元讀取為邏輯“0”。

【0120】 現在參考圖7A及7B兩者，於第一製程步驟701a/701b中，在電阻變化元件陣列內的所有位元線及字元線(包括該參考字元線)被初始化至接地(0V)。於下一製程步驟702a/702b中，在該陣列內之所有該等位元線被浮動，且於與待READ單元有關聯的陣列中之那些位元線的每一個被連接至測量及儲存元件。於下一製程步驟703a/703b中，所選擇的字元線--亦即，與待READ之單元或諸單元有關聯的字元線--被驅動至所要求之READ電壓(VRD)，而所有該等未被選擇的字元線被保持在接地(0V)。以這種方式，一或多個READ電流(IRD)被允許由所選擇之字元線至與該一或多個被選擇單元有關聯之位元線或諸位元線，流經該電阻變化元件陣列內之一或多個被

選擇單元，及經過該關聯之位元線或諸位元線上的未被選擇單元之平行組合至接地。此電流路徑更明確地被顯示在圖8B及9B中，且被更詳細地敘述在那些圖面的討論內。

【0121】 於下一製程步驟704a/704b中，被連接至該一或多個所選擇之位元線的一或多個測量及儲存元件被使用於觀察，且於圖7B之案例中，經過該一或多個所選擇的陣列單元之每一個暫時地儲存該結果READ電流(IRD)(或源自該電流的電壓位準)之值。譬如，在圖6B中所詳細說明的示範陣列結構內，該等測量及儲存元件內之儲存電容器被使用來暫時地儲存源自該READ電流(IRD)的電壓，該READ電流在一位元線上之被選擇陣列元件內所儲存的電阻值與該同一位元線上之未被選擇陣列單元的組合並聯電阻之間流經該電阻分壓器。此結果的電壓值係該READ電流(IRD)之值的指示，且依序為被值儲存在所選擇之陣列單元內的電阻變化元件內所儲存之電阻值的指示。

【0122】 明確地看圖7A，於製程步驟710a中，此被觀察之電壓被比較於該固定的電壓參考，以測定該一或多個所選擇之陣列單元內所儲存的電阻狀態。如先前所述，經過該陣列內的電路系統(譬如位在與該等陣列單元相同的晶粒上之帶間隙電壓產生器電路)、或由外部電路(譬如經校準的電壓供給)，此固定之電壓參考能被提供，如最佳地係適合特別應用的要求。

【0123】 明確地看圖7B、於製程步驟705b中，所有位元線及字元線(包括該參考字元線)被重新初始化回至接地(0V)。這完成該READ操作之第一相位(該“資料” READ相位)，並形成該第二相位(該“參考” READ相位)。於下一製程步驟706b中，該陣列內的所有該等位元線再次被浮動，且於與待READ單元有關聯的陣列中之那些位元線的每一個再次被連接至測量及儲存元件。於下一製程步驟707b中，該參考字元線--亦即，與該陣列內之參考電阻元件有關聯的字元線--被驅動至所要求之READ電壓(VRD)，而所有其他字元線被保持在接地(0V)。以這種方式，由該參考字元線至與該一或多個所選擇之單元有關聯的位元線或諸位元線，一或多個READ電流(IRD)被允許流經該電阻變化元件陣列內的一或多個電阻參考元件，且經過該關聯的位元線或諸位元線上之陣列單元的平行組合至接地。

【0124】 於下一製程步驟708b中，被連接至該一或多個所選擇之位元

線的一或多個測量及儲存元件被使用於觀察及儲存經過該一或多個參考電阻元件之每一個的結果READ電流(IRD)之值。於下一製程步驟710b中，經過該一或多個所選擇的陣列單元所測量及儲存之READ電流(在製程步驟704b內)被比較於經過一或多個參考電阻元件所測量及儲存的READ電流(在製程步驟708b內)，以測定該一或多個所選擇之陣列單元內所儲存的電阻狀態。

【0125】 在本揭示內容之方法內，該陣列內的參考電阻元件被選擇，以具有於SET條件之額定電阻值及RESET條件的額定電阻值間之電阻值。如此，測量高於經過相同位元線上之參考電阻元件的READ電流(或來自所施加的READ電流之結果電壓)，經過所選擇之陣列單元的READ電流(或來自所施加之READ電流的結果電壓)將指示所選擇之陣列單元被以第一邏輯值(例如邏輯“1”或SET條件)程式化。且測量低於經過相同位元線上之參考電阻元件的READ電流(或來自所施加的READ電流之結果電壓)，經過所選擇的陣列單元之READ電流(或來自所施加的READ電流之結果電壓)將指示所選擇之陣列單元被以第二邏輯值(例如邏輯“0”或RESET條件)程式化。這些READ電流(經過所選擇之陣列單元與參考電阻元件兩者)實現位元線電壓(VBL，如相對於圖9B及9D所詳細地討論)，並指示在該READ操作的二相位期間所實現之不同READ電流位準，且依序指示所選擇單元與參考電阻元件之不同電阻值。這些結果的位元線電壓能接著被比較，以測定所選擇單元之狀態。然而，應注意的是於某些應用中，電流感測比較器(或另一型式之測量元件)可被使用。於此一案例中，該等READ電流可被直接地比較，代替該等結果的位元線電壓。

【0126】 如上述，根據本揭示內容之某些態樣，所選擇單元的電阻狀態係藉由比較所選擇陣列單元之電反應與參考電阻元件的電反應所測定，該參考電阻元件係在與所選擇單元相同之位元線上。如此，在所選擇單元內的電阻變化元件及該參考電阻元件兩者本質上係遭受相同之電路條件(陣列線電容及電阻、未被選擇單元的電阻、該陣列內之漏洩路徑等)，且電反應中的差異將大部份係由於待READ的電阻變化元件與該參考電阻元件間之電阻中的差異。以這種方式，電流或電壓中之很小的差異能為可靠性及被迅速地感測，而不需要具有該陣列單元之額外的原位電路元件。在某些

應用內，此精確性能允許顯著較低之READ電壓及電流與顯著更快的READ定時之使用(如與傳統靜態DC存取及編址方法比較，諸如、譬如相對於圖1及2被討論)。

【0127】 應注意的是如先前在圖6A及6B之討論內所討論，雖然在該等示範陣列架構601及602內所描述的示範測量及儲存元件係很適合用於本揭示內容之此態樣，本揭示內容的方法就這一點而言不被限制。實際上，在將該READ電壓(VRD)施加至所選擇字元線期間，本揭示內容之READ方法只要求該結果的READ電流(IRD)或電壓分配值被測量及儲存。應注意的是雖然圖6A及6B描述包含儲存電容器及比較器元件之測量及儲存元件的一特定實作，本揭示內容之方法就這一點而言不被限制。如先前所述，READ電壓及／或電流的觀察、測量、及儲存(或僅只那些電壓及電流之值)--如藉由圖7A及7B中所詳細說明的READ方法所要求--可被許多類似之電路元件及架構所達成。再者，於某些應用中，此等測量可在該陣列本身外面被施行(經由譬如外部測量元件或在驅動該READ電壓本身的電源供給元件內)。如此，上面相對於圖7A及7B之READ方法所敘述的特定測量及儲存元件之使用係意欲當作非限制性範例，以僅只說明本揭示內容的方法。

【0128】 亦應注意的是如上述，圖7A及7B之流程圖中所詳細說明的READ方法能被使用於存取及測定陣列內之單一單元的電阻狀態、或被使用於同時測定陣列內之多數個單元的電阻狀態。再者，雖然如於圖7A及7B中所詳細說明之此READ方法敘述將所選擇的字元線驅動至所要求之READ電壓、將未被選擇的字元線接地、及浮動位元線(使得所選擇字元線上之一或多個陣列單元可被讀取)，本揭示內容的方法就這一點而言不被限制。實際上，藉由浮動陣列中之所有該等字元線、將所選擇的位元線驅動至所要求之READ電壓、及將該等未被選擇的位元線接地，本揭示內容之READ方法可被採用。在此一操作內，該測量及儲存元件將為代替位元線對於字元線作出回應，且在所選擇位元線上的一或多個單元將被READ。

【0129】 現在看圖8A，圖6A之簡化概要圖601已被修改，以實現概要圖801，其說明於根據圖7A所施行的示範READ操作期間被施加至示範電阻變化元件陣列之電刺激。亦即，於所選擇字元線的偏壓期間，造成READ電流(IRD)經過所選擇字元線上之一或多個單元。明確地是，在圖8A內，WL[1]

已被選擇及驅動至所要求的READ電壓(V_{RD})，而該等剩餘字元線($WL[0]$ 及 $WL[2]-WL[y]$)被保持在接地($0V$)。該陣列中之所有該等位元線($BL[0]-BL[x]$)被浮動。以這種方式，讀取電流(I_{RD})被驅動經過 $WL[1]$ 上的電阻變化元件之每一個(亦即， $SW01-SWx1$)。

【0130】 看圖8B，圖8A的概要圖801已被進一步簡化，以實現概要圖802，其更好說明在此示範READ操作期間被施加至 $BL[1]$ 上之元件的電刺激。如可在圖8B中被看見， $BL[1]$ 上之電壓(V_{BL1})係藉由 $BL[1]$ (亦即， $SW10$ 及 $SW1y$)上的未被選擇陣列單元內之電阻變化元件的平行組合、與 $BL[1]$ (亦即， $SW11$)上的所選擇單元內之電阻變化元件的電阻 R_{SEL} 間之電壓分配所測定。 $CBL1$ 被包括在圖8B的概要圖中，以表示 $BL[1]$ 上所固有之電容，其限制該位元線能充電的比率，及依序 $CELL11$ (或 $BL[1]$ 上之任何單元)上的READ操作能有多快地被施行。然而，一旦 $CBL1$ 已有充分之充電時間， V_{BL1} 本質上藉由以下所測定：

$$\text{【0131】 } V_{BL1} = V_{RD} * R_{UNSEL} / (R_{SEL} + R_{UNSEL}) \quad [EQ1]$$

【0132】 且因 R_{SEL} 本質上係所選擇陣列單元內所儲存的電阻(R_{SW11})，這變成：

$$\text{【0133】 } V_{BL1} = V_{RD} * R_{UNSEL} / (R_{SW11} + R_{UNSEL}) \quad [EQ2]$$

【0134】 再者， R_{UNSEL} 本質上係所選擇陣列單元內所儲存的電阻之平行組合($R_{SW10}-R_{SW1y}$)。本質上：

$$\text{【0135】 } R_{UNSEL} = R_{EQ} / (n-1) \quad [EQ3]$$

【0136】 在此， R_{EQ} 係所選擇位元線上的未被選擇單元之有效電阻，且 n 係所選擇位元線上的單元之數目。此有效電阻值(R_{EQ})係在圖14的討論內被更詳細地敘述。將EQ3插入EQ2：

$$\text{【0137】 } V_{BL1} = V_{RD} * (R_{EQ} / n-1) / (R_{SW11} + (R_{EQ} / n-1)) \quad [EQ4]$$

【0138】 如在上面之EQ4中所詳細說明，在此點於該READ操作中， V_{BL1} 上的電壓位準係指示所選擇電阻變化元件中所儲存的電阻狀態(R_{SW11})。藉由將 RD_DATA1 賦能，位元線 $BL[1]$ 經過 $QD1$ 被連接至比較器元件 $U1$ 之第一輸入(圖8B中的節點 V_{DATA1})。然後，藉由比較此電壓與被連接至比較器元件 $U1$ 之第二輸入的固定電壓參考(在圖8B中藉由 V_{REF} 所表示)，所選擇單元(於此範例中，為 $SW11$)內所儲存之電阻狀態(及，如此，該邏輯值)

能被測定。亦即，如果節點 V_{DATA1} 上的電壓位準(被施加至比較器元件U1之第二輸入)係高於 V_{REF} (被施加至比較器元件U1的第二輸入)，則CELL11內所儲存之電阻狀態被測定為第一邏輯值(譬如，邏輯“1”或SET條件)。反之，如果節點 V_{DATA1} 上所儲存的電壓位準係低於 V_{REF} ，則CELL11內所儲存之電阻狀態被測定為第二邏輯值(譬如，邏輯“0”或RESET條件)。

【0139】 現在看圖9A，圖6B的簡化概要圖602已被修改，以實現概要圖901，其說明於圖7B之製程步驟704b期間被施加至示範電阻變化元件陣列的電刺激。亦即，於所選擇字元線之偏壓而經過所選擇字元線上的一或多個單元造成READ電流(I_{RD})期間。明確地是，在圖9A內，WL[1]已被選擇及驅動至所要求的READ電壓(V_{RD})，而該等剩餘字元線(WL[0]及WL[2]-WL[y])被保持在接地(0V)。該陣列中之所有該等位元線(BL[0]-BL[x])被浮動。以這種方式，讀取電流(I_{RD})被驅動經過WL[1]上的電阻變化元件之每一個(亦即，SW01-SWx1)。

【0140】 看圖9B，圖9A的概要圖901已被進一步簡化，以實現概要圖902，其更好說明在此READ操作之相位期間被施加至BL[1]上之元件的電刺激。如可在圖9B中被看見，BL[1]上之電壓(V_{BL1})係藉由BL[1](亦即，SW10及SW12-SW1y)上的未被選擇陣列單元內之電阻變化元件 R_{UNSEL} 及BL[1]上之參考電阻元件(R_{REF1})的平行組合、與BL[1](亦即，SW11)上的所選擇單元內之電阻變化元件的電阻 R_{SEL} 間之電壓分配所測定。 C_{BL1} 被包括在圖9B的概要圖中，以表示BL[1]上所固有之電容，其限制該位元線能充電的比率，及依序CELL11(或BL[1]上之任何單元)上的READ操作能有多快地被施行。然而，一旦 C_{BL1} 已有充分之充電時間， V_{BL1} 本質上藉由以下所測定：

$$\text{【0141】 } V_{BL1} = V_{RD} * R_{UNSEL} / (R_{SEL} + R_{UNSEL}) \quad [\text{EQ5}]$$

【0142】 且因 R_{SEL} 本質上係所選擇陣列單元內所儲存的電阻(R_{SW11})，這變成：

$$\text{【0143】 } V_{BL1} = V_{RD} * R_{UNSEL} / (R_{SW11} + R_{UNSEL}) \quad [\text{EQ6}]$$

【0144】 如在上面之EQ6中所詳細說明，在此點於該READ操作中， V_{BL1} 上的電壓位準係指示所選擇電阻變化元件中所儲存的電阻狀態(R_{SW11})。藉由將RD_DATA1賦能，該儲存電容器 C_{DATA1} 經過 Q_{D1} 被連接至BL1，且此電壓(V_{BL1})於該READ操作之剩餘部分期間被儲存在 C_{DATA1} 上。

【0145】 現在看圖9C，圖6B的簡化概要圖602已再次被修改，以實現概要圖903，其說明於圖7B之製程步驟707b期間被施加至示範電阻變化元件陣列的電刺激。亦即，於該參考字元線之偏壓而經過該陣列內的參考電阻元件造成READ電流(I_{RD})期間。明確地是，在圖9C內，WL_REF被驅動至所要求的READ電壓(V_{RD})，而該等剩餘字元線(WL[0]-WL[y])被保持在接地(0V)。該陣列中之所有該等位元線(BL[0]-BL[x])被浮動。以這種方式，讀取電流(I_{RD})被驅動經過該陣列內的參考電阻元件之每一個(亦即，RREF0-RREFx)。

【0146】 看圖9D，圖9C的概要圖903已被進一步簡化，以實現概要圖904，其(如同圖9B)更好說明在此READ操作之相位期間被施加至BL[1]上之元件的電刺激。如可在圖9D中被看見，BL[1]上之電壓(V_{BL1})係藉由BL[1](亦即，SW10-SW1y)上的所有該等陣列單元(其包括所選擇單元)內之電阻變化元件RUNSEL的平行組合、與BL[1](RREF1)上的參考電阻元件RSEL間之電壓分配所測定。再者，如於圖9B中，CBL1被包括在圖9D的概要圖中，以表示BL[1]上所固有之電容，其限制該位元線能充電的比率，及依序CELL11(或BL[1]上之任何單元)上的READ操作能有多快地被施行。然而，一旦CBL1已有充分之充電時間， V_{BL1} 再次本質上藉由以下所測定：

$$\text{【0147】 } V_{BL1} = V_{RD} * R_{UNSEL} / (R_{SEL} + R_{UNSEL}) \quad [\text{EQ7}]$$

【0148】 且因 R_{SEL} 本質上係BL[1]上之參考電阻元件在該READ操作的此相位內之電阻(R_{REF1})，這變成：

$$\text{【0149】 } V_{BL1} = V_{RD} * R_{UNSEL} / (R_{REF1} + R_{UNSEL}) \quad [\text{EQ8}]$$

【0150】 如在上面之EQ8中所詳細說明，在此點於該READ操作中， V_{BL1} 上的電壓位準係指示 R_{REF1} 的電阻值，其(如稍早在本揭示內容內所敘述)已被選擇，以落在額定SET電阻值及額定RESET電阻值之間。藉由將RD_REF1賦能，該儲存電容器 C_{REF1} 經過 Q_{REF1} 被連接至BL1，且此電壓(V_{BL1})於該READ操作之剩餘部分期間被儲存在 C_{REF1} 上。

【0151】 在上述READ操作的兩相位(亦即，圖9A及9B中所詳細說明之“資料”相位及圖9C及9D中所詳細說明的“參考”相位)內， R_{UNSEL} 保持本質上恆定未被改變的。BL[1]上之未被選擇單元內的電阻變化元件之電阻經過這些相位兩者保持未被改變，且依序，這些電阻元件的平行組合保持

未被改變。雖然於該READ操作之第一相位(圖9A及9B)中，該並聯電阻組合 R_{UNSEL} 包括 R_{REF1} 及於該第二相位(圖9C及9D)中包括 R_{SW11} ，在具有大的位元線陣列(例如32、64、128、256、512、1024或甚至較大數目之位元線)的實用應用內，此差異係可接受的。如此， R_{UNSEL} 之值能被取為用於EQ6及EQ8的常數。且該READ操作之每一相位中所測量及儲存的 $BL[1]$ 電壓(V_{BL1})間之差異能被使用來測定所選擇陣列單元(CELL11)內所儲存的電阻狀態(及依序該邏輯值)。亦即，如果 C_{DATA1} 上所儲存之電壓位準係高於 C_{REF1} 上所儲存之電壓位準，則CELL11內所儲存的電阻狀態被測定為第一邏輯值(譬如，邏輯“1”或SET條件)。反之，如果 C_{DATA1} 上所儲存之電壓位準係低於 C_{REF1} 上所儲存之電壓位準，則CELL11內所儲存的電阻狀態被測定為第二邏輯值(譬如，邏輯“0”或RESET條件)。

【0152】 藉由比較所選擇陣列單元之電反應與固定的電壓參考或位於相同陣列(或電路)內及在相同條件之下的參考元件之電壓參考，於某些應用中，如與將要求比較所選擇陣列單元內的電反應與一些預選或期望值之READ方法比較，所選擇單元內所儲存的值可使用較低之電壓及電流READ刺激被更快及更精確地測定(亦即，READ)。此參考比較步驟(於圖7A及7B中的處理步驟710a/710b)係在圖10A-10B及11A-11B之波形圖內被進一步說明，且在下面被較大詳細地敘述。

【0153】 現在參考圖10A，一系列波形圖根據本揭示內容如在圖7A所敘述之方法詳細說明圖6A的CELL11上之示範READ操作1001。在圖10A的示範READ操作1001內，SW11被假設已事先程式化進入相當低之電阻狀態，而對應於邏輯“1”或SET條件。

【0154】 在時間指標 t_0 ，該等陣列線(亦即，所有位元線及字元線)被初始化至接地(0V)，其對應於圖7A中的製程步驟701a。據此，用於 $WL[1]$ 及 V_{BL1} 之波形兩者被顯示為在0V。 RD_DATA1 在 t_0 亦被保持低的，使 Q_{D1} 失效(在圖6A、8A、及8B中所示)。用於 V_{DATA1} 之波形係亦在接地(0V)。用於 V_{REF} 的波形被顯示在一固定電壓，且用於該整個READ操作保持如此。如先前所討論，用於 V_{REF} 之電壓位準被選擇為在期望用於額定SET條件及額定RESET條件的 V_{BL} 電壓之間。最後，該D1波形顯示高阻抗狀態，指示該比較器元件(於圖6A、8A及8B中的U1)為失效。這在圖10A之示範READ操作內

被做成，以增強該READ操作將不產生一有效資料結果，直至時間指標 t_3 ，其對應於圖7A中的製程步驟710a。

【0155】 在時間指標 t_1 (其對應於圖7A中之製程步驟702a及703a)，該陣列中的位元線被驅動至高阻抗及被連接至該測量與儲存元件。亦在時間指標 t_1 ，WL[1]、用於此示範READ操作之所選擇字元線被驅動至所要求的READ電壓(於圖8A及8B中之 V_{RD})。為了清楚故在圖10A中未顯示，該陣列內的未被選擇字元線依然保持在接地(0V)。對應於此，在圖10A之波形圖內，在時間指標 t_1 ，WL[1]開始充電直至該被驅動READ電壓，且 V_{BL1} 亦充電(追蹤WL[1])至指示SW11內所儲存的電阻值之電壓(如在上面相對於圖8B被詳細地討論)。亦在時間指標 t_1 ，RD_DATA1被驅動至高點，使 Q_{D1} 賦能(如圖6A、8A、及8B中所示)，且允許節點 V_{DATA1} 隨同該 V_{BL1} 電壓追蹤。及D1保持在高阻抗狀態中，使U1(如圖6A、8A、及8B中所示)仍然失效。

【0156】 在時間指標 t_2 (其對應於圖7A中之製程步驟704a)， V_{BL1} 已具有充分的時間，以完全充電直至指示SW11中所儲存之電阻值的電壓位準，且此電壓係經過節點 V_{DATA1} (經過 Q_{D1} 被電連接至BL[1]，如於圖8B中所示)被提供至比較器元件U1的第一輸入(再次如圖8B中所示)。該比較器元件U1(如圖8B中所示)係被推測將在時間指標 t_2 賦能，且如此，D1過渡指示高電壓位準(邏輯“1”)，使 V_{DATA1} (被施加至比較器元件U1之第一輸入的電壓)係高於 V_{REF} (被施加至比較器元件U1之第二輸入的電壓)。在時間指標 t_3 (其對應於圖7A中之製程步驟710a)，此結果係預備好由該陣列輸出至外部控制電路(諸如、但不限於微處理器、微控制器、或FGPA)。在時間指標 t_4 ，該等字元線及位元線被返回至接地(0V)，RD_DATA1再次被驅動為低的，比較器元件U1係失效，且該READ操作係完成。應注意的是於本揭示內容之此READ方法的某些應用中(如在圖7A中所敘述)， Q_{D1} 及該對應RD_DATA1信號可能不需要。實際上，於此一應用中，比較器元件U1之第一輸入可被直接連接至BL[1]，且在與位元線BL[1]大約相同的時間過渡至 V_{REF} 之參考電壓充電至該結果 V_{BL} 電壓。

【0157】 如先前所討論，於某些應用中，該BL[1]之線電容(在圖8B中藉由 C_{BL1} 所表示)可限制可將 V_{BL1} 如何迅速地充電至其全電壓。亦應注意的是於某些應用中，WL[1]上之線電容亦可為此充電時間中的一因素。亦，

視所使用之測量及儲存元件的型式及實作而定，用於待測量及／或儲存之 V_{BL1} 上的電壓，一旦 V_{BL1} 已抵達其全電壓，額外之時間可被要求。圖10A的波形已被提出，以說明這些可能之定時要求(如在時間指標 t_1 及 t_2 之間藉由 $WL[1]$ 、 V_{BL1} 、及 V_{DATA1} 上的斜坡上升曲線所指示)，以更好說明本揭示內容的方法。然而，這些示範RC定時延遲及瞬時AC特徵將不被視為對於本揭示內容之方法的限制。再者，於某些應用中，電阻變化元件陣列之設計及架構可被選擇，以限制或以別的方式控制負責用於這些定時要求之電特徵，以便更好執行本揭示內容的方法。

【0158】 現在參考圖10B，一系列波形圖根據本揭示內容如在圖7A中所敘述之方法詳細說明圖6A的CELL11上之另一示範READ操作1002。在圖10B的示範READ操作1002內，SW11被假設已事先程式化進入相當高之電阻狀態，而對應於邏輯“0”或RESET條件。此第二示範READ操作1002本質上係與圖10A中所詳細說明的第一READ操作1001完全相同，除了其將讀出邏輯“0”代替邏輯“1”以外。

【0159】 如在上面之圖10A的討論內被更詳細地說明，於圖10B中所詳細說明之第二示範READ操作1002內，在時間指標 t_0 (其對應於圖7A中的製程步驟701a)，所有該等陣列線被初始化至接地(0V)。在時間指標 t_1 (其對應於圖7A中之製程步驟702a及703a)，該陣列內的所有該等位元線被浮動及被連接至測量與儲存元件，所選擇字元線($WL[1]$)被驅動至該READ電壓，且 RD_DATA1 被賦能(使 Q_{D1} 賦能，並將節點 V_{DATA1} 連接至 $BL[1]$ ，如圖8B中所示)。在時間指標 t_2 (其對應於圖7A中的製程步驟704a)，在 V_{BL1} 上之電壓位準(其係指示SW11中所儲存的電阻狀態)已具有充分充電的時間，且該比較器元件U1能可被賦能。如相對於圖10A被更詳細地敘述，因 V_{DATA1} 上之電壓係低於 V_{REF} ，D1驅動低，指示該SW11係於RESET狀態(或被以邏輯“0”程式化)中。

【0160】 在時間指標 t_3 (其對應於圖7A中的製程步驟710a)，此資料輸出(該邏輯“0”值被顯示在用於D1之波形上)係預備好由該陣列輸出至外部控制電路(諸如、但不限於微處理器、微控制器、或FGPA)。在時間指標 t_4 ，該等字元線及位元線被返回至接地(0V)， RD_DATA1 又被驅動低，比較器元件U1係失效，且該READ操作係完成。

【0161】 現在參考圖11A，一系列波形圖根據本揭示內容如在圖7B所敘述之方法詳細說明圖6B的CELL11上之示範READ操作1101。在圖11A的示範READ操作1101內，SW11被假設已事先程式化進入相當低之電阻狀態，而對應於邏輯“1”或SET條件。

【0162】 在時間指標 t_0 ，該等陣列線(亦即所有位元線及字元線，包括該參考字元線)被初始化至接地(0V)，其對應於圖7B中的製程步驟701b。據此，用於WL[1]、WL_REF及 V_{BL1} 之波形係全部被顯示為在0V。RD_DATA1及RD_REF1在 t_0 亦被保持低的，使 Q_{D1} 及 Q_{REF1} 失效(在圖6A及9A-9D中所示)。用於 C_{DATA1} 及 C_{REF1} 之波形係亦在接地(0V)，指示那些儲存電容器於開始該READ操作之前被放電。最後，該D1波形顯示高阻抗狀態，指示該比較器元件(於圖6A及9A-9D中的U1)為失效。這在圖11A之示範READ操作內被做成，以增強該READ操作將不產生一有效資料結果，直至時間指標 t_6 ，其對應於圖7B中的製程步驟710b。

【0163】 在時間指標 t_1 (其對應於圖7B中之製程步驟702b及703b)，該陣列中的位元線被驅動至高阻抗及被連接至該測量與儲存元件。亦在時間指標 t_1 ，WL[1]、用於此示範READ操作之所選擇字元線被驅動至所要求的READ電壓(於圖9A-9D中之 V_{RD})。WL_REF(以及為了清楚故，在圖11A中未被顯示，於該陣列內之其他未被選擇的字元線)依然保持在接地(0V)。對應於此，在圖11A之波形圖內，在時間指標 t_1 ，WL[1]開始充電直至該被驅動READ電壓，且 V_{BL1} 亦充電(追蹤WL[1])至指示SW11內所儲存的電阻值之電壓(如在上面相對於圖9B被詳細地討論)。WL_REF保持在接地(0V)。RD_DATA1被驅動至高點，使 Q_{D1} 賦能(如圖6B、9A-9D中所示)，且允許 C_{DATA1} 充電直至該 V_{BL1} 電壓。RD_REF1依然保持低的，保持 Q_{REF1} (如圖6B、9A-9D中所示)失效及 C_{REF1} 由 V_{BL1} 電隔絕。如此，用於 C_{REF1} 之波形保持在0V。且D1保持在高阻抗狀態，使U1(如圖6A、6B及9A-9D中所示)仍然失效。

【0164】 在時間指標 t_2 (其對應於圖7B中的製程步驟704b)， V_{BL1} 及 C_{DATA1} 已具有充分的時間，以完全充電直至指示SW11中所儲存之電阻值的電壓位準，且RD_DATA1被驅動回至為低的，由BL[1]電隔絕 C_{DATA1} (如圖6B及9A-9D中所示)。如在圖11A之波形圖內所指示，在此點於該READ操作(時間指標 t_2)中， V_{BL1} 的電壓位準被保留在用於該READ操作之剩餘部分的

C_{DATA1} 上。如先前所討論，於某些應用中，該BL[1]之線電容(在圖9B及9D中藉由 C_{BL1} 所表示)可限制 V_{BL1} 能如何迅速地充電至其全電壓。亦應注意的是於某些應用中，WL[1]上之線電容亦可為此充電時間中的一因素。亦，視所使用之測量及儲存元件的型式及實作而定，用於待測量及／或儲存之 V_{BL1} 上的電壓，一旦 V_{BL1} 已抵達其全電壓，額外之時間可被要求。

【0165】 例如，使用圖6B(及隨後被顯示在圖9A-9D中)的示範陣列結構內所顯示之示範測量及儲存元件，該儲存電容器 C_{DATA1} 可採取額外的時間來充電直至該全 V_{BL1} 電壓。圖11A之波形已被提出，以說明這些可能的定時要求(如在時間指標 t_1 及 t_2 之間藉由WL[1]、 V_{BL1} 、及 C_{DATA1} 上的斜坡上升曲線所指示)，以更好說明本揭示內容的方法。然而，這些示範RC定時延遲及瞬時AC特徵將不被視為對於本揭示內容之方法的限制。再者，於某些應用中，電阻變化元件陣列之設計及架構可被選擇，以限制或以別的方式控制負責用於這些定時要求之電特徵，以便更好執行本揭示內容的方法。

【0166】 在時間指標 t_3 (其對應於圖7B中之製程步驟705b)，該陣列中的位元線及字元線(包括該參考字元線)被重新初始化回至接地(0V)。據此，用於WL[1]、WL_REF、及 V_{BL1} 之波形全部被顯示返回至0V。在時間指標 t_4 (其對應於圖7B中的製程步驟706b及707b)，該陣列中之位元線再次被驅動至高阻抗及連接至該等測量及儲存元件。在時間指標 t_4 ，WL_REF、該參考字元線被驅動至所要求的READ電壓(於圖6B及9A-9D中之 V_{RD})。WL[1](以及為了清楚故，在圖11A中未被顯示，於該陣列內之所有其他字元線)依然保持在接地(0V)。對應於此，在圖11A之波形圖內，於時間指標 t_4 ，WL_REF開始充電直至該被驅動的READ電壓，且 V_{BL1} 亦充電(追蹤WL_REF)至指示該參考電阻元件 R_{REF1} 之電阻值的電壓(如在上面相對於圖9D被詳細地討論)。WL[1]保持在接地(0V)。RD_REF1被驅動至高點，使 Q_{D1} 賦能(如圖6B及9A-9D中所示)，且允許 C_{REF1} 充電直至該 V_{BL1} 電壓。RD_DATA1依然保持低的，保持 Q_{DATA1} (如圖6B、9A-9D中所示)失效及 C_{DATA1} 由 V_{BL1} 電隔絕。如此， C_{DATA1} 保持未被干擾及持續保留在時間指標 t_2 所測量的電壓(其將被使用在時間指標 t_6 ，以測定所選擇單元CELL11內所儲存之電阻狀態)。且D1保持在高阻抗狀態中，使U1(如圖6B、9A-9D中所示)仍然失效。

【0167】 在時間指標 t_5 (其對應於圖7B中之製程步驟708b)， V_{BL1} 及

C_{REF1} 已具有充分的時間，以完全充電直至指示 R_{REF1} 之電阻值的電壓位準，且 RD_REF1 被驅動回至低的，由 $BL[1]$ 電隔絕 C_{REF1} (如圖6B及9A-9D中所示)。如在圖11A之波形圖內所指示，在此點於該READ操作(時間指標 t_5)中，用於該READ操作的剩餘部分， V_{BL1} 的電壓位準被保留在 C_{REF1} 。再者，如相對於時間指標 t_2 所討論，陣列線電容、該陣列之瞬時AC特徵、及在該READ操作內所使用的測量及儲存元件之特色可影響完全充電 $BL[1]$ 與 C_{REF1} 所要求的時間。如此，圖11A之波形已再次被提出，以說明該陣列內的這些可能之定時要求(如在時間指標 t_4 及 t_5 之間藉由 WL_REF 、 V_{BL1} 、及 C_{REF1} 上的斜坡上升曲線所指示)，以更好說明本揭示內容的方法。照樣，這些示範RC定時延遲及瞬時AC特徵將不被視為對於本揭示內容之方法的限制。

【0168】 在時間指標 t_6 (其對應於圖7B中之製程步驟710b)， C_{DATA1} 與 C_{REF1} 上所儲存的電壓被比較，以測定 $SW11$ 內所儲存之電阻狀態及完成該READ操作。在藉由圖11A的波形所詳細說明之示範操作內，該比較器元件(於圖6B及9A-9D中的U1)被賦能。因 C_{DATA1} 上之電壓係高於 C_{REF1} 上所儲存的電壓， $D1$ 驅動至高點，指示該 $SW11$ 係於SET條件(或以邏輯“1”程式化)中。在時間指標 t_7 ，此資料輸出係預備好由該陣列輸出至外部控制電路(諸如、但不限於微處理器、微控制器、或FGPA)，且該READ操作係完成。

【0169】 現在參考圖11B，根據本揭示內容如在圖7B中所敘述之方法，一系列波形圖詳細說明圖6B的CELL11上之另一示範READ操作1102。在圖11B的示範READ操作1102， $SW11$ 被假設已事先程式化進入相當高之電阻狀態，而對應於邏輯“0”或RESET條件。此示範READ操作1102本質上係與圖11A中所詳細說明的READ操作1101完全相同，除了其將讀出邏輯“0”代替邏輯“1”以外。

【0170】 如在上面之圖11A的討論內被更詳細地說明，於圖10B中所詳細說明之第二示範READ操作1102內，在時間指標 t_0 (其對應於圖7B中的製程步驟701b)，所有該等陣列線被初始化至接地(0V)。在時間指標 t_1 (其對應於圖7B中之製程步驟702b及703b)，該陣列內的所有該等位元線被浮動及被連接至測量與儲存元件，且所選擇字元線($WL[1]$)被驅動至該READ電壓。在時間指標 t_2 (其對應於圖7B中的製程步驟704b)， RD_DATA1 被賦能，且 V_{BL1}

上之電壓位準(其係指示SW11中所儲存的電阻狀態)被儲存在C_{DATA1}上。在時間指標 t_3 (其對應於圖7B中之製程步驟705b)，所有該等陣列線被重新初始化至接地(0V)。在時間指標 t_4 (其對應於圖7B中的製程步驟706b及707b)，該陣列內之所有該等位元線再次被浮動，該陣列內的所有該等字元線被拉動至接地(0V)，且該參考字元線(WL_REF)被驅動至該READ電壓。在時間指標 t_5 (其對應於圖7B中之製程步驟708b)，RD_REF1被賦能，且V_{BL1}上的電壓位準(其指示之電阻值R_{REF1})被儲存在C_{REF1}上。

【0171】 在時間指標 t_6 (其對應於圖7B中的製程步驟710)，C_{DATA1}與C_{REF1}上所儲存的電壓被比較，以測定SW11內所儲存之電阻狀態及完成該READ操作。在藉由圖11B的波形所詳細說明之示範READ操作內，該比較器元件(於圖6A、6B、8A、8B、9A、及9B中的U1)被賦能。因C_{DATA1}上之電壓係低於C_{REF1}上所儲存的電壓，D1驅動至高點，指示該SW11係於RESET條件(或以邏輯“0”程式化)中。在時間指標 t_7 ，此資料輸出係預備好由該陣列輸出至外部控制電路(諸如、但不限於微處理器、微控制器、或FGPA)，且該READ操作係完成。

【0172】 應注意的是雖然圖10A-10B及11A-10B描述在電阻變化元件陣列內之單一位元線上的單一陣列單元上施行示範READ操作之系列波形，本揭示內容的方法就這一點而言不被限制。實際上，圖10A-10B及11A-11B之波形係意欲說明於多單元READ操作期間在示範單一位元線上的電反應。在某些應用內，在一陣列內之每一位元線可被同時地READ，每一位元線對於類似於那些圖10A-10B及11A-11B中所顯示的一系列波形作出回應。以這種方式，本揭示內容之READ方法能被使用來由電阻變化元件陣列迅速及有效率地輸出大量資料。如於圖7A及7B中所詳細說明及相對於圖8A-8B、9A-9D、10A-10B、及11A-11B所討論與示範，本揭示內容的READ方法係很適合用於在一陣列內之單一單元上、同時在一陣列內的單元之子集合上、或同時在所選擇的字元線上之每一個單元上施行READ操作，如適合特定應用的要求。

【0173】 圖12A及12B係用於圖8B(圖12A)及圖9B與9D(圖12B)之簡化概要圖的戴維寧等效電路(分別為1201與1202)。這些戴維寧等效電路將在圖14及15A-15C中所詳細說明之示範1-R電阻變化元件陣列組構及READ操

作範例的討論內被參考。這些陣列結構及READ操作範例被呈現，以便說明用於根據本揭示內容之方法所施行之READ操作的電壓及定時要求，如於圖7A及7B中所詳細說明。如先前相對於圖8B、9B、及9D所討論，在圖12A及12B兩者內， V_{TH} 被給與：

$$\text{【0174】 } V_{TH}=V_{BLI}=V_{RD} * R_{UNSEL} / (R_{SEL}+R_{UNSEL}) \quad [\text{EQ9}]$$

【0175】 且 R_{TH} 被給與：

$$\text{【0176】 } 1/R=1/R_{SEL} + 1/R_{UNSEL}$$

$$\text{【0177】 } R_{TH}=(R_{SEL} * R_{UNSEL}) / (R_{SEL}+R_{UNSEL}) \quad [\text{EQ10}]$$

【0178】 明確地是看圖12A及回頭參考圖8B之概要圖802， R_{UNSEL} 係所選擇位元線上的未被選擇單元之有效電阻的平行組合(本質上， $R_{EQ}/(n-1)$ ，如先前所述)，且 R_{SEL} 係所選擇單元之電阻。相對於圖12B，當被使用於表示圖9B的概要圖時，於所選擇位元線上之參考電阻元件的進一步組合中， R_{UNSEL} 係該選擇位元線上的未被選擇單元之有效電阻的平行組合(再者，本質上， $R_{EQ}/(n-1)$ ，如上述)，且 R_{SEL} 係所選擇單元之電阻。且當被使用於表示圖9D的概要圖時， R_{UNSEL} 係該選擇位元線上的所有該等單元(該等未被選擇單元與所選擇單元兩者)之有效電阻的平行組合，且 R_{SEL} 係該參考電阻元件之電阻。這些方程式及計算將在下面的圖14及15A-15C之討論內被使用及更詳細地敘述。

【0179】 圖14及15A-15C係表格，詳細說明來自在特定示範電阻變化元件陣列結構上所施行之數個示範READ操作的結果之最小READ電壓。特別地是，被使用來產生用於圖14及15A-15C的 V_{BL} 電壓之電阻變化元件陣列使用二端子奈米管切換裝置，如在發給貝爾丹等人的美國專利第7,781,862號中所敘述(全部以引用的方式併入本文中)。於交叉點陣列結構中之二端子奈米管切換裝置被說明在發給貝爾丹等人的美國專利第7,835,170號中(全部以引用的方式併入本文中)。這些二端子奈米管切換裝置具有一直立之定向。二端子奈米管切換裝置以及此裝置的1-R陣列進一步被敘述在發給貝爾丹等人之美國專利公告第2014 0166959號中(全部以引用的方式併入本文中)。美國2014 0166959亦敘述呈現非線性電阻反應之二端子奈米管切換元件的範例。在某些應用內，1-R陣列之電阻變化元件內的非線性及線性電阻變化元件之選擇性使用可為相對於本揭示內容的READ方法之應用的主要

設計參數(如在圖6A及6B中所敘述)。為說明此，圖14及15A-15C中所詳細說明之示範電阻變化元件組構包括線性電阻變化元件、非線性變化元件、及“2X”非線性變化元件(亦即，具有先前所討論裝置之兩倍“非線性”的電阻變化元件)。電阻變化元件之非線性係相對於圖13進一步被說明。

【0180】 圖13係示範非線性電阻變化元件的I-V掃描之半對數繪圖1300。如在繪圖1300中所顯示，回應於所施加的0.5V電壓，該示範非線性電阻變化元件允許約100nA之電流，並對應於約5M Ω 的有效電阻。然而，在1.0V之電壓，該示範非線性電阻變化元件允許約1 μ A的電流，並對應於約1M Ω 之有效電阻。類似地，回應於所施加的-0.5V電壓，該示範非線性電阻變化元件允許約30nA之電流，並對應於約16M Ω 的有效電阻。且在-1.0V之電壓，該示範非線性電阻變化元件允許約200nA的電流，並對應於約5M Ω 之有效電阻。亦即，用於非線性電阻變化元件(諸如將被使用於圖14及15A-15C中所詳細說明之示範READ操作)，因被驅動越過該元件的電壓係減少，該電阻元件之有效電阻係增加。譬如，如在I-V繪圖1300中所看見，由1.0V至0.5V地減少越過非線性電阻變化元件的電壓增加該元件之有效電阻達五的因數。且由-1.0V至-0.5V地減少越過該相同之非線性電阻變化元件的電壓增加該元件之有效電阻達三的因數。用於計算交叉點陣列READ性能上之CNT切換電阻非線性的效果之目的，藉由圖13中所示繪圖1300所說明之被測量的CNT切換非線性被用作第一CNT切換範例。1V之READ電壓(VRD)及3x的CNT切換電阻非線性係基於繪圖1300被使用。至比較器元件輸入之位元線電壓(VBL)信號被計算，如在下面被進一步敘述。亦當作第二CNT切換電阻非線性範例，假設CNT切換電阻非線性2x大於該第一範例中所假設者，具有1V的VRD及6x之非線性的READ電壓被使用來計算至比較器元件輸入之位元線電壓VBL，如在下面被進一步敘述者。如將在圖14及15A-15C的討論內被顯示，在某些應用內，在電阻變化元件內之此一非線性電阻反應能被以本揭示內容的READ方法有效地使用(如在圖7A及7B中所敘述)。

【0181】 圖14係表格1400，摘要當施加圖7A及7B中所敘述之本揭示內容的方法時，可能用於許多示範1-R電阻變化元件陣列組構之最小READ信號。如將在下面被詳細地說明，這些最小READ信號值的每一個對應於該最小信號(用於SET或RESET條件兩者)，用於每位元線具有給定數目之單元

(該表格的每一列)的給定陣列組構(該表格的每一行)，其將被一測量及儲存元件所看見(如相對於圖6A及6B所敘述)。當每位元線之單元的數目被增加時，藉由檢查這些最小READ電壓值，本揭示內容之用於不同示範陣列組構的READ方法之有效性(如圖7A及7B中所示)能被檢查。

【0182】 在圖14中所摘要的示範READ操作係意欲說明該固定式參考電壓READ方法(如於圖7A中所敘述)、及該參考電阻元件READ方法(如在圖7B中所敘述)兩者，該參考電阻元件READ方法係在線性電阻變化元件及非線性電阻變化元件之1-R陣列上施行。為此目的，該第一行1401詳細說明具有線性電阻變化元件及使用固定式電壓參考之陣列組構(如圖6A中所示)，且該第二行1402詳細說明具有線性電阻變化元件及使用具有電阻參考元件的陣列參考線之陣列組構(如圖6B中所示)。該第三行1403詳細說明具有非線性電阻變化元件及使用固定式電壓參考的陣列組構(如圖6A中所示)，且該第四行1404詳細說明具有非線性電阻變化元件及使用具有電阻參考元件的陣列參考線之陣列組構(如圖6B中所示)。及該第五行1405詳細說明具有2X非線性電阻變化元件及使用具有電阻參考元件的陣列參考線之陣列組構(如圖6B中所示)。

【0183】 如上面相對於圖13所說明，行1403及1404的示範陣列組構內之電阻變化元件的非線性被推測，以在相當小的電壓之下增加電阻變化元件的有效電阻達3X之因數。類似地，以行1405的陣列組構，該等電阻變化元件之非線性被推測，以在相當小的電壓之下增加電阻變化元件的有效電阻達6X之因數。行1401及1402的示範陣列組構之線性電阻變化元件被推測，以呈現相同的有效電阻，而不管所施加之電壓位準。

【0184】 在圖14的示範陣列組構內，該等示範1-R陣列被推測，以由能在二非揮發性電阻狀態之間被調整的電阻變化元件所構成：RESET狀態，具有額定之高電阻值 $R_H=20M\Omega$ ；及SET狀態，具有額定的低電阻值 $R_L=1M\Omega$ 。所施加之READ電壓(於圖7A、7B、8A、8B、及9A-9D中的 V_{RD})被推測為1V。用於行1402、1404及1404之示範陣列組構(其使用陣列參考線及參考電阻元件，如在圖6B及9A-9D中所示)，該等電阻參考元件被推測為 $R_{REF}=2M\Omega$ 。如將在下面相對於圖15A被更詳細地討論，用於行1403的示範陣列組構(其使用固定式陣列參考電壓，如圖6A及8A-8B中所示)，該參考電

壓(V_{REF})之值係基於特定組構的需求被選擇。對於圖14之每一列中的數個位元線組構(每位元線16個單元至每位元線1024個單元)，用於每一示範陣列組構(1401-1405)之最小可能READ信號值被顯示。

【0185】 應注意的是用於圖14中所說明之示範陣列組構1405，用於額定的RESET高電阻狀態 $R_H=2M\Omega$ 、 $R_L=100k\Omega$ 之額定低電阻狀態、及參考電阻值 $R_{REF}=200k\Omega$ ，該等相同的最小READ信號值本質上被計算，如在表格1400、示範陣列組構1405中所顯示。如此係顯現將該等比率 $R_H/R_L=20$ 及 $R_{REF}/R_L=2$ 維持在相同之非線性導致該相同的最小READ電壓，即使 R_H 、 R_L 、及 R_{REF} 電阻值被減少達10之因數。如果非線性及電阻比率被維持，此結果顯示該等陣列元件能在寬廣範圍的電阻值之上被選擇，導致1-R陣列的設計中之彈性。譬如，如在下面被進一步敘述，當以2V的SET電壓程式化低電阻SET狀態時， $R_L=1M\Omega$ 之低電阻狀態值導致2uA的最大SET電流。然而，如果該低電阻狀態值代替地係 $R_L=100k\Omega$ ，則該最大SET電流係20uA、為十倍較大之值。

【0186】 應注意的是該等特定之1-R陣列組構及在那些陣列內所使用的電阻變化元件係只意欲當作非限制性範例。如先前所討論，本揭示內容之READ方法係很適合供與複數個1-R陣列組構及電阻變化元件的型式與實作一起使用。如此，本揭示內容之READ方法將不被限制於圖14及15A-15C內所詳細說明的範例。

【0187】 在圖14(以及於下面進一步討論之圖15A-15C)內，用於每一示範陣列組構的最小READ信號值係如上述使用圖8B之簡化概要圖及EQ4(用於行1401與1403)、和圖9B及9D的簡化概要圖及EQ6與EQ8(用於行1402、1404與1405之示範陣列)來計算。

【0188】 現在看圖14的行1401，源自根據本揭示內容之方法的READ操作之最小READ信號被列出，該方法係使用固定式電壓參考(隨同上述的參數)在線性電阻變化元件之陣列上施行。如上述，這些值使用EQ4被計算，如上面相對於圖8B所敘述。在行1401的示範陣列組構內，該等電阻變化元件被推測為線性的--亦即，該等未被選擇之電阻變化元件的有效電阻被假設保持恆定未被改變，而不管所施加之電壓。如此，用於 R_{EQ} (所選擇位元線上的未被選擇單元之有效電阻)的最高可能值係該額定之RESET電阻(本質

上，好像所選擇位元線上的所有該等未被選擇單元係在RESET狀態 R_H 中)。且用於 R_{EQ} 之最低可能值係該額定的RESET電阻(本質上，好像所選擇位元線上之所有該等未被選擇單元係在RESET狀態 R_L 中)。如此，用於任何READ操作，用於 R_{EQ} 的實際值將落在這些二限制之間。及，插入EQ4(如上述)，該可能的 V_{BL} 範圍限制能被發現為位元線上之單元的數目“n”之函數。

【0189】 如此，當所選擇單元係於RESET條件(亦即， $R_{SEL}=20M\Omega$)中時，用於行1401的陣列組構之最大 V_{BL} 值係藉由假設 $R_{EQ}=20M\Omega$ (該額定的RESET值)所給與：

$$\text{【0190】 } V_{BL}=(20M\Omega)/(n-1)) / (20M\Omega+(20M\Omega/(n-1))) \quad [EQ11]$$

【0191】 且當所選擇單元係於RESET條件(亦即， $R_{SEL}=20M\Omega$)中時，用於行1401的陣列組構之最小 V_{BL} 值係藉由假設 $R_{EQ}=1M\Omega$ (該額定的RESET值)所給與：

$$\text{【0192】 } V_{BL}=(1M\Omega)/(n-1)) / (20M\Omega+(1M\Omega/(n-1))) \quad [EQ12]$$

【0193】 類似地，當所選擇單元係於SET條件(亦即， $R_{SEL}=1M\Omega$)中時，用於行1401的陣列組構之最大 V_{BL} 值係藉由假設 $R_{EQ}=20M\Omega$ (該額定的RESET值)所給與：

$$\text{【0194】 } V_{BL}=(20M\Omega)/(n-1)) / (1M\Omega+(20M\Omega/(n-1))) \quad [EQ13]$$

【0195】 且當所選擇單元係於SET條件(亦即， $R_{SEL}=1M\Omega$)中時，用於行1401的陣列組構之最小 V_{BL} 值係藉由假設 $R_{EQ}=1M\Omega$ (該額定的SET值)所給與：

$$\text{【0196】 } V_{BL}=(1M\Omega)/(n-1)) / (1M\Omega+(1M\Omega/(n-1))) \quad [EQ14]$$

【0197】 藉由比較EQ14及EQ11，SET及RESET讀取操作間之邊際--亦即，當於SET條件(EQ14)中讀取所選擇單元時之最低可能 V_{BL} 值、及當於RESET條件(EQ11)中讀取所選擇單元時的最高可能 V_{BL} 值間之差異--可被計算。用於n之任何值，既然EQ11及EQ14導致相同的 V_{BL} 值，用於n之所有值，用於此組構(使用固定式電壓參考及如藉由圖7A所敘述之READ方法的線性陣列單元)之邊際係0V。如此，用於行1401的組構之最小READ信號係±0V。本質上，此結果顯示在線性元件的陣列上(在上面所界定之示範參數內)使用本揭示內容的固定式電壓參考READ方法(如在圖7A中所敘述)可導致該可能之無能，以在上面所略述的極端情況(亦即所有未被選擇單元為RESET或

SET)內於SET狀態中之單元及於RESET狀態中的單元之間辨別。如將在行1403的示範陣列組構之討論內被顯示，此限制能以非線性電阻元件的使用而被改善。再者，如將在行1402的示範陣列組構之討論內被顯示，其將被顯示本揭示內容之參考電阻元件READ方法(如於圖7B中所詳細說明)能被使用在類似的1-R陣列組構內，以在線性電阻變化元件上施行READ操作。

【0198】 現在看圖14之行1403，源自根據本揭示內容之方法的READ操作之最小READ信號被列出，該方法係使用固定式電壓參考(隨同上述的參數)在非線性電阻變化元件之陣列上施行。如上述，這些值使用EQ4被計算，如上面相對於圖8B所敘述。在行1403的示範陣列組構內，該等電阻變化元件被推測為非線性的，且用於相當小之電壓(如於圖13中所示)，該等未被選擇的電阻變化元件之有效電阻被假設為增加達3X的因數。亦即，因 V_{BL} 被期望顯著地少於所有READ操作用之 V_{RD} ，越過該等未被選擇的電阻元件之電壓下降能被假設為顯著地少於越過所選擇的電阻變化元件之電壓下降。

【0199】 如此，如與相對於圖14的行1401之示範組構所敘述的線性電阻變化元件陣列案例比較，用於 R_{EQ} (所選擇位元線上的未被選擇單元之有效電阻)的最低可能值能被假設為顯著較高的。亦即，越過該等未被選擇單元之比較低的 V_{BL} 電壓對於那些單元導致一顯著較高之有效電阻值(又，如上面相對於圖13討論)。如此，在行1403的示範1-R陣列組構內，其被假設用於 R_{EQ} 之最低可能值係 $3M\Omega$ ，三倍於該額定的SET電阻值。且用於 R_{EQ} 之最高可能值保持 $20M\Omega$ ，即該額定的RESET電阻值。如在行1401之討論內所敘述，用於以行1403的陣列組構所施行之任何READ操作，用於 R_{EQ} 的實際值將落在這些二限制之間。且再次插入EQ4(如上述)，該可能的 V_{BL} 範圍限制能被發現為位元線上之單元的數目“n”之函數。

【0200】 如此，當所選擇單元係於RESET條件(亦即， $R_{SEL}=20M\Omega$)中時，用於行1403的陣列組構之最大 V_{BL} 值係藉由假設 $R_{EQ}=3M\Omega$ (該額定SET值的三倍)所給與：

$$\text{【0201】 } V_{BL}=(3M\Omega)/(n-1)) / (20M\Omega+(3M\Omega/(n-1))) \quad [\text{EQ15}]$$

【0202】 且當所選擇單元係於SET條件(亦即， $R_{SEL}=1M\Omega$)中時，用於行1403的陣列組構之最小 V_{BL} 值係藉由假設 $R_{EQ}=3M\Omega$ (再次，該額定SET

值的三倍)所給與：

$$\text{【0203】 } V_{BL} = (3M\Omega) / (n-1) / (3M\Omega + (1M\Omega / (n-1))) \quad [\text{EQ16}]$$

【0204】 且當所選擇單元係於RESET或SET條件中時，用於行1403的陣列組構之最大 V_{BL} 值保持未被由行1401的條件改變(用於那些案例，使 R_{EQ} 仍然設定在 $20M\Omega$)，且那些值係仍然分別藉由EQ11及EQ13所給與。藉由比較EQ16及EQ11，SET及RESET讀取操作間之邊際--亦即，當於SET條件(EQ16)中讀取所選擇單元時之最低可能 V_{BL} 值、及當於RESET條件(EQ11)中讀取所選擇單元時的最高可能 V_{BL} 值間之差異--可被計算。以這種方式，SET狀態與RESET狀態間之最小邊際(或最小三角波電壓)可譬如被測定及使用，以選擇用於該READ操作內所使用的固定式電壓參考之值(於圖6A、8A、及8B中之 V_{REF})、以及測量和儲存元件的解析度及敏感性(譬如，如圖6A及8A中所示)。

【0205】 現在看圖15A，列出這些用於圖14之行1403的陣列組構之值的表格1501被顯示。譬如，用於此一每位元線使用32個單元之示範組構，於SET及RESET讀取操作間之最小邊際被計算為57mV，而在88mV的SET條件上具有最低可能之 V_{BL} ，且在31mV的RESET條件上具有最高可能之 V_{BL} 。在此等參數內，譬如，固定式參考電壓(V_{REF})可在60mV被供給(如於表格1501中所示)，導致用於RESET單元的最小READ信號為-29mV，且用於SET單元之最小READ信號為+28mV。如此，用於圖14的行1403所界定之示範陣列組構，具有在 $\pm 20\text{mV}$ 的有效解析度之測量及儲存元件將為很適合供與本揭示內容的固定式電壓參考READ方法一起使用。使用一類似之分析，用於每位元線64個單元的案例，固定式參考電壓(V_{REF})可在30mV被供給、及與具有 $\pm 15\text{mV}$ 之解析度的測量及儲存元件一起使用。諸如此類，用於表格1501內之其他案例，其對應於圖14的行1403中所列出之最小READ信號值。

【0206】 看行圖14的1402、1404及1405，源自在示範組構(如上述)上使用本揭示內容之參考電阻元件方法(如於圖7B中所詳細說明)的READ操作之最小READ信號被列出。如上述，這些值係使用如上面相對於圖9B及9D所敘述的EQ6及EQ8來計算，以於本揭示內容之參考電阻元件READ方法(如於圖7B中所詳細說明)的“資料”相位及“參考”相位兩者期間，測定該期望 V_{BL} 值(用於 R_{EQ} 之固定值)。將那些陣列參數應用至EQ6(如上面相對於圖

9B所討論)，於RESET條件中在所選擇單元上的READ操作之“資料”相位期間，該期望 V_{BL} 值係藉由以下所給與：

$$\text{【0207】 } V_{BL} = R_{UNSEL} / (20M\Omega + R_{UNSEL}) \quad [\text{EQ17}]$$

【0208】 且於SET條件中在所選擇單元上的READ操作之“資料”相位期間，該期望 V_{BL} 值係藉由以下所給與：

$$\text{【0209】 } V_{BL} = R_{UNSEL} / (1M\Omega + R_{UNSEL}) \quad [\text{EQ18}]$$

【0210】 如上面相對於圖9B所討論，用於EQ17及EQ18兩者， R_{UNSEL} 係藉由以下所給與：

$$\text{【0211】 } R_{UNSEL} = (1/(2M\Omega) + (n-1) / R_{EQ})^{-1} \quad [\text{EQ19}]$$

【0212】 類似地，藉由將上面所討論的示範陣列參數應用至EQ8(如上面相對於圖9D所討論)，於RESET及SET條件兩者中在所選擇單元上的READ操作之“參考”相位期間，該期望 V_{BL} 值係藉由以下所給與：

$$\text{【0213】 } V_{BL} = R_{UNSEL} / (2M\Omega + R_{UNSEL}) \quad [\text{EQ20}]$$

【0214】 再者，如上面相對於圖9D所討論，於RESET條件中在所選擇單元上的READ操作之“參考”相位期間， R_{UNSEL} 係藉由以下所給與：

$$\text{【0215】 } R_{UNSEL} = (1/(20M\Omega) + (n-1) / R_{EQ})^{-1} \quad [\text{EQ21}]$$

【0216】 因所選擇單元之電阻(R_{SW-SEL})現在係測定 R_{UNSEL} 中的一因素，所選擇單元(例如在行1404與1405之組構內)之可能之非線性電阻反應必需被說明。如此，於SET條件中在所選擇單元上的READ操作之“參考”相位期間， R_{UNSEL} 係藉由以下所給與：

$$\text{【0217】 } R_{UNSEL} = (1/(R_{SW-SEL}) + (n-1) / R_{EQ})^{-1} \quad [\text{EQ22}]$$

【0218】 其中 R_{SW-SEL} 用於線性裝置將為 $1M\Omega$ 、用於非線性裝置將為 $3M\Omega$ 、及用於2X非線性裝置將為 $6M\Omega$ (如相對於圖13所敘述)。

【0219】 現在回頭看表格1400的行1402，在該行內之示範陣列組構係由線性電阻變化元件所構成。亦即，該等電阻變化元件的有效電阻被假設為保持恆定未被改變的，而不管所施加之電壓。如此，用於 R_{EQ} (所選擇位元線上的未被選擇單元之有效電阻)的最高可能值係該額定之RESET電阻(本質上，好像所選擇位元線上的所有該等未被選擇單元係在RESET狀態中)。且用於 R_{EQ} 之最低可能值係該額定的SET電阻(本質上，好像所選擇位元線上的所有該等未被選擇單元係在RESET狀態中)。如此，用於任何READ操作，

用於 R_{EQ} 的實際值將落在這些二限制之間。

【0220】 如此，用於行1402的示範陣列組構，用於讀取RESET條件之最小READ信號將使用EQ17及EQ19所計算，並使 $R_{EQ}=1M\Omega$ ，以測定於該資料相位期間的 V_{BL} ，且接著使用EQ20及EQ21，並使 $R_{EQ}=1M\Omega$ ，以測定於該參考相位期間的 V_{BL} 。當在一單元上於RESET狀態(在圖14之行1402的示範陣列組構之參數內)中施行READ操作時，減去這些二值給與該最小可能之READ電壓。以每位元線16個單元的位元線組構插入在這些值中，譬如，當於RESET條件中讀取一單元時，導致-29mV之最小READ信號，如在圖14的行1402中所顯示。類似地，為每位元線32個單元之組構使用這些值，導致-14mV的最小READ信號(再次，用於RESET條件)。

【0221】 類似地，用於行1402的示範陣列組構，用於讀取SET條件之最小READ信號將使用EQ18及EQ19所計算，並使 $R_{EQ}=1M\Omega$ ，以測定於該資料相位期間的 V_{BL} ，且接著使用EQ20及EQ22，並使 $R_{SW-SEL}=1M\Omega$ ，以測定於該參考相位期間的 V_{BL} 。當在一單元上於SET狀態(在圖14之行1402的示範陣列組構之參數內)中施行READ操作時，減去這些二值給與該最小可能之READ電壓。以每位元線16個單元的位元線組構插入在這些值中，譬如，當於SET條件中讀取一單元時，導致30mV之最小READ信號，如在圖14的行1402中所顯示。類似地，為每位元線32個單元之組構使用這些值，導致15mV的最小READ信號(再次，用於SET條件)。

【0222】 如可由這些計算被看見，本揭示內容的READ方法(如藉由圖7B所詳細說明)係很適合供與線性單元之1-R陣列一起使用。如在圖14中所示，此一陣列能以每位元線16個單元的組構及 $\pm 20mV$ 之測量與儲存元件解析度、和以每位元線32個單元的組構及 $\pm 10mV$ 之測量與儲存元件解析度被可靠地讀取。

【0223】 現在看圖15B，表格1502已被填充以 V_{BL} 值(用於資料與參考相位兩者)，而被使用來計算圖14(使用陣列參考線組構的非線性單元之陣列)的行1404之最小READ信號值。類似於上面相對於行1402所討論的計算，用於以行1404之示範陣列組構來讀取RESET條件的最小READ信號將使用EQ17及EQ19所計算，並使 $R_{EQ}=3M\Omega$ ，以測定於該資料相位期間的 V_{BL} ，且接著使用EQ20及EQ21，並使 $R_{EQ}=3M\Omega$ ，以測定於該參考相位期間的

V_{BL} 。在此組構內之電阻變化元件的非線性導致該增加之有效電阻(如上面相對於圖13所敘述)。當在一單元上於RESET狀態(在圖14之行1404的示範陣列組構之參數內)中施行READ操作時，減去這些二值給與該最小可能之READ電壓。以每位元線64個單元的位元線組構插入在這些值中，譬如，當於RESET條件中讀取一單元時，導致-21mV之最小READ信號，如在圖14的行1404中所顯示。類似地，為每位元線128個單元之組構使用這些值，導致-10mV之最小READ信號(再次，用於RESET條件)。用於RESET READ條件，該等最大(極大)READ信號值(如於圖15B中所列出)能使用如上述的相同方程式組被計算，同時使用 $R_{EQ}=20M\Omega$ 。

【0224】 類似地，用於行1404之示範陣列組構，用於讀取SET條件的最小READ信號將使用EQ18及EQ19所計算，並使 $R_{EQ}=3M\Omega$ ，以測定於該資料相位期間的 V_{BL} ，且接著使用EQ20及EQ22，並使 $R_{SW-SEL}=3M\Omega$ ，以測定於該參考相位期間的 V_{BL} 。再者，在此組構內之電阻變化元件的非線性導致該增加之有效電阻(如上面相對於圖13所敘述)。當在一單元上於SET狀態(在圖14之行1404的示範陣列組構之參數內)中施行READ操作時，減去這些二值給與該最小可能之READ電壓。以每位元線64個單元的位元線組構插入這些值中，譬如，當於SET條件中讀取一單元時，導致21mV之最小READ信號，如在圖14的行1404中所顯示。類似地，為每位元線128個單元之組構使用這些值，導致11mV之最小READ信號(再次，用於SET條件)。用於SET READ條件，該等最大(極大)READ信號值(如於圖15B中所列出)能使用如上述的相同方程式組被計算，同時使用 $R_{EQ}=20M\Omega$ 及 $R_{SW-SEL}=3m\Omega$ 。

【0225】 如可由這些計算被看見，本揭示內容之READ方法(如藉由圖7B所詳細說明)係亦很適合供與非線性單元之1-R陣列一起使用。如在圖14中所示，此一陣列能以每位元線64個單元的組構及 $\pm 20mV$ 之測量與儲存元件解析度、和以每位元線128個單元的組構及 $\pm 10mV$ 之測量與儲存元件解析度被可靠地讀取。

【0226】 現在看圖15C，表格1503已被填充以 V_{BL} 值(用於資料與參考相位兩者)，而被使用來計算圖14(使用陣列參考線組構的2X非線性單元之陣列)的行1405之最小READ信號值。類似於上面相對於行1402及1404所討論的計算，用於以行1405之示範陣列組構來讀取RESET條件的最小READ信號

將使用EQ17及EQ19所計算，並使 $R_{EQ}=6M\Omega$ ，以測定於該資料相位期間的 V_{BL} ，且接著使用EQ20及EQ21，並使 $R_{EQ}=6M\Omega$ ，以測定於該參考相位期間的 V_{BL} 。在此組構內之電阻變化元件的非線性導致該增加之有效電阻(如上面相對於圖13所敘述)。當在一單元上於RESET狀態(在圖14之行1405的示範陣列組構之參數內)中施行READ操作時，減去這些二值給與該最小可能之READ電壓。以每位元線128個單元的位元線組構插入這些值中，譬如，當於RESET條件中讀取一單元時，導致-21mV之最小READ信號，如在圖14的行1405中所顯示。類似地，為每位元線256個單元之組構使用這些值，導致-10mV之最小READ信號(再次，用於RESET條件)。用於RESET READ條件，該等最大(極大)READ信號值(如於圖15C中所列出)能使用如上述的相同方程式組被計算，同時使用 $R_{EQ}=20M\Omega$ 。

【0227】 類似地，用於行1405之示範陣列組構，用於讀取SET條件的最小READ信號將使用EQ18及EQ19所計算，並使 $R_{EQ}=6M\Omega$ ，以測定於該資料相位期間的 V_{BL} ，且接著使用EQ20及EQ22，並使 $R_{EQ}=6M\Omega$ 及 $R_{SW-SEL}=6M\Omega$ ，以測定於該參考相位期間的 V_{BL} 。再者，在此組構內之電阻變化元件的非線性導致該增加之有效電阻(如上面相對於圖13所敘述)。當在一單元上於SET狀態(在圖14之行1405的示範陣列組構之參數內)中施行READ操作時，減去這些二值給與該最小可能之READ電壓。以每位元線128個單元的位元線組構插入這些值中，譬如，當於SET條件中讀取一單元時，導致21mV之最小READ信號，如在圖14的行1405中所顯示。類似地，為每位元線256個單元之組構使用這些值，導致11mV之最小READ信號(再次，用於SET條件)。用於SET READ條件，該等最大(極大)READ信號值(如於圖15C中所列出)能使用如上述的相同方程式組被計算，同時使用 $R_{EQ}=20M\Omega$ 及 $R_{SW-SEL}=6m\Omega$ 。

【0228】 如可由這些計算被看見，本揭示內容之READ方法(如藉由圖7B所詳細說明)係亦很適合供與2X非線性單元之1-R陣列一起使用。如在圖14中所示，此一陣列能以每位元線128個單元的組構及 $\pm 20mV$ 之測量與儲存元件解析度、和以每位元線256個單元的組構及 $\pm 10mV$ 之測量與儲存元件解析度被可靠地讀取。

【0229】 圖16A及16B係流程圖(分別為1601與1602)，敘述用於在電

阻變化元件陣列內的一或多個陣列單元上程式化(亦即，施行SET或RESET操作，如在本揭示內容內所界定)之第一方法。此第一程式化方法使用可選擇的電流限制元件，以分別選擇性地允許或禁止程式化電流流經所選擇及未被選擇之單元。

【0230】 圖16A係敘述此第一程式化方法的流程圖，其中程式化之電流被造成由字元線至位元線地流經所選擇的陣列元件。且圖16B係敘述此程式化方法之流程圖，其中程式化的電流被造成由位元線流動至字元線。以這種方式(及如將在這些圖面之以下詳細討論中被顯示)，本揭示內容的此第一程式化方法係很適合用於在1-R電阻變化元件單元之陣列上的雙極程式化操作，諸如在圖3、5、6A、及6B中所描述、以及那些陣列結構之類似變動。圖17A及18A係簡化的概要圖，於如在圖16A之流程圖中所敘述的程式化操作期間，說明被施加至電阻變化元件陣列(如在圖3中被描述)之電刺激。且圖17B及18B係簡化的概要圖，於如在圖16B之流程圖中所敘述的程式化操作期間，說明被施加至電阻變化元件陣列(如在圖3中被描述)之電刺激。本揭示內容的此電流限制程式化方法將在這些圖面之下面討論內被詳細地敘述。

【0231】 現在參考圖16A及16B，於第一製程步驟(分別為1610a及1610b)中，該陣列中的所有該等字元線及位元線被初始化至接地(0V)。於下一製程步驟(分別為1620a及1620b)中，該電阻變化元件陣列內之未被選擇的字元線被浮動。於下一製程步驟(分別為1630a及1630b)中，經過可選擇的電流限制元件，該陣列內之位元線被向下拉動至接地(於圖16A的字元線至位元線程式化電流流動之案例中)、或向上直至程式化電壓、 V_P (於圖16B的位元線至字元線程式化電流流動之案例中)。這些可選擇的電流限制元件(譬如，在圖17A、17B、18A、及18B中所描述之電流來源元件)能被使用來禁止或允許程式化電流流經所選擇的字元線上之陣列單元。

【0232】 藉由在程式化操作期間選擇性地限制經過該位元線的電流流動，電流流動能被禁止經過未被選擇之單元，且允許流經所選擇的單元。亦即，經過未被選擇單元之電流流動可為受限制，以便不會大到足以調整那些未被選擇單元的電阻狀態，而同時充分高至足以調整所選擇單元之電阻階段的電流能流經該陣列內之所選擇單元。以這種方式，所施加的程式

化電流能同時被引導至程式化所選擇字元線上之單一單元或所選擇字元線上的多數單元。限制這些未被選擇位元線上之電流譬如能經過電流來源、可程式化的電源供給、及電阻元件之使用而被施行。

【0233】 於下一製程步驟(分別為1640a及1640b)中，該電阻變化元件陣列內的所選擇字元線被拉動而驅動至所要求之程式化電壓、 V_p (於圖16A的字元線至位元線程式化電流流動之案例中)、或至接地(於圖16B的位元線至字元線程式化電流流動之案例中)。以這種方式，程式化電流被允許只流經該陣列內的所選擇單元。

【0234】 在藉由圖16A所敘述之製程內，只經過被下拉至接地的所選擇字元線上之那些陣列單元、經過可選擇的電流限制元件，所選擇字元線上之程式化電壓 V_p 提供一充分的程式化電流，該等電流限制元件被選擇(或被程式化或賦能等)，以允許相當“高”之電流。此程式化電流將由最初的電阻狀態調整這些選擇單元之電阻狀態進入想要的第二狀態(譬如，進入SET或RESET條件之任一者)。經過被選擇(或被程式化、或被賦能等)的可選擇之電流限制元件以禁止相當“高”的電流，那些被下拉至接地的單元將不經歷充分之程式化電流，且本質上保持在相同的電阻狀態中。

【0235】 類似地，在藉由圖16B所敘述之製程內，只經過被上拉至該程式化電壓(V_p)的那些陣列單元、經過可選擇的電流限制元件，被施加至該等位元線的程式化電壓 V_p 提供一充分的程式化電流，該等電流限制元件被選擇(或被程式化或賦能等)，以允許相當“高”之電流。此程式化電流將由最初的電阻狀態調整這些選擇單元之電阻狀態進入想要的第二狀態(譬如，進入SET或RESET條件之任一者)。經過被選擇(或被程式化、或被賦能等)的可選擇之電流限制元件以禁止相當“高”的電流，那些被上拉至 V_p 的單元將不經歷充分之程式化電流，且本質上保持在相同的電阻狀態中。

【0236】 在本揭示內容之第一程式化方法內，此程式化電壓、 V_p 被選擇(如藉由特別應用的需求及該陣列內所使用之電阻變化元件的型式所測定)，以提供足以由第一電阻狀態至第二電阻狀態地調整該陣列內所使用之電阻變化元件的電阻之程式化電流。亦即，此被選擇的程式化電壓係足以SET(將該等電阻變化元件由相當高之電阻狀態調整至相當低的電阻狀態)或RESET(將該等電阻變化元件由相當低之電阻狀態調整至相當高的電阻狀

態)所選擇之陣列單元。

【0237】 應注意的是於電阻變化元件陣列之某些應用中，一組程式化條件被使用來將電阻變化元件驅動進入SET狀態，且第二、不同組的程式化條件被使用來將電阻變化元件驅動進入RESET狀態。亦即，譬如，在此等應用內，第一組程式化條件(例如電壓、電流、脈衝寬度、極性等)將最初係於SET狀態中的電阻變化元件調整進入RESET狀態。然而，當此相同組之程式化條件被施加至業已於RESET狀態中的電阻變化元件時，該元件回應於所施加之程式化條件將僅只停留於RESET狀態中(亦即，此元件的電阻狀態將本質上保持未被改變)。如此，在這些某種應用內，本揭示內容之第一程式化操作(如相對於圖16A及16B所敘述)能被使用，以確保單元的整個群組(譬如在所選擇字元線上之單元上)係於相同狀態中。譬如，在此一應用內，根據本揭示內容的方法之第一程式化操作可被使用來在所選擇的字元線上施行整體RESET操作。在此一操作內，那些在所選擇字元線上最初於SET狀態中之單元將被調整進入RESET狀態，且那些在所選擇字元線上最初於RESET狀態中的單元本質上將保留未被該程式化操作所影響及保留於RESET狀態中。以這種方式，在該程式化操作之終了，在所選擇字元線上的所有單元將為於RESET狀態中。

【0238】 現在看圖17A，圖3之簡化概要圖300已被修改，以實現概要圖1701，其說明於根據圖16A中所詳細說明及上述的方法之示範程式化操作期間被施加至示範電阻變化元件陣列的電刺激。明確地是，在圖17A內，WL[1]已被選擇及驅動至所要求之程式化電壓(V_P)，而該等剩餘的字元線(WL[0]及WL[y])被浮動。且該陣列中之每一位元線(BL[0]-BL[x])已經過可選擇的電流限制裝置被拉動至接地。這些可選擇之電流限制裝置被表示在圖17A內當作電流來源，但如先前所討論，本揭示內容的此第一程式化操作就這一點而言不被限制。實際上，許多元件可被使用於選擇性地限制該陣列內之位元線上的電流、諸如、但不限於可程式化之電源供給及電阻元件。

【0239】 在圖17A中所描述的示範程式化操作內，CELL01、CELL21、及CELLx1已被標出為待選擇用於該程式化操作，且CELL11已被標出為未被選擇的。如此，BL[0]、BL[2]、及BL[x]上之可選擇的電流限制元件已被建構，以允許相當“高”之電流，且此組構導致由字元線流動至

位元線的程式化電流(分別為 I_{BL0} 、 I_{BL2} 、及 I_{BLX})，其係足以由最初的電阻狀態將所選擇單元(分別為SW01、SW21與SWx1)內之電阻變化元件調整進入想要的第二狀態。然而，BL[0]上之可選擇的電流限制元件被建構，以只允許一相當“低”之電流(或在某一應用內，本質上沒有電流)，且此組構導致經過CELL11的程式化電流(I_{BL1})，其係低到足以使SW11之電阻狀態於該程式化操作期間保持本質上未被改變。

【0240】 現在看圖18A，圖17A的概要圖1701已被進一步簡化，以實現概要圖1801，其更好說明於圖17A中所描述之示範程式化操作期間被施加至WL[1](所選擇字元線)上的元件之電刺激。

【0241】 如可在圖18A中被看見，WL[1]上的電壓(V_p)被提供至該字元線(SW01-SWx1)上之電阻變化元件的每一個之第一端子。電阻變化元件SW01、SW21與SWx1的第二端子之每一個經過可選擇的電流限制元件(分別經由位元線BL[0]、BL[2]、及BL[x])被分開地拉動至接地，該等電流限制元件被建構成允許相當“高”之電流。如此，程式化電流 I_{BL0} 、 I_{BL2} 、及 I_{BLX} 係充分高，以便調整那些電阻變化元件的電阻狀態(亦即，程式化)。然而，電阻變化元件SW11之第二端子經過可選擇的電流限制元件(經由位元線BL[1])被拉動至接地，該電流限制元件被建構成只允許相當“低”之電流(或，在某些操作內，被建構成本質上禁止電流流動)。如此，充分低的程式化電流 I_{BL1} (或以別的方式禁止)使得SW11之電阻狀態於該示範程式化操作期間本質上保持未被影響。

【0242】 以此方式，充分的程式化電流(I_{BL0} 、 I_{BL2} 、及 I_{BLX})係經過WL[1]上之每一所選擇的陣列單元(亦即，CELL01、CELL12、及CELLx1)來驅動，以便調整或以別的方式改變那些單元內之電阻變化元件(亦即，SW01、SW12及SWx1)的電阻狀態，且此一程式化電流被禁止流動WL[1]上之未被選擇的陣列單元(亦即，CELL11)，而於該程式化操作期間防止對那些單元內之電阻變化元件(亦即，SW11)的任何調整。如圖17A中所示，該陣列內之其他字元線上的陣列單元(亦即，CELL00-CELL0x及CELL0y-CELLxy)保留未被該程式化操作所影響。

【0243】 現在看圖17B，圖3之簡化概要圖300已被修改，以實現概要圖1702，其說明於根據圖16B中所詳細說明及上述的方法之示範程式化操作

期間被施加至示範電阻變化元件陣列的電刺激。明確地是，在圖17B內，WL[1]已被選擇及下拉至接地(0V)，而該等剩餘的字元線(WL[0]及WL[y])被浮動。且該陣列中之每一位元線(BL[0]-BL[x])已經過可選擇的電流限制裝置被向上拉動至所要求之程式化電壓(V_P)。這些可選擇的電流限制裝置被表示在圖17B內當作電流來源，但如先前所討論，本揭示內容的此第一程式化操作就這一點而言不被限制。實際上，許多元件可被使用於選擇性地限制該陣列內之位元線上的電流、諸如、但不限於可程式化之電源供給及電阻元件。

【0244】 如在圖17A中所描述之程式化操作內，在圖17B中所描述的示範程式化操作內，CELL01、CELL21、及CELLx1已被標出為待選擇用於該程式化操作，且CELL11已被標出為未被選擇的。如此，BL[0]、BL[2]、及BL[x]上之可選擇的電流限制元件已被建構，以允許相當“高”之電流，且此組構導致由位元線流動至字元線的程式化電流(分別為 I_{BL0} 、 I_{BL2} 、及 I_{BLX})，其係足以由最初的電阻狀態將所選擇單元(分別為SW01、SW21與SWx1)內之電阻變化元件調整進入想要的第二狀態。然而，BL[1]上之可選擇的電流限制元件被建構，以只允許一相當“低”之電流(或在某一應用內，本質上沒有電流)，且此組構導致經過CELL11的程式化電流(I_{BL1})，其係低到足以使SW11之電阻狀態於該程式化操作期間保持本質上未被改變。

【0245】 現在看圖18B，圖17B的概要圖1702已被進一步簡化，以實現概要圖1802，其更好說明於圖17B中所描述之示範程式化操作期間被施加至WL[1](所選擇字元線)上的元件之電刺激。

【0246】 如可在圖18B中被看見，WL[1]上的電阻變化元件(SW01-SWx1)的每一個之第一端子被下拉至接地(0V)。電阻變化元件SW01、SW21與SWx1的第二端子之每一個經過可選擇的電流限制元件(分別經由位元線BL[0]、BL[2]、及BL[x])被分開地上拉至程式化電壓(V_P)，該等電流限制元件被建構成允許相當“高”之電流。如此，程式化電流 I_{BL0} 、 I_{BL2} 、及 I_{BLX} 係充分高，以便調整那些電阻變化元件的電阻狀態(亦即，程式化)。然而，電阻變化元件SW11之第二端子經過可選擇的電流限制元件(經由位元線BL[1])被上拉至該程式化電壓(V_P)，該電流限制元件被建構成只允許相當“低”之電流(或，在某些操作內，被建構成本質上禁止電流流動)。

如此，充分低的程式化電流 I_{BL1} (或以別的方式禁止)使得SW11之電阻狀態於該示範程式化操作期間本質上保持未被影響。

【0247】 以此方式，充分的程式化電流(I_{BL0} 、 I_{BL2} 、及 I_{BLX})係經過WL[1]上之每一所選擇的陣列單元(亦即，CELL01、CELL12、及CELLx1)來驅動，以便調整或以別的方式改變那些單元內之電阻變化元件(亦即，SW01、SW12及SWx1)的電阻狀態，且此一程式化電流被禁止流動WL[1]上之未被選擇的陣列單元(亦即，CELL11)，而於該程式化操作期間防止對那些單元內之電阻變化元件(亦即，SW11)的任何調整。如圖17B中所示，該陣列內之其他字元線上的陣列單元(亦即，CELL00-CELL0x及CELL0y-CELLxy)保留未被該程式化操作所影響。

【0248】 圖19A及19B分別說明流程圖1900及1950，敘述用於程式化之第二方法。流程圖1900說明施行RESET操作的第二方法，且流程圖1950說明施行SET操作之第二方法，如在本揭示內容內所界定，在電阻變化元件陣列內的所選擇陣列單元或諸單元上。此第二程式化方法可被應用至藉由圖8A中所說明之概要圖801及圖9A中所說明的概要圖901之記憶體陣列。概要圖901包括於READ操作期間所使用的參考字元線，如上面所進一步敘述。然而，沿著該參考字元線之陣列單元具有固定式參考電阻值，且如此只資料字元線被程式化。沿著所選擇(資料)字元線在所選擇陣列(或子陣列)內，此第二程式化方法RESETs所選擇的陣列單元中之CNT切換(位元)如於流程圖1900中所敘述。那些在低電阻SET狀態 R_L 中的CNT切換過渡(切換)至高電阻RESET狀態 R_H ，且那些在高電阻RESET狀態中之CNT切換保留於該高電阻RESET狀態 R_H 中。根據本揭示內容的此引導電流路徑程式化方法係很適合用於在電阻變化元件陣列內存取及RESETTING單一字元線中之陣列元件，而不會干擾或以別的方式影響該陣列內的其它元件，隨後藉由選擇一或數個位元線，以在所選擇字元線中之陣列元件上施行程式化操作。此引導電流方法在某些應用的某些態樣內可為想要的，因其未要求該等可選擇之電流限制元件如於本揭示內容的第一程式化方法中所使用者，且仍然很適合用於程式化1-R電阻變化元件陣列。然而，於程式化操作期間，程式化電流以漏洩電流之形式流動至所選擇單元及亦至未被選擇單元。流程圖1950敘述一程式化所選擇位元的方式，而不會干擾未被選擇之位元。

【0249】 現在參考圖19A中所說明的方法1900，於第一製程步驟1910中，該陣列中之所有字元線及位元線被驅動至零伏特(接地)。其次，於製程步驟1920中，所選擇的字元線被驅動至RESET電壓 V_{RESET} 。RESET電流由字元線流動至位元線。RESET電壓 V_{RESET} 典型譬如係於2至3.0伏特之範圍中。只資料字元線被選擇。參考字元線具有固定的參考電阻值，且於程式化操作期間絕不被選擇。既然所有位元線在零伏特被接地，於鄰接字元線中之陣列單元不被干擾，且無RESET電壓顯現越過比較器(感測)元件。雖然提及單一所選擇的字元線，多數字元線可被同時地RESET，因譬如如果施行頁模式程式化操作可為有用的。

【0250】 現在參考圖19B，於第一製程步驟1955中，該陣列內之所有該字元線及位元線被浮動。其次，於製程步驟1960中，位元線或多數位元線被預充電至一半的程式化電壓(V_p)(至 $V_p/2$)。於下一製程步驟1970中，程式化電壓(V_p)被施加至所選擇之位元線或數條所選擇的位元線(亦即，在與待程式化之陣列單元有關聯的陣列內之位元線)。於下一製程步驟1980中，所選擇的字元線(亦即，在與待程式化之陣列單元有關聯的陣列內之資料字元線)被拉動至接地(0V)。這導致經過所選擇單元由位元線流動至所選擇字元線的程式化電流(I_p)。應注意的是此程式化電流之極性能藉由驅動與所選擇陣列元件有關聯的字元線至該程式化電壓(V_p)、及驅動與所選擇陣列元件有關聯之位元線至接地(0V)所顛倒。以這種方式，本揭示內容的此第二程式化方法係很適合用於雙極程式化操作。然而，假如想要，該第二程式化方法亦可被使用於單極程式化操作。

【0251】 藉由沿著所選擇字元線施加RESET電壓至所有單元，以第二程式化方法1900施行RESET操作，使所有位元線接地，沿著所選擇字元線之所有陣列單元係在該RESET狀態中，在第二程式化方法1900之完成處對應於邏輯“0”。在此點，於該第二程式化方法循環中，既然所選擇的字元線中之所有陣列單元係於該RESET(高電阻 R_H 狀態)中，根據至在下面另顯示於圖23中之記憶體資料I/O(輸入／輸出)緩衝器／驅動器的資料輸入，第二程式化方法1950可選擇性施加SET脈衝至陣列單元。如此，譬如大約2伏特之 $V_p = V_{\text{SET}}$ 的程式化電壓只被施加至所選擇之位元線，在此陣列單元被造成由RESET狀態(R_H)過渡至SET狀態(R_L)，在此SET條件對應於邏輯“1”。

保留於RESET狀態中的陣列單元沒有接受任何脈衝。施行此功能所使用之對應電路及方法係在下面相對於圖23及24進一步被敘述。

【0252】 由於藉由經過該等浮動式未被選擇字元線及位元線彼此互連的陣列內之未被選擇單元所形成的複雜之電阻網路，極多漏洩電流(I_{LEAK})將於使用本揭示內容的此第二方法之程式化操作期間被呈現在該陣列內(如在圖19B中所敘述)。然而，如將在下面被更詳細地討論，在圖20A、20B、20C、及20D的討論內，藉由控制該陣列內之某些參數，這些漏洩電流能被限制(譬如，藉由該程式化電壓、該等電阻變化元件內所使用的電阻值、或該陣列之大小的選擇)，以便防止未被選擇之位元線電壓及對應漏洩電流大到足以造成該陣列內的未被選擇元件之電阻狀態中的變化。於經過陣列內之單一元件的任一方向中，該電阻變化元件陣列能與程式化電流被一起使用，而不需要在每一陣列單元內之區域、原位選擇電路系統。

【0253】 現在看圖20A，圖3的簡化概要圖300已被修改，以實現概要圖2001，其說明於根據圖19A及19B與上述中所詳細說明之方法的示範程式化操作期間被施加至示範電阻變化元件陣列之電刺激。明確地是，在圖20A內，CELL11已被標出為所選擇單元。如此，BL[1]已被選擇及驅動至所要求的程式化電壓(V_P)，且WL[1]已被選擇及驅動至接地(0V)，在該陣列內之未被選擇字元線(WL[0]、WL[2]-WL[y])以及未被選擇的位元線(BL[0]、BL[2]-BL[x])被浮動。雖然單一位元線BL[1]被使用於說明之目的，多數位元線亦可被選擇，如下面所進一步敘述。這導致程式化電流(I_P)被造成流經所選擇單元(SW11)之電阻變化元件，且極多漏洩電流(I_{LEAK})由所選擇位元線BL[1]至所選擇字元線WL[1]流經該陣列內的未被選擇單元之電阻網路。該程式化電流 I_P 亦充電位元線電容 C_{BL1} ，且流經該電阻網路的漏洩電流 I_{LEAK} 亦充電概要圖2001中所示之電容 C_{BL0} 、 C_{BL2} - C_{BLx} 。

【0254】 現在看圖20B，圖20A的概要圖2001已被進一步簡化，以實現概要圖2002，其更好說明在圖20A中所描述之示範程式化操作期間被施加至該陣列內之元件的電刺激。

【0255】 如可在圖20B中被看見，圖19A及19B中所詳細說明的程式化方法導致本質上流經二電阻網路之二電流，該二電阻網路於所選擇位元線及所選擇字元線(圖20A及20B中所描述的示範程式化操作內之BL[1]及

WL[1])之間並聯地連接。該第一電阻網路、 R_S 本質上係所選擇單元與該對應的位元線電容 C_{BL1} 之電阻變化元件，且此電阻網路係對於該程式化電流 I_P 作出回應。該第二電阻網路、 R_U 係該陣列內的未被選擇電阻變化元件之複雜的串聯及並聯之電阻組合。此第二電阻網路係對於該漏洩電流 I_{LEAK} 作出回應。如先前所述，該電阻變化元件陣列的參數(譬如，該程式化電壓、該等電阻變化元件內所使用的電阻值、或該陣列之大小)被選擇，使得該程式化電壓 V_P 及電流 I_P 係足以由最初的電阻狀態調整所選擇電阻變化元件之電阻狀態至想要的第二狀態，且該未被選擇之位元線電壓與對應的漏洩電流(I_{LEAK})係充分低，以便不會干擾(亦即，大體上改變該電阻狀態)該陣列內之未被選擇元件的任一者。該電容元件 C_{BL0} 、 C_{BL1} 、 C_{BL2} - C_{BLx} 被包括，因為這些位元線電容必需於程式化操作期間被充電及放電，且限制該等位元線電壓能充電之比率，及依序CELL11(或BL[1]上之任何單元)上的程式化操作能有多快地被施行。

【0256】 圖20C係簡化的概要圖2003，其提供用於圖20B中所描述之相當複雜的電路之等效電路模型。該電壓來源 V_P 及串聯電阻器 R_{SUPPLY} 係意欲將該程式化電壓表示為被施加至所選擇的位元線(圖20B中之BL[1])。 C_{BL} 係意欲表示該陣列中的每一位元線之電容，包括所選擇位元線的電容(圖20B中之 C_{BL1})，且 $C_{BL}(\#BLS-1)$ 係意欲表示來自未被選擇陣列線的網路之等效組合電容。 R_S 係意欲表示所選擇陣列元件(圖20A中之SW11)的電阻，且 R_U 係意欲表示該等未被選擇陣列元件之電阻。該漏洩電流 I_{LEAK} 係藉由施加至與 $R_U/(\#BLS-1)$ 的組合串聯、與 $C_{BL}(\#BLS-1)$ 並聯之 $R_U/(\#WLS-1)$ 的電壓所測定。

【0257】 圖20係簡化的概要圖2004，其提供用於圖20B中所描述之相當複雜的電路之等效電路模型。通過與概要圖2003比較，概要圖2004提供一等效電路，其中四條位元線被同時程式化。於此範例中，該總程式化電流 I_P 係4倍大於概要圖2003中的程式化電流 I_P ，因為4個所選擇之位元在四條分開的位元線上被平行地程式化。單一位元線程式化及多數位元線程式化之操作的更詳細說明之比較係在下面被進一步詳細地敘述。

【0258】 現在參考圖20C，該 R_U 一詞係意欲為該陣列內的未被選擇元件之電阻值。既然該陣列中的單一字元線被選擇，該電阻元件 $R_U/(\#WLS-1)$

係意欲表示此估計之電阻值(R_U)除以該陣列中的字元線之數目減去一(本質上，該等字元線的每一個上之未被選擇元件的並聯電阻組合)。且既然單一位元線施行SET操作，該電阻元件 $R_U/(\#BLs-1)$ 係意欲表示此估計之電阻值(R_U)除以該陣列中的位元線之數目減去一(本質上，該等位元線的每一個上之未被選擇元件的並聯電阻組合)。於下面被進一步敘述之圖24範例中，該資料I/O緩衝驅動器同時送出及接收4位元。於圖20C中，既然只一位元線接收程式化電壓，輸入至該資料I/O緩衝器／驅動器的資料由三個邏輯“0”及一個邏輯“1”所組成。

【0259】 現在參考圖20D，既然單一字元線被選擇，圖20C中所示之電阻元件 $R_U/(\#WLs-1)$ 保持未被改變。然而，既然四條位元線被選擇，該電阻元件 $R_U/(\#BLs-4)$ 係意欲表示此估計的電阻值(R_U)除以該陣列中的位元線之數目減去四(本質上，該等位元線的每一個上之未被選擇元件的並聯電阻組合)。於下面被進一步敘述之圖24範例中，該資料I/O緩衝驅動器同時送出及接收4位元。於圖20D中，既然四條位元線接收程式化電壓，輸入至該資料I/O緩衝器／驅動器的資料由四個邏輯“1”所組成。

【0260】 R_U 、 R_S 、 C_{BL-SEL} 、及 $C_{BL-UNSEL}$ 之值係藉由所使用的電阻變化元件之型式及特徵性(譬如、但不限於物理尺寸、額定SET及RESET值、製造方法)、該陣列本身的大小及架構、及程式化(亦即SET或RESET)該陣列內之電阻變化元件所要求的電壓與電流位準所測定。藉由分別小心地選擇與調節這些值以及圖20C及20D之等效電路模型2003及2004內的元件之參數，在本揭示內容的引導電流程式化方法內之程式化參數(如在圖19B中被敘述)能被選擇，使得諸如 I_{P1} (圖20C)或 I_{P2} (圖20D)的程式化電流係足以由最初之電阻狀態調整所選擇電阻變化元件的電阻至想要之第二狀態，且同時防止該陣列內的漏洩電流、諸如 I_{LEAK1} (圖20C)或 I_{LEAK2} (圖20D)干擾或以別的方式調整該陣列內之未被選擇的元件。以這種方式，本揭示內容之引導電流方法能被使用來調整電阻變化元件陣列內的所選擇單元之電阻狀態(亦即，程式化)。

【0261】 在此點，於該說明書中，源自圖19A及19B中所敘述的程式化(WRITE)操作之陣列電壓及電流被計算。這些計算將圖14及15A-15C中所摘要的計算READ電壓之方法匹配如在下面相對於圖21A被進一步敘述之

計算程式化(WRITE)陣列電壓及電流，且結果被摘要在圖22中。類似於方法801及902的概要圖簡化方法分別被應用至圖8A及9A，且被應用至概要圖2001，用於程式化圖20A中所說明之(WRITE)操作，分別導致圖20B、20C、及20D中所示的進一步簡化之概要圖2002、2003及2004。然後，相對於進一步在上面分別相對於圖12A及12B所說明的戴維寧等效電路1201及1202所敘述，使用戴維寧等效電路方法的又進一步簡化被設計成適用於程式化(WRITE)操作，如相對於圖21A-21D所敘述。對應方程式、類似於上面所進一步敘述之方程式1-10被使用於計算圖22中所摘要的電壓及電流。

【0262】 現在參考圖19A中所示流程圖1900中之製程步驟1920，所選擇的字元線中之所有單元已被RESET至高電阻狀態 $R_s=R_H$ 。亦參考圖19B中所示流程圖1950中的製程步驟1960，所有位元線已被預充電至 $V_P/2$ 之一半該程式化電壓。藉由任意分派的慣例，至該資料I/O緩衝器／驅動器之邏輯“0”輸入(圖23)對應於高電阻RESET狀態，且邏輯“1”對應於低電阻SET狀態。藉由下面相對於圖24所進一步敘述的記憶體電路之設計，邏輯“0”輸入信號不會導致所施加的程式化電壓至對應位元線，因為在所選擇字元線上之所有單元係於RESET狀態中。然而，邏輯“1”輸入信號要求該對應陣列單元的所選擇單元位置(或單元位置，如果超過一個邏輯“1”輸入)過渡至低電阻SET狀態。藉由設計，程式化電壓 V_P 被施加至所選擇之位元線(或諸位元線)。然而，既然所有位元係在該程式化(WRITE)操作之前RESET，所選擇的程式化電壓係該SET電壓，故 $V_P=V_{SET}$ ，如在圖21A中之概要圖2100中所示。因此，該預充電電壓 $V_P/2=V_{SET}/2$ 。當 V_{SET} 被施加一或多個位元線時，所選擇的單元由高電阻RESET值切換至低電阻SET值($R_H \rightarrow R_L$)，因於流程圖1950中之每製程步驟1980，所選擇的字元線被驅動至零(接地)電壓。

【0263】 現在參考圖21A中所說明的概要圖2100，所選擇之位元線將程式化電壓 $V_P=V_{SET}$ 經過串聯電阻器 r 施加至所選擇的位元線。總電流 I_{TOT} 分叉成二路徑，第一SET電流路徑經過所選擇單元，具有由所選擇之位元線至該被接地的所選擇字元線之電流 I_{SET} ；及第二漏洩電流路徑，具有流經未被選擇的單元及亦充電於串聯／並聯組合中之未被選擇位元線的電流 I_{LEAK} ，且亦由所選擇之位元線至被接地的所選擇之字元線。串聯／並聯路徑的組合係藉由被連接至所選擇位元線及在節點A連接至第二電阻器端子

$R_U/(\#BLs-1)$ 之第一電阻器 $R_U/(\#WLs-1)$ 被表示在概要圖2100中，該 $R_U/(\#BLs-1)$ 依序在節點B連接至被接地的所選擇之字元線。於此範例中，除了所選擇的位元線以外，所有位元線之組合電容形成未被選擇的位元線電容器 $C_{BL-T}=(\#BLs-1) \times 10 \text{ fF}$ ，在此每一陣列位元線電容 $C_{BL}=10 \text{ fF}$ 已藉由製程步驟1960被預充電至 $V_{AB}=V_{SET}/2$ 。因所選擇單元被充電至 V_{SET} 且 I_{SET} 電流流經所選擇單元， I_{LEAK} 流經該陣列之未被選擇部份，且一些額外的電荷流至未被選擇之位元線電容器 C_{BL-T} ，藉此當所選擇的切換電阻 R_s 由該高電阻RESET狀態 R_H 過渡至該低電阻SET狀態 R_L 及該SET電壓過渡回至朝向零時，增加該電壓 V_{AB} 。其重要的是完成該SET操作，同時使越過該記憶體陣列之未被選擇部份的電壓 V_{AB} 中之增加減至最小。

【0264】 越過所選擇位元線的電壓過渡至 V_{SET} 。其重要的是於該SET操作期間在 $V_{SET}/2$ 上方計算 C_{BL-T} 上之電壓中的增加，導致增加之 V_{AB} 。進一步簡化被使用來計算越過該等端子A-B的戴維寧等效電壓 V_{TH} [EQ23]及該對應之戴維寧等效電阻 R_{TH} [EQ24]，如藉由圖21B及21C中所說明的概要圖2110及2120所說明。其次，使用方程式23、24及25，圖21D中所說明之戴維寧等效電路2130可被使用來計算越過未被選擇的位元線電容 C_{BL-T} 之 V_{AB} 中的增加。如果該SET脈衝之持續期間係等於該時間常數 $R_{TH}C_{BL-T}$ 或大於該時間常數 $R_{TH}C_{BL-T}$ 的3倍，該電壓 V_{AB} 中之最大增加係等於該戴維寧電壓 V_{TH} 。然而，如果該SET脈衝的持續期間係少於該 $R_{TH}C_{BL-T}$ 時間常數之3倍，則 V_{AB} 、 ΔV_{AB} 中的增加將為少於 V_{TH} ，如可使用[EQ25]被計算。用於陣列參數之各種值，使用方程式23、24及25計算的結果被摘要在圖22所示之表格2200中。該SET時間被假設為比該 $R_{TH}C_{BL-T}$ 時間常數的3倍更長，使得該 $\Delta V_{AB}=V_{TH}$ 、 V_{AB} 電壓中之最大變化。

$$\text{【0265】 } V_{TH}=[V_{SET}/2] \times [((R_U/(BLs-1)) / (R_U/(\#WLs-1) + R_U/(\#BLs-1) + r)] \quad \text{[EQ23]}$$

$$\text{【0266】 } R_{TH}=[(R_U/(\#BLs-1)) \times (R_U/(\#WLs-1) + r)] / [(R_U/(\#WLs-1)) + (R_U/(\#WBLs-1) + r)] \quad \text{[EQ24]}$$

$$\text{【0267】 } \Delta V_{AB}=V_{TH}(1-e^{-t/R_{TH}C_{BL-T}}) \quad \text{[EQ25]}$$

【0268】 現在參考圖22中所示的表格2200，顯示有4個案例。在案例1A及1B中，低電阻SET狀態之值 $R_L=1M\Omega$ ，且高電阻RESET狀態之值

$R_H=20\text{M}\Omega$ 。於這些範例中，該SET電壓 $V_{\text{SET}}=2\text{V}$ 。當 $R_L=1\text{M}\Omega$ 時，用於所選擇單元的最大 I_{SET} 電流係 $2\mu\text{A}$ 。有256條位元線及128條資料字元線。於SET WRITE操作中，所選擇位元由 R_H 過渡至 R_L 。該最大陣列電流案例假設所有未被選擇單元係於低電阻SET狀態 R_L 中。該最小陣列電流案例假設所有未被選擇單元係於高電阻RESET狀態 R_H 中。

【0269】 案例1A係用於圖20C中所示之1位元資料匯流排，其中1個輸入係邏輯“1”及3個輸入係邏輯“0”。案例1B係用於圖20D中所示的4位元資料匯流排，其中所有4個輸入係邏輯“1”。

【0270】 於案例2A及2B中，低電阻SET狀態之值 $R_L=100\text{k}\Omega$ ，且高電阻RESET狀態之值 $R_H=2\text{M}\Omega$ 。於這些範例中，該SET電壓 $V_{\text{SET}}=2\text{V}$ 。當 $R_L=100\text{k}\Omega$ 時，用於所選擇單元的最大 I_{SET} 電流係 $20\mu\text{A}$ 。有256條位元線及128條資料字元線。於SET WRITE操作中，所選擇位元由 R_H 過渡至 R_L 。該最大陣列電流案例假設所有未被選擇單元係於低電阻SET狀態 R_L 中。該最小陣列電流案例假設所有未被選擇單元係於高電阻RESET狀態 R_H 中。

【0271】 案例2A係用於圖20C中所示之1位元資料匯流排，其中1個輸入係邏輯“1”及3個輸入係邏輯“0”。案例1B係用於圖20D中所示的4位元資料匯流排，其中所有4個輸入係邏輯“1”。

【0272】 於案例2A及2B中，該SET電流 I_{SET} 係10x高於案例1A及1B中者。該等漏洩電流係多少較高的。然而，在所有案例中，該最壞案例中之總陣列漏洩電流係少於 1mA 。於典型的記憶體操作中，該等陣列組構將難得地、即使有、接近最大或最小陣列電流之任一者，故該平均電流將為遠低於該最大案例。

【0273】 現在參考圖23，系統位準方塊圖被顯示，說明在很適合用於施加本揭示內容的READ操作(如於圖7A及7B中所詳細說明)、第一程式化操作(如於圖16A及16B中所詳細說明)、及第二程式化操作(如於圖19A及19B中所詳細說明)之示範存取及編址系統2300內的電阻變化元件陣列。

【0274】 在該存取及編址系統2300之核心者係1-R電阻變化元件陣列2340，其架構類似於圖3、5、6A、及6B中所示的陣列。處理器控制元件2310提供將控制線編址至位元線驅動器／緩衝器電路2320及至字元線驅動器／緩衝器電路2330之陣列。該位元線驅動器／緩衝器電路2320接著經過位元

線解碼器元件2325選擇位元線，並經過對應的感測放大器／閘鎖器2360將那些位元線連接至電阻變化元件陣列2340。類似地，該字元線驅動器／緩衝器電路2330被連接至字元線解碼器元件2335，並選擇那些至電阻變化元件陣列2340之字元線。以這種方式，如上面在圖16A、16B、及19A、19B的討論內所詳細敘述之本揭示內容的程式化方法，能經由藉由處理器控制元件2310所提供之電刺激而被施行。

【0275】 該1-R電阻變化元件陣列2340經過陣列隔離裝置2350被耦接至測量及儲存元件的陣列、諸如感測放大器／閘鎖器2360。陣列隔離裝置防止該感測放大器／閘鎖器2360之端子於WRITE操作期間暴露至該較高的陣列電壓，如在下面相對於圖24中所說明之記憶體資料路徑電路概要圖2400所進一步敘述。測量及儲存元件、諸如感測放大器／閘鎖器2360係相對於圖7A及7B中所敘述的本揭示內容之READ方法被討論，且在下面相對於記憶體資料路徑電路概要圖2400被進一步更詳細地說明。於READ操作期間，對來自該處理器控制元件2310的控制信號作出回應，有位元線、字元線、參考字元線(譬如，如圖6B所示)、感測放大器／閘鎖器2360、位元線驅動器2355、I/O閘極2370、資料匯流排2375、及資料I/O緩衝器／驅動器2380之各種互連部。對來自該處理器控制元件2310的控制信號作出回應，資料I/O緩衝器／驅動器2380及感測放大器／閘鎖器2360被使用來暫時閘鎖及儲存由該電阻變化元件陣列所讀取之邏輯值。對經由資料匯流排2375被連接至資料緩衝驅動器元件2380的I/O閘極元件2370作出回應，提供由該陣列所讀取之邏輯值回至該處理器控制元件2310。以這種方式，如在上面的圖7A及7B之討論內所詳細敘述的本揭示內容之READ方法能經由被處理器控制元件2310所提供的電刺激所施行。類似地，經由該等I/O匯流排線I/O0、I/O1、I/O2、及I/O3，資料可被由製程控制器2310提供至資料I/O緩衝器／驅動器2380。雖然4位元外部I/O匯流排被顯示於此說明性範例中，I/O匯流排寬度可譬如於寬度中由1位元變動至很多位元(32、64、128等)。暫時儲存於該資料I/O緩衝器／驅動器2380中之資料可使用圖16A及16B中所敘述的第一程式化(WRITE)操作被儲存於非揮發性記憶體陣列2340中。另一選擇係，被暫時地儲存於該資料I/O緩衝器／驅動器2380中之資料可使用圖19A及19B中所敘述的第二程式化(WRITE)操作被儲存於非揮發性記憶體2340中。READ

及程式化(WRITE)操作係在下面相對於圖24中所說明之記憶體資料路徑電路概要圖2400被進一步詳細地敘述。

【0276】 在圖23的示範存取及編址系統內之處理器控制元件2310被使用於表示程式化操作電路(等)，其能被使用於將該等不同電壓及其他條件施加至電阻變化元件陣列內的位元線及字元線之陣列，如藉由本揭示內容之方法所要求及相對於上面的圖7A、7B、16A、16B、19A、及19B所討論。藉由本揭示內容之程式化(WRITE)及READ操作所要求的電刺激能經過各種結構被實施，如最佳配合特定應用之需求者。譬如，FPGAs、PLDs、微控制器、邏輯電路、或在電腦上執行的軟體程式能全部被使用於執行該等程式化操作及READ操作，如上述於圖7A、7B、16A、16B、19A、及19B中所詳細說明。

【0277】 應注意的是雖然被使用於說明本揭示內容之程式化及READ方法的1-R電阻變化元件陣列架構係使用圖3、6A、及6B中之示範概要圖被呈現，本揭示內容的方法將不被限制於所描述之那些特定的電路。實際上，對於那些熟習此技術領域者將為清楚的是在圖3、6A、及6B中所描述之電路能夠以複數種方式被變更，且仍然實現很適合用於本揭示內容的程式化及READ操作之陣列架構。接著，因它們有關本揭示內容之方法，電阻變化元件陣列架構的先前敘述為代表及涵括這些變動、且不以別的方式受限於所詳細說明之特定說明性參數係較佳的。

【0278】 現在參考圖24，記憶體資料路徑電路概要圖2400可被使用來說明如於圖7B中所詳細說明之READ操作、及於圖19A及19B中所詳細說明的程式化操作之實作。注意該程式化及WRITE等詞於此說明書中被可交換地使用。概要圖2400包括單元2410之陣列，其藉由CNT切換所形成及對應於圖23中所說明的記憶體陣列2340；代表性字元線(WL)驅動器2415對應於行(WL)編址驅動器／緩衝器2330；陣列READ裝置2430對應於陣列隔離裝置2350；感測放大器／門鎖器2435對應於感測放大器／門鎖器2360；I/O閘極2440對應於I/O閘極2370；資料匯流排2445對應於資料匯流排2375；電壓移轉器&BL驅動器2450、程式化電壓選擇器2455、及程式控制裝置2060對應於位元線驅動器2355；BL耦接裝置2420及BL充電／放電電路2425被使用於同時預充電及放電所有陣列2410位元線。示範概要圖2400顯示用於所選

擇字元線WL1裝置及電路的細節，該裝置及電路可被使用來實施圖7B中所詳細說明之READ操作及圖19A及19B中所詳細說明的程式化操作，且被操作，使得皆被顯示於圖24中之感測放大器／閘鎖器2435、雙向性資料匯流排2445、及於圖23所顯示中的雙向性資料I/O緩衝器／驅動器2380全部在晶片電壓 V_{DD} 下操作，用於READ及WRITE操作兩者。這是因為甚至當大於 V_{DD} 之相當高 V_P 程式化電壓被施加至單元2440的陣列時，陣列READ裝置2430於程式化期間用作陣列隔離裝置，並防止 V_P 顯現越過感測放大器／閘鎖器2435端子。且亦因為如在下面被進一步敘述之被連接至感測放大器／閘鎖器2435的電壓移轉器&BL驅動器2450，由切換於接地(零)及 V_{DD} 位準間之感測放大器輸出信號產生程式化電壓 V_P 。

【0279】 用於READ操作，藉由圖7B中的流程圖702及分別在圖9A及9C中所示之對應概要圖901及903中，單元2410的陣列之等操作及陣列READ裝置2430在上面被進一步敘述。用於程式化操作，分別藉由圖19A及19B中之流程圖1900及1950、及在圖20A中所示的對應概要圖2001中，單元2410之陣列、位元線耦接裝置2420、及位元線充電／放電電路2425的操作在上面被進一步說明。

【0280】 感測放大器／閘鎖器2435被使用於在READ操作期間暫時地儲存來自單元2410之陣列的資料、及於程式化操作期間暫時地儲存來自資料匯流排2045之資料。感測放大器／閘鎖器2435被形成如下。PFET裝置 T_{SA1} 及 T_{SA2} 來源端子被連接在一起及至PFET裝置 T_{SA5} ，其來源被連接晶片電壓 V_{DD} ，且其閘極被連接至PSET控制。NFET裝置 T_{SA3} 及 T_{SA4} 來源端子被連接在一起及至NFET裝置 T_{SA6} ，其來源被連接至接地，且其閘極被連接NSET控制。 T_{SA1} 及 T_{SA3} 的汲極被連接在一起及至在節點X1之輸出。 T_{SA1} 及 T_{SA3} 的閘極被連接在一起及連接至該對陣列READ裝置2430之其中一者與該對雙向性I/O閘極2440的其中一者。 T_{SA2} 及 T_{SA4} 之汲極被連接在一起及至在節點X2的輸出。 T_{SA2} 及 T_{SA4} 之閘極被連接在一起及連接至該對陣列READ裝置2430的其中另一者與該對雙向性I/O閘極2440之其中另一者。節點X1被連接至 T_{SA2} 及 T_{SA4} 的閘極，且節點X2被連接至 T_{SA1} 及 T_{SA3} 之閘極，藉此形成感測放大器／閘鎖器2435。感測放大器／閘鎖器2435係只當向上拉裝置 T_{SA5} 及向下拉裝置 T_{SA6} 被作動時操作。圖14及15A-15C中所說明的範例中所使用之

READ電壓 V_{READ} 係等於1伏特。

【0281】 該對雙向性I/O閘極2440亦被連接至真實(T/C)及補充(C/T)雙向性資料匯流排2435，其依序被連接至圖23中所說明的雙向性資料I/O緩衝器／驅動器2380(雙向性資料匯流排2445對應於資料匯流排2375)。

【0282】 分別於圖19A及19B中所示、及如上面相對於對應圖21A-21D及22所討論，電壓移轉器&BL驅動器2450係只在相對於流程圖1900及1950所敘述之程式化操作期間作動。該電壓移轉器&BL驅動器2450電路被形成如下。PFET裝置 T_{VS1} 及 T_{VS2} 來源被連接在一起及至程式化電壓選擇器2455。 T_{VS1} 的汲極被連接至NFET裝置 T_{VS4} 之汲極及 T_{VS2} 在節點 O_{VS} 的閘極。 T_{VS2} 之汲極被連接至NFET T_{VS3} 的汲極及 T_{VS1} 之閘極。 T_{VS3} 的來源被連接至 T_{VS4} 之閘極及至感測放大器／閘鎖器2435的端子X1。 T_{VS4} 之來源被連接至 T_{VS3} 的閘極及至感測放大器／閘鎖器2435之端子X2。電壓移轉器&BL驅動器2450的輸出節點 O_{VS} 被連接至程式化電壓控制裝置2460之來源、PFET裝置，藉由被連接至該閘極的信號 $V_{\text{WR-}\Delta\text{SET}}$ 所控制。於此範例中，程式化電壓控制裝置2460之汲極被連接至單元2410的陣列之位元線BL1。當程式化電壓選擇器2455被連接至電壓 V_{SET} 時，電壓移轉器&BL驅動器2450被作動，且當被連接至0伏特時被停用。於此範例中， $V_{\text{SET}}=2\text{V}$ 及 $V_{\text{SET}}/2=1\text{V}$ 。

【0283】 如相對於圖19B中所說明的流程圖1950所敘述，製程步驟1960預充電單元2410之陣列中的所有位元線，而字元線浮動。據此，位元線耦接裝置2420被作動，且位元線係藉由位元線充電／放電電路2425預充電至一半該程式化電壓 $V_{\text{P}}/2$ ，並接著位元線耦接裝置2420於程式化BL1之前被關掉。如在上面被進一步說明，既然單元2410的陣列中之所有單元係於高電阻RESET狀態中， $V_{\text{P}}=V_{\text{SET}}$ 。信號 $V_{\text{WR-}\Delta\text{SET}}$ 係在 $V_{\text{SET}}/2$ ，使得如果該輸入資料係邏輯“0”，且節點 O_{VS} 係在零伏特，程式化控制電壓裝置2460被關掉，隔絕位元線BL1與電壓移轉器&BL驅動器2450，且位元線BL1保持預充電至 $V_{\text{SET}}/2$ 。然而，如果該輸入資料係邏輯“1”，則節點 O_{VS} 由0過渡至SET電壓 V_{SET} 。當節點 O_{VS} 超過 $V_{\text{SET}}/2$ 時，則程式化電壓控制裝置2460開啟及驅動位元線BL1至 V_{SET} ，如藉由圖19B中所示之製程步驟1970所敘述。在此時，所選擇字元線WL1藉由WL驅動器2415被驅動至接地，如在圖19B製程步驟1980中所敘述，且該單元、於此範例中如單元2410的陣列中所敘述之

CELL11由該高電阻 R_H RESET狀態切換至該低電阻 R_L SET狀態。參考圖22中的表格2200中之範例，該未被選擇的位元線電壓在SET操作之後由1.0V的預充電值增加至1.3V。隨選地，參考程式化電壓控制裝置2460，電壓 $V_{WR_ΔSET}$ 可被由1V降低至0.85V，譬如，於電壓移轉器&BL驅動器2450過渡至 V_{SET} 之前，藉此由大約1.3V減少未被選擇的位元電壓至大約1.15V，且因此較接近1V之預充電值。

【0284】 現在參考圖25，程式化(WRITE)操作2500說明源自記憶體資料路徑電路概要圖2400的電性能之計算的各種操作波形。於此範例中，在圖23所示之方塊圖存取及編址系統2300中，READ／WRITE控制信號製程控制器2310經由READ／WRITE控制信號啟始WRITE操作，且提供藉由該交叉點記憶體系統所解碼的字組及列地址。圖25波形聚焦在圖24中所說明之概要圖2400中所顯示的資料路徑電路上。藉由製程控制器2310提供至圖23所示之資料I/O緩衝器／驅動器2380的資料被傳輸至雙向性資料匯流排2375，其對應於圖24中之資料匯流排2445。感測放大器／閘鎖器2435被作動及連接至晶片電源供給 V_{DD} ，並藉由向上拉電晶體 T_{SA5} 及向下拉電晶體 T_{SA6} 所接地。電壓移轉器&BL驅動器2450係藉由程式化電壓選擇器2455所作動，且被連接至電壓 $V_P=V_{SET}$ ，於此範例中，其係等於2V。程式化電壓控制裝置2460係於關閉狀態中，並隔絕BL1與電壓移轉器&BL驅動器2450的輸出節點 O_{VS} ，直至節點 O_{VS} 於此範例中超過 $V_{SET}/2=1V$ 。在此時段期間，字元線WL1被選擇，單元2410之陣列中的所有位元線被預充電至 $V_{SET}/2$ ，且位元線BL1被選擇。

【0285】 在此時， V_{CSL} 被施加至I/O閘極2440，且該邏輯信號係由資料匯流排2445輸送至感測放大器／閘鎖器2435輸入。邏輯“1”輸入導致該T/C匯流排線上之 V_{DD} 電壓(該C/T匯流排線上的零電壓)，且邏輯“0”電壓導致該T/C匯流排線上之零電壓(該C/T匯流排線上的 V_{DD})。於此範例中，邏輯“1”資料輸入被提供，並感測放大器／閘鎖器2435暫時地儲存該信號。該感測放大器輸出X1過渡至0V，且輸出X2過渡至 V_{DD} 。至電壓移轉器&BL驅動器2450的此輸入造成該電壓移轉器&位元線驅動器2450輸出節點 O_{VS} 過渡至 V_{SET} 、於此範例中為2V。以在 $V_{WR_ΔSET}=V_{SET}/2=1V$ 之程式化電壓控制裝置閘極，用於邏輯“1”信號，位元線BL1由 $V_{SET}/2$ 過渡至 V_{SET} (用於邏輯

“0”信號， V_{BL1} 將已保留在 $V_{SET}/2$)。字元線WL1過渡至零伏特。於此範例中為2V的 V_{SET} 顯現於所選擇位元線BL1與所選擇字元線WL1之間，且單元2410的陣列中之CELL11由該高電阻 R_H RESET狀態切換至該低電阻 R_L SET狀態，而完成由製程控制器2310所輸入的資料之儲存至對應於單元2410的陣列中之CELL11的記憶體陣列單元。

【0286】 電壓、電流、及定時之值已被計算，如上面相對於圖21A-21D及22所進一步敘述。然而，用於所選擇的CMOS技術，物理及電參數及模型被製作者所提供，其可為與設計、布局、及用於精確模擬之模擬軟體一起使用。用於非線性CNT切換的模型可為源自CNT切換I-V電特徵、諸如圖13中所示之半對數繪圖1300。譬如，半對數繪圖1300能使用非線性多項式方程式被近似，以提供可在該模擬軟體中被導入的CNT切換模型。

【0287】 雖然本發明已關於其特別實施例被敘述，許多其他變動及修改與其他應用對於那些熟習此技術領域者將變得明顯。因此，其較佳的是本發明不被在此中之特定揭示內容所限制。

【符號說明】

- 100 電阻變化元件陣列
- 200 電阻變化元件陣列
- 300 電阻變化元件陣列
- 410 所選擇的單元
- 421 未被選擇的單元
- 422 未被選擇的單元
- 423 未被選擇的單元
- 424 未被選擇的單元
- 425 未被選擇的單元
- 426 未被選擇的單元
- 427 未被選擇的單元
- 428 未被選擇的單元
- 500 電阻變化元件陣列
- 510 第一層電阻變化元件
- 512 導電元件

- 514 導電元件
- 516 電阻變化元件
- 532a 第一層字元線
- 532b 第二層字元線
- 534a 第一層字元線
- 534b 第二層字元線
- 536a 第一層字元線
- 536b 第二層字元線
- 538a 第一層字元線
- 538b 第二層字元線
- 542a 第一層位元線
- 542b 第二層位元線
- 544a 第一層位元線
- 544b 第二層位元線
- 546a 第一層位元線
- 546b 第二層位元線
- 548a 第一層位元線
- 548b 第二層位元線
- 601 陣列架構
- 602 陣列架構
- 1201 戴維寧等效電路
- 1202 戴維寧等效電路
- 1405 示範陣列組構
- 2003 等效電路模型
- 2004 等效電路模型
- 2045 資料匯流排
- 2060 程式控制裝置
- 2130 戴維寧等效電路
- 2300 存取及編址系統
- 2310 處理器控制元件

2320 位元線驅動器／緩衝器電路
 2325 位元線解碼器元件
 2330 字元線驅動器／緩衝器電路
 2335 字元線解碼器元件
 2340 電阻變化元件陣列
 2350 陣列隔離裝置
 2355 位元線驅動器
 2360 感測放大器／閂鎖器
 2370 I/O閂極
 2375 資料匯流排
 2380 資料I/O緩衝器／驅動器
 2340 記憶體陣列
 2410 單元
 2415 字元線(WL)驅動器
 2420 BL耦接裝置
 2425 BL充電／放電電路
 2430 陣列READ裝置
 2435 感測放大器／閂鎖器
 2440 I/O閂極
 2445 資料匯流排
 2450 電壓移轉器&BL驅動器
 2455 程式化電壓選擇器
 2460 程式化電壓控制裝置
 BL[0]-BL[x] 位元線
 CELL00-CELLxy 單元
 C_{DATA0}-C_{DATAx} “資料”儲存電容器
 C_{REF0}-C_{REFx} “參考”儲存電容器
 D00-Dxy 二極體裝置
 Q00-Qxy 場效電晶體裝置／選擇裝置
 Q_{D0}-Q_{DX} “資料” FET

Q_{REF0} - Q_{REFx} “參考” FET
 RD_DATA0 - RD_DATAx 控制線
 RD_REF0 - RD_REFx 控制線
 R_{REF0} - R_{REFx} 參考電阻元件
 R_{SUPPLY} 電阻器
 $R_U/\#BLs-1$ 電阻元件
 $R_U/(\#BLs-4)$ 電阻元件
 $R_U/(\#WLs-1)$ 電阻元件
 R_{UNSEL} 電阻變化元件
 $SL[0]$ - $SL[x]$ 來源線
 $SW00$ - SW_{xy} 電阻變化元件
 T_{SA1} 、 T_{SA2} PFET裝置
 T_{SA3} 、 T_{SA4} NFET裝置
 T_{SA5} PFET裝置
 T_{SA6} NFET裝置
 $U0$ - U_x 比較器元件
 $U100$ 參考電壓產生器
 $WL[0]$ - $WL[y]$ 字元線
 WL_REF 參考字元線

發明摘要

I653629

※ 申請案號：105101635

※ 申請日：105/01/20

※IPC 分類：G11C 13/00 (2006.01)
G11C 13/02 (2006.01)

【發明名稱】(中文/英文)

用於讀取和程式化1-R電阻變化元件陳列的方法

METHODS FOR READING AND PROGRAMMING 1-R
RESISTIVE CHANGE ELEMENT ARRAYS

【中文】

用於讀取及程式化1-R電阻變化元件陣列內之一或多個電阻變化元件的方法被揭示。這些方法包括使用測量及儲存元件來測量一陣列內之一或多個所選擇單元的電反應，且接著比較該被儲存之電反應與該陣列內的參考元件之電反應，以測定該一或多個所選擇單元的電阻狀態。這些方法亦包括程式化方法，其中可選擇之電流限制元件被使用，以分別允許或禁止程式化電流流經被選擇及未被選擇的單元。這些方法另包括程式化方法，其使用陣列線之特定偏壓，以提供充分的程式化電流經過只被選擇之單元。

【英文】

Methods for reading and programming one or more resistive change elements within a 1-R resistive change element array are disclosed. These methods include using measurement and storage elements to measure the electrical response of one or more selected cells within an array and then comparing that stored electrical response to the electrical response of a reference element within the array to determine the resistive state of the one or more selected cells. These methods also include programming methods wherein selectable current limiting elements are used to permit or inhibit programming currents from flowing through selected and unselected cells, respectively. These methods further include programming methods that use specific biasing of array lines to provide sufficient programming currents through only selected cells.

【代表圖】

【本案指定代表圖】：圖1。

【本代表圖之符號簡單說明】：

BL[0]-BL[x] 位元線

CELL00-CELLxy 單元

Q00-Qxy 場效電晶體裝置／選擇裝置

SL[0]-SL[x] 來源線

SW00-SWxy 電阻變化元件

WL[0]-WL[y] 字元線

【本案若有化學式時，請揭示最能顯示發明特徵的化學式】：

無

申請專利範圍

1. 一種用於測定電阻變化元件陣列內之至少一電阻變化元件的電阻狀態之方法，包含：

提供電阻變化元件陣列，該電阻變化元件陣列包含：

複數個字元線；

複數個位元線；及

複數個電阻變化元件，其中每一電阻變化元件具有第一端子與第二端子，且其中每一電阻變化元件的該第一端子係與字元線電連通，及每一電阻變化元件之該第二端子係與位元線電連通；

至少一電阻參考元件，該電阻參考元件具有與字元線電連通的第一端子、及與位元線電連通之第二端子；

將該電阻變化元件陣列內的所有該等位元線及所有該等字元線初始化至接地；

選擇該電阻變化元件陣列內的一字元線及將該被選擇之字元線充電至預選的電壓，同時將所有其他字元線保持在接地及允許所有位元線浮動；

經過至少一電阻變化元件將該被選擇之字元線放電，並觀察經過該至少一電阻變化元件的至少一放電電流；

將該電阻變化元件陣列內之所有該等位元線及所有該等字元線重新初始化至接地；

選擇至少一電阻參考元件及將與該至少一被選擇之電阻參考元件電連通的字元線充電至預選之電壓，同時將所有其他字元線保持在接地及允許所有位元線浮動；

經過該至少一被選擇的電阻參考元件將與該至少一被選擇之電阻參考元件電連通的字元線放電，並觀察經過至少一被選擇之電阻參考元件的至少一放電電流；

比較經過至少一該電阻變化元件所觀察之至少一放電電流與經過至少一被選擇的電阻參考元件所觀察之至少一放電電流，以測定該至少一電阻變化元件的電阻狀態。

2. 如申請專利範圍第 1 項之方法，其中與該被選擇的字元線電連通之每

一電阻變化元件的電阻狀態被同時地測定。

3. 如申請專利範圍第 1 項之方法，其中經過該電阻變化元件所觀察的放電電流高於經過該電阻參考元件之放電電流對應於第一邏輯狀態，且經過該電阻變化元件所觀察的放電電流低於經過該電阻參考元件之放電電流對應於第二邏輯狀態。
4. 如申請專利範圍第 1 項之方法，其中該等電阻變化元件係二端子奈米管切換元件。
5. 如申請專利範圍第 4 項之方法，其中該二端子奈米管切換元件包含奈米管織物。
6. 如申請專利範圍第 1 項之方法，其中該等電阻變化元件係金屬氧化物記憶體元件。
7. 如申請專利範圍第 1 項之方法，其中該等電阻變化元件係相變記憶體元件。
8. 如申請專利範圍第 1 項之方法，其中該電阻變化元件陣列係記憶體陣列。
9. 一種調整電阻變化元件陣列內之至少一電阻變化元件的電阻狀態之方法，包含：

提供電阻變化元件陣列，該電阻變化元件陣列包含：

複數個字元線；

複數個位元線；及

複數個電阻變化元件，其中每一電阻變化元件具有第一端子與第二端子，且其中每一電阻變化元件的該第一端子係與字元線電連通，及每一電阻變化元件之該第二端子係與位元線電連通；

將該電阻變化元件陣列內的所有該等位元線及所有該等字元線初始化至接地；

選擇一字元線，其中該被選擇的字元線係與待調整之至少一電阻變化元件電連通；

浮動所有該等未被選擇的字元線；

經過可選擇之電流限制元件將所有該等位元線拉動至接地，其中該等可選擇的電流限制元件之每一個可被建構在至少二狀態中，其中第一被建

構狀態允許充分程式化的電流流經可選擇之電流限制元件，且第二被建構狀態禁止充分程式化的電流流經可選擇之電流限制元件；

將與待調整的電阻變化元件電連通之那些位元線有關聯的那些可選擇之電流限制元件建構進入該第一被建構狀態，並將與不被調整的電阻變化元件電連通之那些位元線有關聯的那些可選擇之電流限制元件建構進入該第二被建構狀態；

將該被選擇的字元線驅動至預選之電壓；

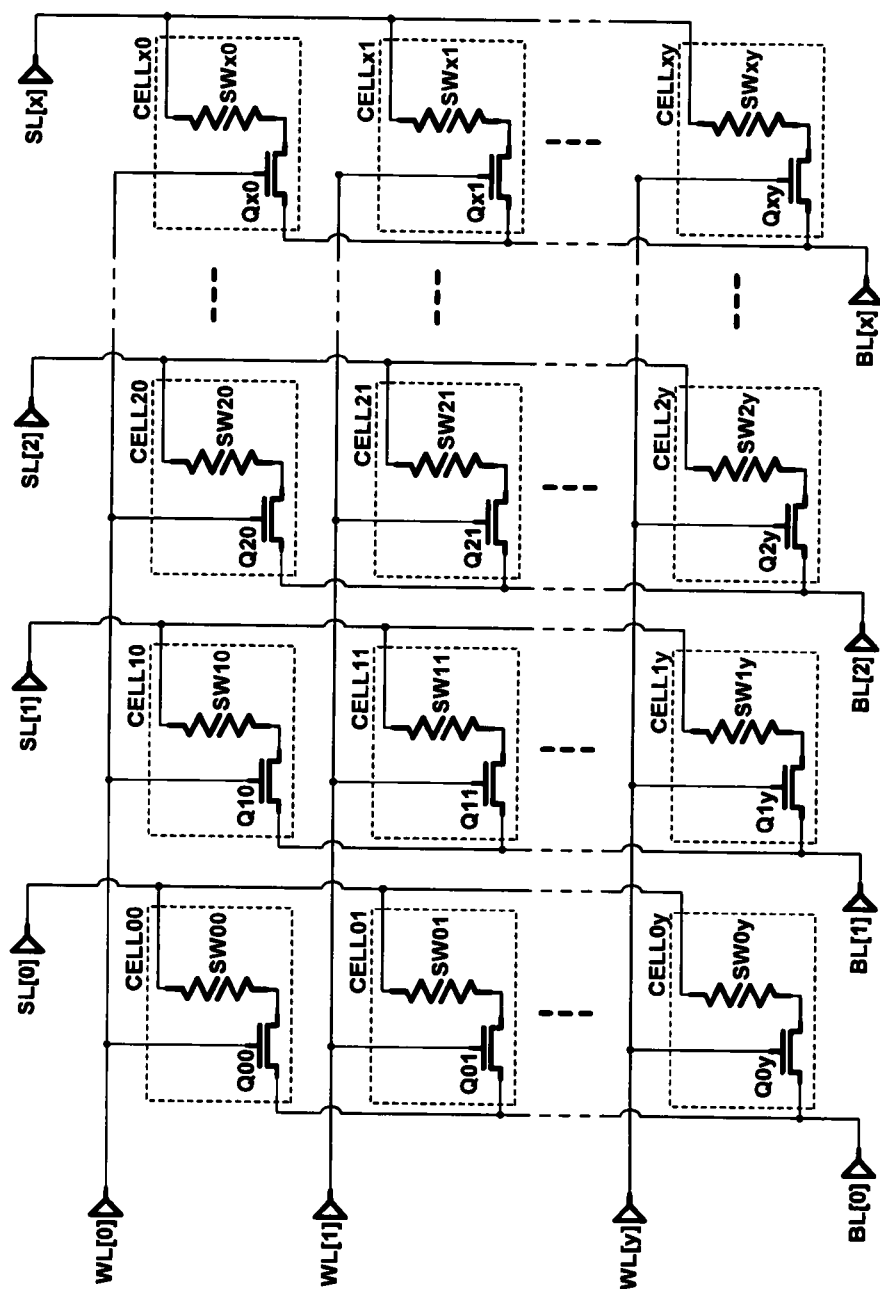
經過至少一電阻變化元件將該被選擇的字組放電，以經過至少一電阻變化元件提供至少一程式化電流；

其中該至少一程式化電流將至少一電阻變化元件之電阻由第一電阻狀態調整至第二電阻狀態。

10. 如申請專利範圍第 9 項之方法，其中該等可選擇的電流限制元件係電流來源、可調整之電阻元件、或可程式化電源供給的其中一者。
11. 如申請專利範圍第 9 項之方法，其中該第一電阻狀態係低於該第二電阻狀態。
12. 如申請專利範圍第 9 項之方法，其中該第一電阻狀態係高於該第二電阻狀態。
13. 如申請專利範圍第 9 項之方法，其中與該被選擇的字元線電連通之每一個電阻變化元件的電阻狀態被同時地調整。
14. 如申請專利範圍第 9 項之方法，其中該第一電阻狀態對應於第一邏輯值，且該第二電阻狀態對應於第二邏輯值。
15. 如申請專利範圍第 14 項之方法，其中在該被選擇的字元線已被放電之後，與該被選擇的字元線電連通之所有該等電阻變化元件被以相同的邏輯值程式化。
16. 如申請專利範圍第 9 項之方法，其中該等電阻變化元件係二端子奈米管切換元件。
17. 如申請專利範圍第 16 項之方法，其中該二端子奈米管切換元件包含奈米管織物。
18. 如申請專利範圍第 9 項之方法，其中該等電阻變化元件係金屬氧化物記憶體元件。

19. 如申請專利範圍第 9 項之方法，其中該等電阻變化元件係相變記憶體元件。
20. 如申請專利範圍第 9 項之方法，其中該電阻變化元件陣列係記憶體陣列。

一
回



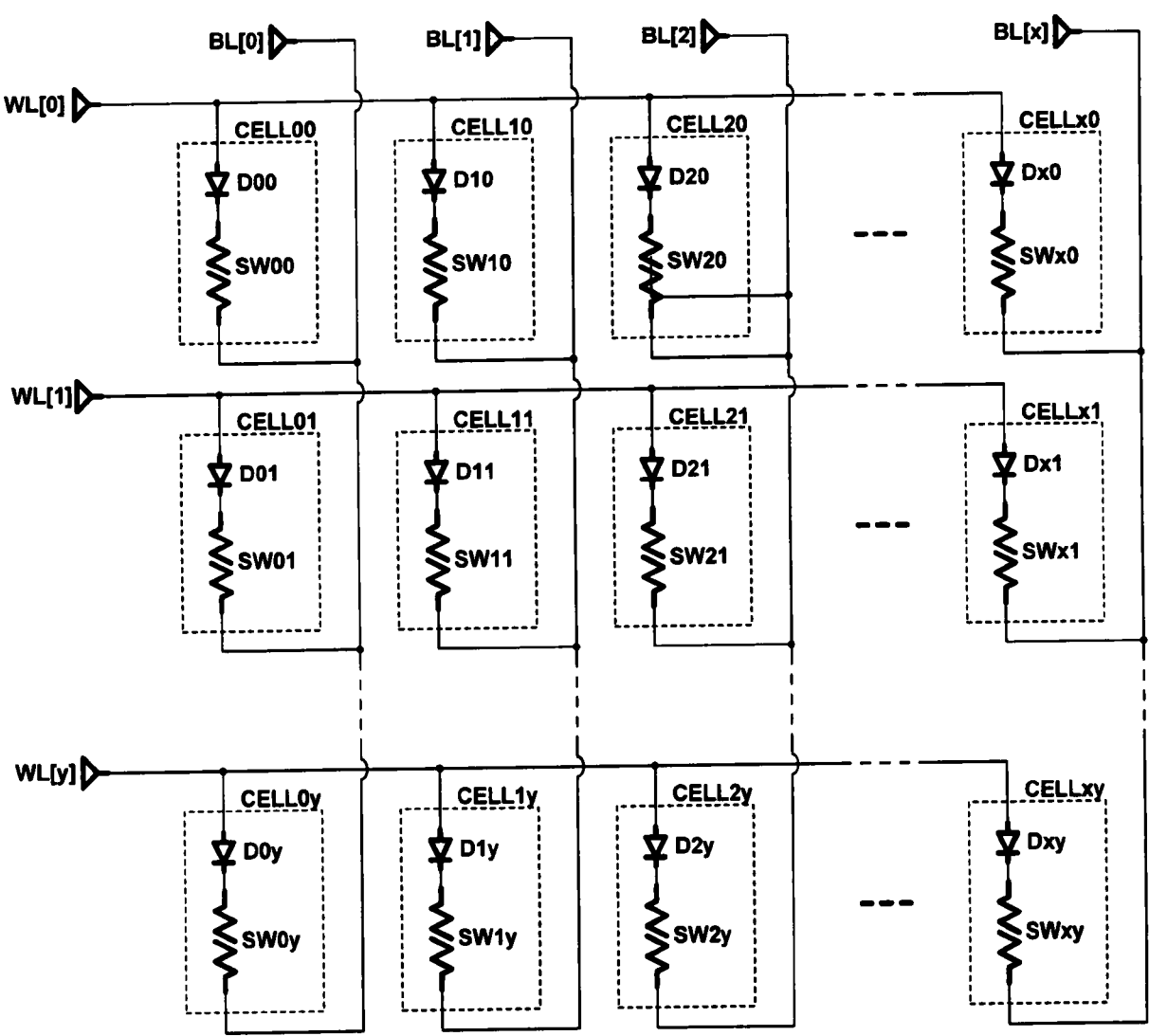


圖2

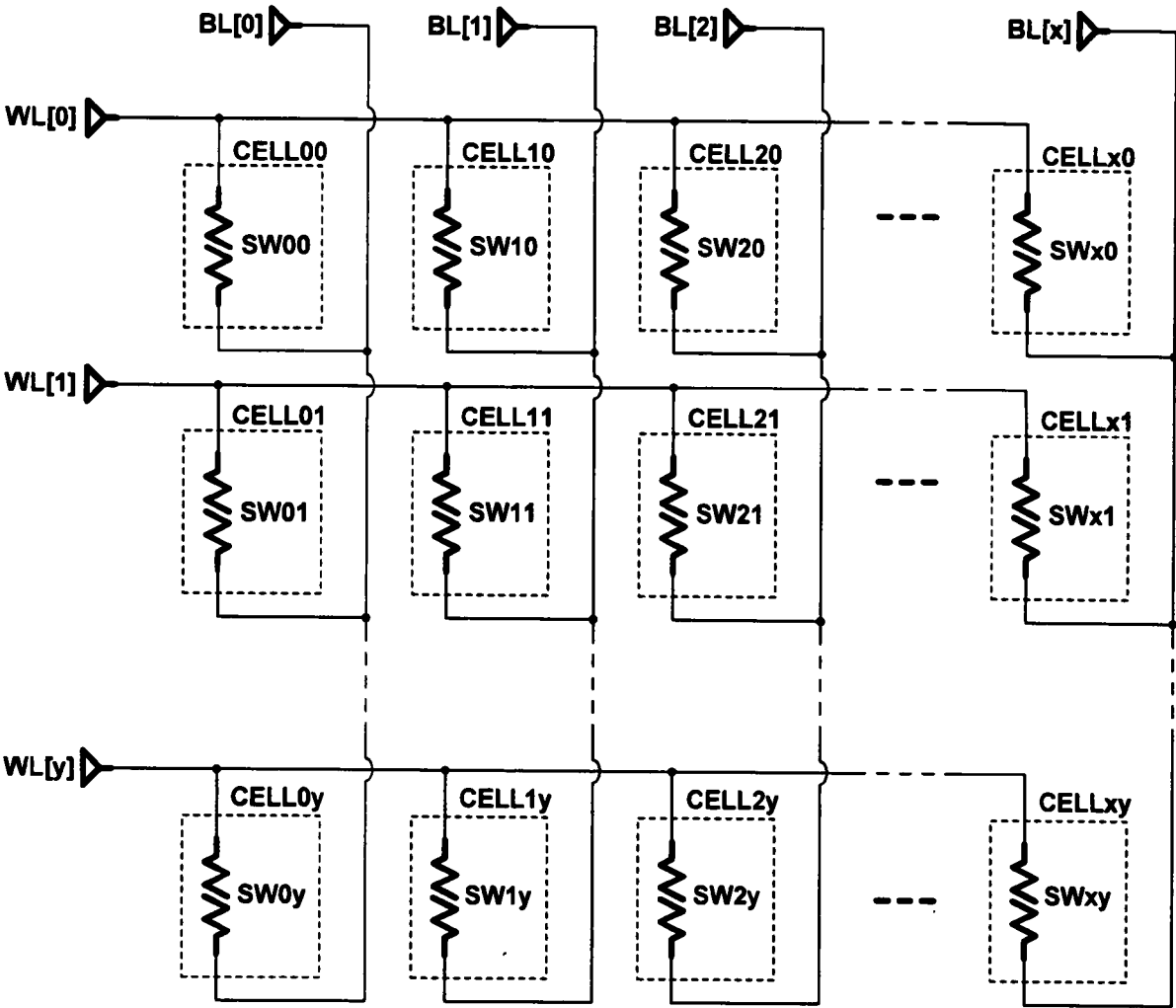


圖3

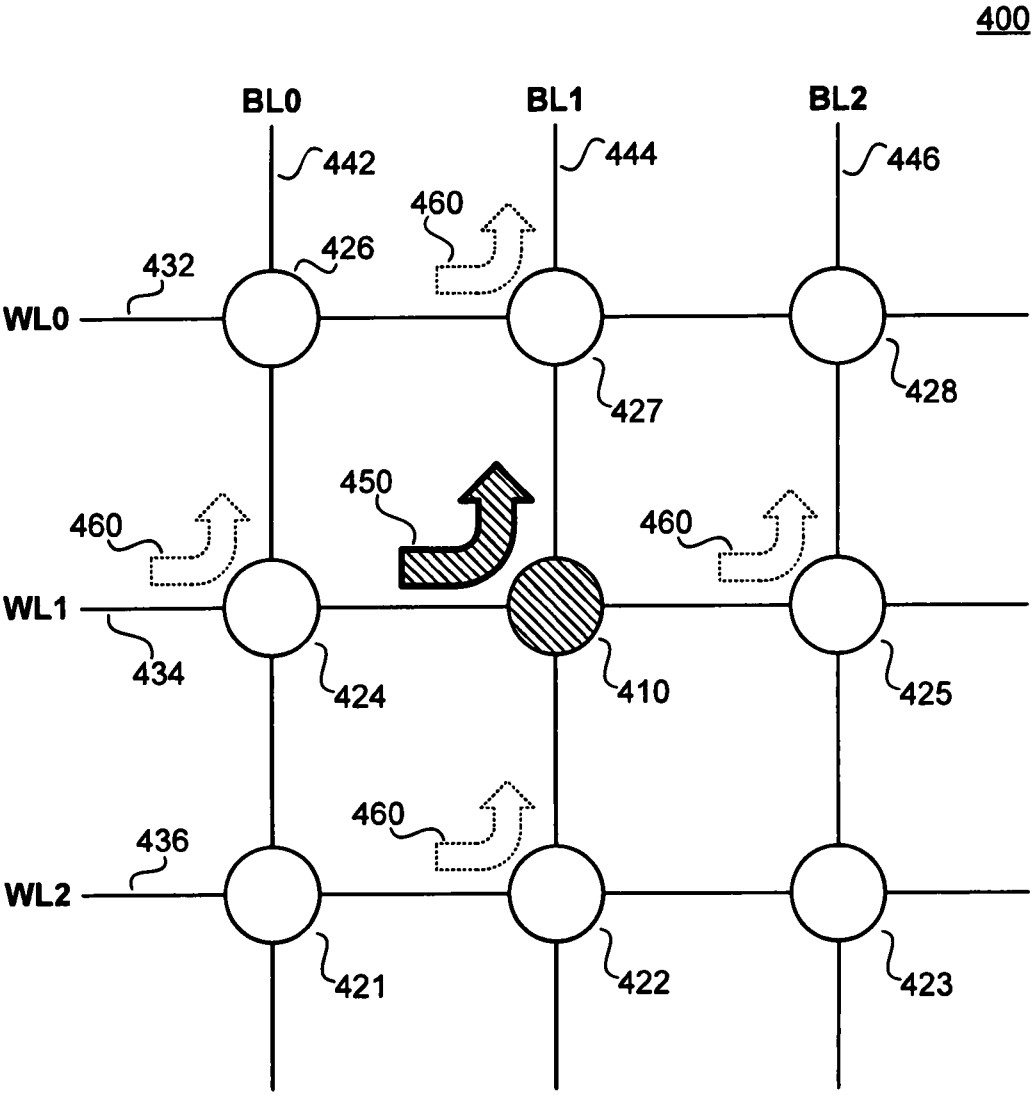


圖4

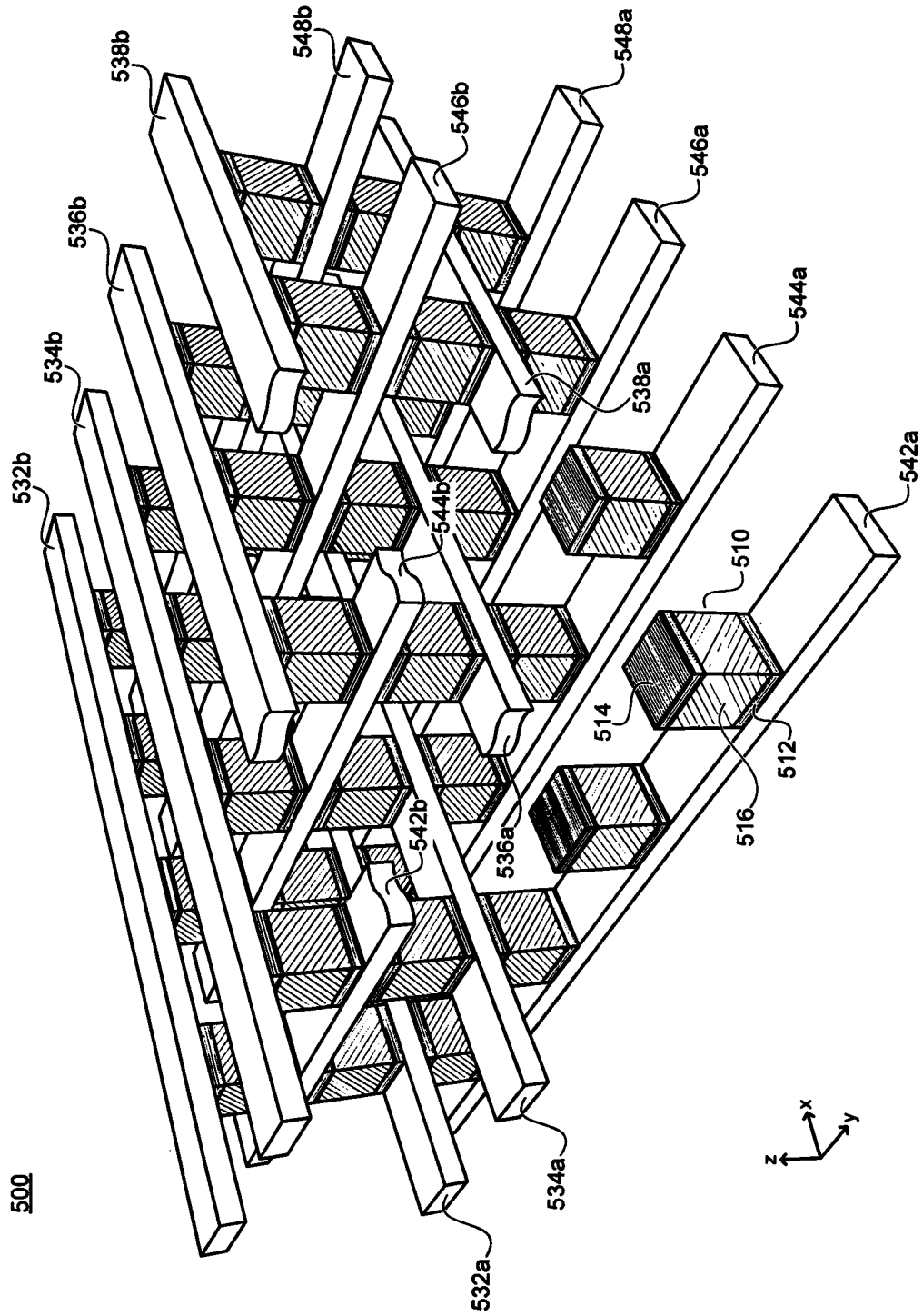


圖5

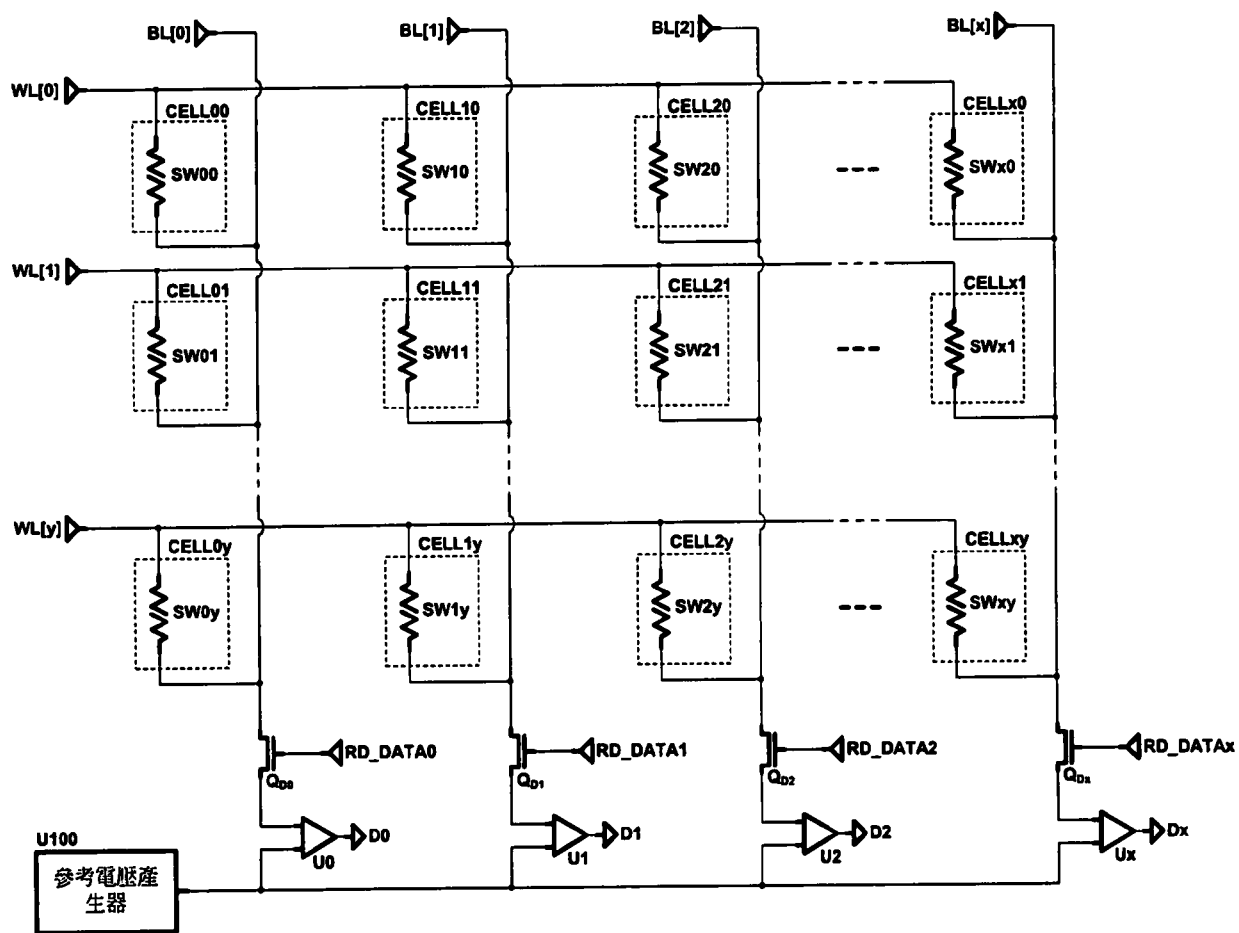


圖6A



701

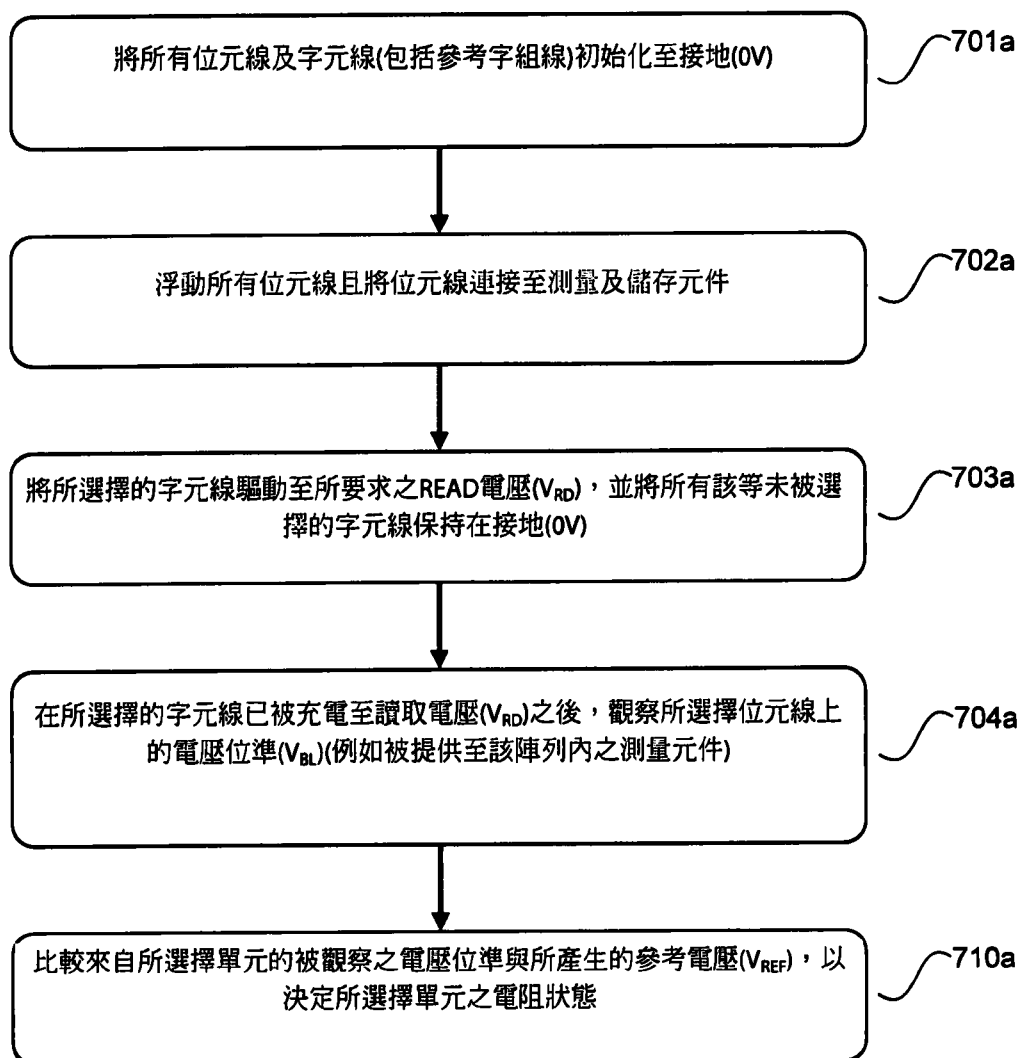


圖7A

702

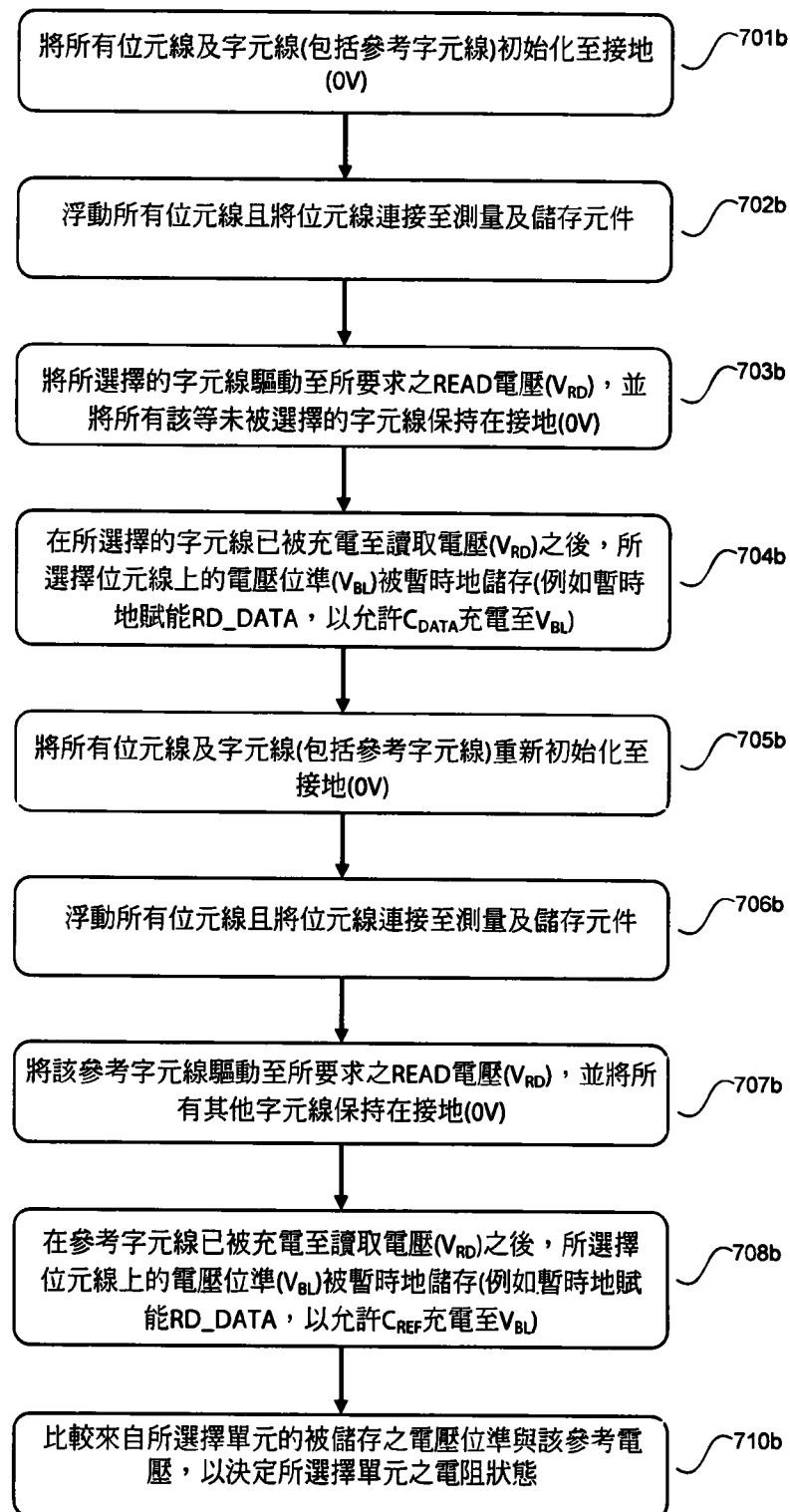


圖7B

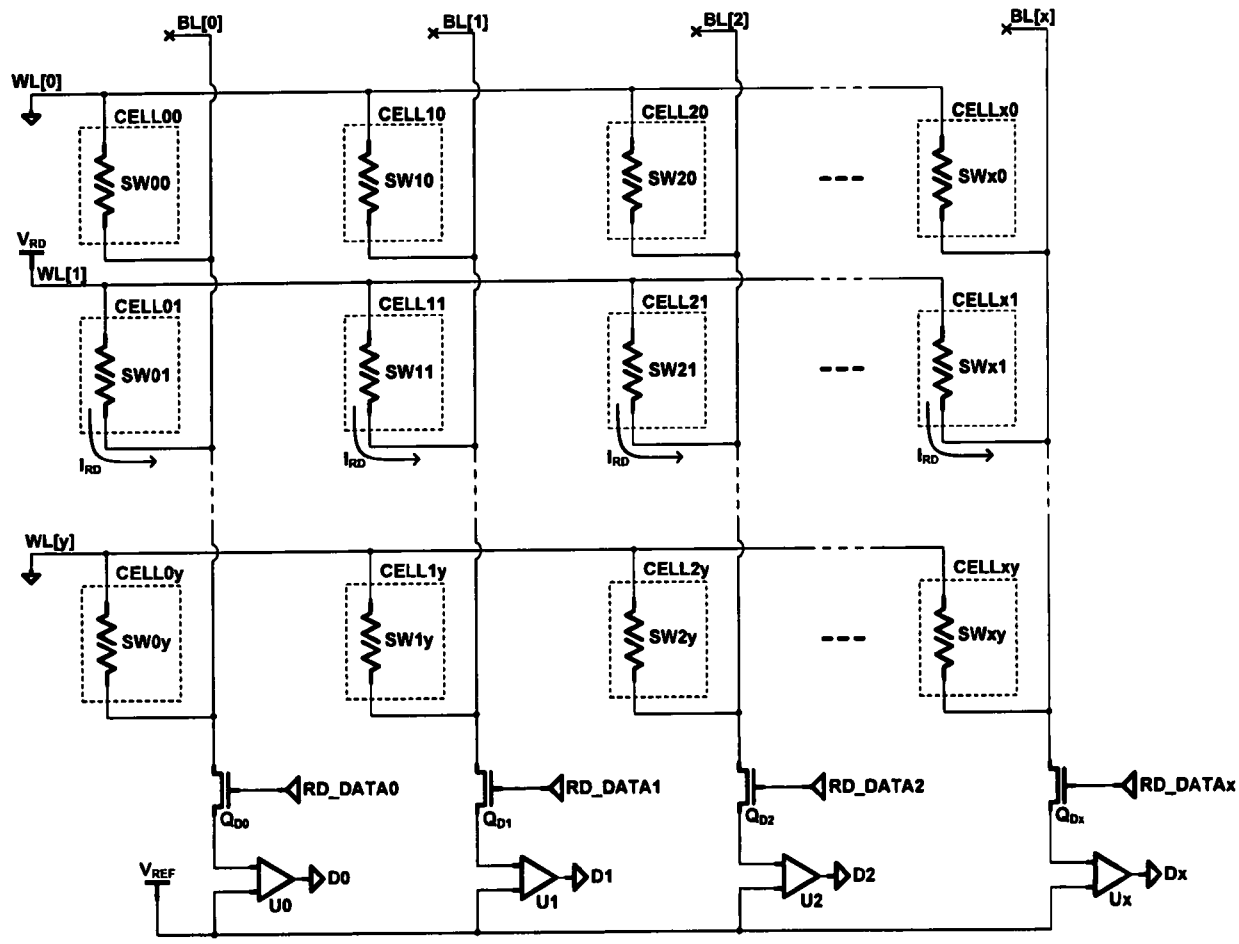


圖 8A

802

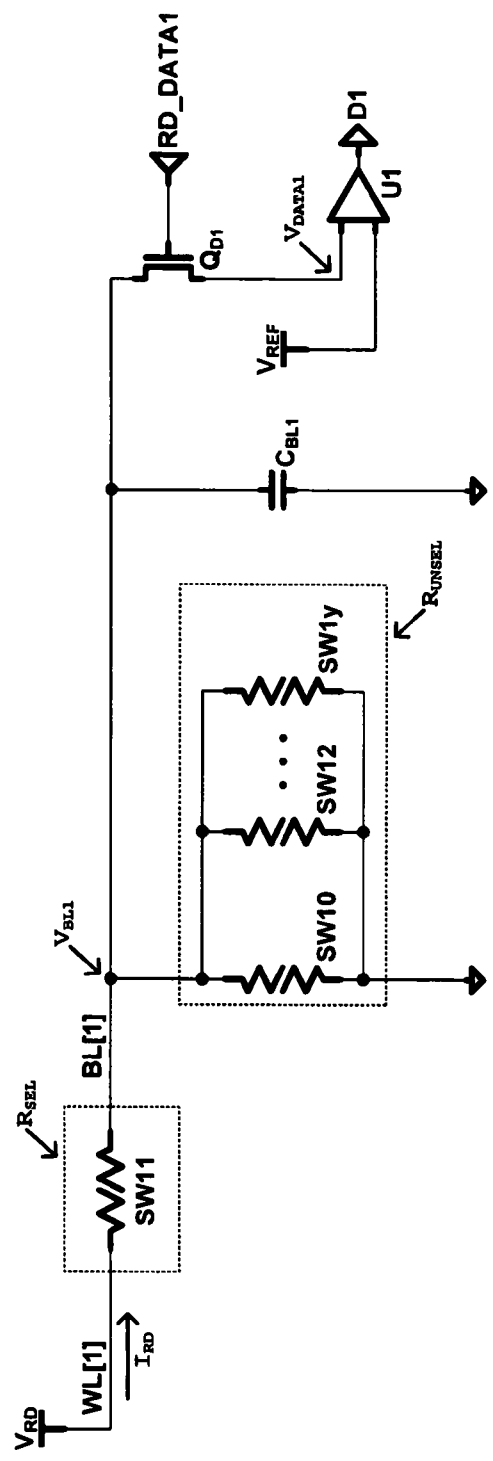


圖 8B

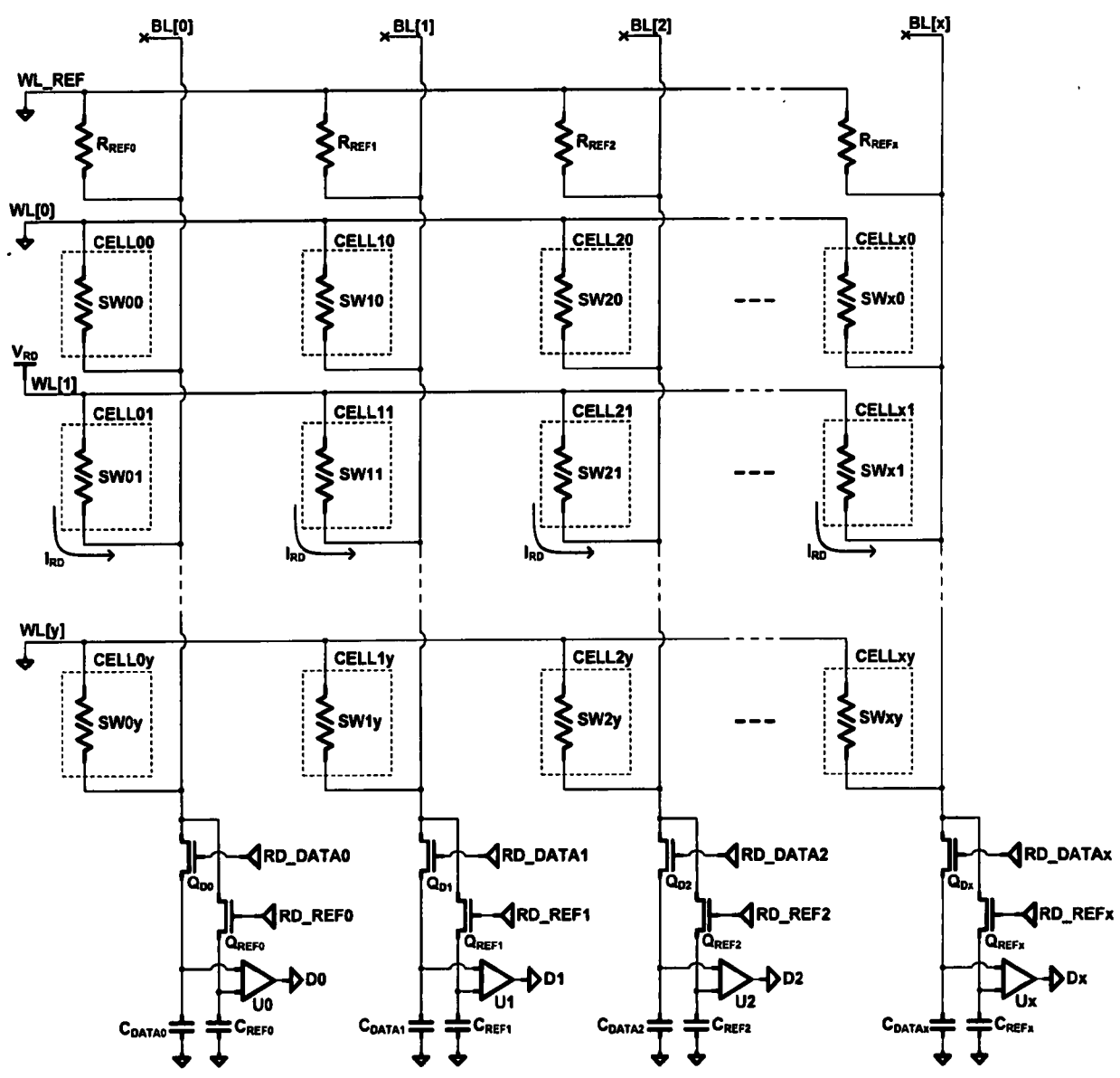


圖 9A

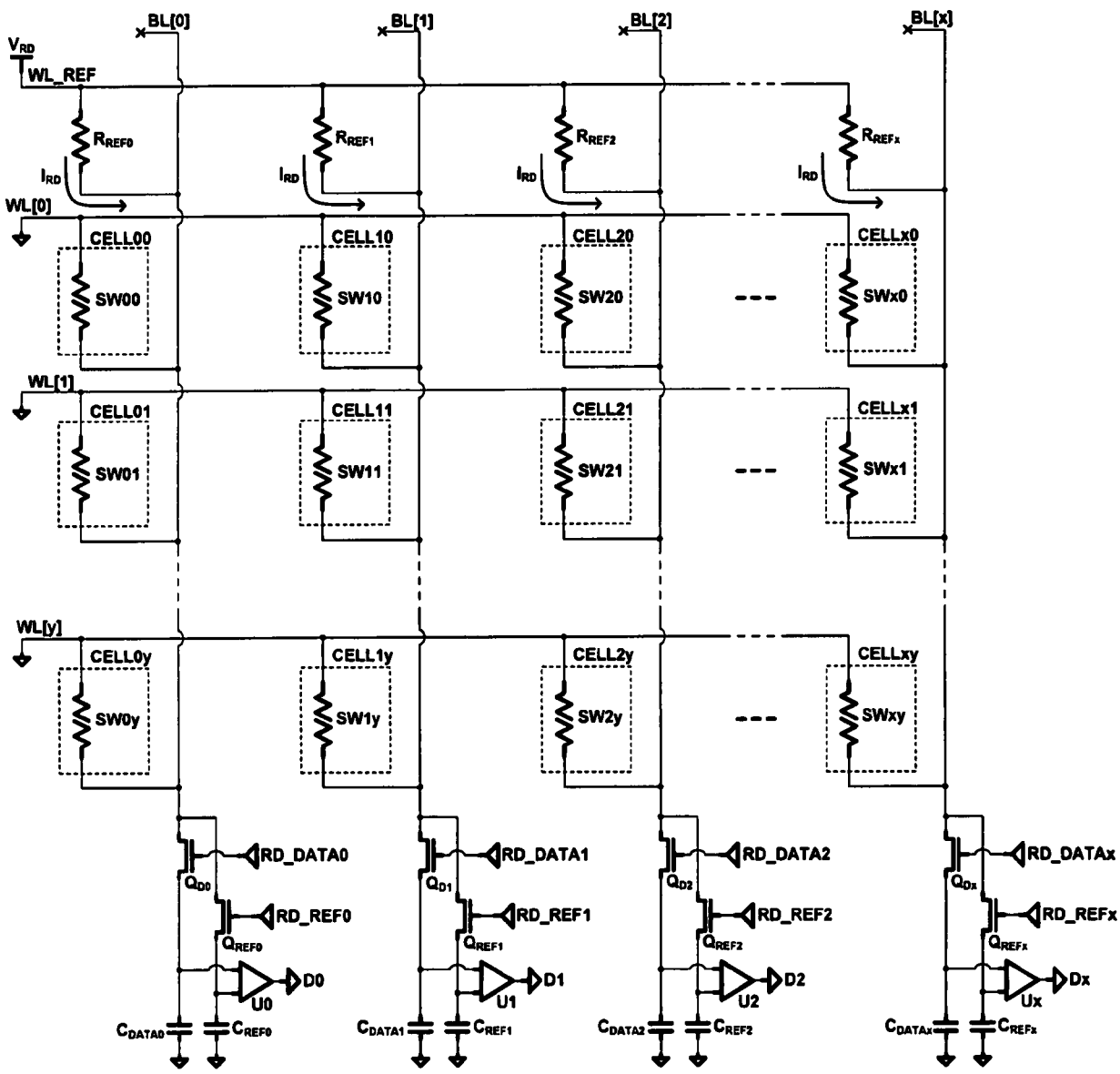
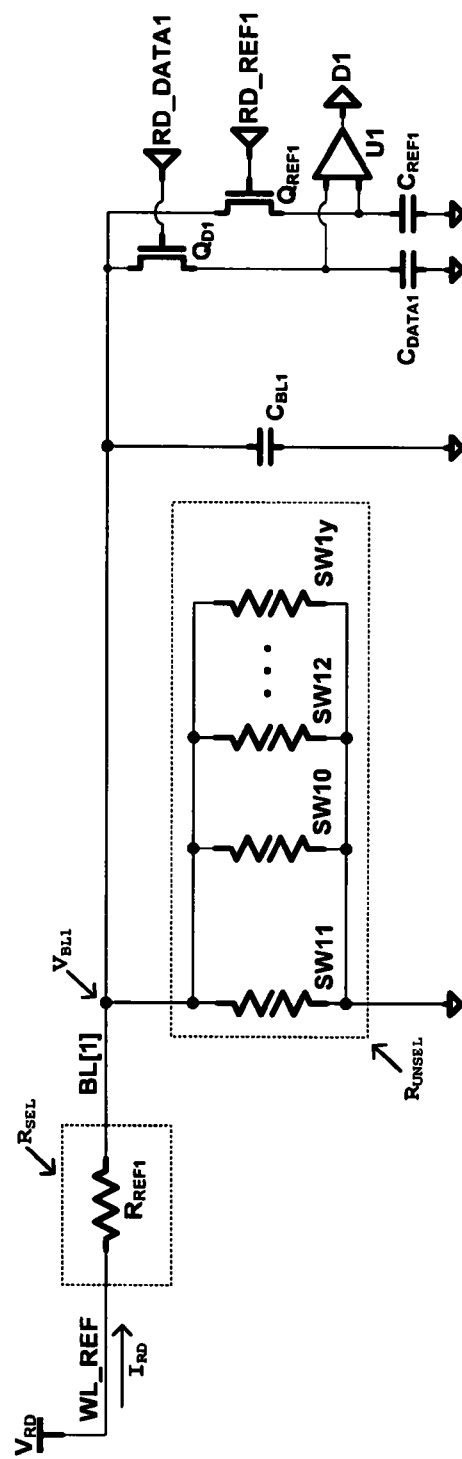


圖 9C



90

1001

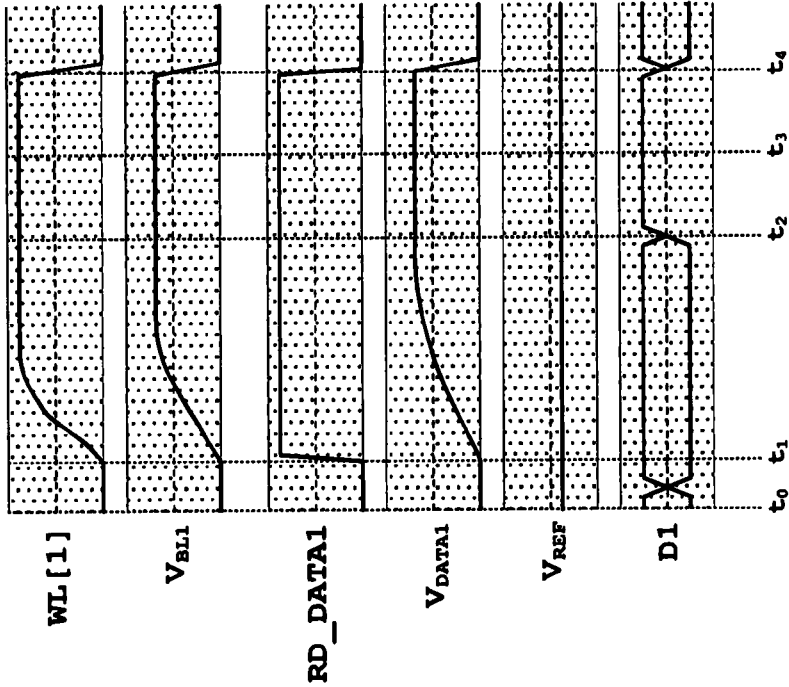


圖10A

1002

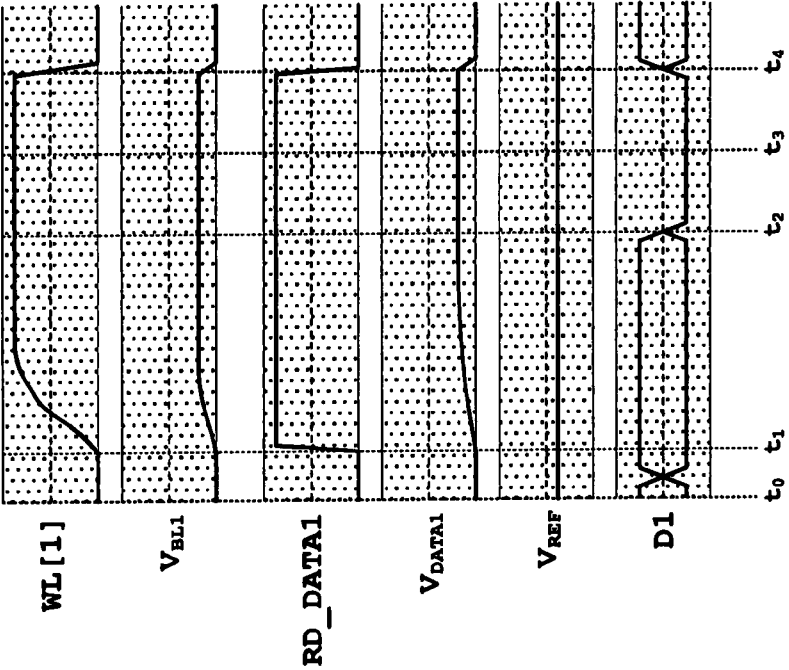


圖10B

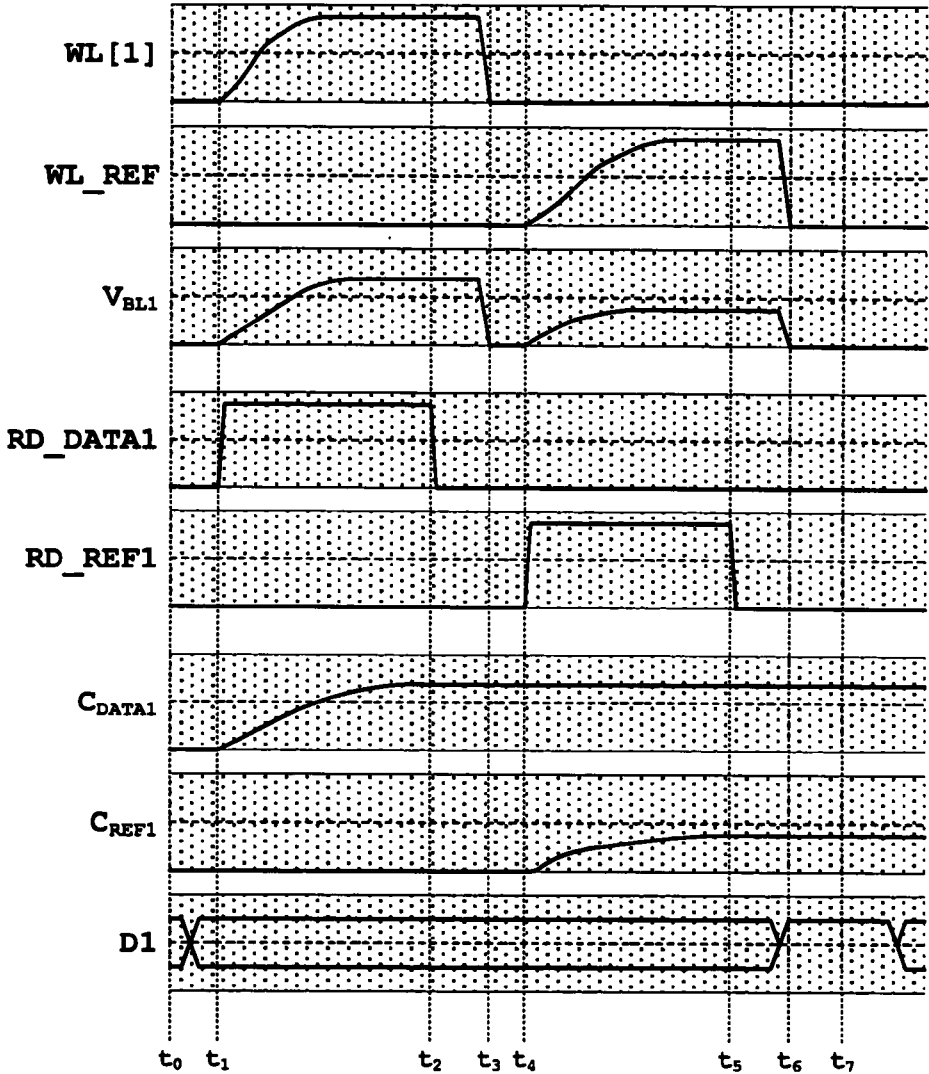


圖 11A

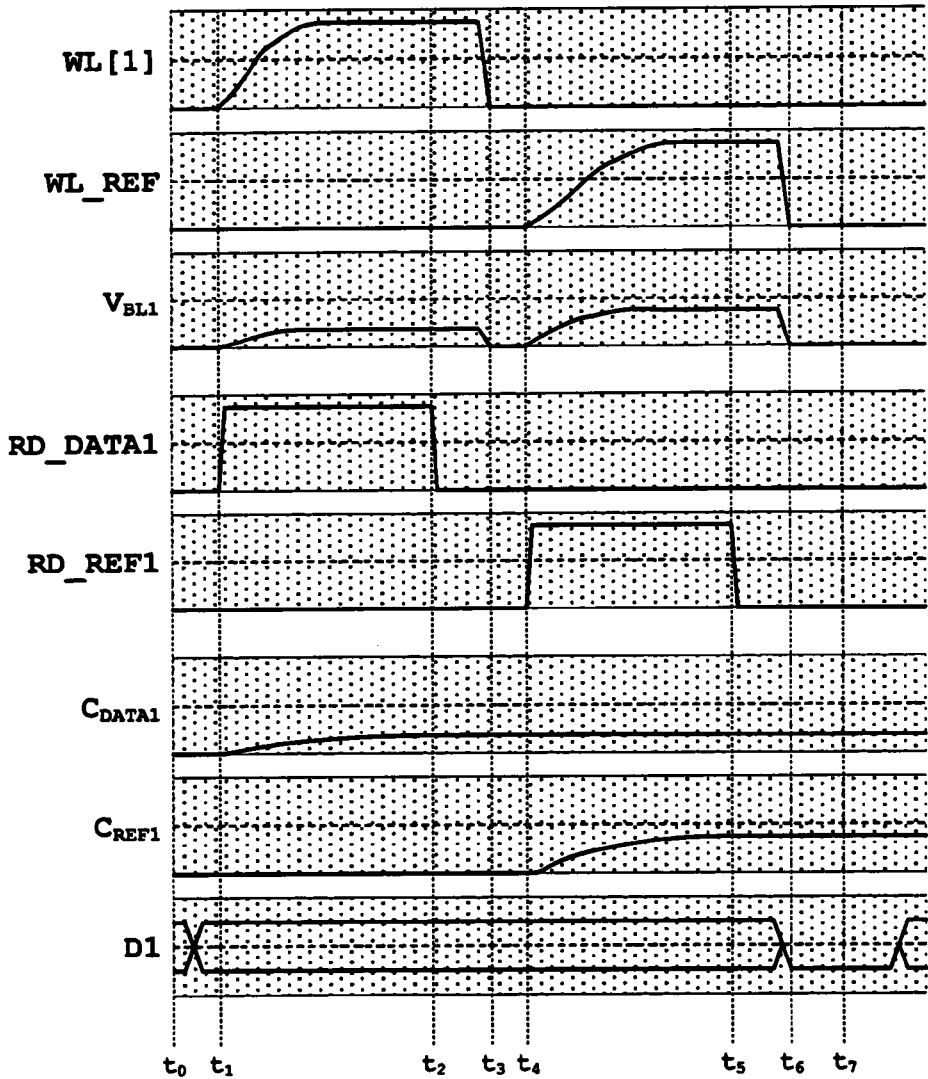


圖11B

1201

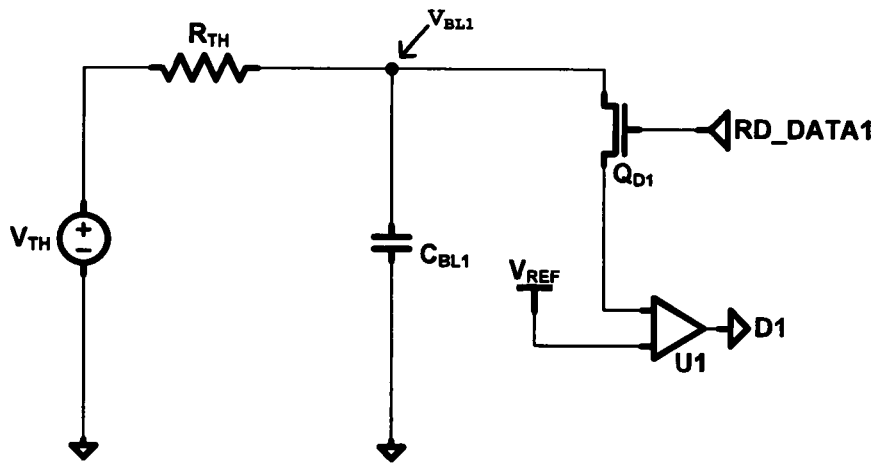


圖 12A

1202

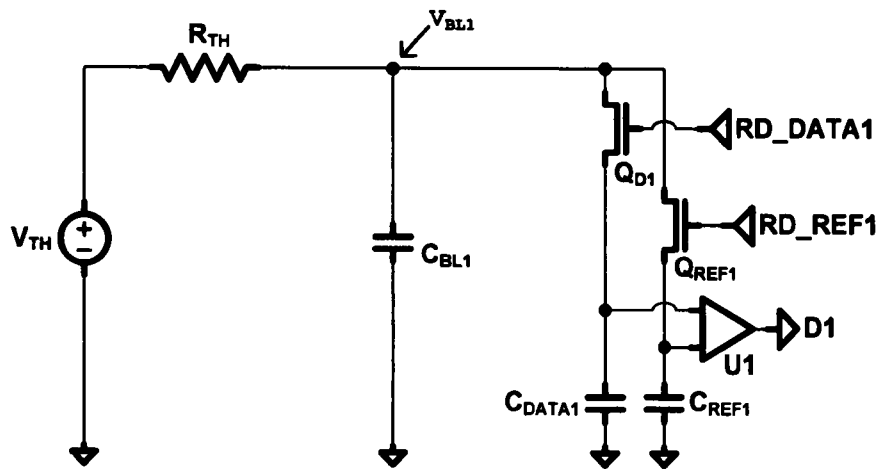


圖 12B

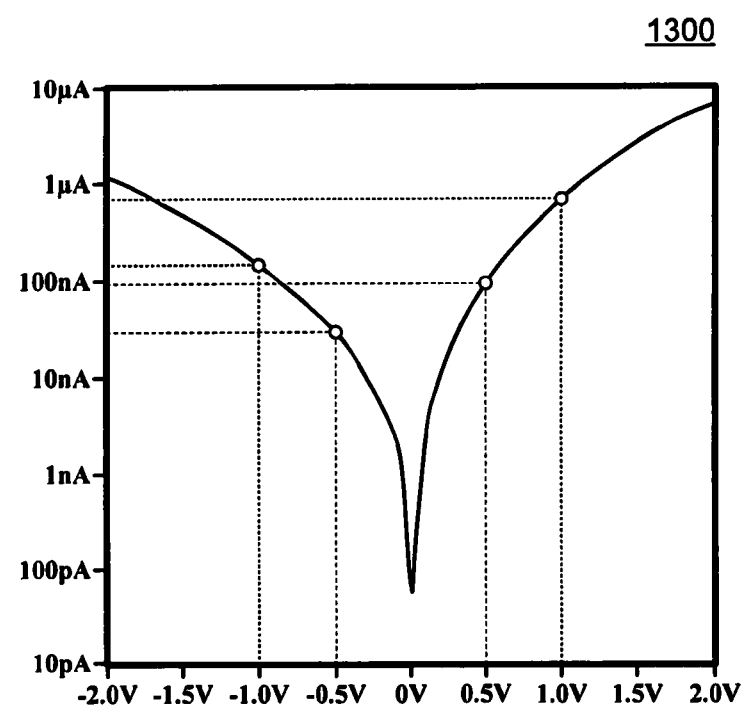


圖13

1400

陣列結構	每位元線 16單元	每位元線 32單元	每位元線 64單元	每位元線 128單元	每位元線 256單元	每位元線 512單元	每位元線 1024單元
線性電阻變化元件 及固定式電壓參考	+0 mV -0 mV	X	X	X	X	X	X
線性電阻變化元件 及陣列參考線	+30 mV -29 mV	+15 mV -14 mV	+8 mV -7 mV	+4 mV -4 mV	+2 mV -2 mV	X	X
非線性電阻變化 元件及固定式電 壓參考	+52 mV -52 mV	+28 mV -29 mV	+14 mV -15 mV	+7 mV -8 mV	+4 mV -4 mV	+2 mV -2 mV	X
非線性電阻變化元 件及陣列參考線	+68 mV -81 mV	+40 mV -41 mV	+21 mV -21 mV	+11 mV -10 mV	+6 mV -5 mV	+3 mV -3 mV	X
2X非線性電阻變化 元件及陣列參考線	+92 mV -148 mV	+64 mV -78 mV	+38 mV -40 mV	+21 mV -21 mV	+11 mV -11 mV	+6 mV -5 mV	+3 mV -3 mV
讀出和儲存元件的解析度(mV)							
	+/- 20	+/- 10	+/- 5	+/- 3			

1401

1402

1403

1404

1405

圖14

每位 元線 之單 元 ----- ("n")	讀取RESET狀態中之非線 性單元(20MΩ)		讀取SET狀態中之非線 性單元(1MΩ)		SET與RESET 邊際	固定式參考電壓 (V _{REF})	最小READ信號 (V _{BL} - V _{REF})	
	具有 R _{EQ} =20MΩ 之V _{BL} (最高 可能值)	具有 R _{EQ} =3MΩ之 V _{BL} (最低可 能值)	具有 R _{EQ} =20MΩ 之V _{BL} (最高 可能值)	具有 R _{EQ} =3MΩ之 V _{BL} (最低可 能值)			讀取 RESET單 元(邏 輯"0")	讀取SET 單元(邏 輯"1")
16	63 mV	10 mV	571 mV	167 mV	104 mV	115 mV	-52 mV	52 mV
32	31 mV	5 mV	392 mV	88 mV	57 mV	60 mV	-29 mV	28 mV
64	16 mV	2 mV	241 mV	45 mV	30 mV	31 mV	-15 mV	14 mV
128	8 mV	1 mV	136 mV	23 mV	15 mV	16 mV	-8 mV	7 mV
256	4 mV	1 mV	73 mV	12 mV	8 mV	8 mV	-4 mV	4 mV
512	2 mV	0 mV	38 mV	6 mV	4 mV	4 mV	-2 mV	2 mV
1024	1 mV	0 mV	19 mV	3 mV	2 mV	2 mV	-1 mV	1 mV

圖15A

每位 元線 之單 元	讀取RESET狀態中之非線性單元(20MΩ), 使REQ=20MΩ(最小漏洩)				讀取RESET狀態中之非線性單元(20MΩ), 使REQ=3MΩ (最大漏洩)				讀取SET狀態中之非線性單元 (1MΩ), 使REQ=20MΩ(最小漏洩)				讀取SET狀態中之非線性單元 (1MΩ), 使REQ=3MΩ (最大漏洩)			
	資料相 位期間 的V _{BL}	參考相 位期間 的V _{BL}	最大READ/信 號(RESET單 元/最小漏洩)	資料相 位期間 的V _{BL}	資料相 位期間 的V _{BL}	參考相 位期間 的V _{BL}	最小READ/信號 (RESET單元/ 最大漏洩)	資料相 位期間 的V _{BL}	資料相 位期間 的V _{BL}	參考相 位期間 的V _{BL}	最大READ/信 號(SET單元/ 最小漏洩)	資料相 位期間 的V _{BL}	資料相 位期間 的V _{BL}	參考相 位期間 的V _{BL}	最小READ/信 號(SET單元/ 最大漏洩)	
16	38 mV	385 mV	-346 mV	9 mV	9 mV	90 mV	-81 mV	444 mV	444 mV	316 mV	135 mV	154 mV	154 mV	86 mV	68 mV	
32	24 mV	238 mV	-214 mV	5 mV	5 mV	46 mV	-41 mV	328 mV	328 mV	210 mV	118 mV	85 mV	85 mV	45 mV	40 mV	
64	14 mV	135 mV	-122 mV	2 mV	2 mV	23 mV	-21 mV	215 mV	215 mV	126 mV	89 mV	44 mV	44 mV	23 mV	21 mV	
128	7 mV	72 mV	-65 mV	1 mV	1 mV	12 mV	-10 mV	127 mV	127 mV	70 mV	57 mV	23 mV	23 mV	12 mV	11 mV	
256	4 mV	38 mV	-34 mV	1 mV	1 mV	6 mV	-5 mV	70 mV	70 mV	37 mV	33 mV	12 mV	12 mV	6 mV	6 mV	
512	2 mV	19 mV	-17 mV	0 mV	0 mV	3 mV	-3 mV	37 mV	37 mV	19 mV	18 mV	6 mV	6 mV	3 mV	3 mV	
1024	1 mV	10 mV	-9 mV	0 mV	0 mV	1 mV	-1 mV	19 mV	19 mV	10 mV	9 mV	3 mV	3 mV	1 mV	1 mV	

圖15B

1503

每位 元線 之單 元	讀取RESET狀態中之2X非線性單元 (20MΩ), 使Req=20MΩ(最小漏洩)				讀取RESET狀態中之2X非線性單 元(20MΩ), 使Req=6MΩ(最大漏洩)				讀取SET狀態中之2X非線性單元 (1MΩ), 使Req=20MΩ(最小漏洩)				讀取SET狀態中之2X非線性單元(1MΩ), 使Req=6MΩ(最大漏洩)			
	資料相 位期間 的V _{BL}	參考相 位期間的 V _{BL}	最大READ信 號(RESET單元/ 最小漏洩)	資料相 位期間 的V _{BL}	參考相 位期間 的V _{BL}	最小READ信 號(RESET單 元/最大漏洩)	資料相 位期間 的V _{BL}	參考相 位期間 的V _{BL}	資料相 位期間 的V _{BL}	參考相 位期間 的V _{BL}	最大READ信 號(SET單元/ 最小漏洩)	資料相 位期間 的V _{BL}	參考相 位期間 的V _{BL}	資料相 位期間 的V _{BL}	參考相 位期間 的V _{BL}	最小READ信 號(SET單元/ 最大漏洩)
16	38 mV	385 mV	-346 mV	16 mV	164 mV	-148 mV	444 mV	353 mV	250 mV	158 mV	91 mV	250 mV	158 mV	92 mV	158 mV	92 mV
32	24 mV	238 mV	-214 mV	9 mV	87 mV	-78 mV	328 mV	226 mV	150 mV	86 mV	102 mV	150 mV	86 mV	64 mV	86 mV	64 mV
64	14 mV	135 mV	-122 mV	5 mV	45 mV	-40 mV	215 mV	131 mV	83 mV	45 mV	84 mV	83 mV	45 mV	38 mV	45 mV	38 mV
128	7mV	72 mV	-65 mV	2 mV	23 mV	-21 mV	127 mV	71 mV	44 mV	23 mV	56 mV	44 mV	23 mV	21 mV	23 mV	21 mV
256	4 mV	38 mV	-34 mV	1 mV	12 mV	-11 mV	70 mV	37 mV	23 mV	12 mV	33 mV	23 mV	12 mV	11 mV	12 mV	11 mV
512	2 mV	19 mV	-17 mV	1 mV	6 mV	-5 mV	37 mV	19 mV	12 mV	6 mV	18 mV	12 mV	6 mV	6 mV	6 mV	6 mV
1024	1 mV	10 mV	-9 mV	0 mV	3 mV	-3 mV	19 mV	10 mV	6 mV	3 mV	9 mV	6 mV	3 mV	3 mV	3 mV	3 mV

圖15C

1601

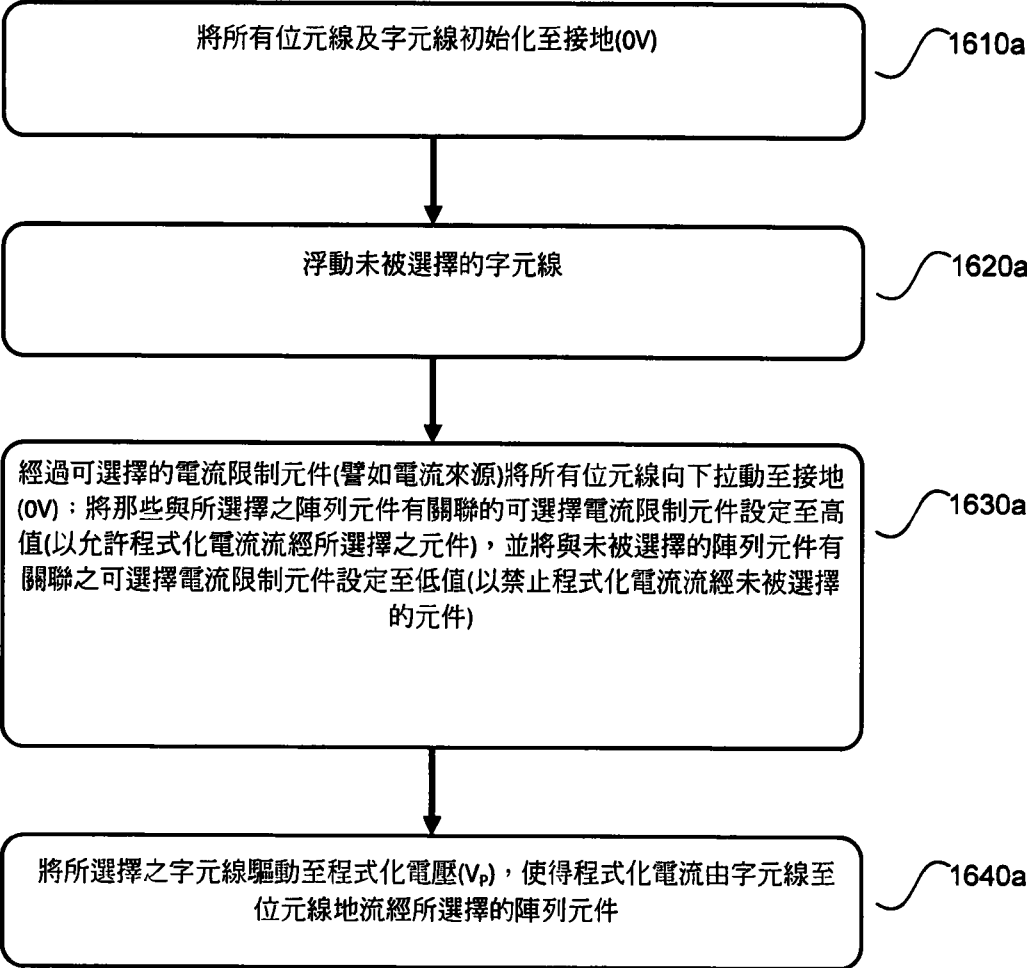


圖16A

1602

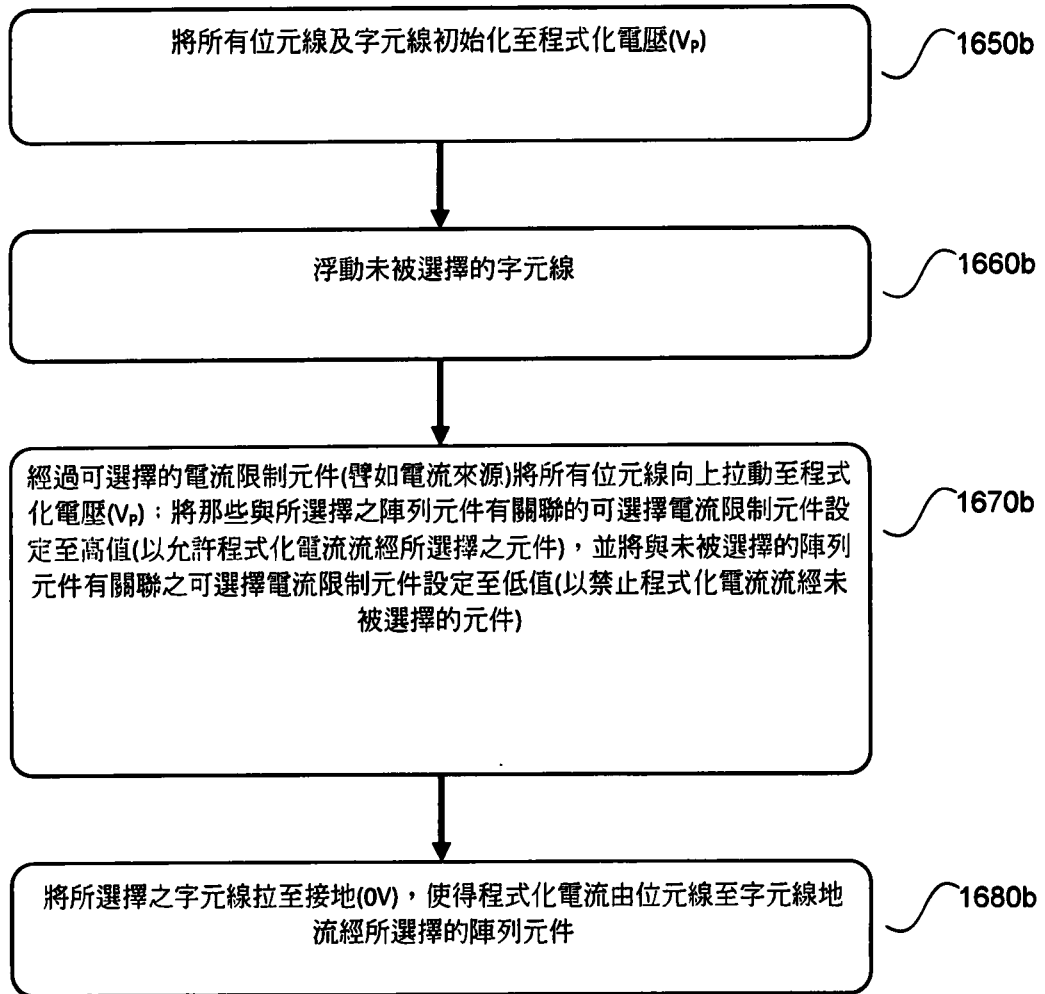


圖 16B

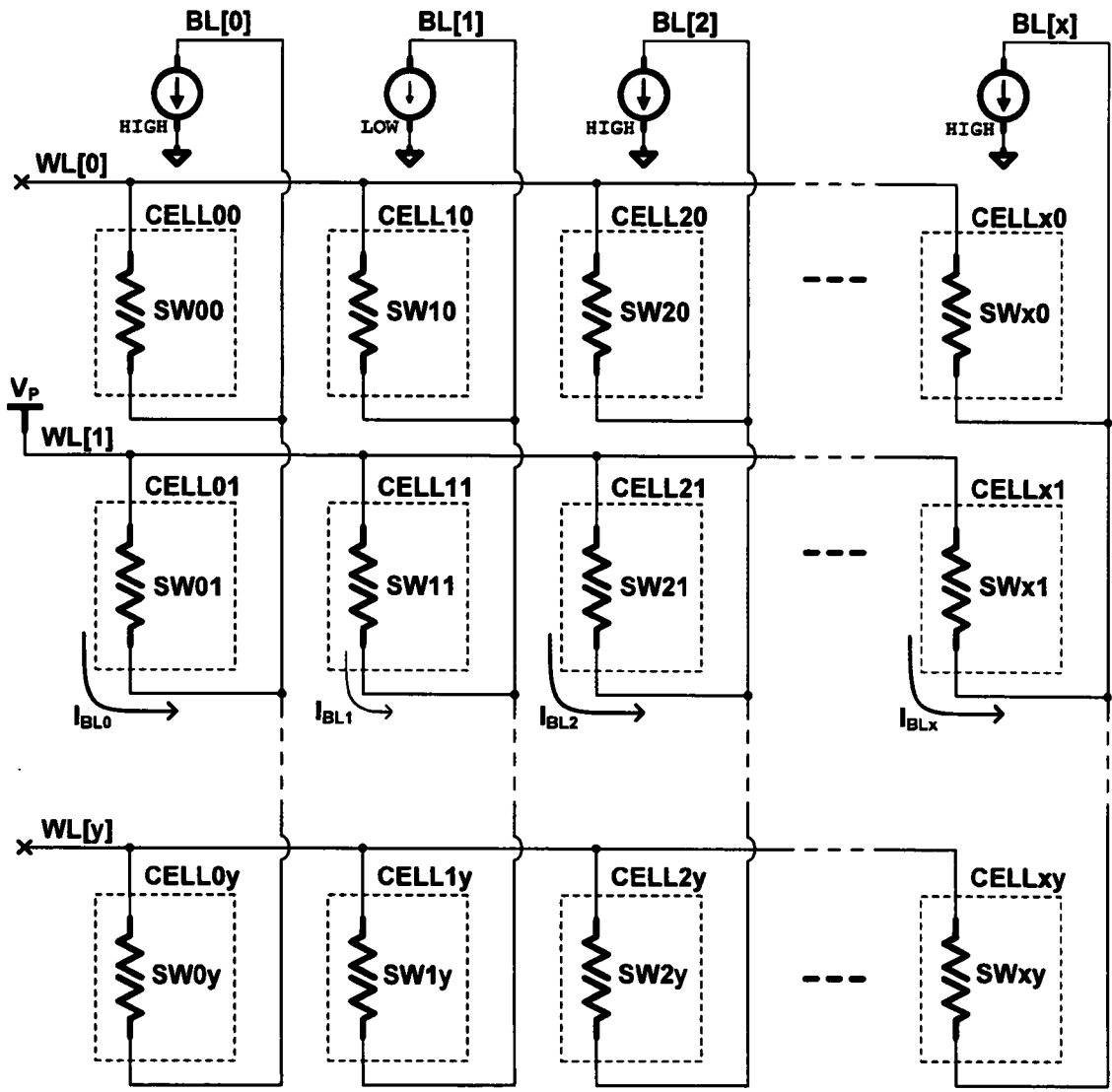


圖 17A

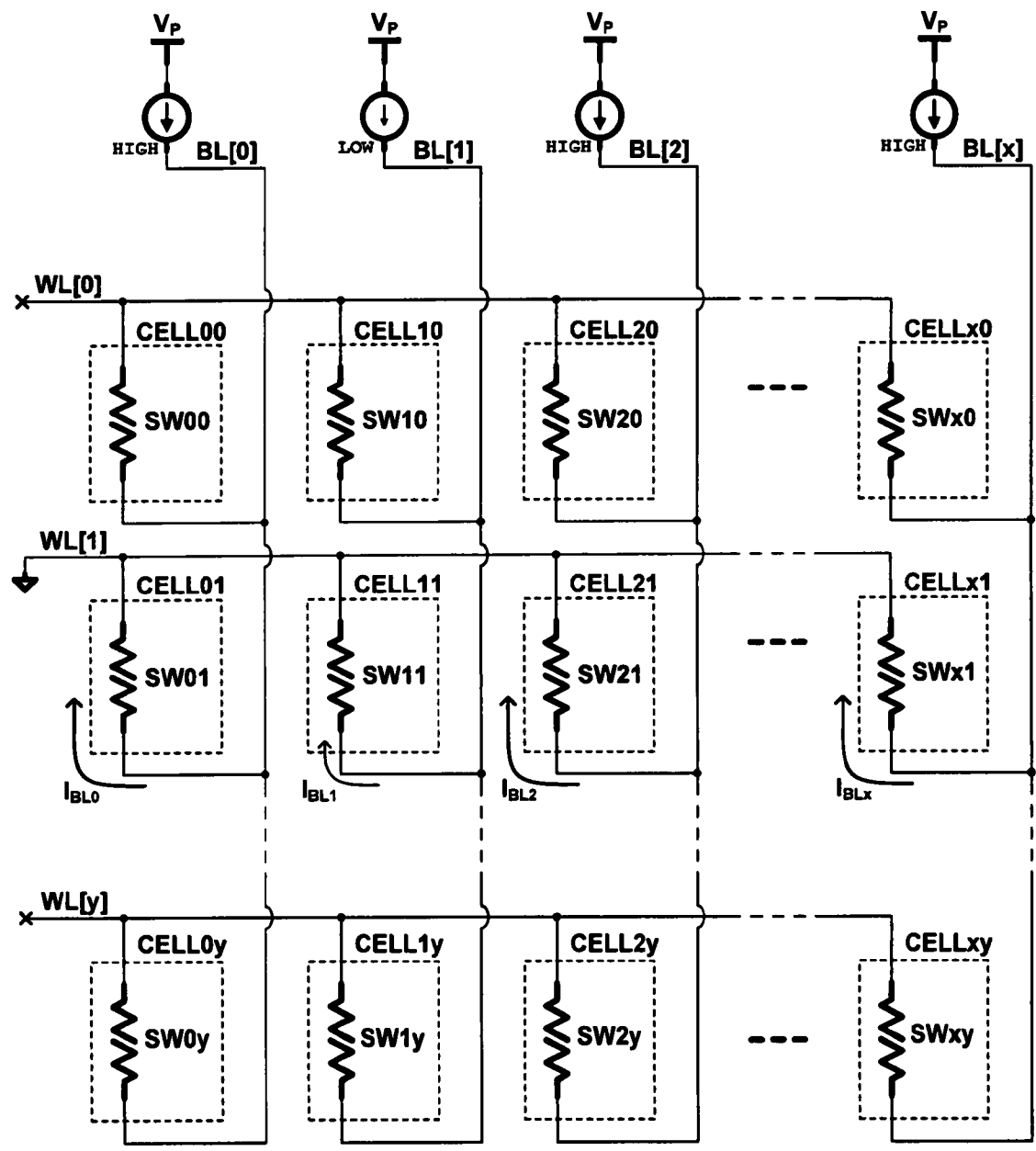


圖 17B

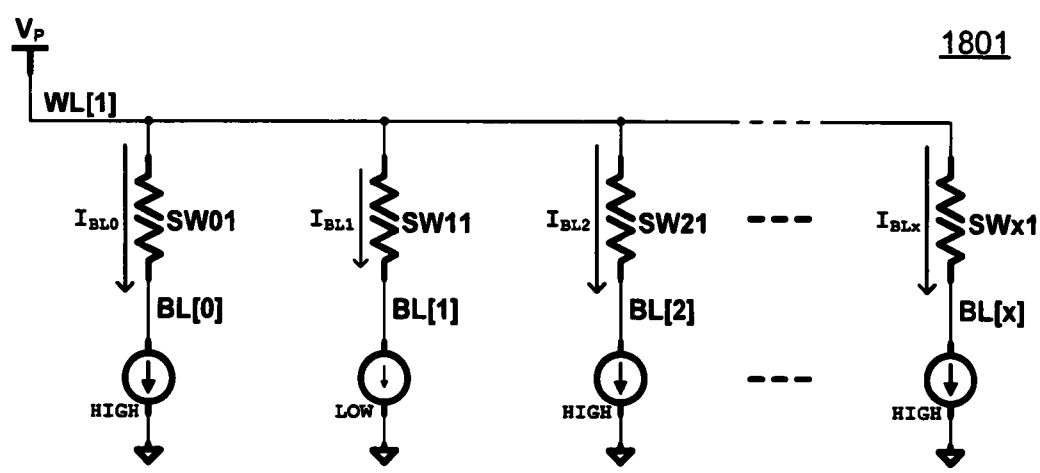


圖 18A

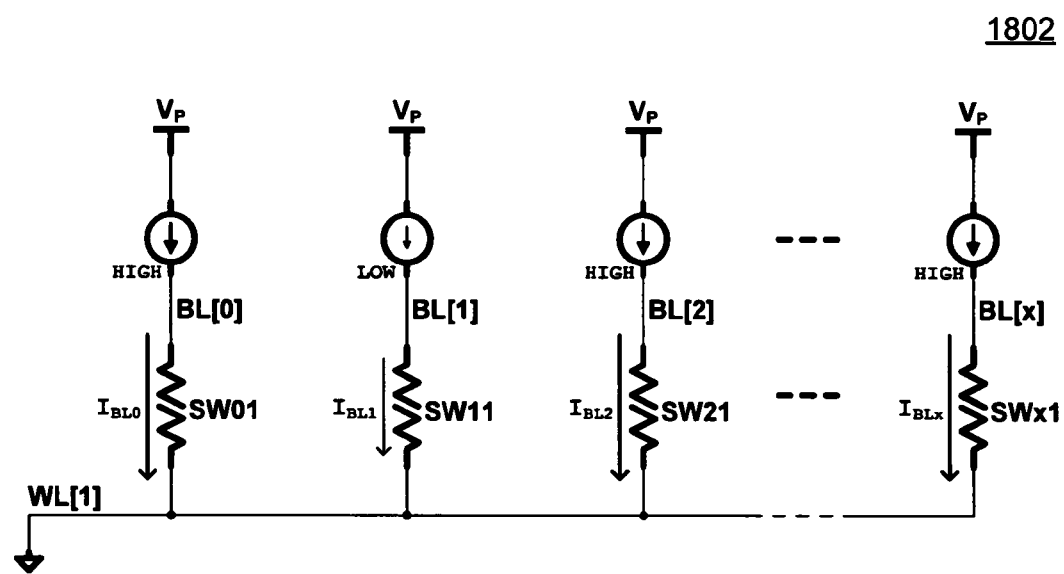


圖 18B

1900

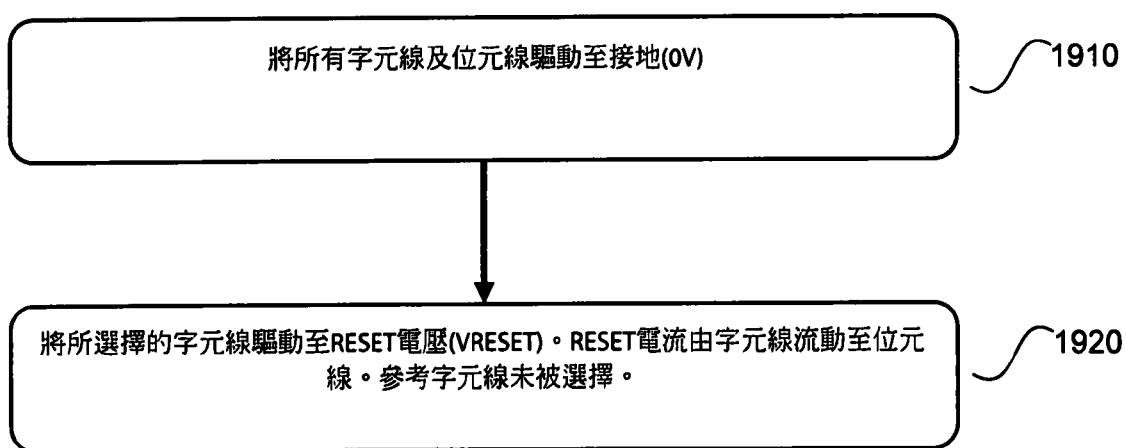


圖 19A

1950

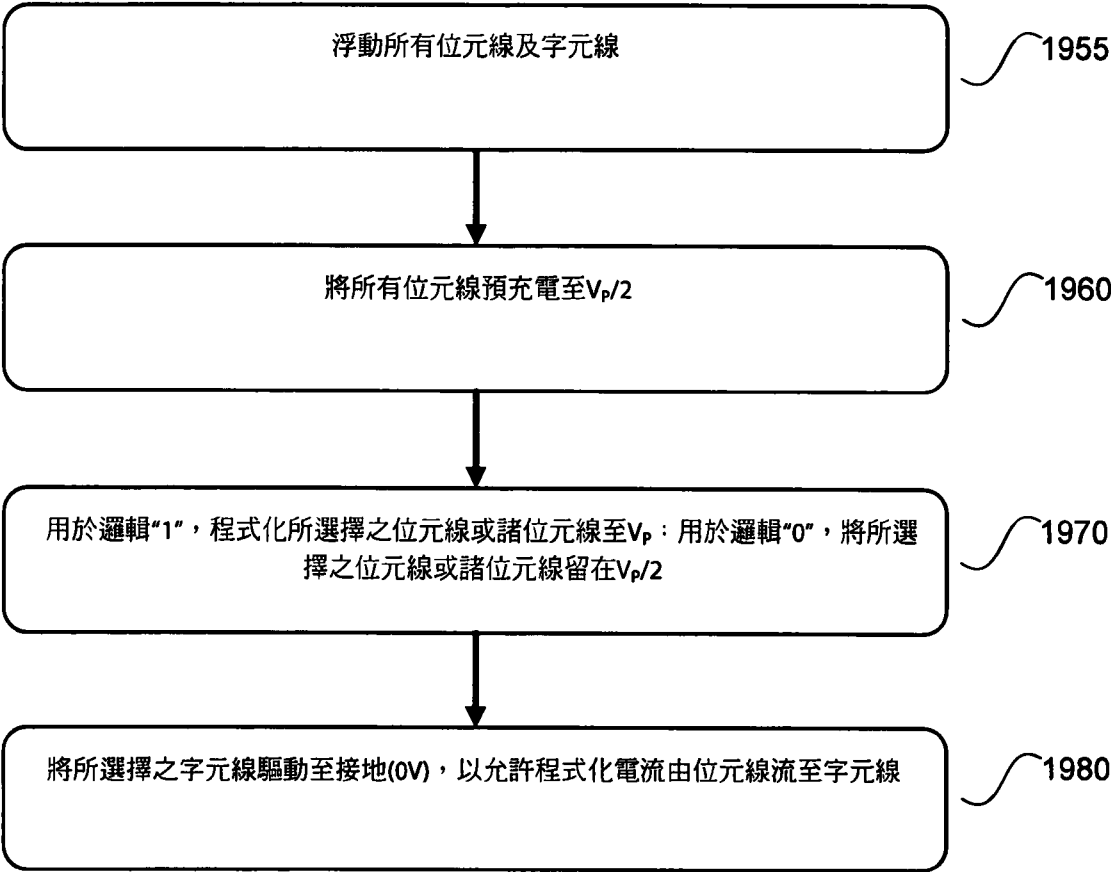


圖 19B

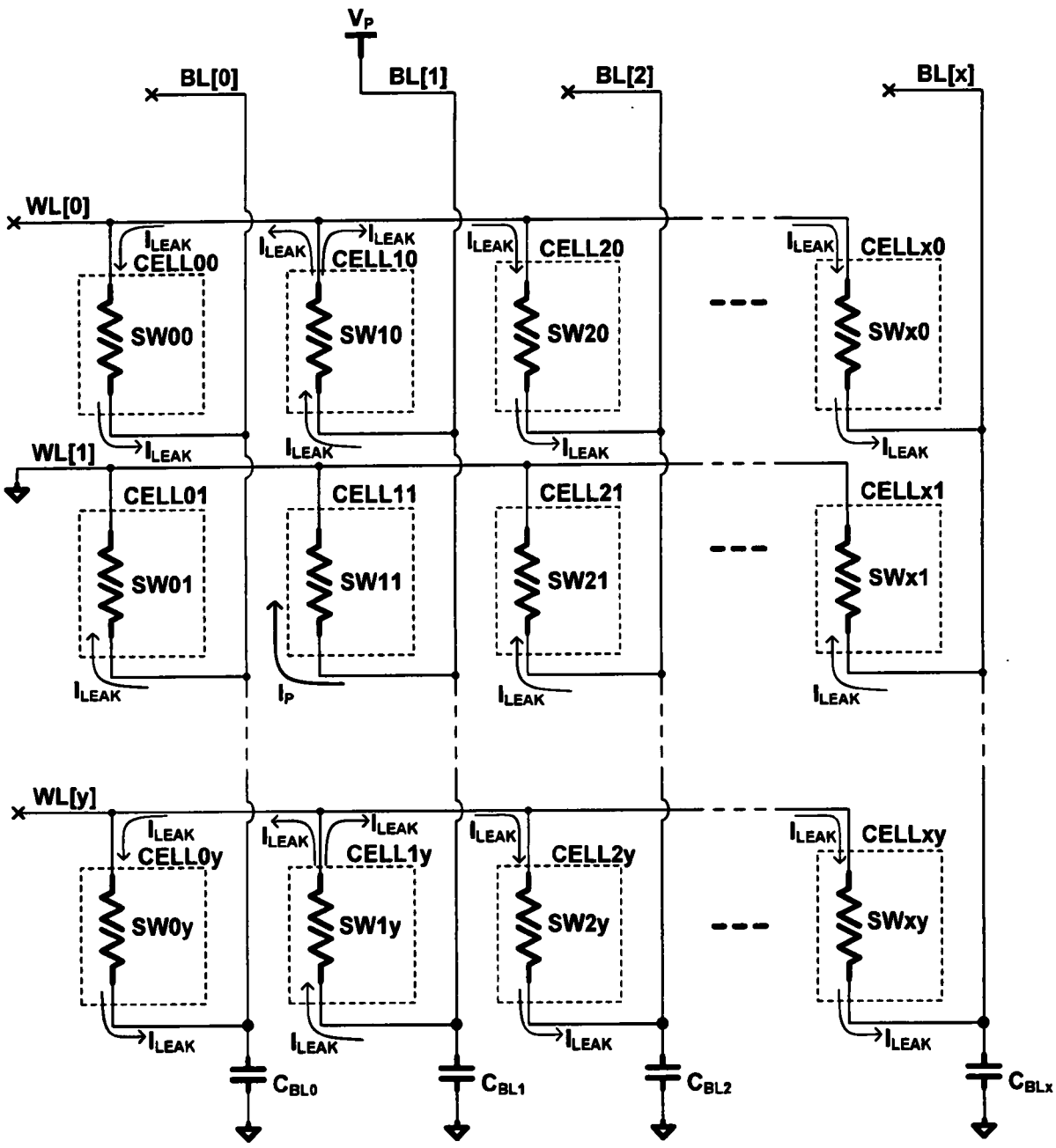


圖 20A

2002

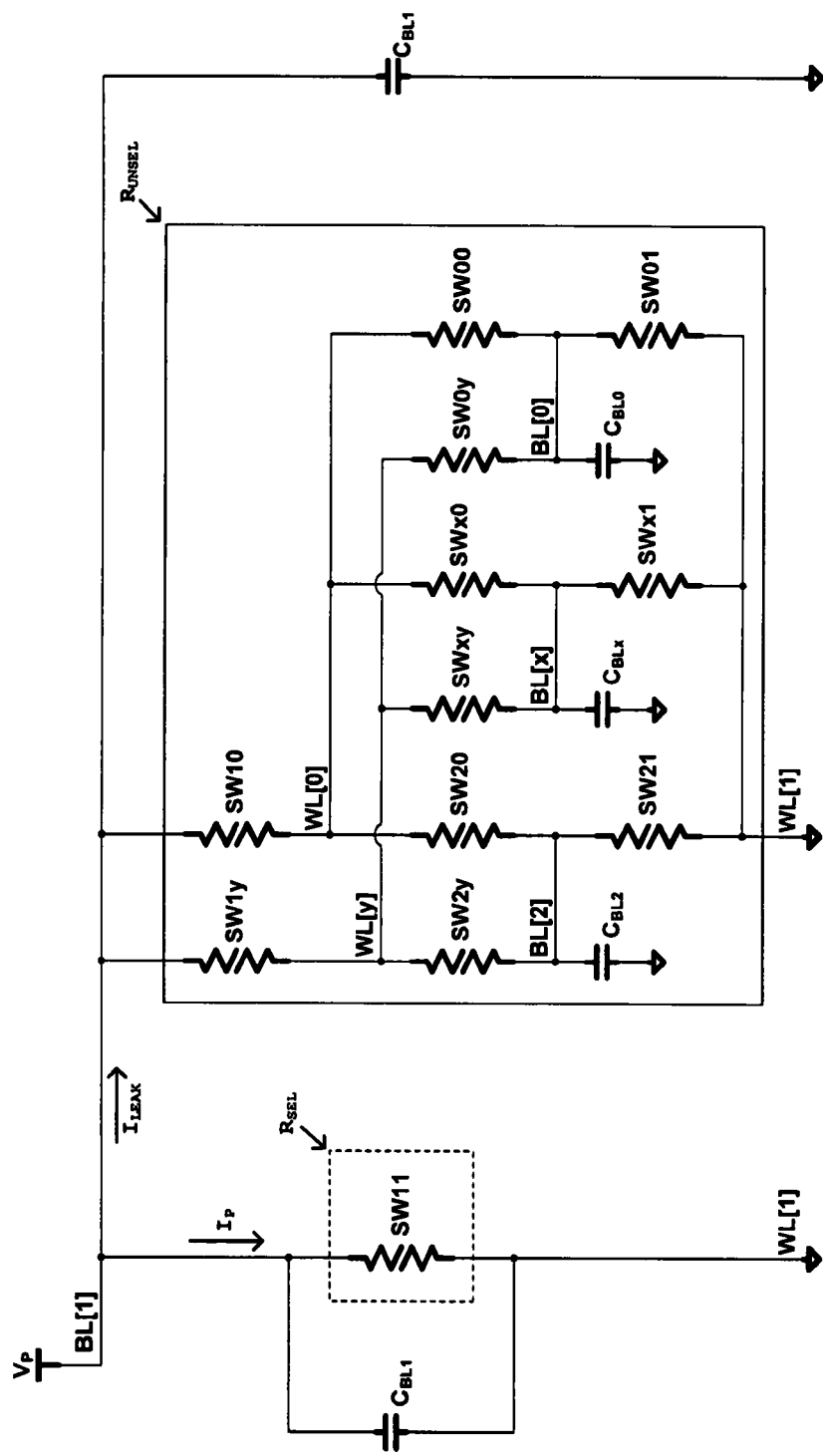


圖 20B

2003

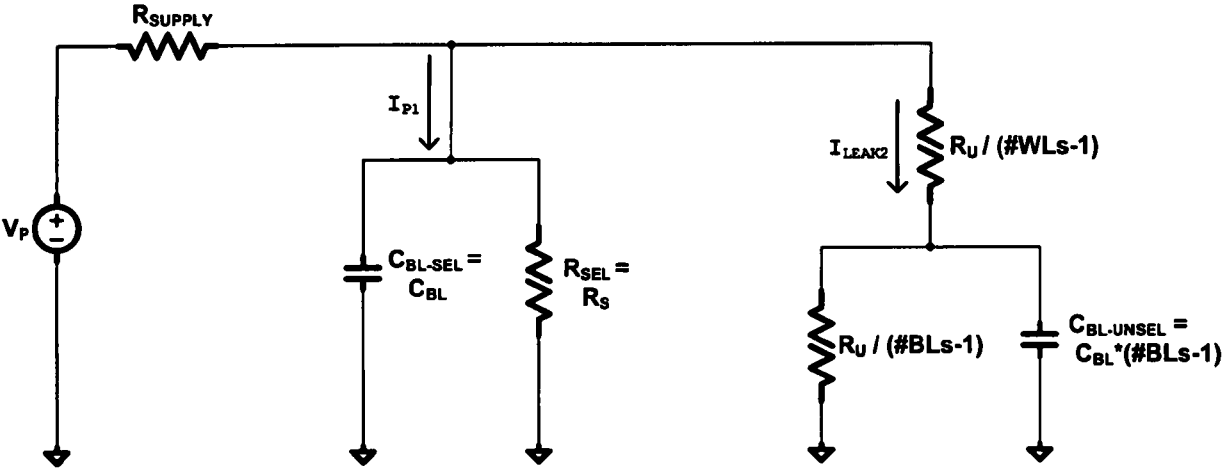


圖 20C

2004

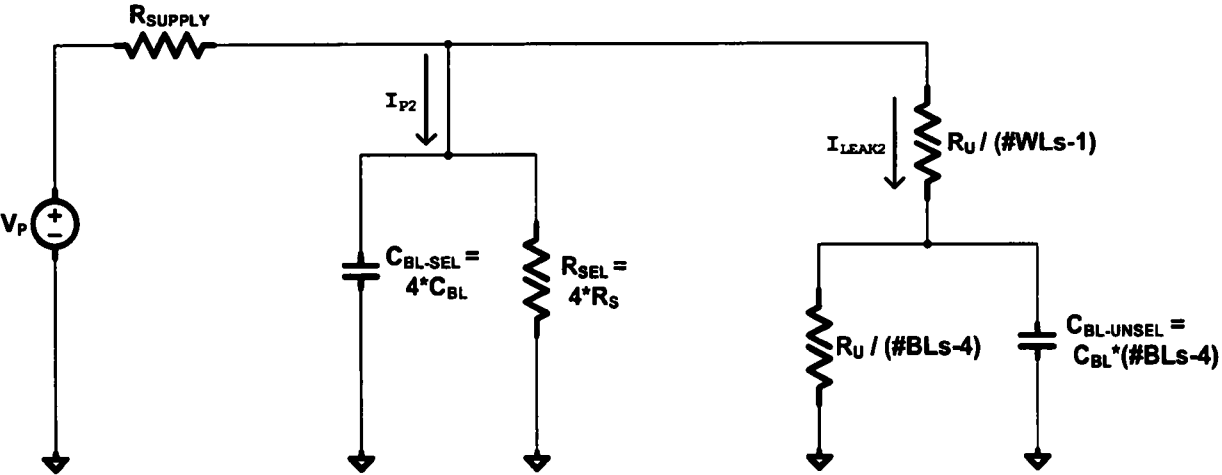


圖 20D

2100

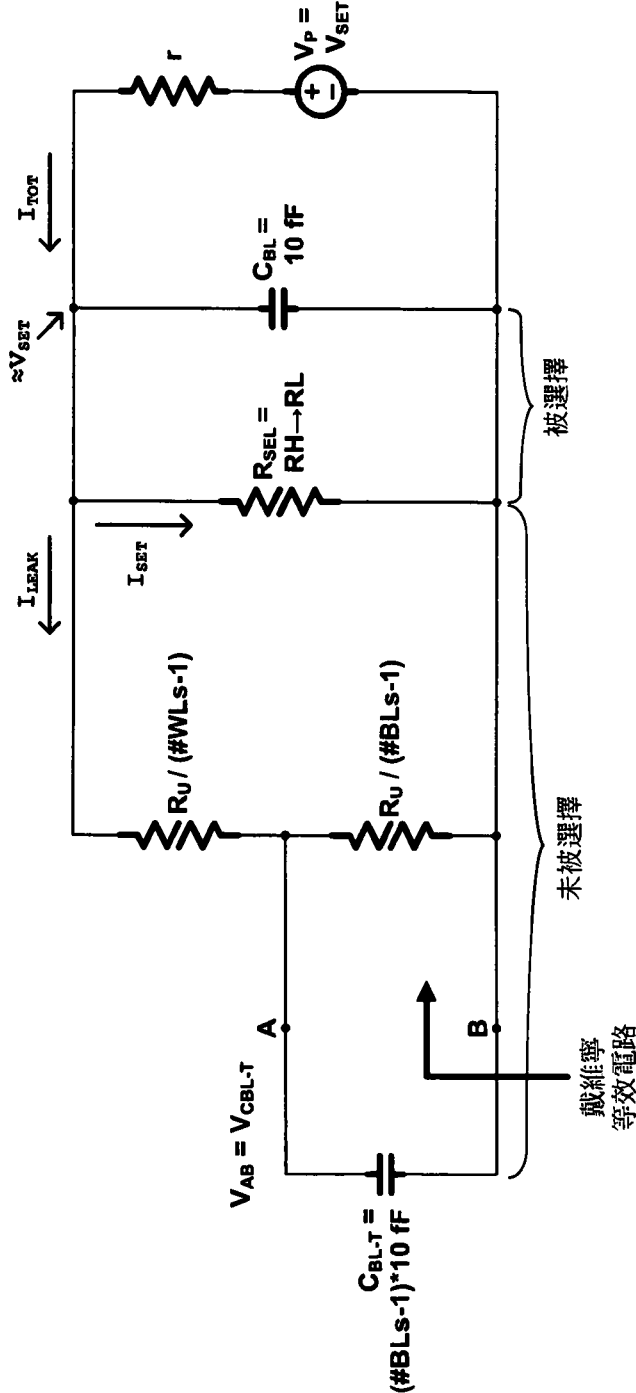


圖 21A

2110

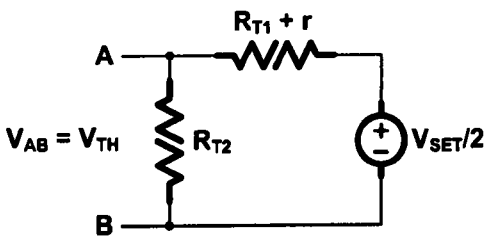


圖 21B

2120

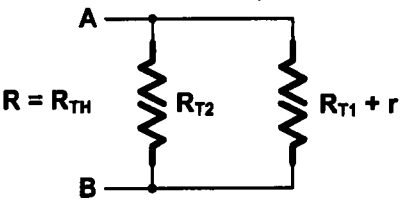


圖 21C

2130

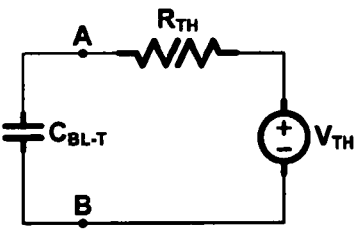


圖 21D

2200

Case #	# Data WLS	# BLs	RL	RH	最大陣列電流		最小陣列電流	
					# BLs SET; V _{SET} ; I _{SET}	# 未被選擇的BLs; V _{UNSEL} ; I _{UNSEL-MAX}	# BLs SET; V _{SET} ; I _{SET}	# 未被選擇的BLs; V _{UNSEL} ; I _{UNSEL-MIN}
1A	128	256	1 MΩ	20 MΩ	1; 2 V; 2 μA	255; 1.3 V; 760 μA	1; 2 V; 2 μA	255; 1.1 V; 6 μA
1B	相同	相同	相同	相同	4; 2 V; 8 μA	252; 1.3 V; <760 μA	4; 2 V; 8 μA	252; 1.1 V; <6 μA
2A	相同	相同	100 kΩ	2 MΩ	1; 2 V; 20 μA	255; 1.3 V; 800 μA	1; 2 V; 20 μA	255; 1.3 V; 46 μA
2B	相同	相同	相同	相同	4; 2 V; 80 μA	252; 1.3 V; <800 μA	4; 2 V; 80 μA	252; 1.3 V; <46 μA

注意：SET電壓(VSET)=2V。在此範例中，所有位元線在SET WRITE操作之前被充電至VSET/2(1V)

圖22

2100

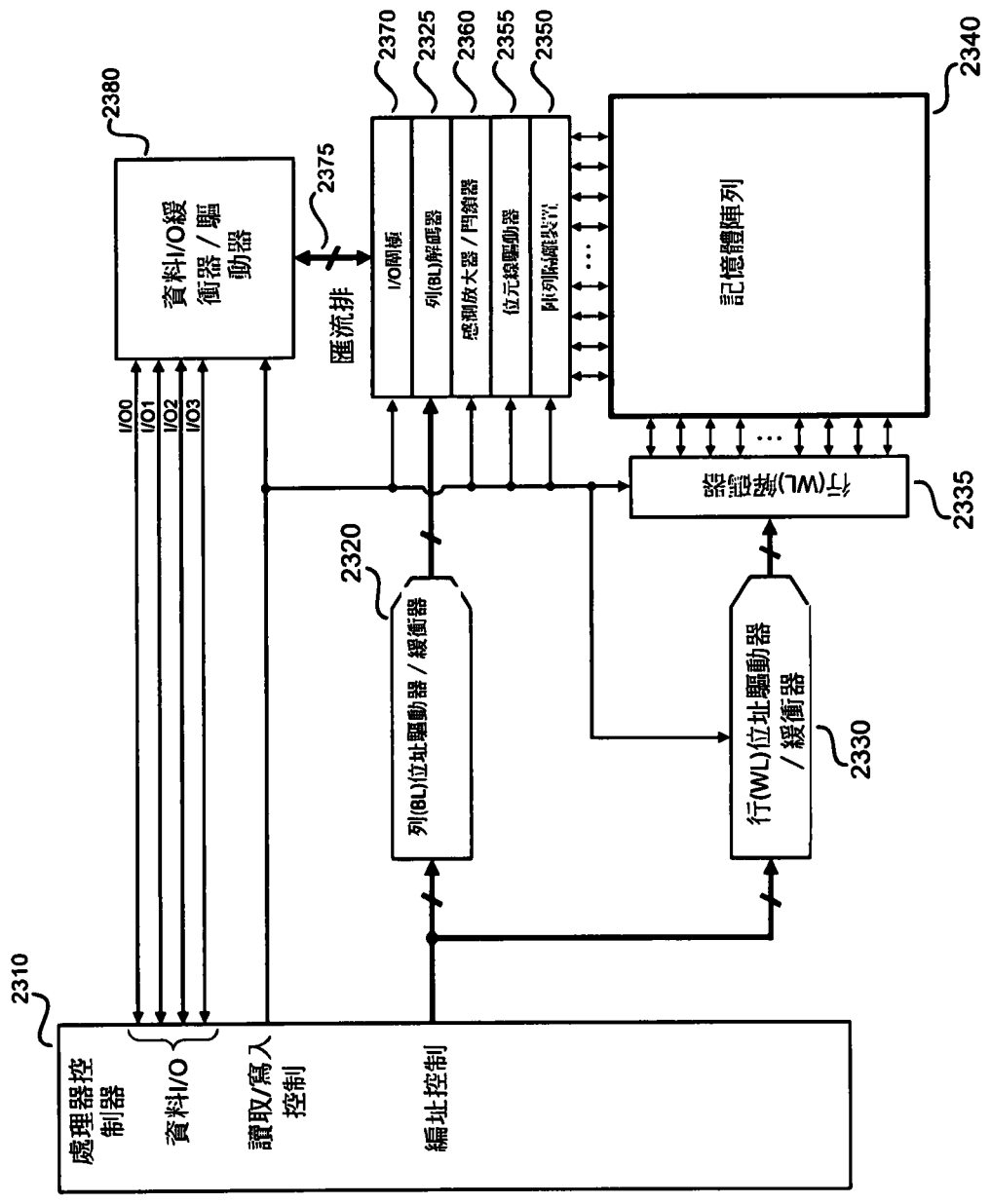


圖 23

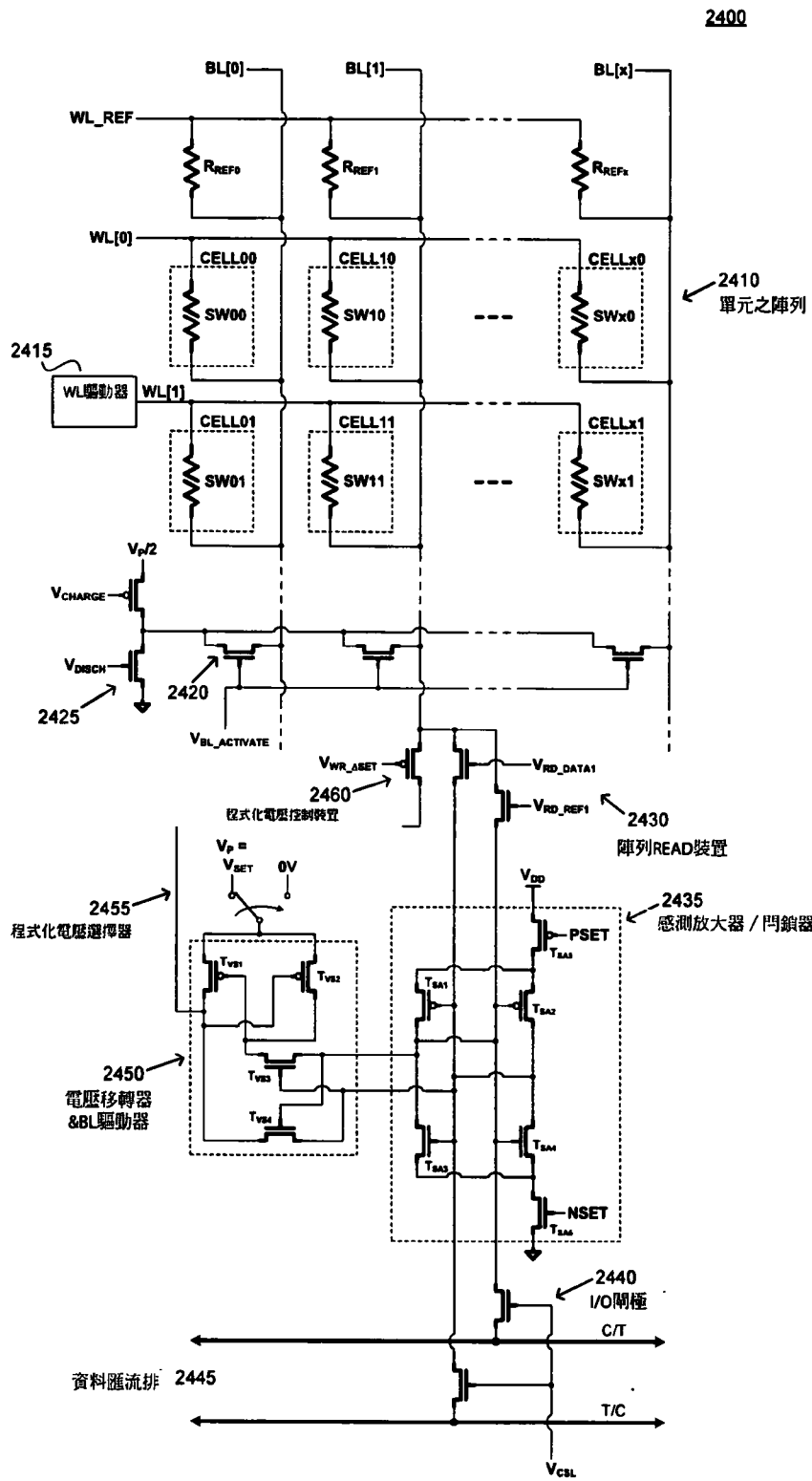


圖24

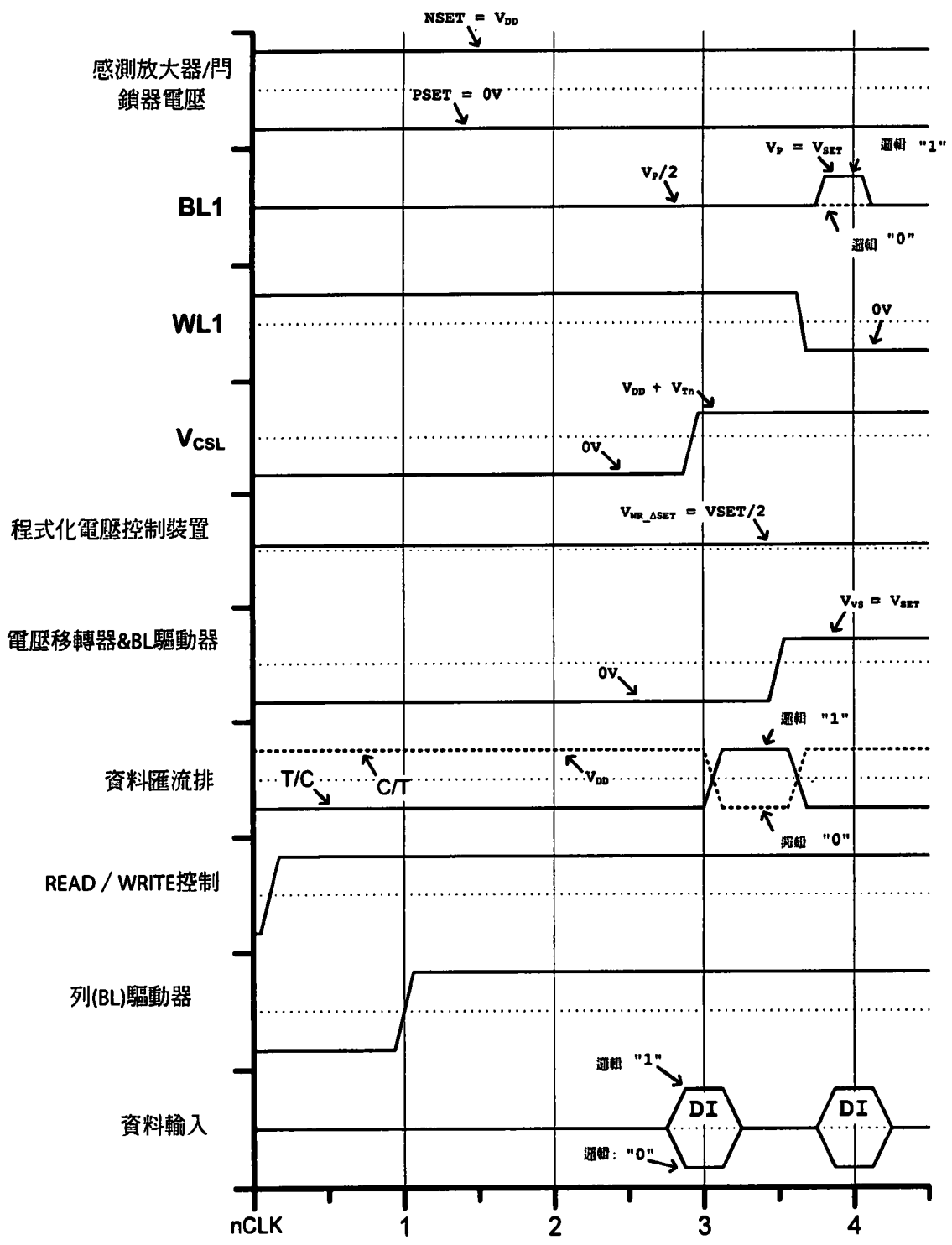


圖25