

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5571693号
(P5571693)

(45) 発行日 平成26年8月13日(2014.8.13)

(24) 登録日 平成26年7月4日(2014.7.4)

(51) Int.Cl.

F 1

HO1L 29/786	(2006.01)	HO1L 29/78	616S
HO1L 21/336	(2006.01)	HO1L 29/78	301S
HO1L 29/78	(2006.01)	HO1L 21/265	V
HO1L 21/265	(2006.01)	HO1L 21/265	R
HO1L 21/20	(2006.01)	HO1L 21/265	Q

請求項の数 14 (全 17 頁) 最終頁に続く

(21) 出願番号	特願2011-546707 (P2011-546707)
(86) (22) 出願日	平成22年1月27日(2010.1.27)
(65) 公表番号	特表2012-516557 (P2012-516557A)
(43) 公表日	平成24年7月19日(2012.7.19)
(86) 國際出願番号	PCT/EP2010/000492
(87) 國際公開番号	W02010/086154
(87) 國際公開日	平成22年8月5日(2010.8.5)
審査請求日	平成25年1月21日(2013.1.21)
(31) 優先権主張番号	102009006884.8
(32) 優先日	平成21年1月30日(2009.1.30)
(33) 優先権主張国	ドイツ(DE)
(31) 優先権主張番号	12/688,999
(32) 優先日	平成22年1月18日(2010.1.18)
(33) 優先権主張国	米国(US)

(73) 特許権者	591016172 アドバンスト・マイクロ・ディバイシズ・ インコーポレイテッド ADVANCED MICRO DEVI CES INCORPORATED アメリカ合衆国、94088-3453 カリフォルニア州、サンノイベイル、ビィ・ オウ・ボックス・3453、ワン・エイ・ エム・ディ・ブレイス、メイル・ストップ ・68 (番地なし)
(74) 代理人	100108833 弁理士 早川 裕司
(74) 代理人	100111615 弁理士 佐野 良太

最終頁に続く

(54) 【発明の名称】歪誘起合金及び段階的なドーパントプロファイルを含むその場で形成されるドレイン及びソース領域

(57) 【特許請求の範囲】

【請求項 1】

ゲート誘電体材質、前記ゲート誘電体材質上に形成される電極材質及びオフセット側壁スペーサを備えたゲート電極構造に横方向に隣接してトランジスタの能動領域内にキャビティを形成することと、

第1のドーパント濃度を有するドーパント種を備えた第1の歪誘起半導体合金を前記キャビティ内に形成することと、

前記第1のドーパント濃度よりも低い第2のドーパント濃度を有するドーパント種を備えた第2の歪誘起半導体合金を前記キャビティ内の前記第1の歪誘起半導体合金上に形成することと、

前記トランジスタのチャネル領域と接続するドレイン及びソース拡張領域を前記ドーパント種の前記第1及び第2のドーパント濃度に基いて形成するように熱処理を実行することとを備えた方法。

【請求項 2】

前記キャビティを介して前記能動領域内へ少なくとも1つの更なるドーパント種を導入することを更に備えた請求項1の方法。

【請求項 3】

前記少なくとも1つの更なるドーパント種を導入することは、前記ドーパント種との組み合わせにおいてドレイン及びソース領域を形成するために前記ドーパント種と同一の伝導性タイプを決定するドーパント種を導入することと、

前記ドレイン及びソース領域に対してカウンタドープされる領域を形成するために前記ドーパント種に対してカウンタドープする種を導入することとを備えている請求項 2 の方法。

【請求項 4】

前記少なくとも 1 つの更なるドーパント種を導入することは、注入プロセスを実行することと、

前記歪誘起半導体合金を形成するのに先立ち結晶性損傷を再結晶化させるように第 2 の熱処理を実行することとを備えている請求項 2 の方法。

【請求項 5】

前記第 2 の歪誘起半導体合金を形成することは、緩衝層を形成することと、前記緩衝層の上方に拡張層を形成することとを備えており、前記緩衝層のドーパント濃度は前記拡張層のドーパント濃度よりも低い請求項 1 の方法。 10

【請求項 6】

前記第 2 の歪誘起半導体合金を形成することは、緩衝層を形成することと、前記緩衝層の上方に拡張層を形成することとを備えており、前記緩衝層のドーパント濃度は前記拡張層のドーパント濃度よりも高い請求項 1 の方法。

【請求項 7】

前記第 1 及び第 2 の歪誘起半導体層の少なくともいずれか一つを形成することは、選択的エピタキシャル成長プロセスを実行することによってゲルマニウム含有材質を形成することを備えている請求項 1 の方法。 20

【請求項 8】

前記第 1 及び第 2 の歪誘起半導体層の少なくともいずれか一つを形成することは、選択的エピタキシャル成長プロセスを実行することによって錫含有材質を形成することを備えている請求項 1 の方法。

【請求項 9】

前記第 1 及び第 2 の歪誘起半導体層の少なくともいずれか一つを形成することは、選択的エピタキシャル成長プロセスを実行することによって炭素含有材質を形成することを備えている請求項 1 の方法。

【請求項 10】

トランジスタのドレイン及びソース領域を形成する方法であって、

30

ドレイン及びソースドーパント種の第 1 の部分を前記トランジスタの能動領域内へキャビティを介して注入することと、

前記キャビティの高さ方向に対して高さが増すほど濃度が低くなるような段階的な濃度を有する前記ドレイン及びソースドーパント種の第 2 の部分を備えた歪誘起半導体合金を前記キャビティ内に形成することと、

少なくとも 1 つの熱処理を実行して前記ドレイン及びソースドーパント種の前記第 1 及び第 2 の部分に基き前記ドレイン及びソース領域の最終的なドーパントプロファイルを形成することとを備えた方法。

【請求項 11】

前記歪誘起半導体合金を形成することは、緩衝層を形成することと、前記緩衝層の上方に拡張層を形成することとを備えており、前記緩衝層のドーパント濃度は前記拡張層のドーパント濃度よりも高い請求項 10 の方法。 40

【請求項 12】

前記歪誘起半導体合金はゲルマニウム及び錫の少なくとも一方を備えている請求項 10 の方法。

【請求項 13】

前記歪誘起半導体合金を形成するのに先立ち前記ドレイン及びソースドーパント種に対してカウンタドープする更なるドーパント種を注入することを更に備えた請求項 10 の方法。

【請求項 14】

50

前記ドレイン及びソースドーパント種の前記第1の部分は埋め込み絶縁層まで拡張するように注入される請求項10の方法。

【発明の詳細な説明】

【技術分野】

【0001】

概して、本開示は集積回路に関し、更に特定的には、複雑なドーパントプロファイルを有し且つチャネル領域内に歪を生じさせるためのシリコン／ゲルマニウム合金のような歪誘起合金を含むトランジスタに関する。

【背景技術】

【0002】

集積回路は指定された回路レイアウトに従って多数の回路要素を所与のチップ区域上に備えており、ここでは、電界効果トランジスタのようなトランジスタが、スイッチング要素、電流及び／又は電圧増幅器として用いられる重要なコンポーネントを代表する。トランジスタは、追加的なドーパント材質を伴う実質的に結晶性の半導体領域内又はその上方に形成され、その半導体領域は、特定の基板位置に形成されて「能動(active)」領域として作用する、即ち制御された電流フローを生じさせるための伝導性区域として少なくとも一時的に機能する。概して多くのプロセス技術がこれまでのところ実施されており、マイクロプロセッサ、記憶チップ等のような複雑な回路に対しては、動作速度及び／又は電力消費及び／又は費用効果を考慮した優れた特性により、現在のところMOS技術が最も有望な手法の1つである。例えばMOS技術を用いる複雑な集積回路の製造に際しては、数百万のトランジスタ、例えばnチャネルトランジスタ及び／又はpチャネルトランジスタが結晶性の半導体層を含む基板上に形成される。トランジスタは、nチャネルトランジスタ若しくはpチャネルトランジスタ又は任意の他のトランジスタアーキテクチャのいずれが考慮されているかにかかわらず、複数の所謂pn接合を備えており、pn接合は、高濃度にドープされた領域、例えばドレイン及びソース領域と、高濃度にドープされた領域に隣接して配置されるチャネル領域のような低濃度にドープされた又は非ドープの領域との界面によって形成されている。電界効果トランジスタの場合、チャネル領域の伝導性、即ち伝導性チャネルの駆動電流能力は、チャネル領域の近傍に形成され且つ薄い絶縁層によってチャネル領域から隔てられているゲート電極によって制御される。ゲート電極への適切な制御電圧の印加により伝導性チャネルが形成されている場合、チャネル領域の伝導性はドーパント濃度、電荷キャリアの移動度に依存し、加えてトランジスタ幅方向におけるチャネル領域の所与の拡張に対しては、チャネル長とも称されるソース及びドレイン領域間の距離にも依存する。それ故、チャネル領域の伝導性は、MOSトランジスタの性能に実質的に影響を与える。従って、チャネル長の縮小化、及びそれに付随するチャネル抵抗の減少は、チャネル長を集積回路の動作速度の向上を達成するための支配的設計基準にしている。

【0003】

しかし、トランジスタ寸法の継続的な減少は、それに伴い多くの問題を引き起こしており、それらの問題は、トランジスタの寸法を堅実に減少させることによって得られる利益を過度に相殺することのないように対処される必要がある。例えばドレイン及びソース領域においては、ドレイン誘起バリア低下等のような所謂短チャネル効果に対処するために低いシート抵抗及び接触抵抗を所望のチャネル可制御性と共に提供するように、垂直方向及び横方向における高度に洗練されたドーパントプロファイルが要求される。加えて、チャネル長を減少させることはまた、ゲート絶縁層とチャネル領域によって形成される界面に対してドレイン及びソース領域の深さを減少させることを必要とし、それにより洗練された注入技術を要するので、ゲート絶縁層に対するpn接合の垂直方向の位置もまた、漏れ電流制御を考慮すると臨界的設計基準を代表する。

【0004】

更に、臨界寸法、例えばトランジスタのゲート長の継続的な寸法減少は、上述したプロセスステップに関する高度に複雑なプロセス技術の適合及び場合によってはその新たな開

10

20

30

40

50

発を必要とするので、例えば所与のチャネル長に対するチャネル領域内の電荷キャリア移動度を高めることによってトランジスタ要素のデバイス性能についてもこれを向上させ、それにより、小型化されたデバイスの将来の技術ノードへの進歩と同等の性能改善を達成するための可能性を提供する一方で、デバイス縮小化に関連する上記のプロセス適合の多くを回避することが提案されてきた。原理上は、チャネル領域内の電荷キャリアの移動度を高めるために、少なくとも2つのメカニズムが組み合わされて又は単独で用いられる。第1に、電界効果トランジスタにおいてチャネル領域内のドーパント濃度が低下させられるであろうし、それにより電荷キャリアに対する散乱現象(scattering events)が低減されると共にこれに伴い伝導性が増大し得る。しかし、チャネル領域内のドーパント濃度を低下させることは、トランジスタデバイスのスレッショルド電圧に大きく影響するので、所望のスレッショルド電圧を調節するように他のメカニズムが開発されない限り、ドーパント濃度の低減は現在のところそれほど魅力的ではない。第2に、チャネル領域のようなそれぞれの半導体領域内の格子構造が、例えばその内部に引張り又は圧縮歪を生成することによって、拡張され/引き伸ばされる(dilated/stretched)であろうし、これにより、それぞれ電子及びホールに対する修正された移動度が結果としてもたらされ得る。例えば、電界効果トランジスタのチャネル領域内に電流フロー方向に対して単軸性の引張り歪を生じさせることは、電子の移動度を増大させ、次いで伝導性における対応する増大に直接的に形を変えるであろう。一方、チャネル領域内の圧縮歪はホールの移動度を高めることができ、それによりp型トランジスタの性能を高める可能性が提供され得る。例えば歪を与えたシリコンは、高価な半導体材質及び製造技術を必要とすることなしに高速で強力な半導体デバイスの製造を可能にするであろう「新たな」種類の半導体であると考えることができるので、集積回路製造への応力又は歪エンジニアリングの導入は、更なるデバイス世代のための極めて有望な手法である。10

【0005】

このため、対応する歪を結果としてもたらし得る圧縮応力を生じさせるようにpチャネルトランジスタのドレイン及びソース領域内にシリコン/ゲルマニウム合金を導入することが提案されてきた。20

【0006】

図1a及び1bを参照して、短チャネル効果を低減することに関してpチャネルトランジスタの性能を高め、チャネル領域内の電荷キャリア移動度を高め、そしてドレイン/ソース経路の全体的な直列抵抗を低減するための典型的な従来の手法を説明する。30

【0007】

図1aはシリコンバルク基板のような基板101とSOI(シリコン・オン・絶縁体)基板とを含むpチャネルトランジスタの断面図を模式的に示しており、即ち埋め込み絶縁層(図示せず)が基板101上に形成されているであろう。また、基板101の上方には、シリコン層のような半導体層102が形成されており、半導体層102は、浅い溝分離(shallow trench isolation)等のような分離構造103を含むであろう。分離構造103は「能動(active)」領域を画定することができ、能動領域内及びその上方には、1つ以上のトランジスタ要素、例えばトランジスタ100が形成され得る。尚、能動領域は、例えばトランジスタ特性等を獲得するためのデバイス要求に従って全体的な伝導性を調節するように、適切なドーパントプロファイルをその内部に受け入れる又は適切なドーパントプロファイルがその内部に形成された半導体領域として理解されるべきである。図示される製造段階においては、ゲート電極構造104が半導体層102の上方に形成されているであろうし、ここでは、ゲート電極構造104のゲート絶縁層104Aが、多結晶シリコン等のようなゲート電極材質を半導体層102のチャネル領域105から分離している。また、図示されるように、ゲート電極構造104は、その側壁上にスペーサ要素の形態にある二酸化シリコン等のような非電極材質104Bが形成されたものであるかもしれない。更に、ゲート電極構造104は、例えばシリコン窒化物から構成されるであろうスペーサ要素107及びキャップ層108によって密閉されている。また、ゲート電極構造104に横方向に隣接して且つゲート電極構造104からオフセットされて、凹部又はキャビティ4050

イ 1 0 6 が半導体層 1 0 2 内に形成されており、ここでは、横方向のオフセットは、スペーサ 1 0 4 B 及びスペーサ 1 0 7 によって実質的に決定される。

【 0 0 0 8 】

図 1 a に示されるトランジスタ 1 0 0 を形成するための典型的な従来のプロセスフローは以下のプロセスを備えているであろう。分離構造 1 0 3 を形成した後、半導体層 1 0 2 内の適切な垂直方向ドーパントプロファイルが、しかるべき設計された注入プロセスによって規定されるであろう。その後、ゲート電極構造 1 0 4 のための材質層、即ちゲート誘電体材質及び電極材質が、ゲート誘電体のための熱的若しくはウエット化学的酸化及び／又は堆積のような適切な技術によって形成されるであろう一方で、しばしば低圧化学的気相堆積 (L P C V D) が、ゲート電極材質としての多結晶シリコンを堆積させるために用いられるであろう。また、反射防止膜 (A R C) の一部分として作用し得るキャップ層 1 0 8 のための材質のような更なる材質層もまた、十分に確立されたプロセスレシピに従って堆積させられ得る。結果として得られる層スタックは次いで、進歩的なフォトリソグラフィ技術及びエッチング技術によってパターニングされるであろうし、それに続いて例えば熱酸化、堆積等によってスペーサ 1 0 4 B が形成されるであろう。次いで、必要であれば例えればライナ材質との組み合わせにおいてスペーサ材質が堆積させられるであろうし、これらは次いで十分に確立された異方性エッチング技術によってパターニングされてスペーサ要素 1 0 7 を形成することができ、スペーサ要素 1 0 7 の幅はキャビティ 1 0 6 の横方向のオフセットを実質的に決定し得る。

【 0 0 0 9 】

既に説明したように、チャネル領域 1 0 5 内の電流フロー方向の単軸性圧縮歪は、ホールの移動度を著しく高めることができ、それにより、トランジスタ 1 0 0 が p チャネルトランジスタを代表している場合にその全体的な性能を高めることができる。所望の圧縮歪をもたらすために、スペーサ要素 1 0 7 及びキャップ層 1 0 8 をエッチングマスクとして用いて十分に確立されたエッチング技術によってキャビティ 1 0 6 を形成することができ、図示される実施形態においては、分離構造 1 0 3 もまたエッチングマスクとして作用し得る。他の場合において、キャビティ 1 0 6 の横方向の拡張が、分離構造 1 0 3 まで完全には延びないように制限されるべきであるときには、追加的なハードマスク層が設けられ得る。基板 1 0 1 と半導体層 1 0 2 の間に埋め込み絶縁層が位置するであろう S O I 構造が考慮されている場合には、対応するエッチングプロセスの間、層 1 0 2 の一定の量のテンプレート材質が維持されるかもしれない。キャビティ 1 0 6 は、シリコン／ゲルマニウム合金のような適切な半導体材質で再充填されるであろうし、その適切な半導体材質はシリコンの格子定数よりも大きな固有の格子定数を有しており、その結果、対応するエピタキシャル成長材質を歪状態で形成することができ、それにより、チャネル領域 1 0 5 にも応力を及ぼすことができ、従ってその内部にそれぞれの圧縮歪を生じさせることができ。シリコン／ゲルマニウム合金を堆積させるための選択的エピタキシャル成長技術は、当該分野において十分に確立されており、そして材質の顕著な堆積は結晶性シリコン表面に実質的に制限される一方で誘電体材質上の堆積は抑制され得るような様態で、温度、圧力、先駆体ガス及びキャリアガスの流量のような適切に選択されたプロセスパラメータに基いて実行され得る。また、シリコン／ゲルマニウム材質の堆積の間、ドレイン及びソース領域の垂直方向及び横方向のプロファイルの必要な複雑性に応じて、ドレイン及びソース領域に対する所望の基本的ドーピングを得るために、ホウ素のような所望のドーパント種もまた、堆積雰囲気内へ組み込まれるであろう。一般に、高いドーパント濃度をもたらすことによって、ドレイン及びソース領域の減少させられた直列抵抗を達成することができる一方で、高度に縮小化された半導体デバイスに対しては、チャネル領域 1 0 5 を超えて生成される対応する電界は、高いドーパント濃度でゲート絶縁層 1 0 4 A 内へ増大された電荷キャリア注入を結果としてもたらすことがあり、それにより典型的には減少させられたドーパント濃度を必要とするであろうし、またゲート電極構造 1 0 4 の近傍ではドレイン及びソース領域の浅いプロファイルを必要とするであろう。

【 0 0 1 0 】

10

20

30

40

50

図 1 b は更に進んだ製造段階におけるトランジスタ 100 を模式的に示しており、その製造段階においては、上述したようにシリコン / ゲルマニウム合金 109 がキャビティ 106 内に形成されているであろうし、また、ゲート電極構造 104 を露出させるようにスペーサ 107 及びキャップ層 108 は除去されているであろう。スペーサ 104B もまた除去されているかもしれないし、そして望ましい場合には適切に設計されたオフセットスペーサで置換されているかもしれないことが理解されるべきである。上述したように、トランジスタ寸法、即ち図 1 b におけるゲート電極構造 104 の水平方向の寸法として理解されるべきトランジスタ 100 のゲート長を減少させるに際して、チャネル領域 105 の可制御性は短チャネル効果に起因してますます困難になるであろうし、短チャネル効果は、幾つかの従来の試みにおいては、ハロー(halo)領域とも称されることがあるカウンタドープされた領域 110 を設けることによって部分的には対処されるであろうし、ハロー領域においては、チャネル領域 105 及び、ボディ領域 102A とも称されることがある残りの半導体領域のドーパント濃度は著しく増大され、それにより、浅くドープされたドレイン及びソース領域を設けることによって形成されることになる対応する p-n 接合での中間勾配(inter gradient)を調節している。典型的には、カウンタードープされた領域、即ちハロー領域 110 は、ゲート電極構造 104 とのある程度の重なりを確立するために、例えば傾斜角を用いてイオン注入によって形成され得る。しかし、トランジスタ寸法を更に縮小化する場合、ドーパント濃度及びこれに伴い注入線量もまた増大させられる必要があるであろうから、それにより、ドーパント誘起電荷キャリア散乱、ドーパント拡散を増大させ、そして関連する高線量注入プロセスに起因してチャネル領域 105 近傍での応力緩和もまた増大させてしまうであろう。また、デバイス性能を制限しないようにドレイン及びソース領域の低減された直列抵抗を得るために、ドレイン及びソース領域におけるドーパント濃度は一般的には減少させられ、ハロー領域 110 を生成するための注入プロセスに対する線量及びエネルギーもまた、増大させられる必要がある。これにより今度は、増大された格子損傷及びより大きなドーパント拡散に起因して、シリコン / ゲルマニウム合金内での応力緩和が更に増大するであろう。洗練された注入プロセスの間、ハロー領域 110 の生成に際して所望の大きな線量を得るように、より長い処理時間が必要にあるであろう。従って、シリコン / ゲルマニウム材質 109 は固有の大きなドーパント濃度で設けられ得るのであるが、にもかかわらず、ハロー領域 110 に基いてゲート電極構造 104 の近傍の p-n 接合を調節するためには、洗練され且つ長い注入プロセスが必要とされるであろう。

【0011】

先行する注入プロセスに起因する顕著な歪緩和を理由として、注入誘起損傷を回避するために、後の製造段階で、即ち拡張領域及びハロー領域のためのドーパント種を組み込んだ後で、シリコン / ゲルマニウム合金を組み込むことも提案されてきている。また、この戦略に対応して、深いドレイン及びソース区域のための対応する高いドーパント濃度をもたらすために、シリコン / ゲルマニウム合金は高度にドープされる必要がある。その結果、固有の歪成分は実質的に維持されるであろうし、従って高められた内部歪をシリコン / ゲルマニウム合金からもたらすことができる。しかしその一方で、適度に大きなドーパント勾配が結果として顕著なドーパント拡散をもたらすであろうし、その結果、ドーパント原子が徐々にチャネル領域内に組み込まれ得る場合には、チャネル領域において低下させられた伝導性がもたらされるであろうから、重くドープされるシリコン / ゲルマニウム合金のチャネル領域に対する横方向の距離が必要にあるであろう。例えば SOI デバイスにおける寄生接合容量を低減すべく埋め込み絶縁層に接続するように、重くドープされたドレイン及びソース区域の深さを増大するために、一定の程度のドーパント拡散が望ましい場合、問題が尚一層関連してくる。シリコン / ゲルマニウム材質の大きな内部歪レベル及びチャネル領域への横方向の距離の両方が、チャネル領域内に誘起される全体的な歪成分を実質的に決定するので、注入誘起緩和を低減することによって得られる利益は、その場ドープの(in situ doped)シリコン / ゲルマニウム材質の増大されたオフセットを必要とすることによって相殺され、更にはまた過相殺されてしまうかもしれない、その結果、特に

、深いドレイン及びソース領域が特に減損型の(depleted) S O I ドレイン/ソーストランジスタにおける埋め込み絶縁層まで下方向に延びる必要がある洗練された応用において、その試みはそれほど望ましくないかもしれない。一方、著しいドーパント拡散は、ドレイン及びソースドーパントプロファイル全体の一体化の原因になり得るし、それにより最終的には増大された漏れ電流がもたらされてトランジスタの総合的障害を引き起こすことがあるので、重くその場ドープされたシリコン／ゲルマニウム材質のオフセットの減少は、魅力的な試みを代表しないであろう。

【発明の概要】

【発明が解決しようとする課題】

【0012】

10

上述した事情に鑑み、本開示は、高められた歪効率が歪誘起半導体合金に基いて達成され得る一方で、上で特定された1つ以上の問題の影響を回避し又は少なくとも低減することができる方法及びトランジスタデバイスに関連している。

【課題を解決するための手段】

【0013】

概して本開示は、歪誘起半導体合金を組み込むための選択的エピタキシャル成長プロセスに基いてドレイン及びソース領域内に複雑な垂直方向及び横方向のドーパントプロファイルが確立され得る方法及びトランジスタデバイスに関連しており、歪誘起半導体合金は、特別に設計されたその場の(*in situ*)ドーパント濃度を伴って設けられてよく、結果として所望のプロファイルをもたらすことができる。この目的のために、その場のドーパント濃度は段階的なドーパントプロファイルとしてもたらされてよく、段階的なドーパントプロファイルにおいては、ドレイン／ソースドーパント種は、エピタキシャル的に成長させられた材質内の異なる高さレベルで異なる濃度で提供されてよく、ここでは、ドーパント拡散の程度は、従って1つ以上の焼鈍プロセスのために適切に選択されたプロセスパラメータとの組み合わせにおけるドーパント種の垂直方向の分布によって決定されてよく、焼鈍プロセスは、概して従来の戦略と比較して顕著に低い温度で実行されてよい。ここに開示される他の側面によると、その場でドープされた半導体合金は、1つ以上の注入ステップと有利に組み合わされてよく、注入ステップは、注入誘起損傷を回避するためにエピタキシャル成長プロセスに先立ち実行されてよい一方で、にもかかわらず、全体的なドーパントプロファイルを設計するに際しての高い柔軟性をもたらすことができる。ここに開示される幾つかの実施形態においては、注入プロセスは対応するキャビティを介して実行されてよく、それにより、特にゲート高さが十分なイオン遮断能力をもたらさないであろう洗練された半導体デバイスにおいて高いプロセス効率をもたらすことができ、その結果、注入種がS O I デバイスの埋め込み絶縁層の近くに位置させられることを可能にする。従って、キャビティを介してドレイン／ソースドーパント種の少なくとも一部分を組み込むことによって、極めて小さい注入エネルギーが用いられてよく、それにより、ゲート電極構造を介してチャネル領域内へドレイン／ソースドーパント種を注入してしまう蓋然性を回避し又は少なくとも著しく低減することができる。

20

【0014】

30

従って、従来の技術と比較して、複雑なスペーサ製造ステップ並びにドレイン及びソース領域を形成するためのリソグラフィステップの数が減少され得るので、洗練されたドレイン及びソース領域を設けるための極めて効率的な製造シーケンスが達成され得る。

【0015】

40

ここに開示される1つの例示的な方法は、ゲート誘電体材質、ゲート誘電体材質上に形成される電極材質及びオフセット側壁スペーサを備えたゲート電極構造に横方向に隣接してトランジスタの能動領域内にキャビティを形成することを備えている。方法は更に、歪誘起半導体合金をキャビティ内に形成することを備えており、ここでは、歪誘起半導体合金は、キャビティの高さ方向に沿って変化するドーパント濃度を有するドーパント種を備えている。また、方法は、ドレイン及びソース拡張領域をドーパント種の変化するドーパント濃度に基いて形成するように熱処理を実行することとを備えており、ここでは、ドレ

50

イン及びソース拡張領域は、トランジスタのチャネル領域と接続する。

【0016】

ここに開示される更なる例示的な方法は、トランジスタのドレイン及びソース領域を形成することに関連している。方法は、ドレイン及びソースドーパント種の第1の部分をトランジスタの能動領域内へキャビティを介して注入することを備えている。また、方法は、歪誘起半導体合金をキャビティ内に形成することを備えており、ここでは、歪誘起半導体合金は、キャビティの高さ方向に対して段階的な濃度を有するドレイン及びソースドーパント種の第2の部分を備えている。最後に方法は、少なくとも1つの熱処理を実行してドレイン及びソースドーパント種の第1及び第2の部分に基きドレイン及びソース領域の最終的なドーパントプロファイルを形成することを備えている。

10

【0017】

ここに開示される1つの例示的なトランジスタデバイスは、チャネル領域の上方に形成されるゲート電極構造と、チャネル領域に横方向に隣接して能動半導体領域内に形成されるドレイン及びソース領域とを備えている。更に、トランジスタデバイスは、ドレイン及びソース領域内に形成される歪誘起半導体合金を備えており、ここでは、歪誘起半導体合金は、ドレイン及びソース領域の高さ方向に沿って段階的なドーパント濃度を有している。

【図面の簡単な説明】

【0018】

本開示の更なる実施形態は、添付の特許請求の範囲において画定されており、また添付の図面を参照したときに以下の詳細な説明と共に更に明らかになろう。

20

【0019】

【図1a】図1aは従来の戦略に従いその場ドーピングを伴ってエピタキシャル的に成長させられた半導体合金及び後続の注入されたハロー領域に基いてドレイン及びソース領域を形成する種々の製造段階の間におけるトランジスタの模式的な断面図（その1）である。

【図1b】図1bは従来の戦略に従いその場ドーピングを伴ってエピタキシャル的に成長させられた半導体合金及び後続の注入されたハロー領域に基いてドレイン及びソース領域を形成する種々の製造段階の間におけるトランジスタの模式的な断面図（その2）である。

30

【図2a】図2aは例示的な実施形態に従い歪誘起半導体合金の段階的なその場ドーピングに基き洗練されたドレイン及びソースドーパントプロファイルを得ることができる種々の製造段階の間におけるトランジスタデバイスの模式的な断面図（その1）である。

【図2b】図2bは例示的な実施形態に従い歪誘起半導体合金の段階的なその場ドーピングに基き洗練されたドレイン及びソースドーパントプロファイルを得ることができる種々の製造段階の間におけるトランジスタデバイスの模式的な断面図（その2）である。

【図2c】図2cは例示的な実施形態に従い歪誘起半導体合金の段階的なその場ドーピングに基き洗練されたドレイン及びソースドーパントプロファイルを得ることができる種々の製造段階の間におけるトランジスタデバイスの模式的な断面図（その3）である。

【図2d】図2dは例示的な実施形態に従い歪誘起半導体合金の段階的なその場ドーピングに基き洗練されたドレイン及びソースドーパントプロファイルを得 POSSIBILITY 40 ことができる種々の製造段階の間におけるトランジスタデバイスの模式的な断面図（その4）である。

【図2e】図2eは例示的な実施形態に従い歪誘起半導体合金の段階的なその場ドーピングに基き洗練されたドレイン及びソースドーパントプロファイルを得 POSSIBILITY 45 ことができる種々の製造段階の間におけるトランジスタデバイスの模式的な断面図（その5）である。

【図2f】図2fは例示的な実施形態に従い歪誘起半導体合金の段階的なその場ドーピングに基き洗練されたドレイン及びソースドーパントプロファイルを得 POSSIBILITY 50 ができる種々の製造段階の間におけるトランジスタデバイスの模式的な断面図（その6）である。

【図2g】図2gは例示的な実施形態に従い歪誘起半導体合金の段階的なその場ドーピングに基き洗練されたドレイン及びソースドーパントプロファイルを得 POSSIBILITY 55 ができる種々

50

の製造段階の間におけるトランジスタデバイスの模式的な断面図（その7）である。

【図2h】図2hは例示的な実施形態に従い歪誘起半導体合金の段階的なその場ドーピングに基き洗練されたドレイン及びソースドーパントプロファイルを得ることができる種々の製造段階の間におけるトランジスタデバイスの模式的な断面図（その8）である。

【発明を実施するための形態】

【0020】

以下の詳細な説明と共に図面に示される実施形態を参照して本開示が説明されるが、以下の詳細な説明及び図面は本開示を特定の例示的に開示されている実施形態に限定することを意図するものではなく、むしろ説明されている例示的な実施形態は単に本開示の種々の側面を例証しているにすぎず、本開示の範囲は添付の特許請求の範囲によって画定されていることが理解されるべきである。 10

【0021】

概して本開示は、製造技術の増大された複雑性の問題に対処し、本開示においては、注入プロセスとの組み合わせにおける選択的エピタキシャル成長技術に基いて洗練されたドレイン及びソースドーパントプロファイルが完成され得る。全体的なプロセス複雑性の顕著な低減は、歪誘起半導体合金内に段階的なその場の(*in situ*)ドーパント濃度をもたらすことによって、ここに開示される原理に従って達成することができ、歪誘起半導体合金は、従って、トランジスタのチャネル領域に近接して位置させることができる。また、より低い温度で実行され得る適切に設計された焼鈍プロセスとの組み合わせにおいて、歪誘起半導体合金内の段階的なドーパントプロファイルは、ドレイン及びソース領域の所望の横方向及び垂直方向のプロファイルを結果としてもたらすことができ、ここに開示される幾つかの実施形態では、加えて、ドレイン及びソース領域の深さは、歪誘起半導体合金を実際に成長させるのに先立ちドレイン及びソースドーパント種を組み込むための注入プロセス又は任意の他のプロセスに基いて個別に調節することができる。この目的のために、1つの例示的な実施形態においては、深いドレイン及びソース区域のためのドレイン及びソースドーパント種は、対応するキャビティを介して組み込むことができ、その結果、過度に大きな注入エネルギーを要することなしに、能動領域内の任意の所望の深さに、例えば埋め込み絶縁層との界面に、ドーパント種を位置させることができる。その結果、周辺容量(fringing capacitance)の低減により、又はゲート電極構造に起因するそれほど臨界的でない表面トポグラフィにより、減少させられたゲート高さが必要であろう場合であっても、対応する注入プロセスの間、チャネル領域の完全性及び敏感なゲート誘電体材質の完全性を保つことができる。更に他の例示的な実施形態においては、他の種が組み込まれてよく、他の種は、例えばドレイン及びソース領域の浅い区域にエネルギートラップを画定するための種を配置することによって、トランジスタの全体的な電子的特性を調節するために用いられ得る、ハロー領域を形成するためのカウンタドーピング種又は任意の他の種類の材質種であり、これらはまた、歪誘起半導体合金を堆積させるのに先立ちキャビティを介して実行される注入技術によって達成され得る。その結果、全体的なドーパントプロファイルは、複雑なスペーサ構造を必要とすることなしに単一構造のゲート電極構造に基いて規定することができ、それにより全体的な製造フローの複雑さの低減に寄与することができる。また、幾つかの例示的な実施形態では、深いドレイン及びソース領域の他にハロー領域及び任意の他の追加的な注入種は、同一のリソグラフィマスクに基いて組み込むことができるので、従来の戦略と比較してマスキングステップの数を減少させることができ、それによってもまた、製造フローの減少及びそれに伴いコスト効率的な製造フローに寄与することができる。更に、ドレイン及びソース領域のドーパントプロファイルを規定するために洗練されたスペーサ技術は必要とされないであろうから、金属シリサイド領域を形成するために用いられ得る任意の追加的なスペーサ要素は、多くの従来の試みにおいてはそうであろうような、深いドレイン及びソース領域を画定するための注入マスクを設けることにも関する妥協を何ら必要とせずに、シリサイド化プロセスの性能を高めることに関する特定的に調節され得る。臨界寸法が50nm以下のトランジスタ要素が設けられる場合、前述したように、歪誘起半導体合金のような性能向上メカニズムが典型的には必 40

40

10

20

30

40

50

要とされるであろう一方で、同時に、チャネル可制御性等を考慮すると、洗練されたドレイン及びソースプロファイルが必要であろうから、ここに開示される原理は、臨界寸法が 50 nm 以下のトランジスタ要素が設けられるであろう洗練された半導体デバイスに関連して高度に有益であろう。ここに開示される幾つかの例示的な実施形態においては、洗練された製造フロー並びに結果としてのドレイン及びソースプロファイルは、進歩的なゲート構造が高 k 誘電体材質を含むという理由でこれとの組み合わせにおいて適用されてよく、高 k 誘電体材質は、金属含有電極材質との組み合わせにおける 10 以上の誘電定数を有する誘電体材質として理解されてよい。この場合にもまた、纖細な高 k 誘電体材質内に欠陥を生じさせる蓋然性を低減し得る例えば低下させられた温度の焼鈍技術を用いることによって顕著な利点を得ることができ、ここでは、加えて、能動領域内にエッチングされることになるキャビティのオフセットを規定するために用いられるオフセットスペーサ要素は、追加的なスペーサ要素を必要とすることなしに、纖細な高 k 材質の高められた完全性をもたらすことができる。

【 0 0 2 2 】

図 2 a ~ 2 h を参照して更なる例示的な実施形態をより詳細に以下に説明し、必要である場合には図 1 a 及び 1 b も参照する。

【 0 0 2 3 】

図 2 a は半導体デバイス 200 の断面図を模式的に示しており、半導体デバイス 200 は、段階的なその場(*in situ*)ドーパントプロファイルをもたらすように選択的エピタキシャル成長技術によってドレイン及びソース区域内に半導体合金を受け入れ得る p チャネルトランジスタのようなトランジスタの形態で設けられてよい。デバイス 200 は基板 201 を備えていてよく、基板 201 の上方にはシリコンベースの層のような半導体層 202 が形成されていてよく、半導体層 202 は、その内部に場合によってはゲルマニウム、炭素、フッ素、等のような他の材質と組み合わせられる顕著な量のシリコンが組み込まれた材質層として理解されてよい。また、図示される実施形態においては、埋め込み絶縁層 201A が基板 201 と半導体層 202 の間に設けられることにより SOI アーキテクチャが形成されていてよく、SOI アーキテクチャは、前述したように、例えば接合容量の低減について有利であり得る。他の例示的な実施形態(図 2 a には図示せず)においては、例えば図 1 a 及び 1 b のトランジスタ 100 を参照して説明したように、埋め込み絶縁層 201A は省略されてよい。更に、デバイス 200 はゲート電極構造 204 を備えていてよく、ゲート電極構造 204 は、多結晶シリコン、金属含有材質、等のような任意の適切な伝導性材質の形態にあるゲート電極材質 204C を含んでいてよい。例えば洗練された半導体デバイスにおいては、高められた伝導性が要求されることがあり、このことは、早い製造段階で金属含有材質を場合によっては多結晶シリコンのような他の材質との組み合わせにおいて設けることによって達成され得る。例えば、チタン窒化物のような対応する金属含有電極材質が、場合によっては追加的な種と組み合わされて、ゲート絶縁層 204A 上に形成されるように材質 204C 内に設けられてよく、ゲート絶縁層 204A は、二酸化シリコン、シリコンオキシ窒化物、シリコン窒化物、等のような任意の適切な誘電体材質の形態で設けられてよく、ここでは、厚みは、前述したようにゲート電極構造 204 の長さに適合させられる必要があるであろう。幾つかの場合には、ゲート絶縁層 204A においては、高 k 誘電体材質が層 204A 内に含まれていてよく、それにより、従来の誘電体材質と比較して低減された漏れ電流でのチャネル領域 205 の高められた可制御性をもたらすことができる。例えば、ゲート絶縁層 204A は、ハフニウム酸化物、ハフニウムジルコニア酸化物、等のような材質を備えていてよい一方で、加えて金属含有材質が層 204A 上に形成されてよく、それにより、多結晶シリコン材質に基いて形成されるゲート電極においてしばしば観察されるであろうような枯渇領域(depletion zone)の生成を実質的に回避することができる。このような応用においては、既に論じられたように、追加的な性能向上メカニズムとの組み合わせにおいて洗練されたドレイン及びソースプロファイルが必要とされるであろうから、図示される実施形態においては、ゲート長、即ち 204L で表される電極材質 204C の長さは、概ね 50 nm 以下であってよい。また、

10

20

30

40

50

図示される実施形態においては、ゲート電極構造 204 は、シリコン窒化物等のような任意の適切な材質から構成され得るオフセットスペーサ要素 204B を備えていてよく、ここでは、スペーサ 204B の幅は、半導体層 202 内、即ちデバイス 200 の対応する能動領域 202A 内でゲート電極構造 204 に横方向で隣接して形成されることになるキャビティの横方向のオフセットを実質的に決定してよい。このように、スペーサ要素 204B は、キャップ層 204D との組み合わせにおいて、電極材質 204C 及びゲート絶縁層 204A の一体性を保つことができる。例えば、高 k 誘電体材質は、複数のウエット化学的エッティングプロセス、例えば汚染等を除去するために必要になるであろうフッ酸等を含むプロセスの間に明白な敏感さを呈することがある。従って、スペーサ要素 204B は、ゲート絶縁層 204A を密閉することができ、加えて能動領域 202A 内に対応するキャビティを形成するための後続の処理の間に高いエッティング抵抗性をもたらすことができる。また、シリコン窒化物等から構成され得るキャップ層 204D は、後続の処理の間にエッティングマスク及び成長マスクとして作用することができる。
10

【0024】

デバイス 200 の任意の製造技術及び特性に関しては、デバイス 100 を参照して与えられている対応する説明も参照することができ、ここでは、キャップ材質 204D 及びオフセットスペーサ 204B は、更なるプロセス要求に適合するように材質組成及び厚みについて適切に選択されてよいことが理解されるべきである。例えば、キャップ層 108 (図 1a 参照) を参照して既に論じられたように、キャップ材質 204D は、ゲート電極材質 204C の少なくとも一部分と一緒にパターニングされてよく、この場合、パターニングシーケンスは電極材質 204C の組成に依存し得る。例えば、洗練されたゲート電極構造が考慮されている場合、適切な金属種が例えば多結晶シリコン材質と組み合わされて堆積させられてよい。同様に、ゲート絶縁層 204A は任意の適切な製造技術に基いて設けられてよい。その後、スペーサ材質が、例えば熱的に活性化された CVD 技術によって、高密度な材質及び十分に制御された厚みを得るように堆積させられてよい。その後、スペーサ層は十分に確立された異方性エッティング技術に基いてパターニングされてよく、それにより、更なる処理に適した必要なエッティング抵抗性及び幅を有するスペーサ 204B を得ることができる。例えば、スペーサ 204B は、領域 202A 内に形成されることになるキャビティの所望のオフセットに応じて、概ね 1 ナノメートル乃至数ナノメートルの幅を有していてよい。
20

【0025】

図 2b はエッティング環境 211 に曝されるときの半導体デバイス 200 を模式的に示しており、エッティング環境 211 は、ゲート電極構造 204 及び分離構造 203 に対して領域 202A の材質を選択的に除去するために、例えばフッ素、塩素、等に基くエッティング薬品を用いるプラズマ支援環境に基いて確立されてよいが、対応するエッティング抵抗性は、キャップ層 204D 及びスペーサ 204B と比較してそれほど明白でなくてよい。エッティングプロセス 211 の間、キャビティ 206 が電極材質 204C に対する横方向のオフセットを伴って形成されてよく、オフセットは、スペーサ 204B 及びプロセス 211 のエッティングパラメータによって実質的に決定される。
30

【0026】

図 2c はキャビティ 206 に基いて領域 202A 内へ 1 つ以上のドーパント種を導入するための 1 つの実施形態に従うイオン注入シーケンス 212 の間におけるデバイス 200 を模式的に示している。1 つの例示的な実施形態では、注入プロセス 212 は、ドレイン及びソースドーパント種の一部を導入するための注入ステップを備えていてよく、214D で表され得るその部分は深いドレイン及びソース領域に対応していてよく、最終的に望ましいプロファイルは、必要であれば一定の程度のドーパント拡散を生じさせる 1 つ以上の更なる熱処理に基いて確立されてよい。図示されるように、深いドレイン及びソース種 214D を組み込むための実際の進入(penetration)深さは、キャビティ 206 の存在により著しく減少させられ得るであろうし、その結果、適度に小さい注入エネルギーが印加されるであろう一方で、にもかかわらず、目標深さまで、例えば少なくとも埋め込み絶縁
40

層 201Aまで拡張するように種 214Dを注ぐことができる。適度に小さい注入エネルギーの結果、ゲート電極構造 204 のイオン遮断能力は確実にチャネル領域 205 の完全性をもたらすことができ、従って、概して減少させられたゲート高さが用いられてよく、ゲート高さの減少は、ゲート電極 204 の低減された周辺容量(fringing capacitance)を考慮しましたそれほど明白でない表面トポグラフィ(topography)を考慮すると有利であろう。更に、注入シーケンス 212 は、カウンタドープされた領域、即ちハロー領域 210 を画定するように、ドーパント種、例えばカウンタドーピング種を組み込むための 1つ以上の追加的な注入ステップを備えていてよく、このことは適切な傾斜角に基いて達成することができ、ここでは、全体的なデバイス要求に応じてハロー領域 210 の対称又は非対称の構造が適用され得る。図示されるように、この場合にもまた適度に小さい進入深さが要求されるであろうし、従って対応する低減された注入エネルギーが用いられてよい。幾つかの例示的な実施形態では、注入シーケンス 212 はまた、アモルファス化注入を備えていてよく、アモルファス化注入は、ハロー領域 210 に対するカウンタドーピング種の組み込みの間の対応するチャネリング効果が不適切であると考えられるであろう場合には、傾斜注入プロセスとして実行されてよい。従ってこの場合には、特定の部分がアモルファス化されてよく、それによりハロー領域 210 を画定するためのドーパント進入の均一性を高めることができる。キャビティ 206 の底部での材質の顕著なアモルファス化は、適切な傾斜角を用いることによって回避し得ることが理解されるべきである。更に、注入シーケンス 212 は 1つ以上の追加的な注入ステップを備えていてよく、追加的な注入ステップにおいては、デバイス 200 の全体的な電子的特性に応じて浅い注入領域 213 を画定するために、フッ素、炭素等の任意の他の適切な種が導入されてよい。このように、深いドレイン及びソース種 214D、ハロー領域 210 、任意の更なる浅い注入種に関するプロセスや、場合によっては対応するアモルファス化プロセスが、注入マスクの交換あるいは追加的なスペーサ要素を必要とすることなしに実行され得るので、全体的に強化された製造及びこれに伴いコスト効率的なプロセス技術に寄与することができる。
10

【 0027 】

図 2d は後続の選択的エピタキシャル成長プロセスの間に 214S で示される注入誘起損傷が不適切であると考えられるであろう場合に熱処理 215 が適用され得る幾つかの例示的な実施形態に従う半導体デバイス 200 を模式的に示している。他の場合には、先行するアモルファス化は再結晶化されてよく、それによりドーパント種をある程度まで活性化することもできる。熱処理 215 は、レーザ焼鈍、フラッシュライト焼鈍、等のような十分に確立された技術を用いて任意の適切なプロセスパラメータに基いて実行され得ることが理解されるべきである。例えば、必要に応じて、顕著なドーパント拡散を誘発することなく再結晶化が生じ得る適切なプロセスパラメータが選択されてよい。他の場合において、対応する注入誘起損傷が関係すると考えられるときには、熱処理 215 はこの製造段階では省略されてよい。注入シーケンス 212 の後、又は熱処理 215 の後、デバイス 200 は後続の選択的エピタキシャル成長プロセスのために準備されてよい。この目的のために、任意の適切なウエット化学的洗浄プロセスが実行されてよく、ここでは、ゲート絶縁層 204A が敏感な高 k 誘電体材質からなる場合に、スペーサ 204B はゲート絶縁層 204A の完全性を保つことができる。
20

【 0028 】

図 2e は選択的エピタキシャル成長プロセス 216A の間における半導体デバイス 200 を模式的に示しており、プロセス 216A の間、歪誘起半導体材質 209A がキャビティ 206 内に形成されてよい。プロセス 216A の間、その場でドープされる材質(in situ doped material)としての材質 209A を形成するために、n 型種又は p 型種のような適切なドーパント種が堆積環境内へ組み込まれてよい。この目的のために、前述したように十分に確立された堆積レシピが用いられてよい。例えば、デバイス 200 が圧縮歪成分を必要とする場合には、材質 209A はシリコン / ゲルマニウム合金を代表してよい。他の場合には、シリコン / ゲルマニウム / 錫合金が堆積させられてよい一方で、更に他の場合には、所望の圧縮歪成分を得るためにシリコン / 錫混合物が形成されてよい。他の例示
40
50

的な実施形態において、トランジスタ 200 が引張り歪成分を必要とするであろうときは、材質 209A はシリコン / 炭素合金の形態で設けられてよい。従って、全体的な歪成分に大きな影響を与えるであろう適切な材質組成を選択することによって、そして更に、適切なドーパント濃度を選択することによって、高度な柔軟性を得ることができる。例えば、層 209A の濃度は、先行する深いドレイン及びソース種 214D との組み合わせにおいて所望の全体的なドーパント濃度を確立するように、適度に高く選択されてよい。それに続く段階において、あるいは別個のステップにおいて、216B で示されるように、更なる材質層 209B が堆積させられてよく、ここでは、少なくともドーパント濃度は、層 209A における濃度と比較して異なっていてよい。例えば、層 209B が「緩衝(buffer)」層として作用し得るように、低下させられたドーパント濃度 209 がもたらされてよい。他の場合には、材質 209A は、所望の最終的なドレイン及びソースプロファイルに応じて、層 209B と比較して低下させられたドーパント濃度で設けられてよい。このように、ドーパント濃度は、堆積段階又は堆積ステップ 216A, 216B の異なるプロセスパラメータによって、高さ方向 206H に沿って変化し得る。方向 206H に沿った 1nm 以下以内におけるドーパント濃度の対応する変化は対応するプロセスパラメータに依存することが理解されるべきである。この場合、多かれ少なかれドーパント濃度の階段状の変化が得られる一方で、他の場合には、それほど明白ではない推移が生じてよいが、にもかかわらず、濃度の対応する変化は層 209A, 209B 内で方向 206H に沿って確実に検出され得る。ドーパント濃度の対応する変化は、段階的な(graded) ドーパント濃度とも称されてよいことが理解されるべきである。

【0029】

図 2f は更なる選択的注入プロセス又は段階の間における半導体デバイス 200 を模式的に示しており、そのプロセス又は段階においては、後の製造段階において実行されることになる 1 つ以上の熱処理との組み合わせにおいてドレイン及びソース拡張領域をもたらすために最終的な層、即ち拡張層 209C が適切なその場の濃度で設けられてよい。その場ドーピングに加えて、適切であると考えられる場合には、材質組成が層 209B, 209A について修正されてもよいことが理解されるべきである。その結果、2 つ以上の堆積プロセス 216A, 216B, 216C に基いて、歪誘起半導体材質の任意の適切な数のエピタキシャル成長層を形成することができ、ここでは、これらの層の少なくとも幾つかにおいて、複雑なドレイン及びソースドーパントプロファイルを任意の後続の熱処理との組み合わせで形成するための要求に適合するように、異なるその場ドーピングが提供されてよい。従って、2 層の歪誘起半導体材質又は 3 層以上が設けられてよい一方で、他の場合には、その場ドーパント濃度の多かれ少なかれ連続的な変化が適用されてよいことが理解されるべきである。このように、従来の試みとは対照的に、その間に最終的なドーパントプロファイルが決定されるであろう後続の熱処理のための適切な開始条件をもたらすために、高さ方向 206H に沿った顕著な非一定のその場の濃度が用いられてよい。

【0030】

図 2g は例えればレーザ焼鈍プロセス、フラッシュライト焼鈍プロセス等の形態にある熱処理 217 にさらされているときの半導体デバイス 200 を模式的に示しており、熱処理 217においては、ドレイン及びソースドーパント種 214D 並びに層 209A, 209B, 209C 内に組み込まれている種々のソースドーパント種に基いてドレイン及びソース領域 214 を確立するために所望の程度のドーパント拡散を得るように、適切なプロセスパラメータが適用されてよい。拡散挙動は対応するハロー又はカウンタドープ領域を形成している先行して注入された種 210 にも依存し得るので、プロセス 217 の間にドレイン及びソース領域 214 のための対応する最終的なドーパントプロファイルが得られるであろうことが理解されるべきである。例えば、それぞれの拡張領域 209E が層 209C に基いて得られてよく、層 209C は、チャネル領域 205 の過度の侵食(penetration)を回避するように適切なドーパント濃度を備えていてよい。また、層 209B 内のその場ドーピングレベルを対応して調節することによって、適切な横方向形状を得ることができ、層 209B は緩衝層として作用し得る一方で、層 209A は種 214D と組み合わせ

られて深いドレインソース区域をもたらすことができる。全体的なプロセス及びデバイス要求に応じて、歪誘起半導体合金 209A, 209B, 209C を設けた後の任意の適切な製造段階で 1 つ以上の追加的な熱処理が実行され得ることが理解されるべきである。更に、注入誘起損傷の明白な再結晶化は必要とされないであろうから、熱処理 217 は一般的には低いプロセス温度で実行されてよい。このように、材質 209A, 209B, 209C は実質的に無損傷で設けることができるので、チャネル領域 205 内への高い歪移転効率を得ることができ、ここでは、スペーサ要素 204B によって規定される所望の減少させられたオフセットもまた、高い歪誘起効率に寄与し得る。その結果、従来の戦略において典型的には必要であろうような複雑なスペーサ構造及び複数のマスキングステップを要することのない製造シーケンスに基いて、ドレイン及びソース領域 214 を設けることができる。

10

【0031】

焼鈍プロセス 217 に先立ち又はその後に、例えば十分に確立されたウエット化学的エッチングレシピ等に基いて、マスク層 204D との組み合わせにおけるオフセットスペーサ 204B が除去されてよいことが理解されるべきである。その後、例えばスペーサ要素を形成すること及び必要に応じてシリサイド化プロセスを実行することによって、更なる処理が継続されてよい。このように、先行するプロセスシーケンスの間、スペーサ 204B はゲート絶縁層 204A 及びゲート電極材質 204C の完全性を確実に保つことができ、そして希釈されたフッ酸のような臨界的なウエット化学的エッチングレシピに曝されることが回避され得る製造段階では、スペーサ 204B は除去されてよい。

20

【0032】

図 2h はスペーサ構造 218 を伴うデバイス 200 を模式的に示しており、スペーサ構造 218 は、チャネル領域 205 に対する金属シリサイド領域 219 のオフセット 219D を調節するように適切な幅を有していてよい。スペーサ構造 218 は、場合によってはエッチング停止材質としての二酸化シリコン等と組み合わせられるシリコン窒化物のような任意の適切な材質から構成され得る。更に、多結晶シリコン材質から構成される場合における電極材質 204C 内には、金属シリサイド領域 204S が形成されてよい。他の場合には、例えば高伝導性金属によって電極材質 204C の少なくとも一部を置換することによって、材質 204S は後の製造段階において除去されてよい。スペーサ構造 218 は、例えばシリサイド化プロセスの間に生じ得るチャネル領域 205 に向けたドーパントの過度の「移転(transfer)」を回避することによって、高められたトランジスタ性能をもたらすためにオフセット 219D を得るように選択された目標幅に基いて設けられてよいことが理解されるべきである。従って、スペーサ構造 218 の特性は、シリサイド化プロセスのプロセスパラメータ及び用いられる対応する材質、例えばニッケル、白金、コバルト等に適合させられてよく、それによてもまた全体的なトランジスタ性能の向上に寄与することができる。例えば完成されたトランジスタ構造の上方に堆積させられるであろう任意の誘電体材質の応力移転を強化することを考慮して、スペーサ構造 218 は、必要に応じて、金属シリサイド領域 219 を形成した後に除去されてよく、それにより、増大された量の高度に応力を与えられた誘電体材質をチャネル領域 205 にごく接近して堆積させることができる。

30

【0033】

結果として、トランジスタ 200 は歪誘起材質 209A, 209B, 209C を優れた結晶状態で備えることができ、それにより、歪誘起合金の材質組成に応じて、圧縮成分又は引張り成分のような高い歪成分 205C 又は 205T を誘起することができる。また、材質 209A, …, 209C 内の段階的なその場ドーパント濃度は、ドレイン及びソース領域 214 の所望の横方向及び縦方向プロファイルを結果としてもたらすことができ、それにより、材質 209C, 209B, 209A をチャネル領域 205 にごく接近して位置させることができ、優れた歪移転効率にも寄与し得る。

40

【0034】

結果的に、本開示は、半導体デバイス及びそれを形成するための技術を提供し、本開示

50

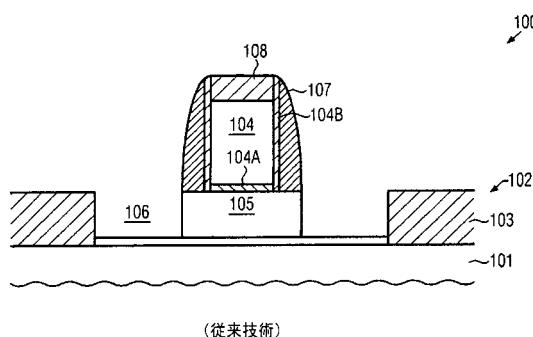
においては、エピタキシャル成長の歪誘起半導体材質内に段階的なドーパントプロファイルが確立されてよく、従って歪誘起半導体材質は、結果としてのドーパントプロファイルに妥協することなくチャネル領域にごく接近して位置させることができる。また、歪誘起半導体合金のエピタキシャル成長に先立ち追加的な注入種を組み込むことができ、ここでは、対応するキャビティの存在が、強化された注入状態をもたらすことができる。ドレイン及びソースドーパントプロファイルが、複雑なスペーサ構造を必要とせずに得ることができ、洗練されたトランジスタ要素を形成する場合における顕著に低減された複雑さに寄与することができる。

【0035】

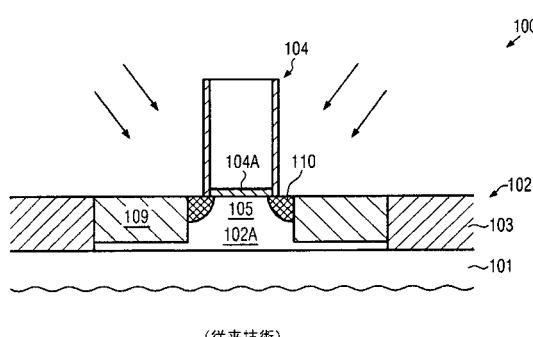
本開示の更なる修正及び変更は、この明細書を考慮することによって当業者には明白になろう。従って、この明細書は、例示的なものとしてのみ解釈されるべきであり、またここに開示される原理を実施する一般的な手法を当業者に教示することを目的としている。ここに示されまた説明される形態は目下のところ望ましい実施形態として解釈されるべきことが理解されるべきである。

10

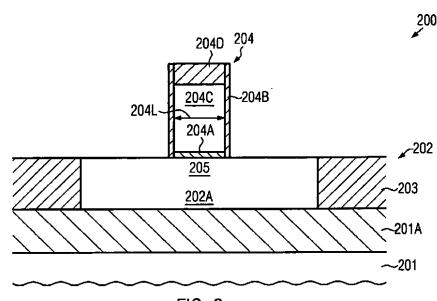
【図1a】



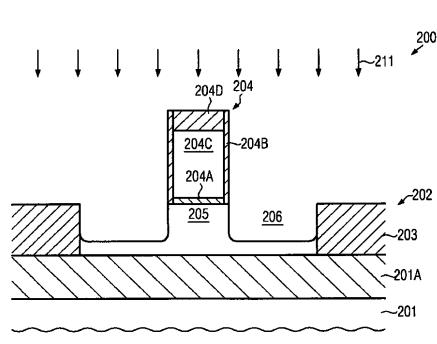
【図1b】



【図2a】



【図2b】



【図 2 c】

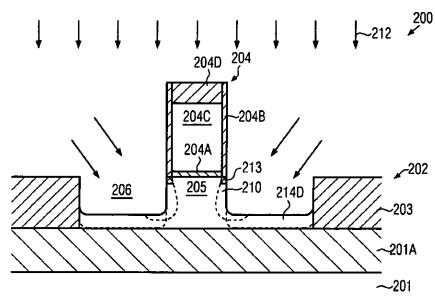


FIG. 2c

【図 2 e】

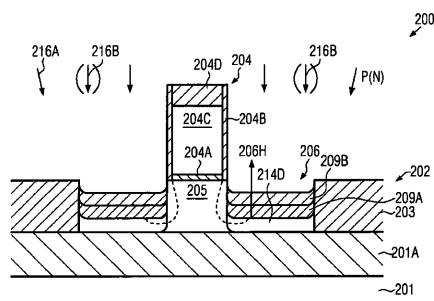


FIG. 2e

【図 2 d】

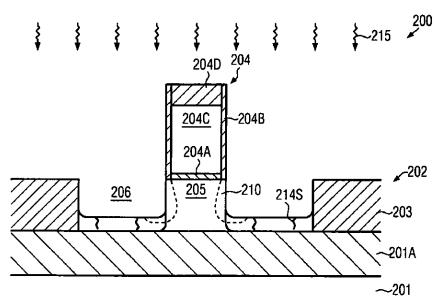


FIG. 2d

【図 2 f】

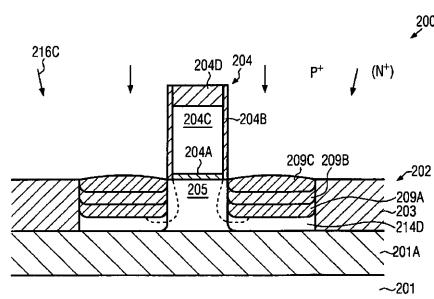


FIG. 2f

【図 2 g】

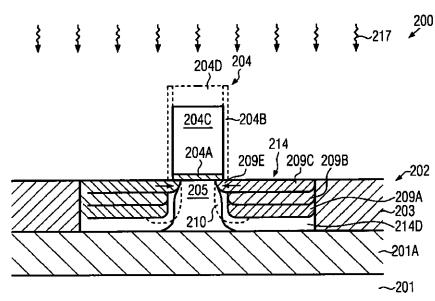


FIG. 2g

【図 2 h】

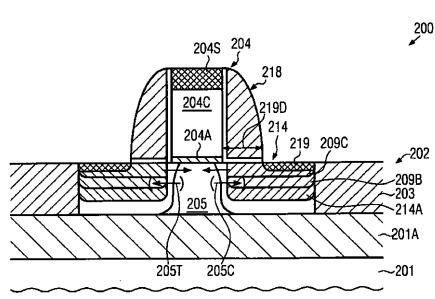


FIG. 2h

フロントページの続き

(51)Int.Cl.

F I

H 01 L	21/265	6 0 2 B
H 01 L	21/265	6 0 2 C
H 01 L	21/20	
H 01 L	29/78	6 1 6 V
H 01 L	29/78	6 1 6 U
H 01 L	29/78	6 2 7 F
H 01 L	29/78	6 1 6 L
H 01 L	29/78	6 1 6 A
H 01 L	29/78	6 1 7 T
H 01 L	29/78	6 1 7 M

(74)代理人 100162156

弁理士 村雨 圭介

(72)発明者 ジャン ホエンシェル

ドイツ、01309 ドレスデン、プレラーシュトラッセ 9

(72)発明者 ヴァシリオス パパゲオルギウ

アメリカ合衆国、テキサス州 78728、オースティン、ファズ フェアウエイ 2210ビー

(72)発明者 ウベ グリーベナウ

ドイツ、04416 マーククリーベルグ、アム クレーエンフェルド 12

審査官 岩本 勉

(56)参考文献 特開平10-261795(JP,A)

特開2007-165665(JP,A)

特開2001-144290(JP,A)

特開2007-294707(JP,A)

特開2008-159803(JP,A)

特表平10-511506(JP,A)

特表2010-532571(JP,A)

特表2009-532861(JP,A)

特表2009-528698(JP,A)

特表2010-519734(JP,A)

米国特許出願公開第2008/0157119(US,A1)

(58)調査した分野(Int.Cl., DB名)

H 01 L 21/336, 29/76, 29/772 - 29/786