



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2022년03월28일
(11) 등록번호 10-2380098
(24) 등록일자 2022년03월24일

- (51) 국제특허분류(Int. Cl.)
H01L 29/66 (2006.01) H01L 29/78 (2006.01)
- (52) CPC특허분류
H01L 29/66795 (2013.01)
H01L 29/7831 (2013.01)
- (21) 출원번호 10-2019-7037500
- (22) 출원일자(국제) 2018년06월21일
심사청구일자 2020년06월25일
- (85) 번역문제출일자 2019년12월18일
- (65) 공개번호 10-2020-0011035
- (43) 공개일자 2020년01월31일
- (86) 국제출원번호 PCT/US2018/038678
- (87) 국제공개번호 WO 2018/237106
국제공개일자 2018년12월27일
- (30) 우선권주장
62/523,704 2017년06월22일 미국(US)
- (56) 선행기술조사문헌
US20140145272 A1
US20160365385 A1

- (73) 특허권자
도쿄엘렉트론가부시키키가이사
일본 도쿄도 미나토쿠 아카사카 5초메 3반 1고
- (72) 발명자
스미스 제프리
미국 뉴욕주 12203 올버니 스위트 244 풀러 로드
255 사우스 나노랩 300
데빌리어스 안톤 제이.
미국 뉴욕주 12203 올버니 스위트 244 풀러 로드
255 사우스 나노랩 300
타필리 칸다바라 엔.
미국 뉴욕주 12203 올버니 스위트 244 풀러 로드
255 사우스 나노랩 300
- (74) 대리인
김태홍, 김진희

전체 청구항 수 : 총 20 항

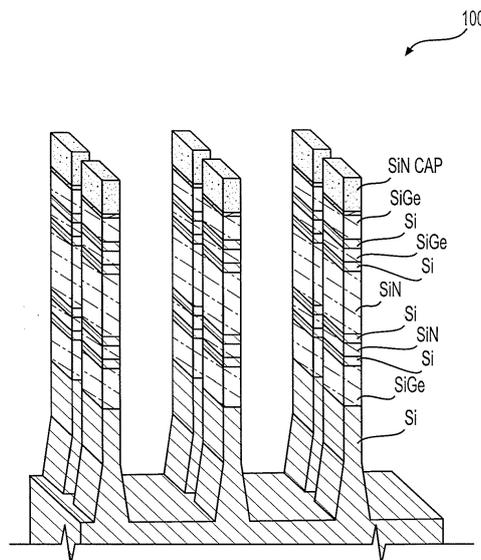
심사관 : 최정민

(54) 발명의 명칭 **매립형 전력 레일들**

(57) 요약

개시의 양상들은 반도체 디바이스 및 반도체 디바이스를 제조하기 위한 방법을 제공한다. 반도체 디바이스는 격리 트렌치에 형성된 전력 레일을 포함한다. 전력 레일은 유전체 캡 상에서의 도전성 패턴 구조들로부터 전력 레일을 격리시키는 유전체 캡에 의해 커버된다. 뿐만 아니라, 개구가 유전체 캡에 선택적으로 형성되며 전력 레일과 도전성 패턴 구조를 선택적으로 연결하기 위해 도전성 재료로 충전된다.

대표도 - 도1



(52) CPC특허분류

H01L 29/7846 (2013.01)

H01L 29/7855 (2013.01)

명세서

청구범위

청구항 1

반도체 디바이스에 있어서,

제 1 격리 트렌치 내의 제 1 레일 개구에 형성된 제 1 전력 레일;

상기 제 1 레일 개구 내의 상기 제 1 전력 레일 상의 제 1 유전체 캡 - 상기 제 1 유전체 캡은 상기 제 1 유전체 캡 상의 도전성 패턴 구조로부터 상기 제 1 전력 레일을 격리함 -;

상기 제 1 전력 레일과 동일한 두께를 갖고 제 2 격리 트렌치 내의 제 2 레일 개구에 형성되는 제 2 전력 레일;

상기 제 2 레일 개구 내의 상기 제 2 전력 레일 상의 제 2 유전체 캡 - 상기 제 2 유전체 캡은 상기 제 2 레일 개구의 측면 재료에 에칭-선택적임 -; 및

상기 제 2 레일 개구의 측면 재료에 에칭-선택적인 상기 제 2 유전체 캡을 에칭하여 형성된 개구 - 상기 개구가 상기 제 2 전력 레일과 정렬되는 측면을 가지며, 상기 개구는 상기 도전성 패턴 구조를 상기 제 2 전력 레일과 연결하는 도전성 재료로 충전됨 -

를 포함하는 반도체 디바이스.

청구항 2

제1항에 있어서, 상기 제 1 전력 레일은 상기 제 1 격리 트렌치 내에 형성되고, 상기 제 2 전력 레일은 상기 제 2 격리 트렌치 내에 형성되는 것인, 반도체 디바이스.

청구항 3

제1항에 있어서, 상기 제 1 전력 레일은 상기 제 1 격리 트렌치를 통해 벌크 실리콘 기판 내로 형성되고, 상기 제 2 전력 레일은 상기 제 2 격리 트렌치를 통해 상기 벌크 실리콘 기판 내로 형성되는 것인, 반도체 디바이스.

청구항 4

삭제

청구항 5

제1항에 있어서,

상기 제 2 유전체 캡은 상기 제 2 전력 레일과 상기 제 2 격리 트렌치 사이의 SiO 라이너 및 상기 제 2 격리 트렌치에서의 산화물에 에칭 선택적인 재료인 것인, 반도체 디바이스.

청구항 6

제1항에 있어서,

상기 제 1 유전체 캡은 상기 제 1 전력 레일 상에서 선택적-증착되는 것인, 반도체 디바이스.

청구항 7

제1항에 있어서,

상기 제 1 전력 레일 및 제 2 전력 레일은 700℃를 넘는 열적 안정성을 가진 금속 재료로 형성되는 것인, 반도체 디바이스.

청구항 8

제7항에 있어서,

상기 금속 재료는 굴절성 금속인 것인, 반도체 디바이스.

청구항 9

제7항에 있어서,

상기 금속 재료는 루테튬을 포함하는 것인, 반도체 디바이스.

청구항 10

제1항에 있어서,

상기 제1 전력 레일 및 제 2 전력 레일의 종횡비는, 상기 제 1 전력 레일 및 제 2 전력 레일의 저항률 요건을 충족시키기 위해 미리 결정되는 것인, 반도체 디바이스.

청구항 11

제10항에 있어서,

상기 제 1 전력 레일 및 제 2 전력 레일의 임계 치수 폭은 상기 종횡비와 함께 미리 결정되는 것인, 반도체 디바이스.

청구항 12

제8항에 있어서,

상기 제 1 전력 레일 및 제 2 전력 레일은, 상기 굴절성 금속으로 상기 제 1 레일 개구 및 제 2 레일 개구를 충전하고 특정 깊이로 상기 굴절성 금속을 에칭 백(etching back)함으로써 형성되는 것인, 반도체 디바이스.

청구항 13

반도체 디바이스를 제조하기 위한 방법에 있어서,

제 1 격리 트렌치 내의 제 1 레일 개구에, 제 1 전력 레일을, 그리고 제 2 격리 트렌치 내의 제 2 레일 개구에, 상기 제 1 전력 레일과 동일한 두께를 가진 제 2 전력 레일을 형성하는 단계;

제 1 유전체 캡으로 상기 제 1 전력 레일을, 그리고 제 2 유전체 캡으로 상기 제 2 전력 레일을 최상부-커버하는 단계 - 상기 제 2 유전체 캡은 상기 제 2 레일 개구의 측면 재료에 에칭-선택적임 -;

상기 제 2 레일 개구의 측면 재료에 에칭-선택적인 상기 제 2 유전체 캡 내의 개구를 에칭하여, 상기 개구의 측면을 상기 제 2 전력 레일과 정렬시키는 단계;

충진된 개구를 통해 상기 제 2 전력 레일과 도전성 패턴 구조를 연결하기 위해 도전성 재료로 상기 개구를 충전하는 단계 - 상기 제 1 유전체 캡은 상기 도전성 패턴 구조로부터 상기 제 1 전력 레일을 격리시킴 -

를 포함하는, 반도체 디바이스를 제조하기 위한 방법.

청구항 14

제13항에 있어서, 상기 제 1 격리 트렌치 내의 상기 제 1 레일 개구에, 상기 제 1 전력 레일을, 그리고 상기 제 2 격리 트렌치 내의 상기 제 2 레일 개구에, 상기 제 2 전력 레일을 형성하는 단계는,

상기 제 1 격리 트렌치 내의 상기 제 1 레일 개구 및 상기 제 2 격리 트렌치 내의 상기 제 2 레일 개구를 에칭하는 단계; 및

상기 제 1 격리 트렌치 내의 상기 제 1 레일 개구에 제 1 전력 레일을, 그리고 상기 제 2 격리 트렌치 내의 상기 제 2 레일 개구에 제 2 전력 레일을 형성하는 단계를 더 포함하는, 반도체 디바이스를 제조하기 위한 방법.

청구항 15

제13항에 있어서, 상기 제 1 격리 트렌치 내의 제 1 레일 개구에, 상기 제 1 전력 레일을, 그리고 상기 제 2 격리 트렌치 내의 제 2 레일 개구에, 상기 제 2 전력 레일을 형성하는 단계는,

상기 제 1 격리 트렌치를 통해 벌크 실리콘 기판 내로 상기 제 1 레일 개구를 에칭하고, 상기 제 2 격리 트렌치

를 통해 상기 벌크 실리콘 기판 내로 상기 제 2 레일 개구를 에칭하는 단계; 및

상기 제 1 격리 트렌치 및 상기 벌크 실리콘 기판에 있는 상기 제 1 레일 개구에 상기 제 1 전력 레일을 형성하고, 상기 제 2 격리 트렌치 및 상기 벌크 실리콘 기판에 있는 상기 제 2 레일 개구에 상기 제 2 전력 레일을 형성하는 단계를 더 포함하는, 반도체 디바이스를 제조하기 위한 방법.

청구항 16

삭제

청구항 17

제13항에 있어서,

상기 제 1 격리 트렌치 내의 상기 제 1 유전체 캡으로 상기 제 1 전력 레일을 최상부-커버하는 단계는,

상기 제 1 유전체 캡으로서 상기 제 1 전력 레일과 상기 제 1 격리 트렌치 사이의 SiO 라이너에 에칭 선택적인 유전체 재료를 선택적-증착시키는 단계를 더 포함하는, 반도체 디바이스를 제조하기 위한 방법.

청구항 18

제13항에 있어서,

상기 격리 트렌치 내의 상기 제 1 레일 개구에, 상기 제 1 전력 레일을, 그리고 상기 제 2 격리 트렌치 내의 상기 제 2 레일 개구에, 상기 제 2 전력 레일을 형성하는 단계는,

700°C를 넘는 열적 안정성을 가진 금속 재료를 사용하여 상기 제 1 전력 레일 및 제 2 전력 레일을 형성하는 단계를 더 포함하는, 반도체 디바이스를 제조하기 위한 방법.

청구항 19

제18항에 있어서,

상기 700°C를 넘는 열적 안정성을 가진 금속 재료를 사용하여 상기 제 1 전력 레일 및 제 2 전력 레일을 형성하는 단계는,

루테늄을 사용하여 상기 제1 전력 레일 및 제 2 전력 레일을 형성하는 단계를 더 포함하는, 반도체 디바이스를 제조하기 위한 방법.

청구항 20

제19항에 있어서,

상기 루테늄을 사용하여 상기 제 1 전력 레일 및 제 2 전력 레일을 형성하는 단계는,

상기 루테늄으로 상기 제 1 격리 트렌치 내의 제 1 레일 개구를, 그리고 상기 제 2 격리 트렌치 내의 제 2 레일 개구를 충전하는 단계; 및

특정 깊이로 상기 루테늄을 에칭 백하는 단계를 더 포함하는, 반도체 디바이스를 제조하기 위한 방법.

청구항 21

제13항에 있어서,

상기 제 1 격리 트렌치 내의 상기 제 1 레일 개구에, 상기 제 1 전력 레일을, 그리고 상기 제 2 격리 트렌치 내의 제 2 레일 개구에, 상기 제 2 전력 레일을 형성하는 단계는,

2 개의 레일 라인들을 포함하는 전력 레일을 형성하는 단계를 더 포함하는, 반도체 디바이스를 제조하기 위한 방법.

청구항 22

제21항에 있어서,

상기 2 개의 레일 라인들을 포함하는 상기 전력 레일을 형성하는 단계는,
 격리 트렌치에서 레일 개구의 측벽들 및 최하부 상에 스페이서 층을 등각 증착시키는 단계;
 유전체 재료로 상기 레일 개구를 충전하는 단계;
 2 개의 스페이서-트렌치들을 형성하기 위해 상기 레일 개구의 측벽들 상에 형성된 상기 스페이서 층을 제거하는 단계;
 루테튬으로 상기 2 개의 스페이서-트렌치들을 충전하는 단계; 및
 특정 깊이로 상기 루테튬을 에칭 백하는 단계를 더 포함하는, 반도체 디바이스를 제조하기 위한 방법.

발명의 설명

기술 분야

- [0001] 우선권 주장 및 상호-참조
- [0002] 이러한 본 개시는 2017년 6월 22일에 출원된, "랜덤 및 비-랜덤 로직 애플리케이션들 및 설계들을 위한 매립형 전력 레일들 및 디바이스-아래 배선을 자기 정렬시키기 위한 방법", 미국 가 출원 번호 제62/523,704호의 이득을 주장하며, 이것은 여기에서 전체적으로 참조로서 통합된다.
- [0003] 기술 분야
- [0004] 본 개시는 일반적으로 반도체 디바이스들 및 제조 프로세스에 관련된 실시예들을 설명한다.

배경 기술

- [0005] 본 개시는 집적 회로 및 집적 회로를 위한 트랜지스터들 및 트랜지스터 구성요소들과 같은 반도체 디바이스를 제조하는 방법에 관한 것이다. 반도체 디바이스의 제조에서(특히 미세 규모로), 막-형성 증착들, 에치 마스크 생성, 패터닝, 재료 에칭 및 제거, 뿐만 아니라 도핑 처리들과 같은 다양한 제작 프로세스들이, 기판상에 원하는 반도체 디바이스 요소들을 형성하기 위해 반복적으로 수행된다. 이력적으로, 미세제조를 이용하여, 트랜지스터들은 그 위에 형성된 배선/금속화를 갖고, 하나의 평면에 생성되었으며 그에 따라 2-차원(2D) 회로들 또는 2D 제작으로서 특성화되었다. 스케일링 노력들은 2D 회로들에서 단위 면적당 트랜지스터들의 수를 크게 증가시켜 왔지만, 스케일링 노력들은 스케일링이 한자릿수 나노미터 반도체 디바이스 제작 노드들에 들어감에 따라 보다 큰 도전들을 만나고 있다.

발명의 내용

해결하려는 과제

- [0006] 본 발명은 핀 전계 효과 트랜지스터(FINFET), 나노와이어들, 나노시트들, 또는 상보적 적층형 나노와이어들 및/또는 나노시트들을 포함한 랜덤 및 비-랜덤 로직 양쪽 모두의 디바이스 제작과 관련된다. 표준 로직 셀들 내에서, 디바이스들(예컨대, 트랜지스터들)로의 전력은 생산 라인 후단(back-end of line; BEOL) 금속 층들에서 전력 레일들을 통해 소스/드레인 접촉부들로 공급된다. 전력 레일들은 통상적으로 동-서 배향으로 불리우는 통상적인 배향으로 인접한 셀들에 걸쳐 이어진다. 전력 레일들은 전력을 다수의 셀들로 공급할 필요가 있으므로, 전력 레일들은 종종 셀들 내에서 사용되는 표준 라우팅 트랙들/신호 라인들에 비교하여 훨씬 더 큰 크기들(예컨대, 더 큰 폭)을 갖고 구현된다. 통상적으로, 통상의 라우팅 라인에 비교하여 전력 레일의 크기 차는 3 내지 4배만큼 클 수 있으며, 따라서 전력 레일들은 셀 설계 내에서 상당한 양의 면적을 이용한다. 전력 레일들의 보다 큰 임계 치수는 그것의 전력 레일들이 디바이스 내에서 공급될 필요가 있는 IR 강하 및 주파수를 포함한 적절한 전력 분배 타겟들을 유지하도록 레일을 통해 적절한 저항을 유지하기 위해 요구된다.
- [0007] 접근법은 효과적으로 전력 레일에서의 총 금속 볼륨을 동일하거나 또는 증가되게 유지하면서 더 작은 하향식 단면(예컨대, 더 작은 폭 금속 라인들)을 허용하기 위해 그것들을 크기가 더 깊게(예컨대, 더 높은 종횡비) 만드는 것을 통해 전력 레일들의 측방향(폭) 크기를 감소시키기 위해 고안되었다. 종횡비에서의 증가는 전력 레일이 공급될 필요가 있는 개선된 IR 강하 및 주파수를 유지하기 위한 능력을 제공하는 전력 레일에 걸쳐 더 낮은 저항을 위해 제공한다. BEOL에서 전력 레일의 종횡비를 간단히 증가시키는 것은 종종 그것이 디바이스에 신호 라인들을 연결하기 위해 더 큰 종횡비 비아들을 구동함에 따라 어렵거나, 또는 신호 라인들이 BEOL에서의 트랙

들 사이에 증가된 정전용량을 야기하는 유사한 중형비를 또한 갖도록 요구할 것이다. 하나의 접근법은 물리 디바이스(예컨대, 트랜지스터) 밑에 전력 레일들을 "매립하거나" 또는 배치하는 것을 포함하며, 여기에서 전력 레일의 중형비는 BEOL에서 신호 라인들에 관계없이 증가될 수 있고, 이것은 BEOL에서 저항 또는 정전용량을 통해 임의의 부정적 효과를 이끌지 않고 전력 레일을 통해 저항을 상당히 낮추기 위한 수단을 제공한다. 이러한 방법에서, 전력은 종래의 풀-다운 접근법을 통한 것과 대조적으로 하향식 접근법을 통해 금속 접촉들로 공급된다.

- [0008] 물리 디바이스 아래에 전력 레일을 매립하는 것은 셀 풋리지(cell footage) 감소를 허용한다. 예를 들어, 일반적으로 셀들은 표준 셀 레이아웃 라이브러리에서 고정-높이, 가변-폭 셀들로 실현된다. 고정 높이는 셀들이 로우들에 위치될 수 있게 하며, 자동화된 레이아웃 설계의 프로세스를 용이하게 한다. 로우 방향은 동-서 배향으로 불리우는 배향이며, 동-서 배향에 수직인 방향은 북-남 배향으로 불리운다. 이러한 명명 관례를 갖고, M0은 통상적으로 동-서 배향에서 움직이는 라인들을 포함하지만 M1은 북-남 배향으로 움직이는 라인들을 가질 것이다. 후속 금속 층들은 이전 금속 층들에 대하여 수직으로 움직일 것이다.
- [0009] 물리 디바이스 아래에 전력 레일을 매립하는 것은 표준 셀의 셀 높이가 전력 레일들 및 라우팅 트랙들의 조합과 대조적으로 라우팅 트랙들 또는 신호 라인들의 수에 의해서만 정의되도록 허용한다. 이것은 실제 라우팅 트랙들의 수가 동일할지라도, 이러한 개념의 포함을 통해 6.0 내지 6.5 라우팅 트랙들(6.5T) 셀 높이로부터(전력 레일 폭이 라우팅 트랙 라인 높이의 2 또는 3배와 같다고 가정하면) 5.0 라우팅 트랙 셀 높이로 쉽게 축소하기 위한 능력을 제공한다.
- [0010] 이웃 셀들(북-남 방향으로)로부터 Vss 내지 Vdd로의 연결들은 공통 전력 레일을 따라 행해질 수 있다. 예에서, 전력 레일(예컨대, Vdd)은 표준 셀들의 상부 로우 및 표준 셀들의 하부 로우 사이의 밑에 위치된다. 전력 레일은 동-서 배향으로 움직인다. 상부 로우에서의 셀들은 북향이며, 하부 로우에서의 셀들은 남향이고, 예를 들어 Vdd 전원 공급으로서 일반적으로 전력 레일을 사용할 수 있다. 전력 레일은 상부 로우에서 북향 셀들에 의해 태핑될(tapped) 수 있으며 마찬가지로 하부 로우에서 인접한 남향 셀들에 의해 태핑될 수 있다. 큰 비-매립형 레일의 경우를 위해, 이것은 양쪽 연결들 모두를 하기 위해 레일 상에 적절한 공간이 있으므로 이것은 수용될 수 있으며, 이들 연결들은 비아가 레일을 통해 밑에 있는 금속 드레인(금속화를 위한 터널 또는 채널과 같은)으로 이송되는 하향식 통합 접근법으로부터 행해진다. 따라서, 리소그래피 또는 패터닝에서 행해진 임의의 정렬은 에칭 프로세스에 의해 직접 이송될 것이다. 그러나, 매립형 레일의 실시예에 관하여, 전력 레일은, 얼마나 큰 중형비가 저항 규격들을 충족시키기 위해 필요한지에 의존하여, 좁은-트렌치 격리(STI) 내에서 또는 벌크 실리콘 및 STI 내에서 감싸질 수 있다. 교체 금속 드레인의 산화물 충전(oxide fill)을 통해 아래로 연결을 하는 것 및 레일에 물리적으로 인접한 STI가 아닌 금속 레일 상에 랜딩하는 것은 실행하기 어려울 수 있다. 임의의 배치 에러는 프로세스의 다음 단계들이 매립형 레일로의 연결을 한 후 금속 드레인을 금속화할 것이므로 레일의 부가적인 금속 충전(metal fill)을 야기할 것이다. 반대로, 부적절한 연결이 전력 레일에 대해 이루어지는 임의의 배치 에러는 특히 레일과 금속 드레인 사이에서의 연결이 크기가 12nm 미만인 설계들에서, 상당한 저항 페널티를 제공한다.
- [0011] 북-남 배향으로 두 개의 이웃하는 셀들로부터의 두 개의 소스/드레인 접촉부들이 공통 전력 레일로부터 내려가는 경우들에 대해, 비아 연결의 배치가 (a) 비아 저항을 개선시키기 위해 직경이 증가되며, (b) 전력 레일의 폭 내에서의 임의의 위치에 위치되고, 그에 따라 몇몇 에지-배치 에러(EPE) 경감을 제공할 수 있게 하는 양쪽 표준 셀들 사이에서의 소스/드레인 접촉부들 또는 전극들이 실제로 공유될 수 있다.
- [0012] 여러 부가적인, 도전들이 활성 디바이스 밑에 있는 매립한 전력 레일들의 통합으로 발생한다. 이들 문제들은 또한 사용될 레일의 크기, 매립형 레일이 구현될 통합 프로세스 시퀀스에서의 위치를 포함한 여러 인자들에 의해 영향을 받는다. 실리콘 또는 SiGe 핀 구조들(또는 나노시트 게이트-올-어라운드(GAA) 프로세스에서 사용된 Si/SiGe 핀 초격자)에 근접한 매립형 전력 레일들의 배치, 이들 레일들이 태핑되는 밀도 및 위치(양쪽 모두 단일 표준 셀 내에서뿐만 아니라 북-남 배향으로 두 개의 인접한 셀들 사이에서), 레일의 금속화 및 금속 드레인으로의 그 후속 연결을 위해 요구된 임의의 연관된 라이너들과 함께 매립형 레일을 위해 사용된 금속, 및 통합 시 매립형 전력이 생성되는 방법 및 장소의 열적 제한들을 포함한 여러 인자들에 의해 영향을 받는다.
- [0013] 여기에서 예시적인 실시예들은 매립형 전력 레일들에 대한 적용을 설명하는데 주로 초점을 맞춘다. 본 출원은 내내 비-제한적이다. 여기에서의 실시예들은 물리 디바이스 아래에 존재하는 라우팅 라인들 또는 로컬 상호 연결 또는 셀-대-셀 상호 연결 라인들, 뿐만 아니라 웨이퍼의 뒤쪽으로부터 바로 전력 레일들을 공급하는 매립형 전력 분배 네트워크들과 같은 임의의 뒷면 배선을 커버하기 위해 확대될 수 있다.
- [0014] 현재 물리 디바이스의 최하부-단부 상에 행해진 임의의 배선을 자기-정렬시키기 위한 방법은 없다. 이것은 배선

이 매립형 전력 레일들, 메모리를 위한 매립형 워드라인, 매립형 상호 연결 라인들, 매립형 라우팅 라인들, 로직을 위한 매립형 셀-간 배선 라인들 등을 포함하는지에 관계없다.

[0015] 여기에서 개시된 바와 같이 자기-정렬의 다수의 방법을 가능하게 하는 것은 상보적 FET 적층형 나노시트 아키텍처들과 같은 다른 스케일링 개념들과 함께 구현된다면, 현재의 6.5T로부터 5T 아래로 또는 훨씬 더 아래로 로직 설계들을 위한 셀 높이를 상당히 스케일링하기 위한 능력을 제공하며, 여기에서 4T 또는 심지어 3T 셀 높이들은 매립형 전력 레일들을 갖고 실현 가능할 것이다. 이것은 또한 결국 셀들 자체가 서로의 최상부 위에 적층될 수 있는 메커니즘을 제공한다. 몇몇 예들에서, 상보적 적층형 나노-시트들(NMOS 위 PMOS)이 개시된다. 이러한 적층형 디바이스들은, 현재 금속화를 위한 방법인 바와 같이, 배치 또는 와이어들 및/또는 다른 배선이 물리 디바이스 아래에, 다수의 물리 디바이스들 사이에, 뿐만 아니라 물리 디바이스 위에서 행해질 수 있는 다수의 셀 적층으로 확대시키기 위해 매립형 뒷면 배선의 여기에서의 실시예들과 함께 사용될 수 있다.

[0016] 물론, 여기에서 설명된 바와 같이 상이한 단계들의 논의의 순서는 명료성 이유로 제공되었다. 일반적으로, 이들 단계들은 임의의 적절한 순서로 수행될 수 있다. 부가적으로, 여기에서 상이한 특징들, 기술들, 구성들 등의 각각은 본 개시의 상이한 장소들에서 논의될 수 있지만, 개념들의 각각은 서로에 독립적으로 또는 서로 조합하여 실행될 수 있다는 것이 의도된다. 따라서, 본 발명은 많은 상이한 방식들로 구체화되고 보여 질 수 있다.

[0017] 개시의 양상들은 반도체 디바이스를 제공한다. 반도체 디바이스는 격리 트렌치에 형성되고 선택적으로 벌크 실리콘 아래로 연장되는 전력 레일을 포함한다. 전력 레일은 HKMG(하이-k 금속 게이트), 게이트 전극들, 및 심지어 소스/드레인 전극들로부터 전력 레일을 격리시키기 위해 유전체 캡에 의해 또는 STI 산화물의 제 2 증착으로 커버된다. 뿐만 아니라, 개구는 전력 레일과 소스/드레인 전극을 선택적으로 연결하기 위해 유전체 캡에 형성되고 도전성 레일로 충전될 수 있다.

[0018] 개시의 양상들은 반도체 디바이스를 제조하기 위한 방법을 제공한다. 상기 방법은 전력 레일을, 격리 트렌치에 형성하는 것 및 그것을 선택적으로 벌크 실리콘 아래로 연장시키는 것을 포함한다. 뿐만 아니라, 방법은 유전체 캡 상에서 도전성 패턴 구조들로부터 전력 레일을 격리시키기 위해 유전체 캡으로 전력 레일을 최상부-커버하는 것을 포함한다. 그 후, 방법은 충전된 개구를 통해 전력 레일과 도전성 패턴 구조를 선택적으로 연결하기 위해 선택적으로 유전체 캡에 개구를 형성하는 것 및 도전성 재료로 개구를 충전하는 것을 포함한다. 유전체 캡 재료는 전력 레일을 소스/드레인 전극에 연결할 비아 구조들을 형성할 때 선택적으로 에치를 통해 자기-정렬의 몇몇 수단들을 제공하도록 주변 STI 산화물과 상이할 수 있다. 이러한 캐핑(capping) 재료의 증착은 (a) 종래의 충전(fill), CMP, 및 리세스 프로세스를 통해, 또는 더 바람직하게는, (b) 캡 재료가 매립형 금속 레일의 상부 표면에 선택적으로 증착되는 선택적 증착 프로세스를 통해 행해질 수 있다.

도면의 간단한 설명

[0019] 본 개시의 양상들은 수반된 도면들과 함께 관독될 때 다음의 상세한 설명으로부터 가장 잘 이해된다. 산업에서의 표준 관행에 따르면, 다양한 특징들은 일정한 비율로 그려지는 것은 아니라는 것에 유의한다. 사실상, 다양한 특징들의 치수들은 논의의 명료함을 위해 임의로 증가되거나 또는 감소될 수 있다.

도 1 내지 도 20은 개시의 몇몇 실시예들에 따른 반도체 제조 프로세스 동안 중간 스테이지들의 다양한 개략도들을 도시한다;

도 21 내지 도 30은 개시의 몇몇 실시예들에 따른 매립형 전력 레일을 형성하기 위한 중간 스테이지들의 다양한 개략도들을 도시한다; 그리고

도 31 내지 도 39는 개시의 몇몇 실시예들에 따른 매립형 전력 레일들을 형성하기 위한 중간 스테이지들의 다양한 개략도들을 도시한다.

발명을 실시하기 위한 구체적인 내용

[0020] 다음의 개시는, 제공된 주제의 상이한 특징들을 구현하기 위해, 많은 상이한 실시예들, 또는 예들을 제공한다. 구성요소들 및 배열들의 특정 예들은 본 개시를 단순화하기 위해 이하에서 설명된다. 이것들은, 물론, 단지 예들이며 제한적이지도록 의도되지 않는다. 예를 들어, 이어지는 설명에서 제 2 특징 위 또는 그것 상에 제 1 특징의 형성은 제 1 및 제 2 특징들이 직접 접촉으로 형성되는 실시예들을 포함할 수 있으며, 또한 부가적인 특징들이 제 1 및 제 2 특징들 사이에 형성될 수 있는 실시예들을 포함할 수 있어서, 제 1 및 제 2 특징들이 직접 접촉하지 않도록 할 수 있다. 또한, 본 개시는 다양한 예들에서 참조 숫자들 및/또는 글자들을 반복할 수 있다.

이러한 반복은 단순함 및 명료함을 위한 목적이며 다양한 실시예들 및/또는 논의된 구성들 사이에 관계를 그 자체가 서술하지 않는다.

- [0021] 뿐만 아니라, "밑에", "아래에", "하부", "위에", "상부" 등과 같은, 공간적으로 상대적인 용어들은 도면들에서 예시된 바와 같이 또 다른 요소(들) 또는 특징(들)에 대한 하나의 요소 또는 특징의 관계를 설명하기 위해 설명의 용이함을 위해 여기에서 사용된다. 공간적으로 상대적인 용어들은 도면들에서 묘사된 배향 외에 사용 또는 동작 중인 디바이스의 상이한 배향들을 포함하도록 의도된다. 장치는 그 외 배향될 수 있으며(90도 또는 다른 배향들로 회전된다) 공간적으로 상대적인 디스크립터들은 그에 따라 마찬가지로 해석될 수 있다.
- [0022] 여기에서의 개시들은 랜덤 및 비-랜덤 논리 셀들 양쪽 모두에 대한 매립형 전력 레일들을 자기-정렬시키는 방법을 위해 제공한다. 매립형 전력 레일은: (a) 표준 핀 전계 효과 트랜지스터(FINFET) 프로세스를 위한 벌크 실리콘 상에 바로; (b) SiGe P-형 금속 산화물-반도체(PMOS) 채널 프로세스를 위한 벌크 실리콘 위의 SiGe 에피택시막 상에 바로; (c) 나노와이어 및/또는 나노시트 프로세싱을 위한 Si-SiGe 다중-층 스택 상에 바로; 또는 (d) FINFET 또는 Si/SiGe FIN 스택이 패터닝되고 STI 산화물로 충전된 후, 주어진 논리 통합 흐름으로의 삽입을 위해 다수의 위치들을 갖는다.
- [0023] 일반적인, 더미 FIN 패턴들은 균일한 프로세싱 환경을 형성하기 위해 레이아웃에서 균일한 패턴 밀도에 추가된다. 프로세싱 동안, 예를 들어, 더미 FIN 패턴들은 격리 영역들이 궁극적으로 개개의 FinFET 디바이스들을 서로 분리하기 위해 형성되는 공간들을 위한 림을 생성하거나 또는 그것을 정의하기 위해 특정한 시간에 제거된다. 더미 FIN 패턴 제거는 FIN 컷으로서 불리운다. 더미 FIN 패턴 제거는, 예를 들어, CUT-우선 접근법으로 불리우는, FIN 에칭을 마스킹하기 위한 하드 마스크 층에서 더미 패턴들을 제거함으로써, FIN 에칭 프로세스 전에 일어날 수 있다. 더미 FIN 패턴 제거는 FIN 에칭 프로세스의 중간에 일어날 수 있으며, 이것은 컷-중간 접근법으로 불리운다. 더미 FIN 패턴 제거는 FIN 형성 후 일어날 수 있으며, 이것은 CUT-마지막 접근법으로 불리운다. CUT-마지막 접근법은 프로세스 균일성을 개선할 수 있다.
- [0024] 애플리케이션들 (a), (b), 및 (c)를 위한 매립형 레일들을 형성하는 경우를 위해, 레일은 Si, SiGe, 또는 적층형 Si/SiGe FIN들의 임의의 패터닝 이전에 패터닝되고 고정 거리로 에칭될 수 있다. 따라서, 전체 레일 깊이는, 생산 라인 후단(BEOL)을 위한 이중 다마신(dual damascene) 방법과 유사한 방식으로와 같은, FIN 에칭 프로세스 동안 이송될 것이다. 이러한 접근법은 FIN 에칭 프로세스들이 개선된 기술을 위해 반도체 제조사들에 의해 현재 선호되는 바와 같이, CUT-중간 또는 CUT-우선으로 행해지게 하며 CUT-마지막은 행해지지 않게 할 수 있다.
- [0025] FIN CUT-마지막 접근법은 매립형 레일의 깊이 및 형태를 왜곡할 수 있다. 저항 제어를 유지하는 것이 중요할, 깊이만 좁은 레일들을 형성하는 경우에 대해 마찬가지로, 이것은 물리적 전력 레일 크기 및/또는 형태에서 몇몇 왜곡을 야기할 수 있는, 패터닝된 핀들에 인접한 것들 사이에 매우 제한된 공간을 가진 깊은 트렌치들을 남길 수 있으며, 이것은 전기 파라미터들에 대해 동일하게 우려하는 이슈들을 가질 수 있다. FINFET 애플리케이션들의 경우에 대해 부가적으로, 벌크 실리콘은, 전력 레일 및 인접한 FIN들의 형성 후, 다수의 주입 단계들의 대상이 될 수 있으며, 벌크 실리콘 내에서 에칭된 레일에 접해 있는 영역으로 주입 특징을 제어하는 것은 어려운 것이다. 이러한 통합 기법들이 가능하며 방금 설명되었지만, 주입 시 몇몇 제한들을 가질 것이다. 매립형 레일이 FIN 에칭 및 STI 충전/CMP 후 패터닝되는 옵션 (d)에 대해, 이것은 매립형 전력 레일의 포함을 위한 바람직한 실시예이다.
- [0026] 이 실시예에서, 매립형 레일은 STI 산화물의 최상부 상에서 패터닝되며 STI 산화물을 통해 이송되어, STI 산화물의 깊이 내에서 잘 정지하거나, 또는 완전히 STI 산화물의 깊이를 통과하여 벌크 실리콘으로 연장된다. 벌크 실리콘으로의 전력 레일의 궁극적인 깊이는 매립형 레일의 원하는 중형비에 의존적일 것이며, 보통 IR 강하, 전력을 접촉시키며 그것을 레일들에 공급하는 빈도, 및 전력을 레일들에 공급하는 빈도 및 이러한 빈도에 기초한 상부 금속 층들을 라우팅한 영향 및 라우팅 관점으로부터 면적 스케일링에 대한 그것의 영향에 대한 설계 규칙 준수와 같은 전력-분배 네트워크 규격들을 충족시키기 위해 매립형 전력 레일의 요구된 저항 및 사용된 금속의 선택에 의해 정의된다. 넓은(라우팅 라인에 비교하여 1.5T 내지 4T 폭 레일) 전력 레일의 경우에 대해, 이러한 트렌치의 중형비는 약 2.5 대 5.0이다. 부가적인 이익들을 가질 수 있는, 깊고 좁은 레일은 3배까지의 중형비, 또는 7.5 대 15.0을 가질 것이다. 이러한 에칭 프로세스는 STI 내에서 매립형 전력 레일의 의도된 깊이만큼 깊을 수 있는 매우 얇은(<12nm) STI 산화물을 생성할 것이다. FIN들 사이에서의 산화물 충전 내에서 이들 좁은 트렌치들을 이송하는 것이 갖는 도전들은 매립형 전력 레일들 사이에서 간격의 왜곡 및 토폴(topple) 마진을 포함하며, 이것은 기생 성분들에 중대하다.
- [0027] 몇몇 실시예들에서, 좁은 매립형 레일이, 자기-정렬 프로세스를 통해, 형성될 수 있다. 예를 들어, 1.5T 내지

4T 전력 레일의 크기의 초기 트렌치는 STI를 통해 에칭된다. 일단 매립형 전력 레일의 의도된 깊이에 도달하면, 에칭-선택 막은 트렌치의 양쪽 측면들 모두에서 "스페이스"를 형성하기 위해 트렌치 내에서 등각 증착될 수 있다. 이러한 에칭-선택 재료는 그 후 트렌치의 가장 최하부에서 등각 증착을 제거하기 위해 통상의 "스페이스-개방" 에칭을 겪을 수 있어서, 넓은 트렌치의 측벽을 따라 단지 에칭-선택 재료들만을 남긴다. 산화물 또는 다른 유전체 라이너 및/또는 충전 재료는 그 후 트렌치의 나머지를 완전히 메우기 위해 선택될 수 있으며 그 후 A가 STI 산화물 또는 충전 산화물이고 B가 트렌치 내에서 에칭 선택 재료인 "A/B" 매트릭스를 노출시키기 위해 평탄화되거나(CMP에 의해서와 같은) 또는 건식-또는-습식 리세싱된다. 비-적극적 에칭 프로세스는 그 후 두 개의 동일한 트렌치가 형성되게 하는 에칭-선택 재료 "B"를 파내기 위해 사용될 수 있다. 두 개의 트렌치들은 그것들 양쪽 모두가 원래 단일 등각 증착 프로세스를 통해 형성되었으므로 동일할 것이다. 두 개의 인접한 좁은 트렌치들 사이에서의 산화물이 붕괴되는 것을 방지하는 다수의 저-적극적 에칭 프로세스들이 있다. 하나의 이러한 프로세스는 100 내지 1까지의 선택도들이 달성될 수 있는 화학적 산화물 제거(COR) 증가-상 에칭, 뿐만 아니라 다른 준 원자 층 에칭(ALE) 및 습식 및 또는 건식 에칭들이다.

[0028] 일단 자기-정렬 트렌치들이 인접한 매립형 레일들을 생성하기 위해 형성되면, 전력 레일들이 그 후 금속화될 수 있다.

[0029] 매립형 전력 레일들을 위한 금속화의 선택은 통합 흐름에서 레일이 형성되고 금속화되는 경우 영향을 준다. S/D epi 상에서 스파이크-어닐(spike-anneal)이 실행되기 전에 매립형 레일들을 잘 형성하고 금속화하는 경우에 대해, 금속은 산화물 상에서 매우 양호한 열적 특성들을 가질 필요가 있다. 예를 들어, 금속은 범위가 700C 내지 1100C에 이를 수 있는 스파이크 어닐 온도들, 뿐만 아니라 금속 게이트에서 사용될 막들의 임의의 증착 온도들 하에서 안정될 수 있어야 한다. 매립형 레일이 금속 게이트 증착 및 S/D 스파이크 어닐들 전에 위치되는 실시예에 대해, 이것은 구리(<450C 열적 안정성), 코발트, 또는 알루미늄과 같은 금속들의 사용을 배제할 것이다. 몇몇 실시예들에서, 루테튬은 그것이 산화물에 비해 우수한 열적 안정성을 갖는다고 고려하면 통합 시 이때 매립형 전력 레일을 금속화하기 위해 선택 가능하며, 또한 상향식 증착 프로세스를 사용하여 깊은 트렌치로 증착될 수 있다.

[0030] 개시의 양상에 따르면, 여기에서 기술들은 리세싱된 루테튬(또는 임의의 다른 금속) 위에 에칭-선택 캡을 사용함으로써 금속 드레인에 대한 전력 레일의 상향식 자기-정렬을 포함한다. 몇몇 실시예들에서, 캡은 금속상에 유전체(dielectric on metal; DoM)를 증착시키기 위해 선택적 증착 프로세스를 사용하여 형성된다. 루테튬의 경우에 대해, 캡은 (a) 유전체이며 전력 레일 및 레일 위에 위치한 금속 드레인 사이에 진짜 유전체이도록 적절한 크기를 갖거나, 또는 (b) 접해 있는 STI 산화물 또는 유전체 라이너에 에칭 선택적이고, (c) 전력 레일 및 임의의 돌출된 게이트 전극 사이에 유전체이며, (d) 유전체 캡의 높이가 사실상 매립형 전력 레일의 최상부에 대하여 HKMG 및 게이트 전극의 궁극적인 배치를 정의할 것이며, 이러한 증착 양은 전력 레일들 및 게이트 전극 사이에서 정전용량을 제어하기 위해 제어될 수 있는 것이다. 캡의 에칭-선택도 특징의 포함은 금속 드레인이 개방될 때, 매립형 전력 레일 및 임의의 실리콘 또는 Si/SiGe 핀 구조 사이에서의 물리적 간격이 또한 잘 제어되어야 함에 따라 매립형 레일의 측을 따라 STI 산화물을 추가로 개방하지 않고 캡이 개방될 수 있는 자기-정렬 에칭 프로세스가 이용될 수 있음을 보장한다. 이것은 또한 전체 금속 드레인이 매립형 전력 레일로 캡을 개방하고, 또한 매립형 전력 레일 자체 빠기 트렌치 내에서의 추가 증착된 라이너들의 크기와 동일한, 초기 매립형 레일 트렌치의 동일한 같은 크기이도록 탭을 제어할 수 있게 한다. 이것은 사용될 금속 드레인의 크기의 완전한 자유를 허용하며, 이것은 핀 액세스가 제한되는 면적-스케일링 디바이스들에 대해 유리하다.

[0031] 여기에서의 몇몇 실시예들의 상세한 설명에 대해, 금속 충전은 FIN 에칭 후 및 최종 STI 충전 다음에 실행되며, 핀 구조들의 최상부 아래로 연마되는 것으로 고려된다. 예시적인 실시예들은 매립형 전력 레일들에 초점을 맞추지만, 여기에서의 기술들은 물리 디바이스 아래에 존재하는 라우팅 라인들 또는 로컬 상호 연결 또는 셀-대-셀 상호 연결 라인들과 같은 임의의 뒷면 배선을 커버하기 위해 연장될 수 있다.

[0032] 이하의 예시적인 실시예들은 상보적 적층형 나노시트 디바이스(CFET)를 위한 프로세스 흐름을 예시한다. 통합 프로세스 흐름은 FINFET, 측방향으로 적층된 나노와이어들 및/또는 나노시트, 및 SiGe 채널 FINFET 디바이스들의 제작과 함께 사용하기 위해 유사하다는 것에 유의한다.

[0033] 리세싱된 루테튬 위에 에칭-선택 캡을 사용함으로써 금속 드레인에 대한 전력 레일의 상향식 자기-정렬을 사용하는 반도체 프로세스가 도 1 내지 도 14를 참조하여 설명된다.

[0034] 도 1은 몇몇 실시예들에 따른 반도체 제조 프로세스 동안 반도체 디바이스(100)의 일 부분의 개략도를 도시한다. 도 1 예에서, Si/SiGe FIN 에칭이 완료되었으며 Pad 산화물/SiN 캡이 FIN의 최상부 상에 남겨진다.

이러한 특정한 상황에서, FIN 컷은 이미 FIN 에칭 프로세스 이전에 행해졌다. 이것은 STI 밑에 있는 실리콘이 FIN들 사이에서의 면적들에서 "편평한" 것으로 고려된다는 것을 의미한다. FINCUT-마지막 접근법을 갖고, 더미 FIN들은 매립형 전력 레일들을 형성하는 것을 더 문제가 되게 하는 FIN들 사이에서의 실리콘 내에 깊은 리세스들을 제공하는 이러한 단계 전에 에칭된다. 따라서, FIN 패턴 정의를 위해 FINCUT-우선 또는 FINCUT-중간 접근법을 포함하는 것은 매립형 전력 레일을 이러한 예시적인 통합으로 포함하기 위해 선호된다. 다음의 도면은 예시적인 결과를 도시한다.

- [0035] 도 2는 얇은 트렌치 격리(STI)가 산화물의 증착 및 Si/SiGe FIN 구조의 최상부로의 CMP-백을 통해 행해진 후 반도체 디바이스(100)의 개략도를 도시한다.
- [0036] 도 3은 포토레지스트 층에서 레일 트렌치를 위한 패턴들을 생성한 후 반도체 디바이스(100)의 개략도를 도시한다. 도 3 예에서, 다층 포토리소그래피 스택은 패턴 이송을 위해 사용된다. 다층 포토리소그래피 스택은 스핀-온 탄소(SOC)의 최하부 층, Si-함유 반사-방지 코팅(SiARC)의 중간 층, 및 최상부 층 포토레지스트를 포함한다. 예에서, 포토레지스트에서의 패턴들은 먼저 중간 층 SiARC 및 최하부 층 SOC로 이송된다. 그 후, 중간 층 SiARC 및 최하부 층 SOC에서 이 패턴들은 예를 들어, 레일 트렌치 에칭을 통해, STI 산화물 아래로 이송된다.
- [0037] 도 4는 매립형 레일 트렌치 에칭 후 반도체 디바이스(100)의 개략도를 도시한다. 매립형 레일 트렌치는 STI 산화물의 최상부 상에서 패터닝되며 예를 들어 에칭에 의해 STI 산화물을 통해 이송된다는 것에 유의한다. 예에서, 패턴 이송은 STI 산화물의 깊이 내에서 잘 정지한다. 또 다른 예에서, 패턴 이송은 STI 산화물의 깊이를 통해 에칭되며 벌크 실리콘으로 연장된다. 넓은(라우팅 라인에 비교하여 1.5T 내지 4T 폭 레일) 전력 레일의 경우에 대해, 이러한 트렌치의 종횡비는 약 2.5 대 5.0이다. 깊고 좁은 레일은 종횡비의 3배까지, 또는 7.5 대 15.0을 가질 수 있다. 이러한 에칭 프로세스는 STI 내에서 매립형 전력 레일의 의도된 깊이만큼 깊은 매우 얇은 (<12nm) STI 산화물을 생성할 것이다. FIN들 사이에서의 산화물 충전 내에서 이들 좁은 트렌치들을 이송하는 것이 갖는 도전들은 매립형 전력 레일들 사이에서 간격의 왜곡 및 토폴 마진을 포함한다. 다음의 도면은 예시적인 결과를 보여준다.
- [0038] FINFET 애플리케이션에서, 벌크 실리콘은 고농도로 도핑될 수 있으며 그것은 레일을 완전히 STI 내에서 유지하기 위해 선호될 수 있다. 깊은 레일을 STI 내에 유지하는 것은, 그러나, FIN의 초기 높이를 종래에 제작된 것보다 훨씬 더 크게 한다. 통상적으로 FINFET에 대해, 핀 치수들은 75Å 주위에서 움직이며, 따라서 이러한 예시적인 실시예에서, FIN의 종횡비는 15-1을 넘어 잘 연장되며 심지어 20-1에 도달할 수 있다. 이것은 매우 적극적이며 핀 형태에서 왜곡들을 이끄는 경향이 있으므로, 몇몇 실시예들이 실리콘으로 매립형 레일을 이끄는 것이 바람직할 수 있다. 일 실시예에서, 좁은 매립형 레일은 자기-정렬 프로세스를 통해 형성될 수 있으며, 여기에서 초기 트렌치는 그것이 STI를 통해 에칭되는 동안 보다 종래의 1.5T 내지 4T 전력 레일의 크기이다.
- [0039] 벌크 실리콘 아래로 연장되는 매립형 레일 트렌치들의 실시예에서, 매립형 레일들은 벌크 실리콘으로의 패턴 이송 후 트렌치로의 등각 유전체 증착에 의해 벌크 실리콘으로부터 물리적으로 격리되는 것에서 이익을 얻는다.
- [0040] 도 5는 원자 층 증착(ALD) SiO₂ 라이너와 같은 라이너가 증착된 후의 반도체 디바이스(100)의 개략도를 도시한다.
- [0041] 일단 매립형 전력 레일의 의도된 깊이에 도달하면, 에칭-선택 막은 트렌치의 양쪽 측면들 모두에 "스페이스"를 형성하기 위해 트렌치 내에 등각 증착될 수 있다. 이러한 에칭-선택 재료는 그 후 트렌치의 가장 최하부에서 등각 증착을 제거하기 위해 정상 "스페이스-개방" 에칭을 겪을 수 있어서, 넓은 트렌치의 측면을 따라 단지 에칭-선택 재료들만을 남긴다.
- [0042] 여기에서의 일 실시예에서, 좁은 매립형 레일이, 또한 자기-정렬 프로세스를 통해 형성될 수 있으며, 여기에서 초기 트렌치는 그것이 STI를 통해 에칭되는 동안 보다 종래의 1.5T 내지 4T 전력 레일의 크기이다. 일단 매립형 전력 레일의 의도된 깊이에 이르면, 에칭-선택 막은 트렌치의 양쪽 측면들 모두에 "스페이스"를 형성하기 위해 트렌치 내에서 등각 증착될 수 있다.
- [0043] 도 6은 에칭-선택 막(예컨대, ALD 희생 막)이 증착된 후 반도체 디바이스(100)의 개략도를 도시한다.
- [0044] 이러한 에칭-선택 재료는 그 후 트렌치의 가장 최하부에서 등각 증착을 제거하기 위해 정상 "스페이스-개방" 에칭을 겪을 수 있어서, 넓은 트렌치의 측면을 따라 단지 에칭-선택 재료들만을 남긴다. 산화물 또는 다른 유전체 라이너 및/또는 충전 재료는 그 후 트렌치의 나머지를 가득 채우기 위해 사용되며 A가 STI 산화물 또는 충전 산화물이며 B가 트렌치 내에서 에칭 선택 재료인 "A/B" 매트릭스를 노출시키기 위해 평탄화(예컨대, CMP)되거나

또는 건식-또는-습식 리세싱된다.

- [0045] 도 7은 산화물 증진 후 반도체 디바이스(100)의 개략도를 도시한다.
- [0046] 뿐만 아니라, 비-적극적 에칭 프로세스는 그 후 두 개의 동일한 트렌치들이 형성되는 것을 야기할 에칭-선택 재료 "B"를 파내기 위해 사용될 수 있다.
- [0047] 도 8은 두 개의 동일한 트렌치들이 형성된 후 반도체 디바이스(100)의 개략도를 도시한다.
- [0048] 실시예에서, 두 개의 트렌치들은 그것들이 양쪽 모두 원래 단일 등각 증착 프로세스를 통해 형성되었으므로 동일할 수 있다. 두 개의 인접한 좁은 트렌치들 사이에서의 산화물이 붕괴되는 것을 방지하는 다수의 저-적극적 에칭 프로세스들이 있다. 하나의 이러한 프로세스는 100 내지 1까지의 선택도들이 달성될 수 있는 화학적 산화물 제거(COR) 증기-상 에칭, 뿐만 아니라 다른 준 원자 층 에칭(ALE) 및 습식 및 또는 건식 에칭들이다. 다음의 도면은 예시적인 결과를 보여준다.
- [0049] 다음으로, 예에서, 트렌치의 최하부는 매립형 전력 레일을 위해 사용될 금속 및/또는 라이너로 충전된다. 매립형 전력 레일들을 위한 금속화의 선택은 통합 흐름에서 레일이 형성되고 금속화되는 곳에 기초한다. S/D epi 상에서 스파이크-어닐이 실행되기 전에 매립형 레일들을 잘 형성하고 금속화하는 경우에 대해, 금속은 산화물 상에서 매우 양호한 열적 특성들을 가질 필요가 있다 - 구체적으로, 범위가 700 내지 1100C에 이를 수 있는 스파이크 어닐 온도들, 뿐만 아니라 금속 게이트에서 사용될 막들의 증착 온도들 하에서 안정될 수 있다. 매립형 레일이 금속 게이트 증착 및 S/D 스파이크 어닐들 전에 위치되는 실시예에 대해, 이것은 구리(<450C 열적 안정성), 코발트, 또는 알루미늄과 같은 금속들의 사용을 배제할 것이다. 그러나, 루테튬은 그것이 산화물에 비해 우수한 열적 안정성을 갖는다는 것을 고려하면 통합 시 이때 매립형 전력 레일을 금속화하기 위해 선택 가능하며, 또한 상향식 증착 프로세스를 사용하여 깊은 트렌치로 증착될 수 있다. 그러나 루테튬과 같은 금속이 사용된다면; 이것은, 루테튬의 저항률 및 그 후속 저항으로 인해, 매립형 전력 레일을 1.5T 내지 4T 크기 레일보다는 좁은 레일이도록 이끌 것이다. 상향식으로 좁은 전력 레일로의 연결을 이루는 것이 더 어려울 것이므로, 몇몇 실시예들에서, 금속 드레인으로의 연결은 자기-정렬될 수 있다. 다음의 도면은 예시적인 결과를 보여준다.
- [0050] 도 9는 루테튬으로 트렌치의 최하부를 충전한 후 반도체 디바이스(100)의 개략도를 도시한다. 예에서, 루테튬은 트렌치 및 표면 위에 충전되며, 트렌치의 최하부로 에치 백(리세싱)된다.
- [0051] 여기에서의 기술들은 리세싱된 루테튬(또는 임의의 다른 금속) 위에 에칭-선택 캡을 사용함으로써 금속 드레인에 대한 전력 레일의 상향식 자기-정렬을 포함한다. 금속화는 S/D 스파이크 어닐 후 또는 전력 레일이 교체 방법을 통해 생성될 때 실제 금속 드레인 금속화 동안 실행될 수 있다는 것에 유의한다. 루테튬의 경우에 대해, 캡은 (a) 유전체이며 전력 레일 및 레일 위에 위치된 금속 드레인 사이에 진짜 유전체이도록 적절한 크기를 갖거나, 또는 (b) 접해 있는 STI 산화물 또는 유전체 라이너에 에칭 선택적일 수 있다.
- [0052] 도 10은 에칭 선택 캡이 리세싱된 루테튬 위에 형성된 후 반도체 디바이스(100)의 개략도를 도시한다.
- [0053] 매립형 레일 트렌치의 나머지는 그 후 STI 산화물 또는 다른 유전체로 충전되며 그 후 FIN 구조들의 최상부 아래로 연마된다.
- [0054] 도 11은 STI 산화물이 충전되고 연마된 후 반도체 디바이스(100)의 개략도를 도시한다.
- [0055] 다음으로, STI 리세스 에칭 프로세스는 상보적 적층형 나노-시트들을 위해 이 예에서 STI를 활성 FIN의 최하부로 또는 SiGe로 가져오기 위해 실행될 수 있다. STI 에칭은 매립형 전력 레일 위 에칭-선택 유전체 캡의 최상부에서 정지할 수 있다.
- [0056] 도 12는 STI 리세스 에칭 프로세스 후 반도체 디바이스(100)의 개략도를 도시한다.
- [0057] 다른 선택적 실시예들이 루테튬 또는 다른 선택적으로 증착 가능한 금속들을 넘어 금속 선택을 이끌기 위해 매립형 전력 레일을 금속화하기 위해 사용될 수 있다는 것에 유의한다. 다른 금속들이 매립형 전력 레일로 포함될 수 있게 하는 또 다른 옵션은, 매립형 레일 트렌치 정의 프로세스 동안, 금속으로 레일을 충전하고 에칭-선택 유전체로 캐핑하는 대신에, 트렌치가 유전체로 완전히 충전되고 그 후 금속화된 매립형 레일의 의도된 높이로 리세싱되는 완전 교체 금속 레일을 행하는 것이다. 금속 드레인으로의 후속 연결 동안, 전체 교체 레일은 등방성 제거되며 그 후 금속으로 다시 충전될 수 있다. 매립형 전력 레일이 주어진 셀에 걸쳐 인접한 주어진 셀들로 방해받지 않고 움직이는 것이 유리하다. 이러한 연속적인 전력 레일 금속을 갖는 것은 도전적일 수 있다. 이러한 실시예에서, 전체 교체 레일은 활성 접촉 포인트들로부터 금속 드레인으로, 뿐만 아니라 어떤 연결도 요구되

지 않는 포인트들까지 제거된다. 금속이 충전될 때, 이 경우에서 이러한 충전은 금속 레일로의 어떤 원하는 연결도 없는 금속 드레인들 하에서 움직이는 매립형 레일의 길이를 따라 연장되는 "서브웨이" 충전(간단한 하향식 또는 상향식 충전 대신에)로서 실행된다.

- [0058] 레일이 막 금속화되고 에칭-선택 유전체 캡으로 캐핑된 여기에서의 통합 실시예를 계속하면, 프로세스 흐름은 S/D가 형성된 후 및 스파이크 어닐을 거쳐 교체 금속 게이트 금속화로 이어지는 것이 계속된다. 이때 통합 흐름에서, 접촉은 의도된 금속 드레인 및 전력 레일들로의 접촉들의 선택 포인트들 사이에 이루어진다.
- [0059] 대표적인 실시예는 예로서 상보적 FET 적층형 나노-시트들을 사용하며, 설명은 금속 드레인으로부터 두 개의 적층형 전극들의 가장 최하부에 연결하는 Vss로 이루어진 탭에 주로 초점을 맞춘다(최하부는 NMOS이며 최상부는 PMOS이다).
- [0060] 이때, 금속 드레인은 금속화되지 않았으며 금속 게이트의 금속화 동안 산화물로 충전된다. 이때, 금속 드레인 내에서의 산화물은 매립형 전력 레일 위에 에칭-선택 유전체 캡의 최상부로 리세싱된다(또는 산화물은 STI 및 금속 드레인 충전 산화물들 사이에 에칭-정지부가 있다면 완전히 제거될 수 있다). 캡의 에칭-선택도 특징의 포함은 금속 드레인이 개방될 때, 매립형 레일의 축을 따라 STI 산화물을 추가로 개방하지 않고 캡이 개방될 수 있는 자기-정렬 에칭 프로세스가 이용될 수 있다는 것을 보장한다. 이것은 또한 완전 금속 드레인이 매립형 전력 레일로 캡을 개방할 수 있게 하며 항상, 또한 매립형 전력 레일 자체 빠기 트렌치 내에서 추가로 증착된 라이너들의 크기와 동일한, 초기 매립형 레일 트렌치의 동일한 같은 크기이도록 탭을 제어한다. 이것은 사용될 금속 드레인의 크기의 완전한 자유를 허용하며, 이것은 핀 액세스가 심하게 제한되는 면적-스케일링 디바이스들에 대해 유리하다.
- [0061] 도 13은 금속 드레인 내에서의 산화물이 에칭-선택 유전체 캡의 최상부로 리세싱된 후 반도체 디바이스(100)의 개략도를 도시한다.
- [0062] 금속 드레인은 산화물(산화물과 STI 사이에 정지-층이 있다면)로 또는 흔히 교체 접촉으로서 불리우는 것에서 행해진 몇몇 다른 재료로 충전될 수 있다. 교체 접촉은 일반적으로 다수의 막들에 대해 매우 양호한 선택도를 갖는다: (a) STI에서의 산화물, (b) 매립형 레일을 보호하는 유전체 캡, (c) 통상적으로 몇몇 유형의 질화물인, 금속 게이트를 보호하는 캡, 및 (d) 로우-k 게이트 스페이서. 다음의 도면은 예시적인 결과를 보여준다.
- [0063] 도 14는 교체 접촉으로의 충전 후 반도체 디바이스(100)의 개략도를 도시한다.
- [0064] 전력 레일들로의 전력 탭들은 이미징(패터닝)되고 교체 접촉을 통해 아래로 이송된다. 매립형 전력 레일들은 BEOL 금속 라인들이 일련의 밀집한 라우팅 라인들이 되도록 이끄므로, 북-남 배향에서 셀들 사이에서의 간격은 간단히 1/2 임계 금속 피치, 또는 Foundry N5 기술의 고려를 위해, 대략 12nm일 것이다. 전력 레일 위도 축을 따라 동일한 위치로 두 개의 인접한 셀들에 의해 이루어진 전력 탭들에 대해, 이것은 EUV 다중 패터닝을 갖고도, 별개의 비아들을 이미징하는 것이 어려울 것임을 의미한다. 따라서 자기-정렬은 이러한 상황이 인접한 셀들 간에 단락을 야기하지 않음을 보장하기 위해 유리하다. 이것은 자기-정렬이 초기 넓은 트렌치가 두 개의 동일한 좁은 레일들을 형성하기 위해 자기-정렬 패터닝된다는 사실에서 오는 경우이다. 따라서, 레일의 각각의 "쌍"은, 북-남 배향에서의 셀들이 Vss 또는 Vdd 레일들을 공유하므로, Vdd 또는 Vss에 대응할 것이며, 이러한 자기-정렬의 방법은 저항 개선뿐만 아니라, 두 개의 인접한 셀들이 단락되지 않음을 보장하기 위해 제공한다.
- [0065] 도 15는 전력 탭들이 예를 들어 포토레지스트 층으로부터 SiARC 및 SOC 층들에서 이미징된 후 반도체 디바이스(100)의 개략도를 도시한다.
- [0066] 전력 레일 위의 에칭 선택 캡은 전력 레일로의 이러한 태핑이 요구되는 금속 드레인 접촉들을 위해 제거될 수 있다.
- [0067] 도 16은 에칭 선택 캡의 제거 후 반도체 디바이스(100)의 개략도를 도시한다.
- [0068] 금속 드레인에서 교체 접촉 재료는 그 후 제거될 수 있다.
- [0069] 도 17은 교체 접촉이 제거된 후 반도체 디바이스(100)의 개략도를 도시한다.
- [0070] 금속 드레인은 그 후 원하는 레일들로의 연결이 동일하게 충전되는 경우 금속화될 수 있지만, 원치 않은 연결들은 여전히 금속 드레인을 통해 탭들의 이송 동안 개방되지 않은 에칭-선택 캡들에 의해 차단될 것이다.
- [0071] 도 18은 최하부 전극을 위한 드레인 금속화 후 반도체 디바이스(100)의 개략도를 도시한다.

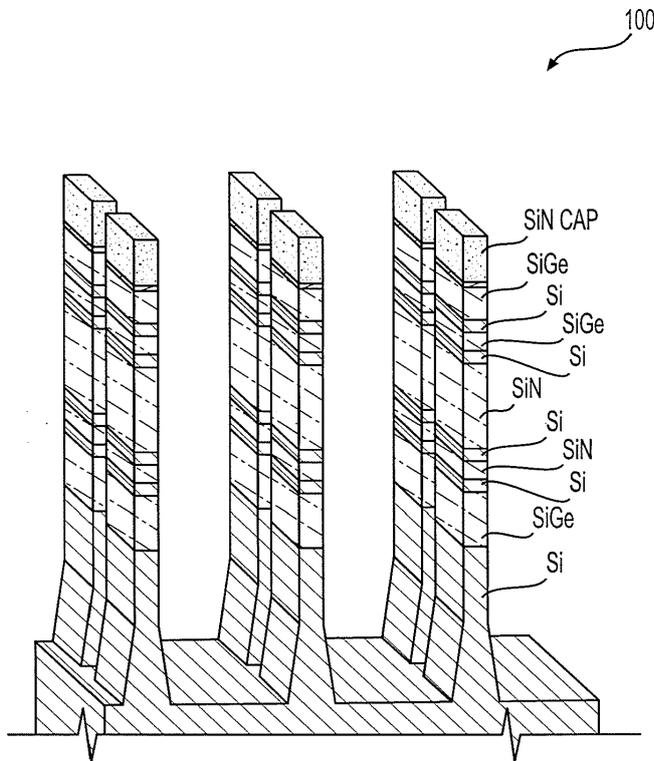
- [0072] 상보적 적층형 나노-시트 FET의 경우에 대해, 최하부 전극(NMOS)은 상부 전극(PMOS)으로부터 별개로 금속화될 필요가 있다. 마찬가지로, Vss 및 Vdd 레일들로의 전력 탭들은 양쪽 전극들의 세트들에 대해 발생한다. 여기에서의 실시예들에서, 별개의 금속화는 다수의 금속화 및 에칭 단계들을 사용하여, 또는 선택적 증착을 통해 실행될 수 있다.
- [0073] 도 19는 최하부 전극에 대한 금속화 및 산화물 층의 증착을 패터닝한 후 반도체 디바이스(100)의 개략도를 도시한다.
- [0074] 도 20은 최상부 전극을 위한 드레인 금속화 및 산화물 층의 증착 후 반도체 디바이스(100)의 개략도를 도시한다.
- [0075] 반도체 디바이스(100)에서, 각각의 전력 레일은 개방-스페이서 기술을 사용하여 형성되는 두 개의 레일 라인들을 포함한다는 것에 유의한다. 프로세스는 도 21 내지 도 30에 의해 도시된 바와 같은, 넓은 전력 레일을 형성하기 위해 수정될 수 있다.
- [0076] 도 21은 몇몇 실시예들에 따른 반도체 제조 프로세스 동안 반도체 디바이스(200)의 일 부분의 개략도를 도시한다. 도 21은 도 1과 유사하다. 도 21 예에서, Si/SiGe FIN 에칭은 완료되었으며 Pad 산화물/SiN 캡은 FIN의 최상부 상에 남겨진다.
- [0077] 도 22는 얇은 트렌치 격리(STI)가 산화물의 증착 및 Si/SiGe FIN 구조의 최상부로의 CMP-백을 통해 행해진 후 반도체 디바이스(200)의 개략도를 도시한다. 도 22는 도 2와 유사하다.
- [0078] 도 23은 포토레지스트 층에서 레일 트렌치를 위한 패턴들을 생성한 후 반도체 디바이스(200)의 개략도를 도시한다. 도 23은 도 3과 유사하다.
- [0079] 도 24는 패턴들이 예를 들어 에칭에 의해 STI 산화물을 통해 이송될 때 반도체 디바이스(200)의 개략도를 도시한다.
- [0080] 도 25는 패턴들이 벌크 실리콘으로 추가로 이송될 때 반도체 디바이스(200)의 개략도를 도시한다. 예에서, 스페이서 층은 실리콘으로의 패턴 이송을 돕기 위해 실리콘으로의 패턴 이송 전에 증착된다.
- [0081] 도 26은 SiO/TaN 라이너와 같은, 에칭-선택 막이 증착된 후 반도체 디바이스(200)의 개략도를 도시한다.
- [0082] 도 27은 루테늄 최하부 층진 후 반도체 디바이스(200)의 개략도를 도시한다.
- [0083] 도 28은 루테늄을 에칭 백한 후 반도체 디바이스(200)의 개략도를 도시한다. 루테늄은 특정 깊이의 레일 트렌치에서 에칭-리세싱된다. 뿐만 아니라, 라이너에서의 TaN이 제거된다.
- [0084] 도 29는 에칭 선택 캡이 리세싱된 루테늄 위에 형성된 후 반도체 디바이스(200)의 개략도를 도시한다.
- [0085] 도 30은 STI 산화물이 충전되고 연마된 후 반도체 디바이스(200)의 개략도를 도시한다.
- [0086] 뿐만 아니라, 도 12 내지 도 20을 참조하여 설명된 유사한 프로세스들이 반도체 디바이스(200) 상에서 제조 프로세스를 계속하기 위해 사용될 수 있다.
- [0087] 반도체 디바이스들(100 및 200)은 적층형 디바이스들을 가진 3D 디바이스들이라는 것에 유의한다. 매립형 전력 레일들을 제조하기 위한 동작들은 적층 없이 규칙적 FINFET을 위해 통합될 수 있다. 도 31 내지 도 39는 개시의 몇몇 실시예들에 따른 FINFET 디바이스들을 위한 매립형 전력 레일들을 형성하기 위한 중간 스테이지들의 다양한 개략도들을 도시한다.
- [0088] 도 31은 몇몇 실시예들에 따른 반도체 제조 프로세스 동안 반도체 디바이스(300)의 일 부분의 개략도를 도시한다. 도 31 예에서, Si FIN 에칭은 완료되었으며 Pad 산화물/SiN 캡은 FIN의 최상부 상에 남겨진다.
- [0089] 도 32는 얇은 트렌치 격리(STI)가 산화물의 증착 및 Si/SiGe FIN 구조의 최상부로의 CMP-백을 통해 행해진 후 반도체 디바이스(300)의 개략도를 도시한다.
- [0090] 도 33은 패턴들이 예를 들어 에칭에 의해 STI 산화물을 통해 이송될 때 반도체 디바이스(300)의 개략도를 도시한다.
- [0091] 도 34는 스페이서 층이 증착된 후 반도체(300)의 개략도를 도시한다. 스페이서 층은 (a) 임의의 개방된 실리콘 또는 SiGe 핀 구조들이 벌크 실리콘으로의 매립형 레일 트렌치 패턴의 이송 동안 에칭되지 않음을 보장하는 것 및 (b) 원자 층 증착을 통해 최후의 매립형 전력 레일 및 실리콘, SiGe, 또는 실리콘/SiGe 핀 구조 사이에 고정

되고 제어 가능한 거리가 있음을 보장하는 것을 통해 실리콘으로의 패턴 이송을 도울 수 있다.

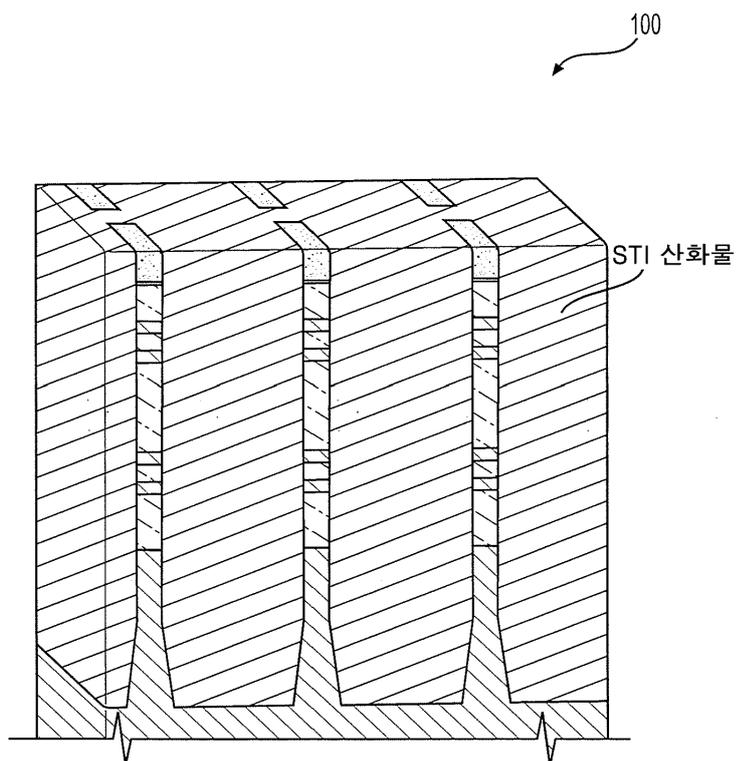
- [0092] 도 35는 패턴들이 벌크 실리콘으로 추가로 이송될 때 반도체 디바이스(300)의 개략도를 도시한다.
- [0093] 도 36은 SiO/TaN 라이너와 같은, 에칭-선택 막이 증착되며, 그 후 루테튬이 트렌치의 최하부로부터 충전될 때 반도체 디바이스(300)의 개략도를 도시한다.
- [0094] 도 37은 루테튬을 에칭 백한 후 반도체 디바이스(300)의 개략도를 도시한다. 루테튬은 특정 깊이의 레일 트렌치에서 에칭-리세싱된다. 뿐만 아니라, 라이너에서의 TaN은 제거된다.
- [0095] 도 38은 에칭 선택 캡이 리세싱된 루테튬 위에 형성된 후 반도체 디바이스(300)의 개략도를 도시한다.
- [0096] 도 39는 웨이퍼 제조 프로세스 후 반도체 디바이스(300)의 개략도를 도시한다.
- [0097] 주지된 바와 같이 여기에서 예시적인 실시예들은 매립형 전력 레일들에 대한 애플리케이션들에 초점을 맞췄다. 이것은 단지 하나의 예시적인 실시예이며, 여기에서의 기술들은 물리 디바이스 또는 트랜지스터 디바이스 아래에 존재하는 라우팅 라인들 또는 로컬 상호 연결 또는 셀-대-셀 상호 연결 라인들과 같은 임의의 뒷면 배선을 커버하기 위해 확대될 수 있다.
- [0098] 이전 설명에서, 프로세싱 시스템의 특정한 기하학적 구조 및 다양한 구성요소들 및 그 안에서 사용된 프로세스들의 설명들과 같은, 특정 세부사항들이 제시되었다. 그러나, 여기에서의 기술들은 이들 특정 세부사항들로부터 벗어난 다른 실시예들에서 실시될 수 있으며, 이러한 세부사항들은 제한이 아닌 설명의 목적들을 위한 것임이 이해되어야 한다. 여기에서 개시된 실시예들은 수반된 도면들을 참조하여 설명되었다. 유사하게, 설명의 목적들을 위해, 특정 숫자들, 재료들, 및 구성들은 철저한 이해를 제공하기 위해 제시되었다. 그럼에도 불구하고, 실시예들은 이러한 특정 세부사항들 없이 실시될 수 있다. 대체로 동일한 기능적 구성들을 가진 구성요소들은 유사한 참조 문자들에 의해 표시되며, 따라서 임의의 중복 설명들은 생략될 수 있다.
- [0099] 다양한 기술들이 다양한 실시예들을 이해하는 것을 돕기 위해 다수의 별개의 동작들로서 설명되었다. 설명의 순서는 이들 동작들이 반드시 순서 의존적임을 내포하는 것으로 해석되지 않아야 한다. 실제로, 이들 동작들은 프리젠테이션의 순서로 수행될 필요는 없다. 설명된 동작들은 설명된 실시예와 상이한 순서로 수행될 수 있다. 다양한 부가적인 동작들이 수행될 수 있으며 및/또는 설명된 동작들은 부가적인 실시예들에서 생략될 수 있다.
- [0100] 여기에서 사용된 바와 같이 "기판" 또는 "타겟 기판"은 일반적으로 발명에 따라 프로세싱되는 오브젝트를 나타낸다. 기판은 디바이스, 특히 반도체 또는 다른 전자 디바이스의 임의의 재료 부분 또는 구조를 포함할 수 있으며, 예를 들어, 반도체 웨이퍼, 레티클, 또는 박막과 같은 베이스 기판 구조상에 있거나 또는 그 위에 있는 층과 같은, 베이스 기판 구조일 수 있다. 따라서, 기판은 층 아래에 있거나 또는 층 위에 있는, 패턴링되거나 또는 패터닝되지 않은, 임의의 특정한 베이스 구조에 제한되지 않으며, 오히려 임의의 이러한 층 또는 베이스 구조, 및 층들 및/또는 베이스 구조들의 임의의 조합을 포함하는 것으로 고려된다. 설명은 특정한 유형들의 기판들을 언급할 수 있지만, 이것은 단지 예시 목적들을 위한 것이다.
- [0101] 이 기술분야의 숙련자들은 또한 발명의 동일한 목표들을 여전히 달성하면서 상기 설명된 기술들의 동작들에 대해 이루어진 많은 변화들이 있을 수 있다는 것을 이해할 것이다. 이러한 변화들은 본 개시의 범위에 의해 커버되도록 의도된다. 이와 같이, 발명의 실시예들에 대한 앞서 말한 설명들은 제한적이도록 의도되지 않는다. 오히려, 발명의 실시예들에 대한 임의의 제한들은 다음의 청구항들에서 제공된다.

도면

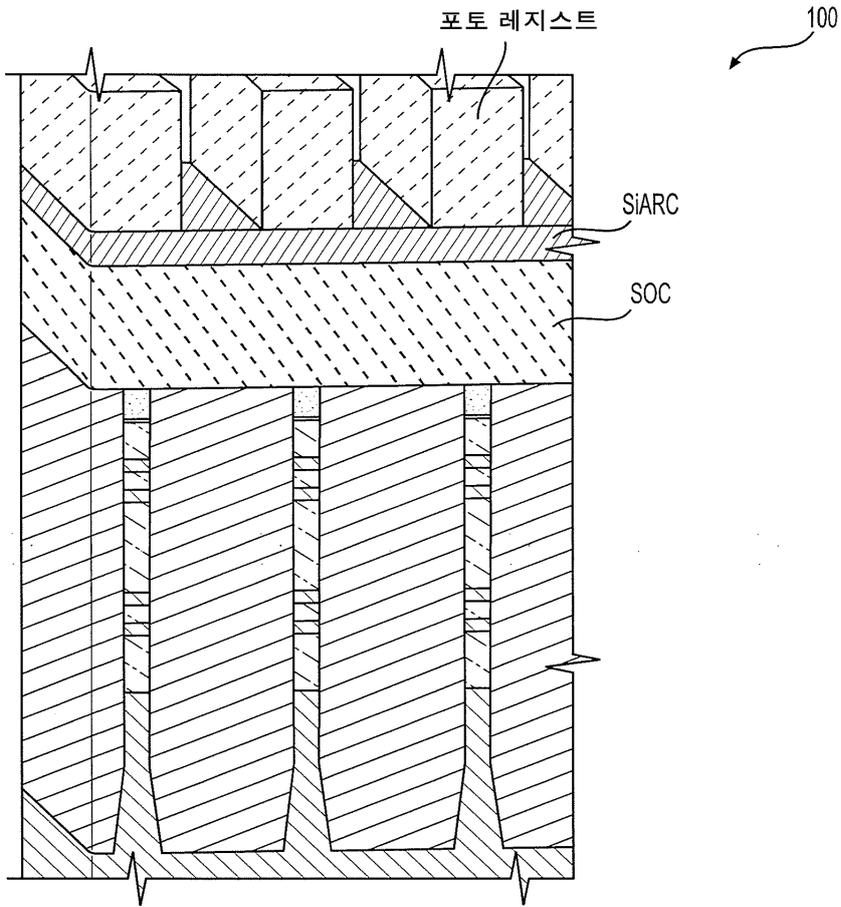
도면1



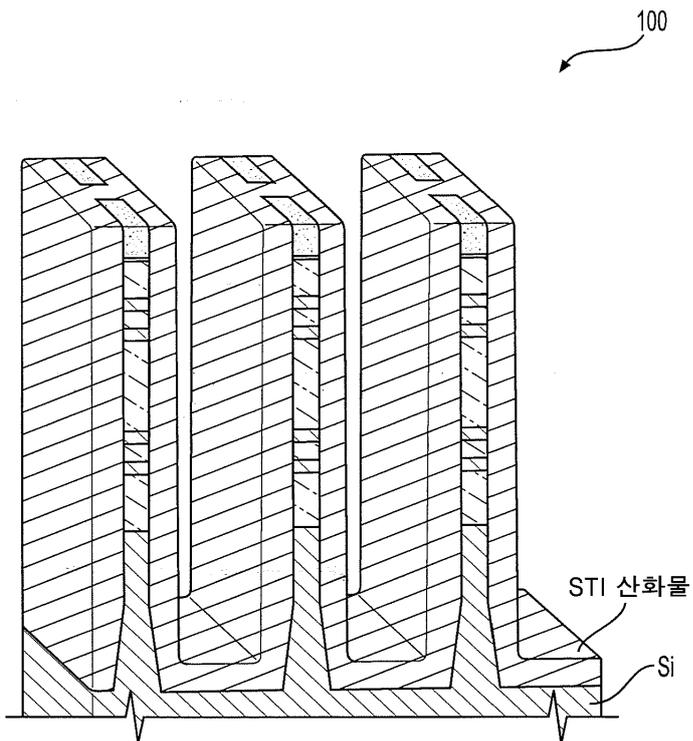
도면2



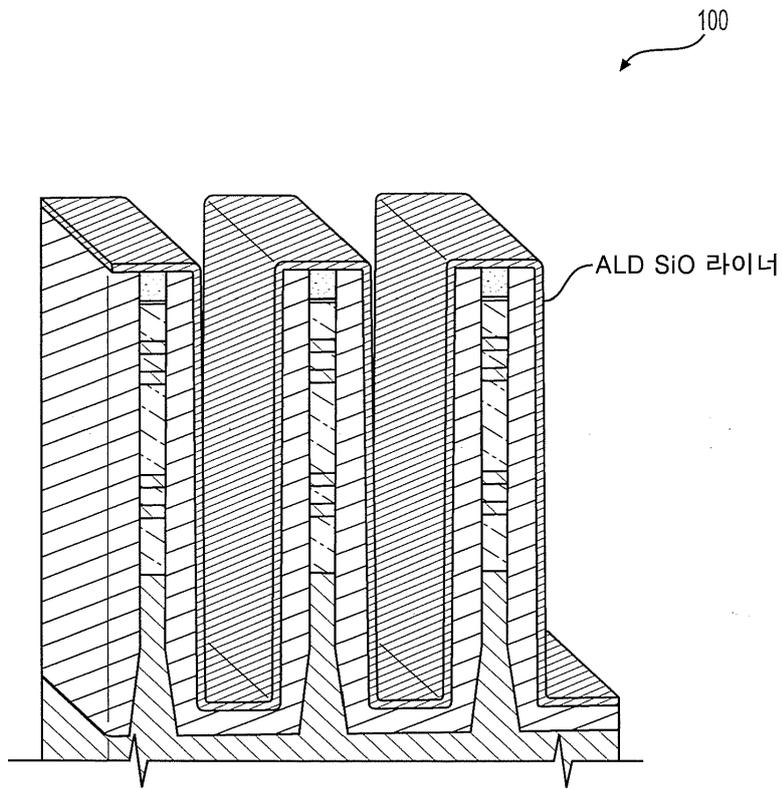
도면3



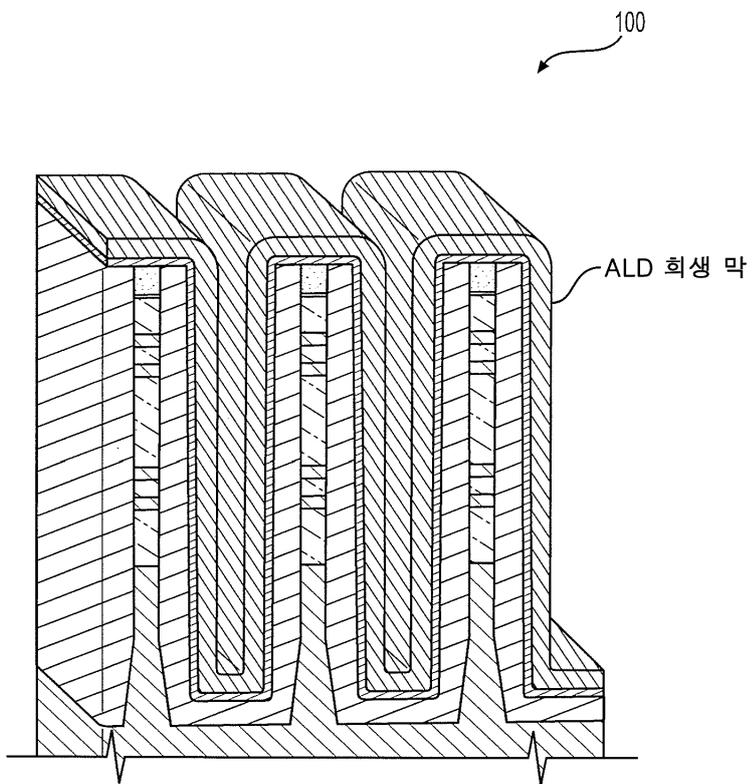
도면4



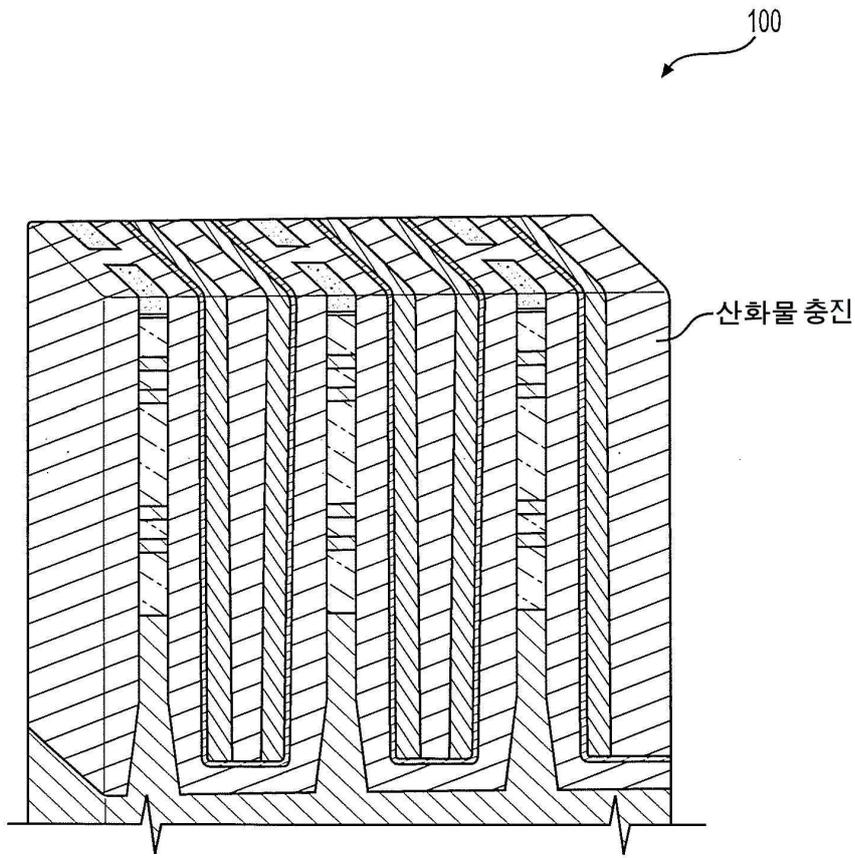
도면5



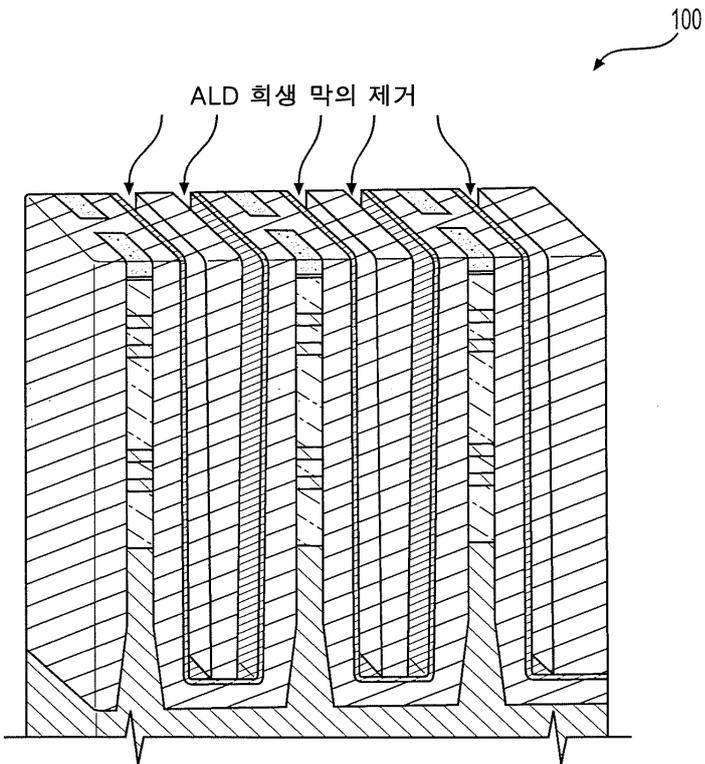
도면6



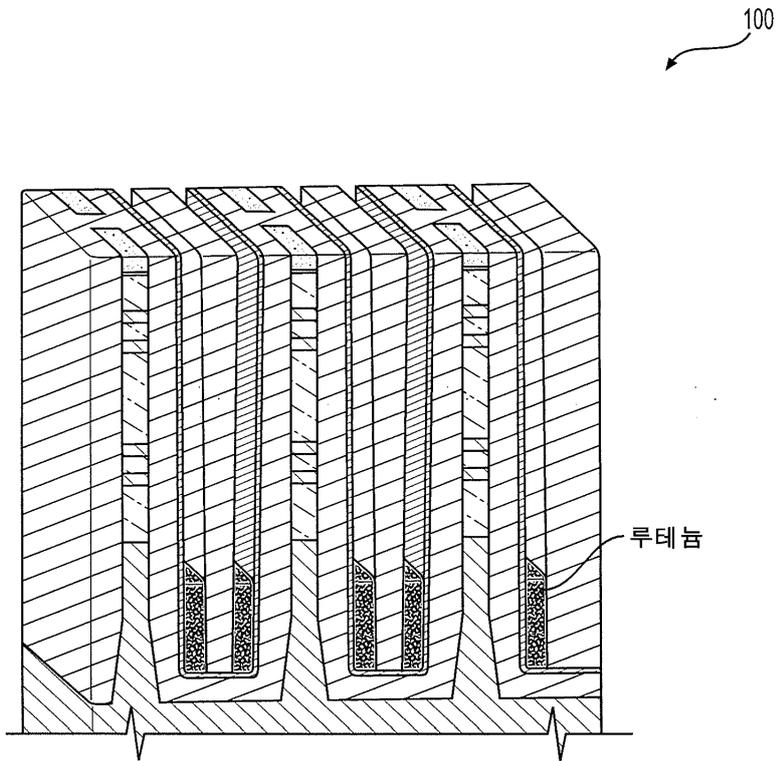
도면7



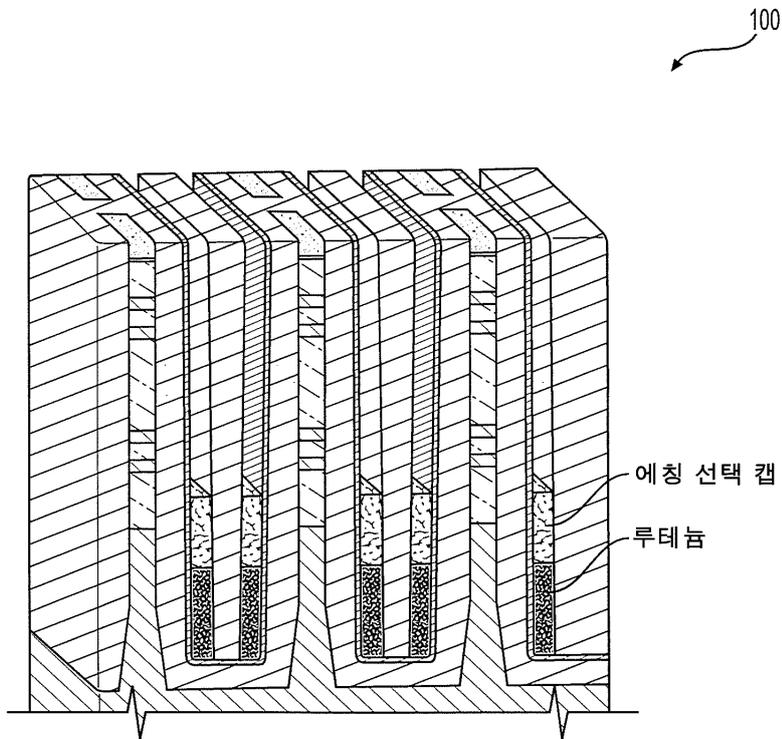
도면8



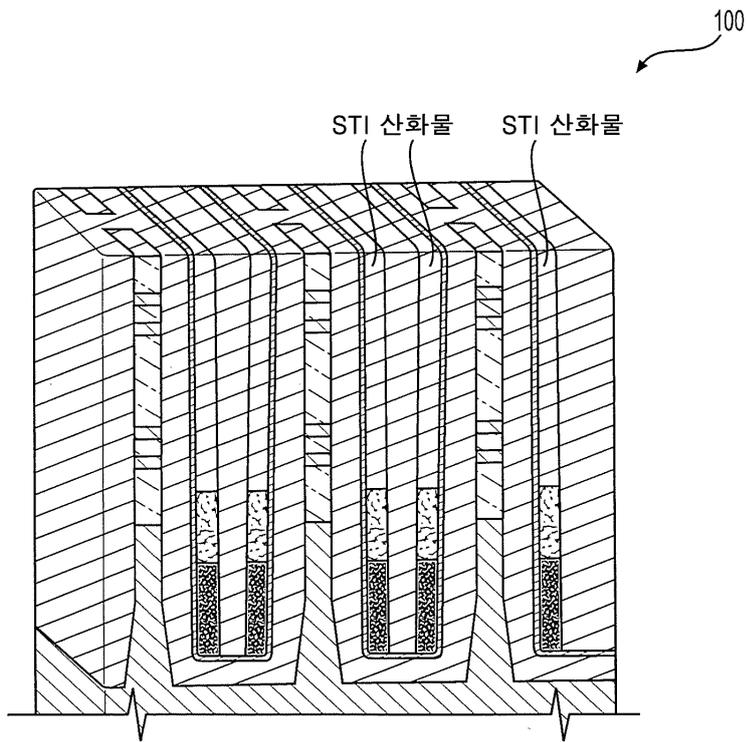
도면9



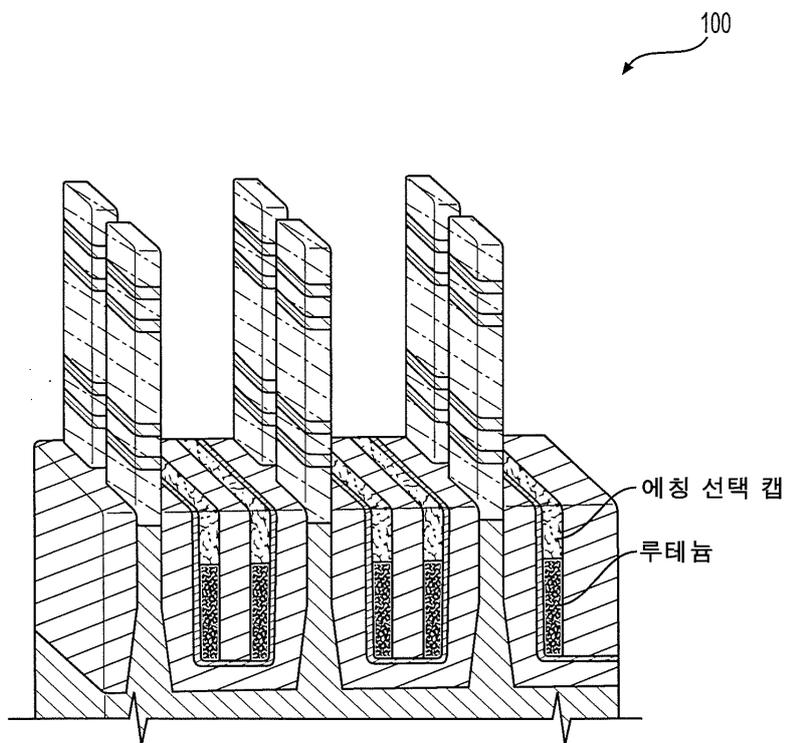
도면10



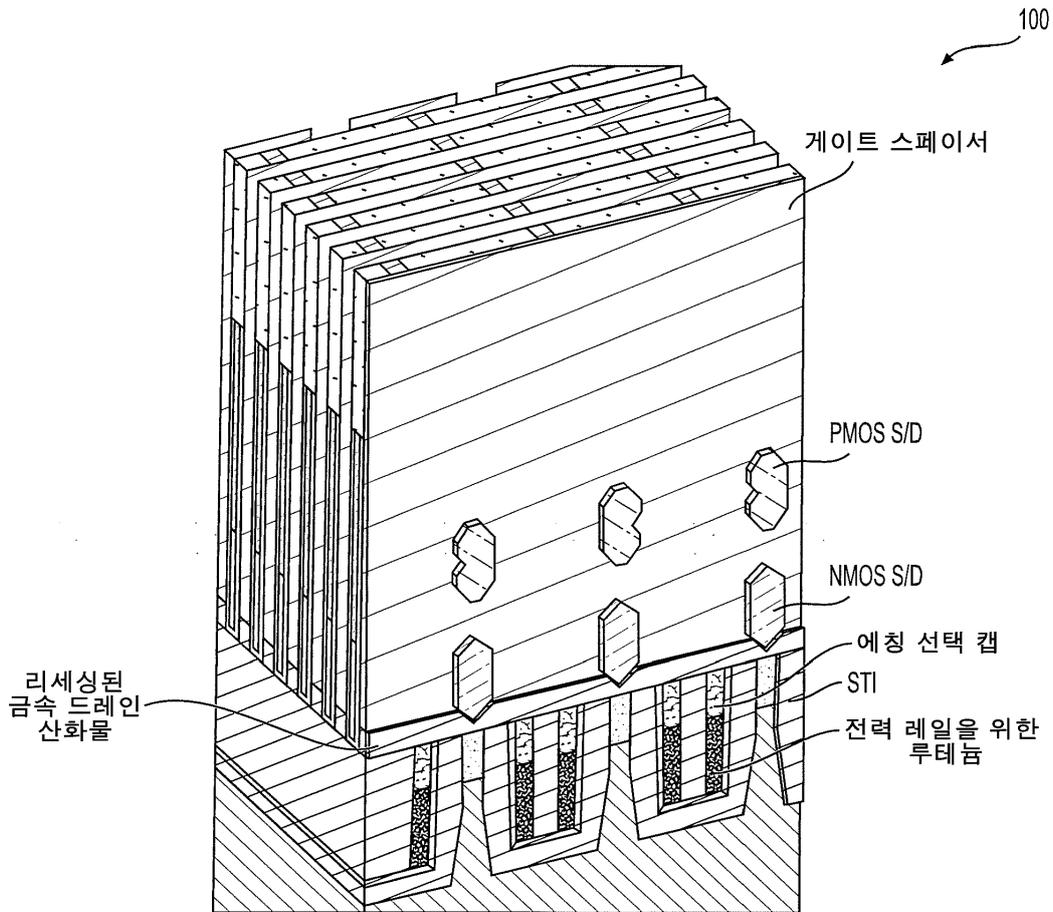
도면11



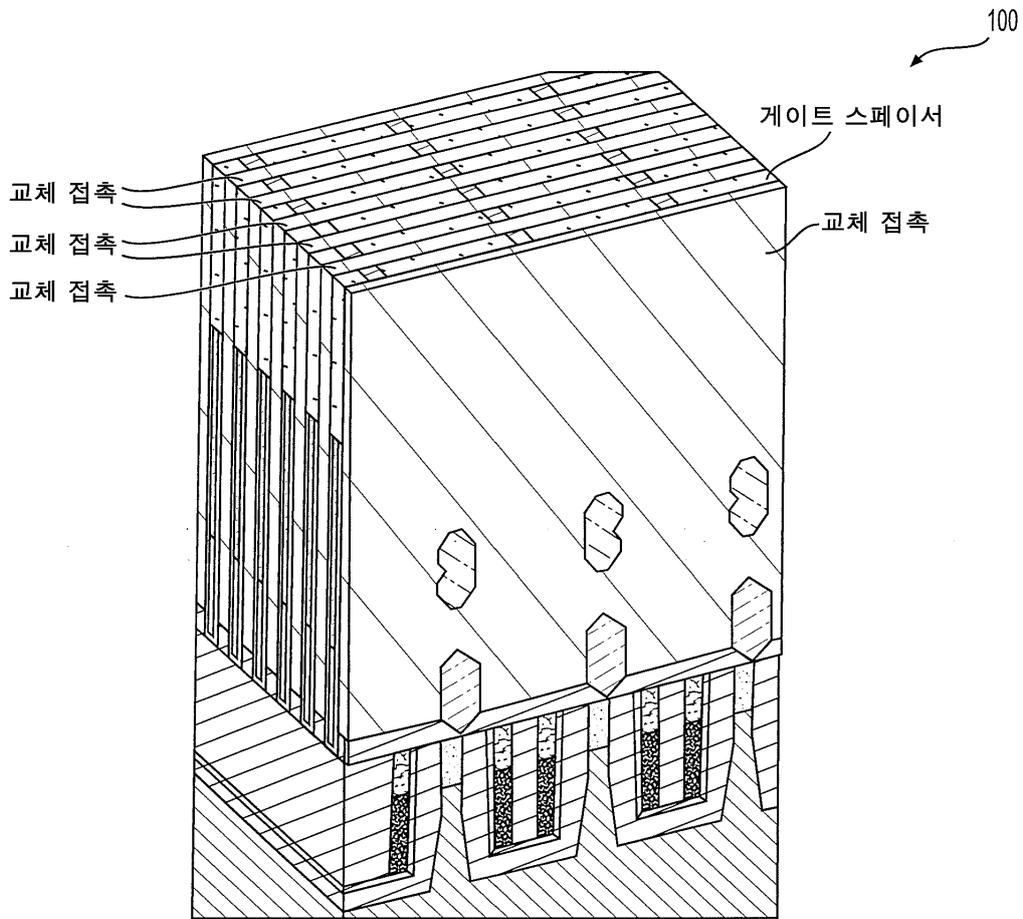
도면12



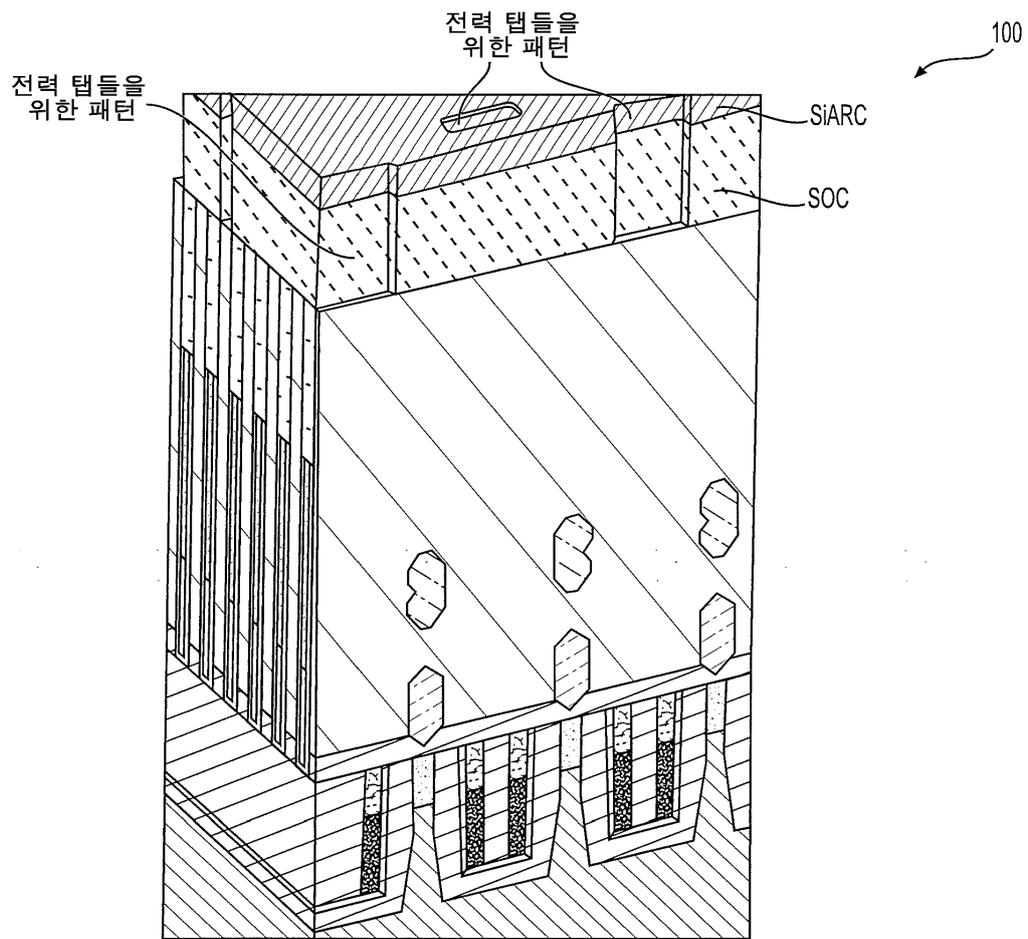
도면13



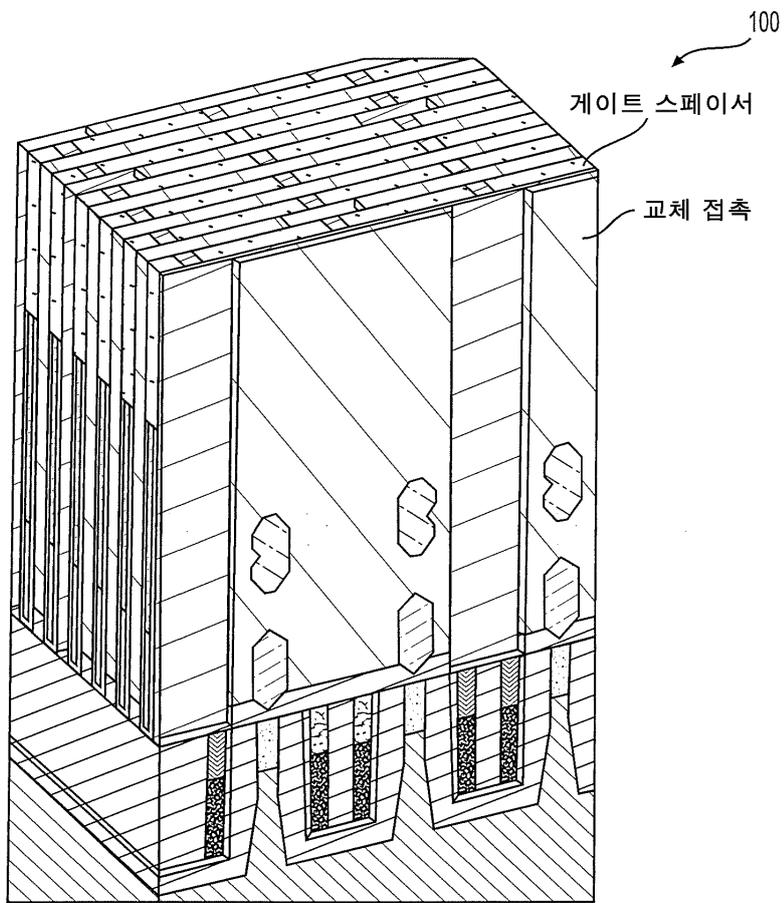
도면14



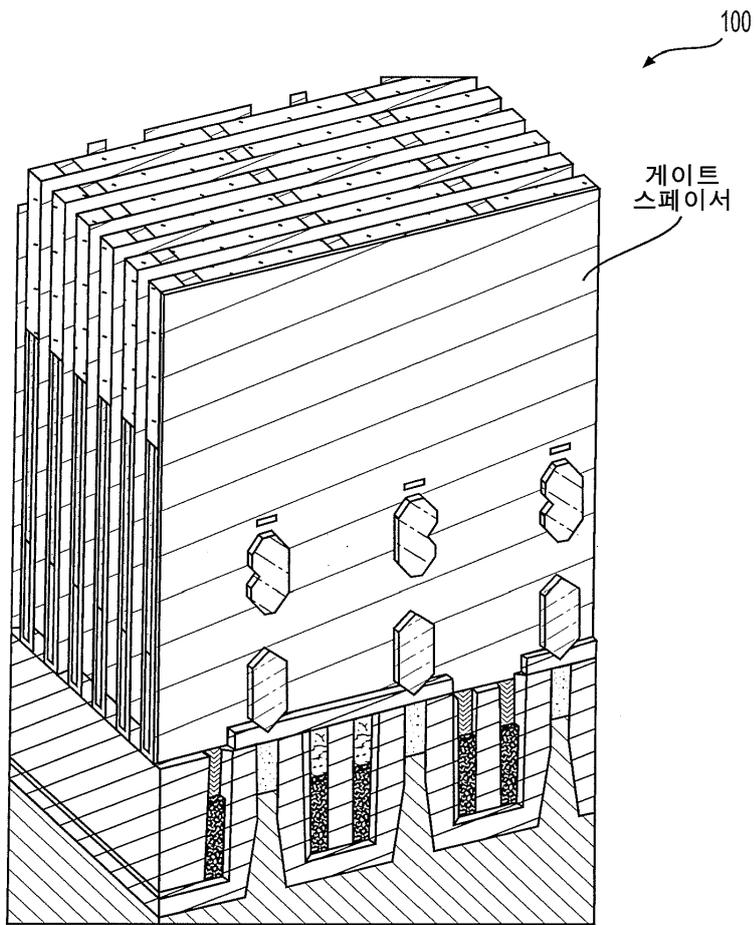
도면15



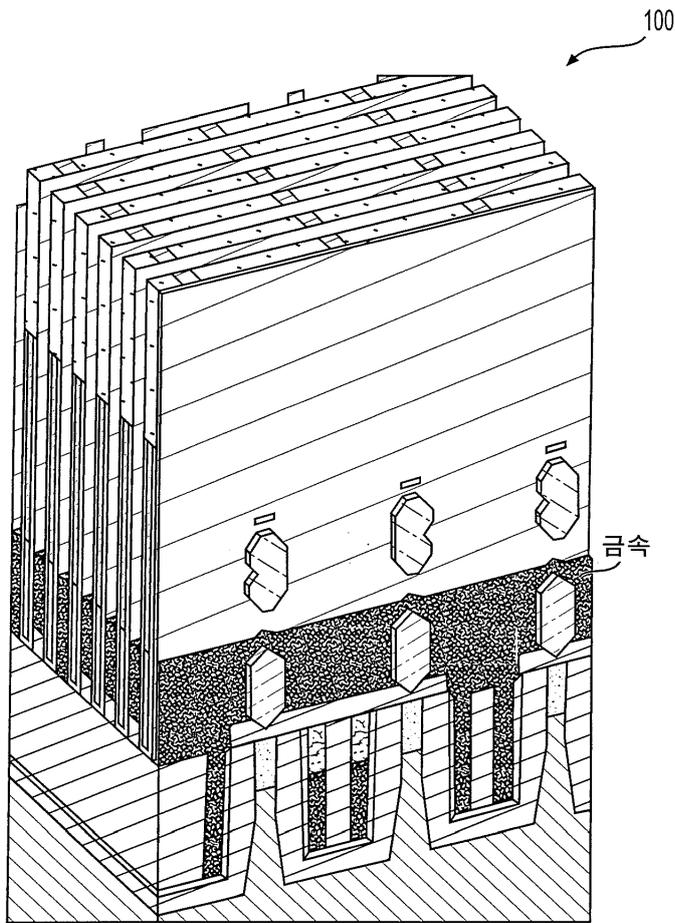
도면16



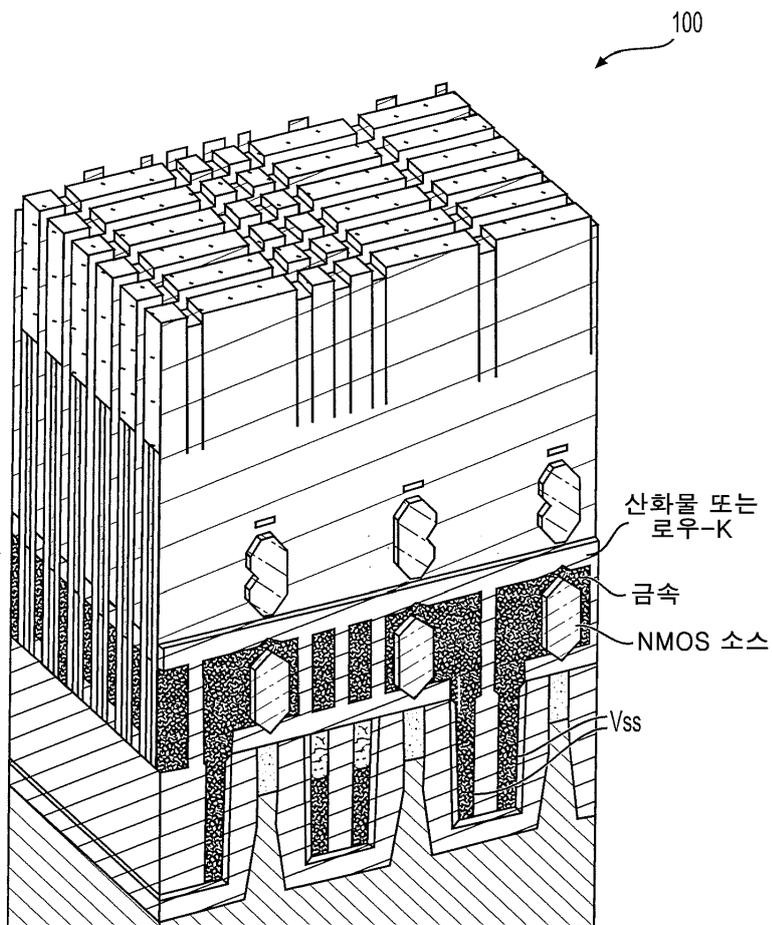
도면17



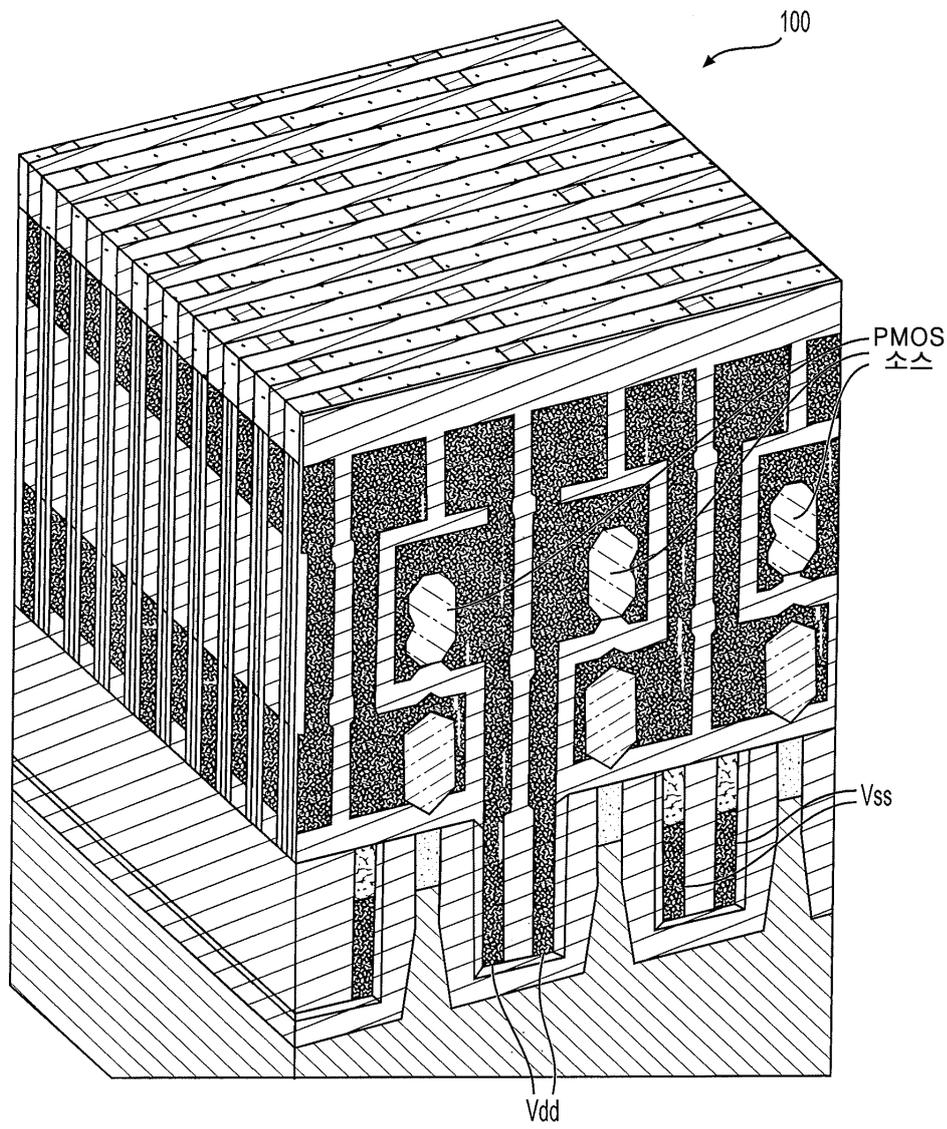
도면18



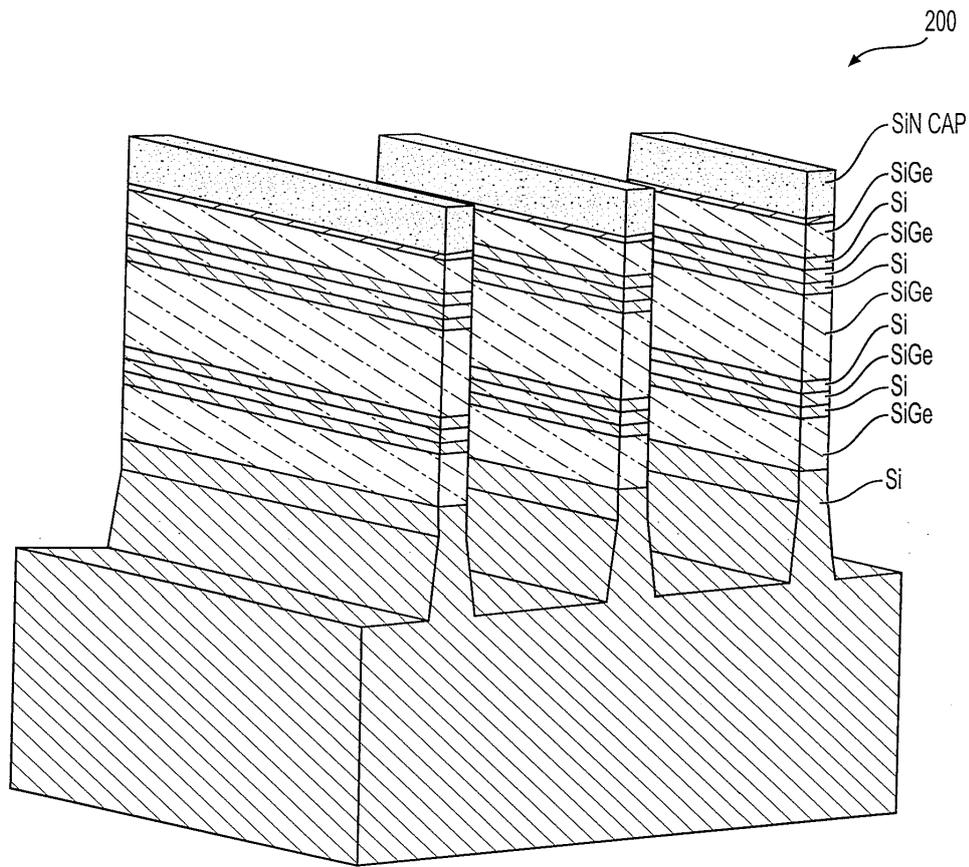
도면19



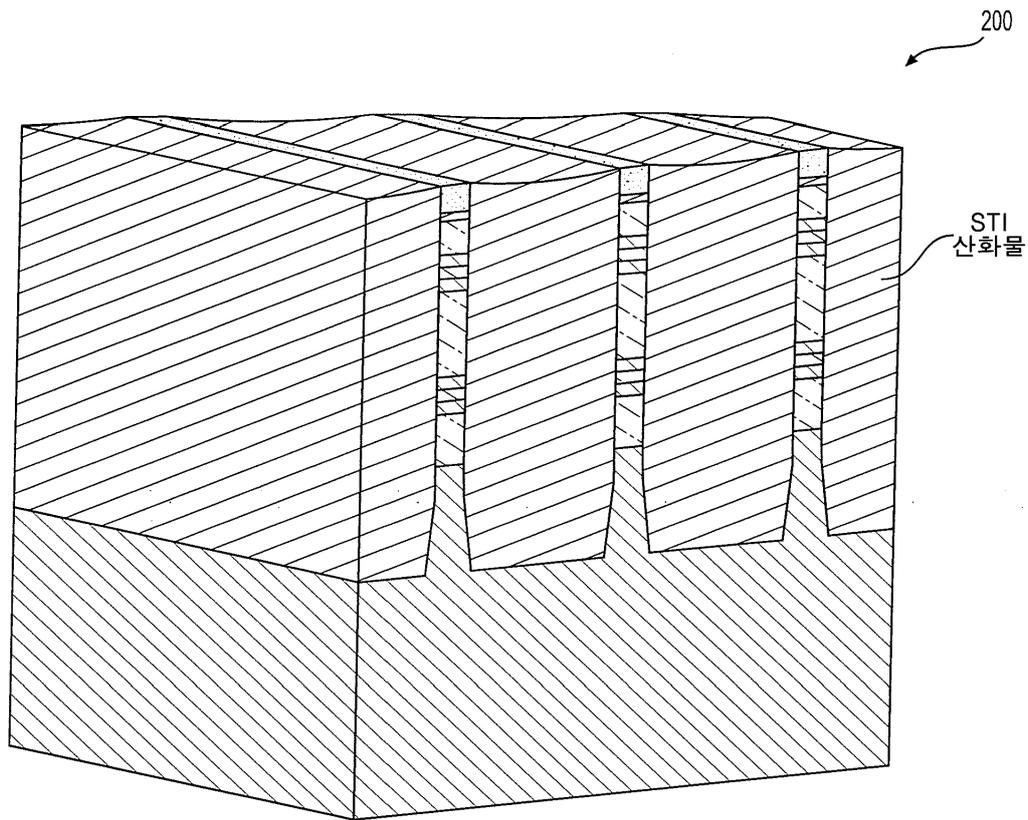
도면20



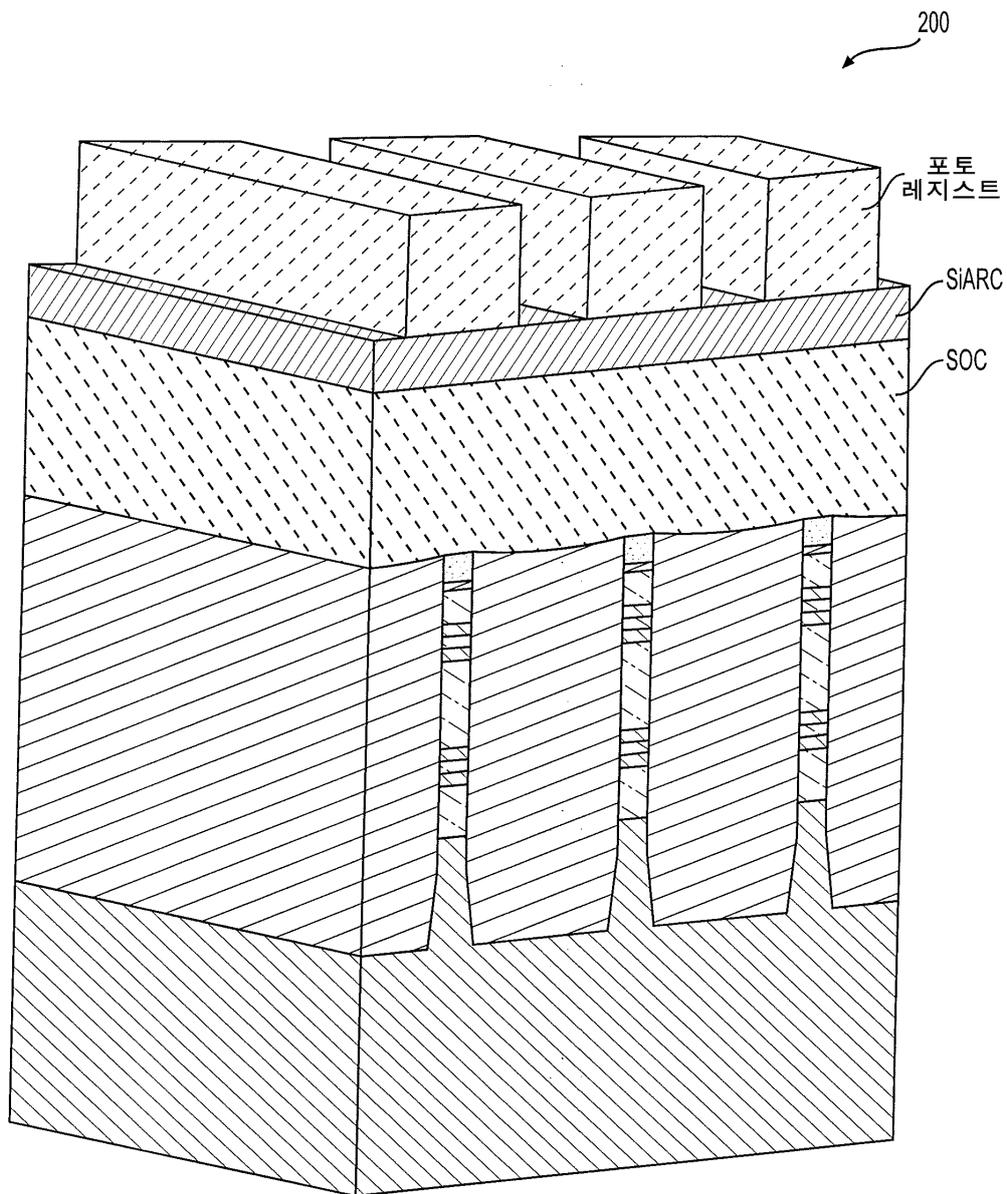
도면21



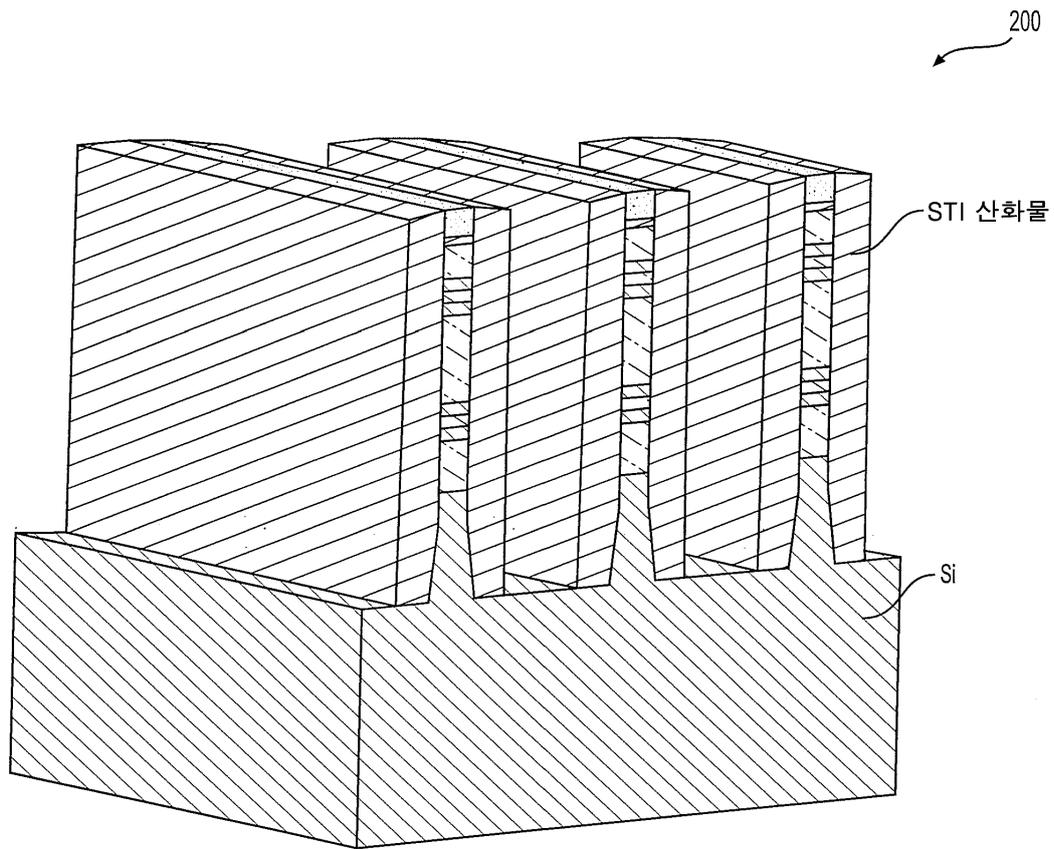
도면22



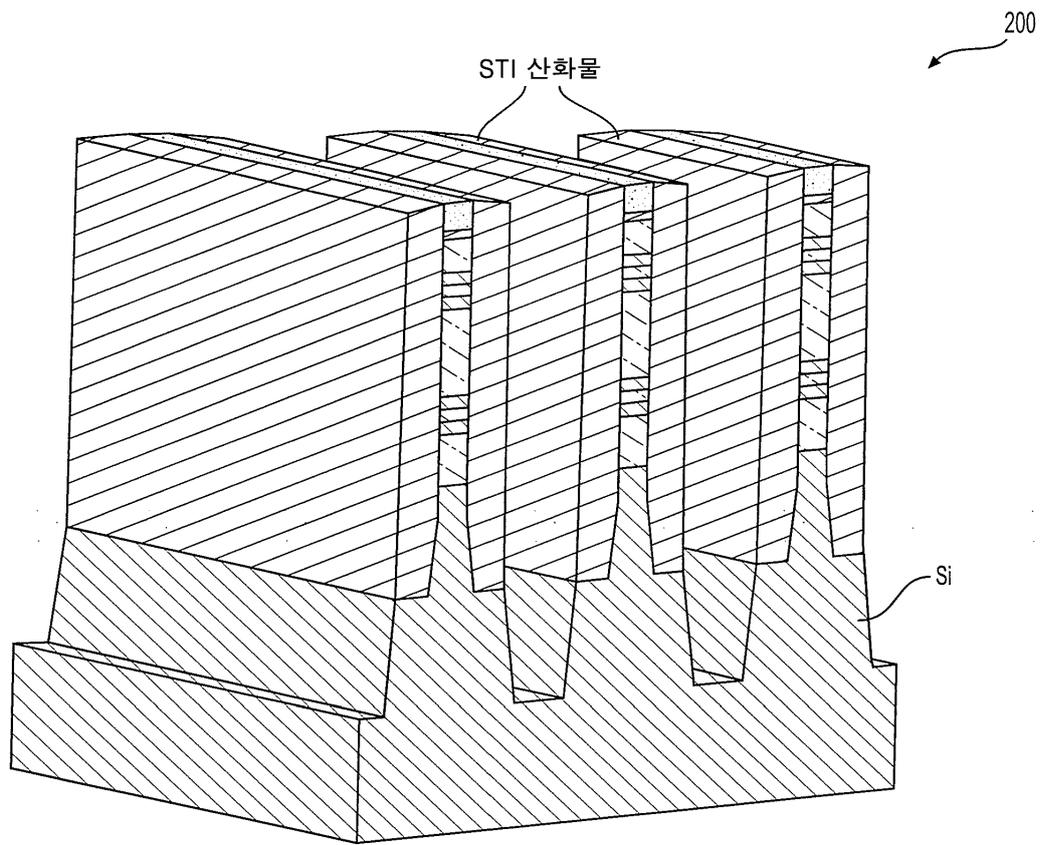
도면23



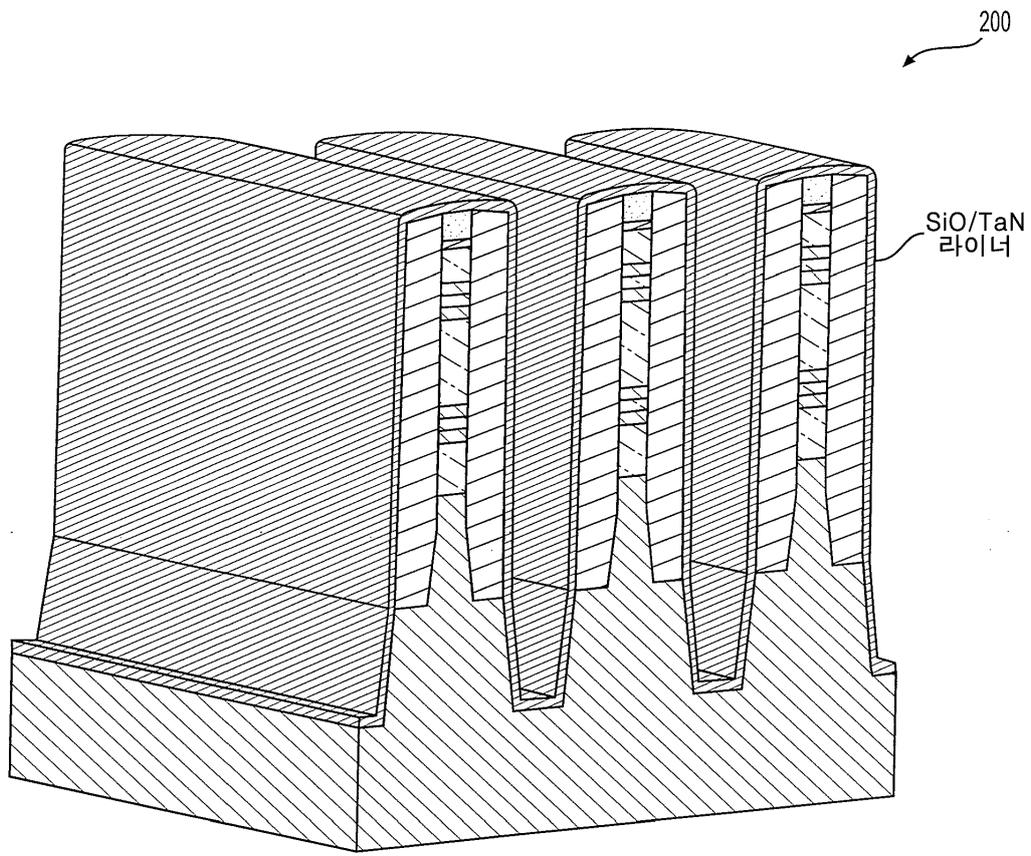
도면24



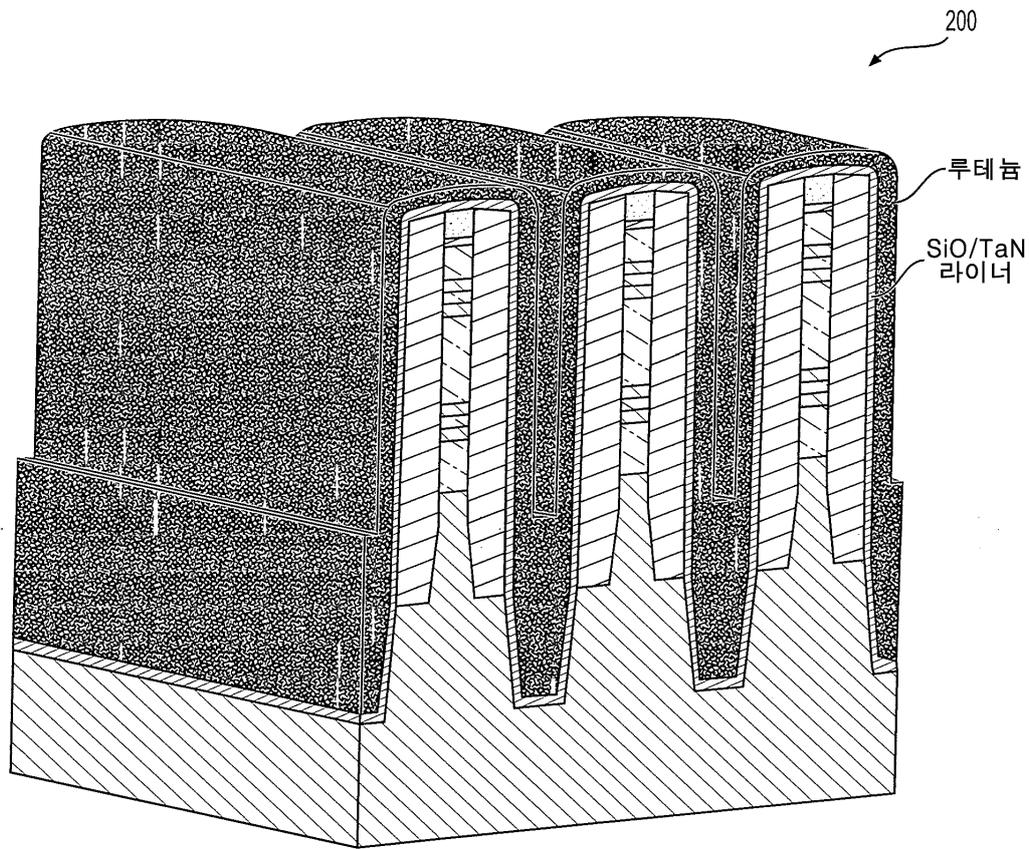
도면25



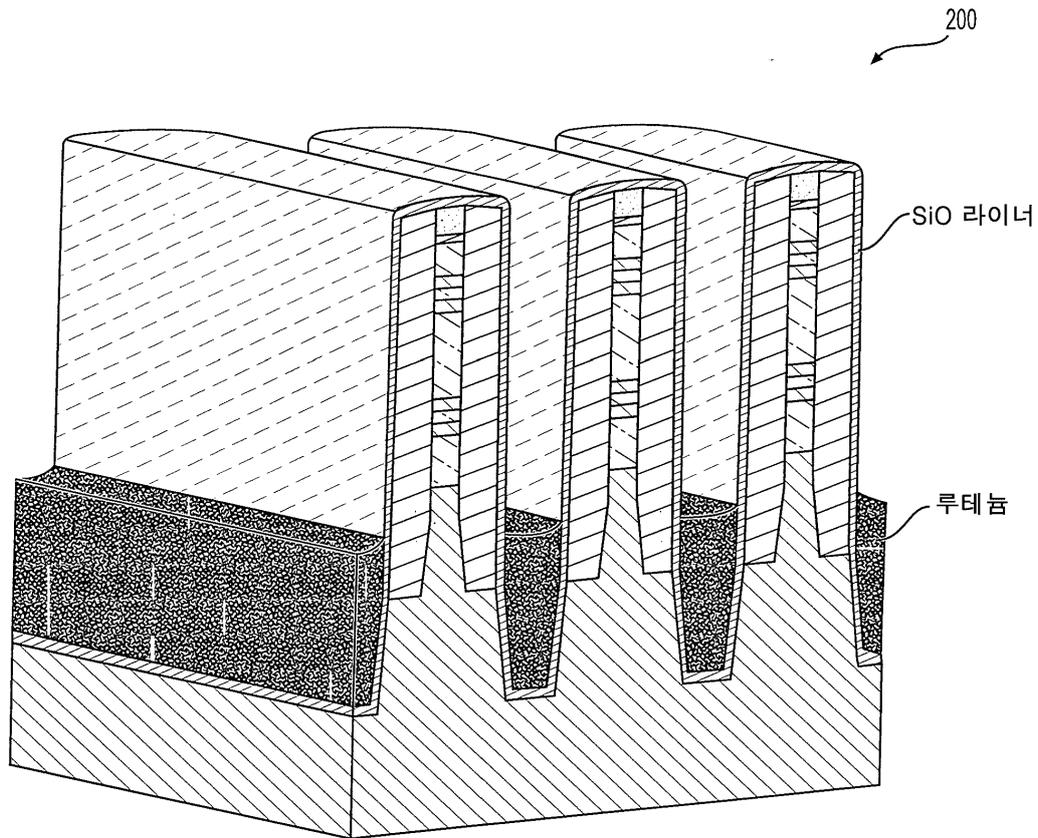
도면26



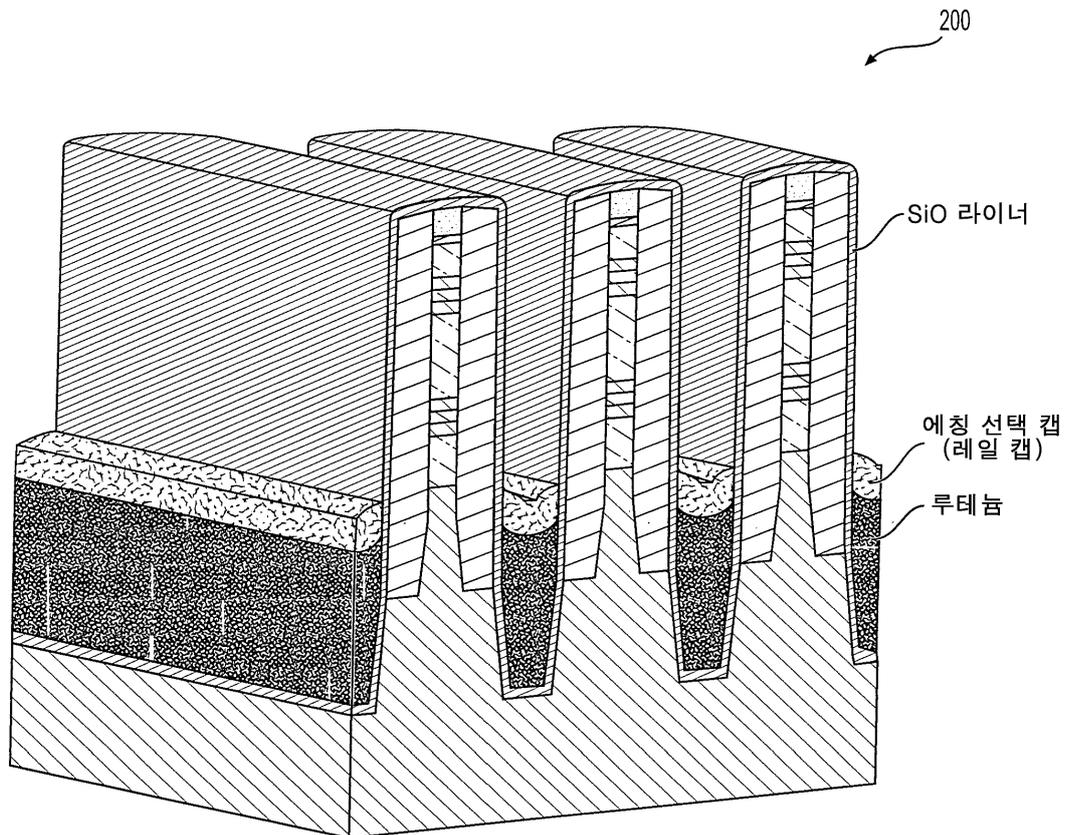
도면27



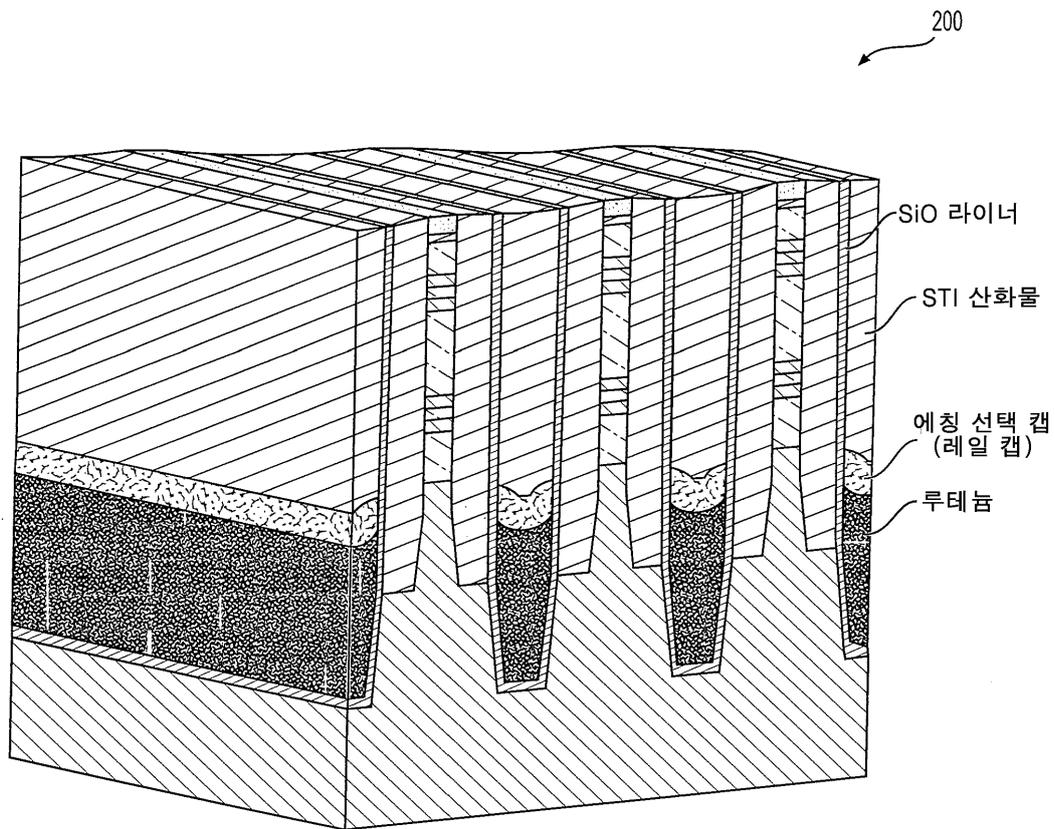
도면28



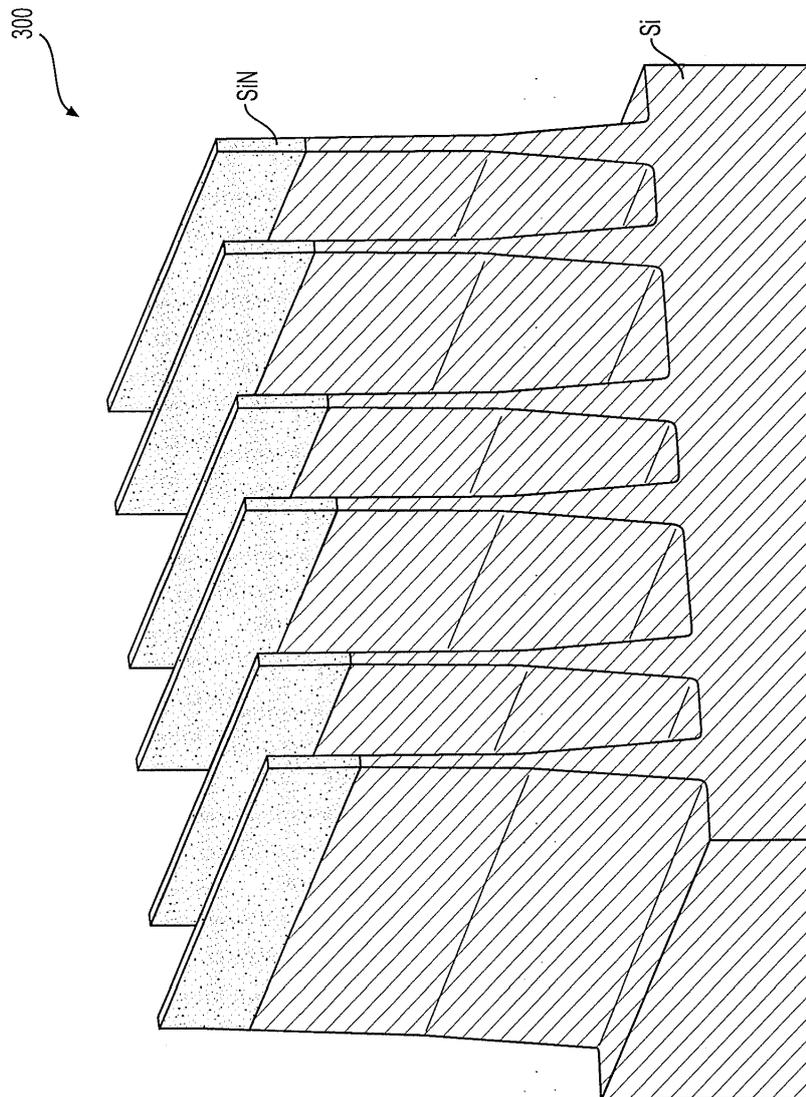
도면29



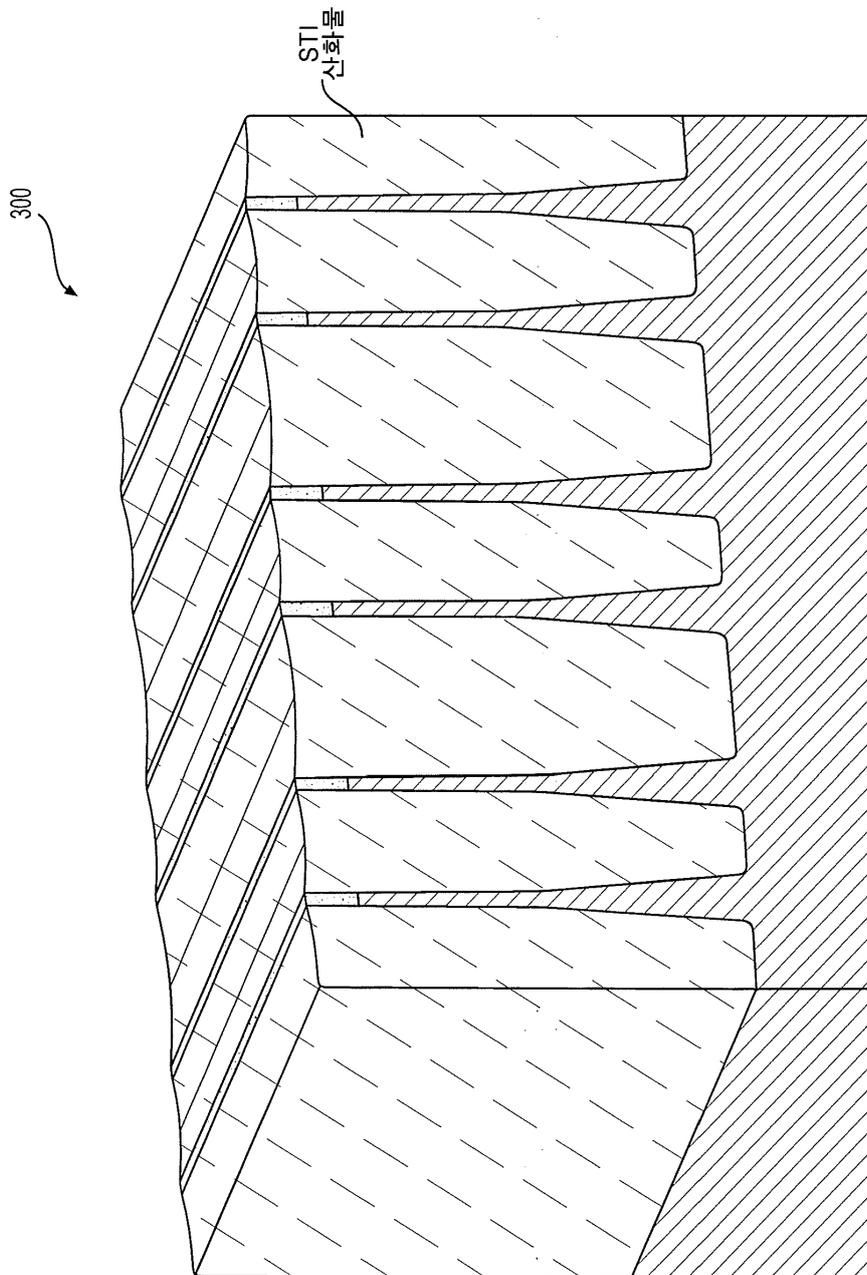
도면30



도면31

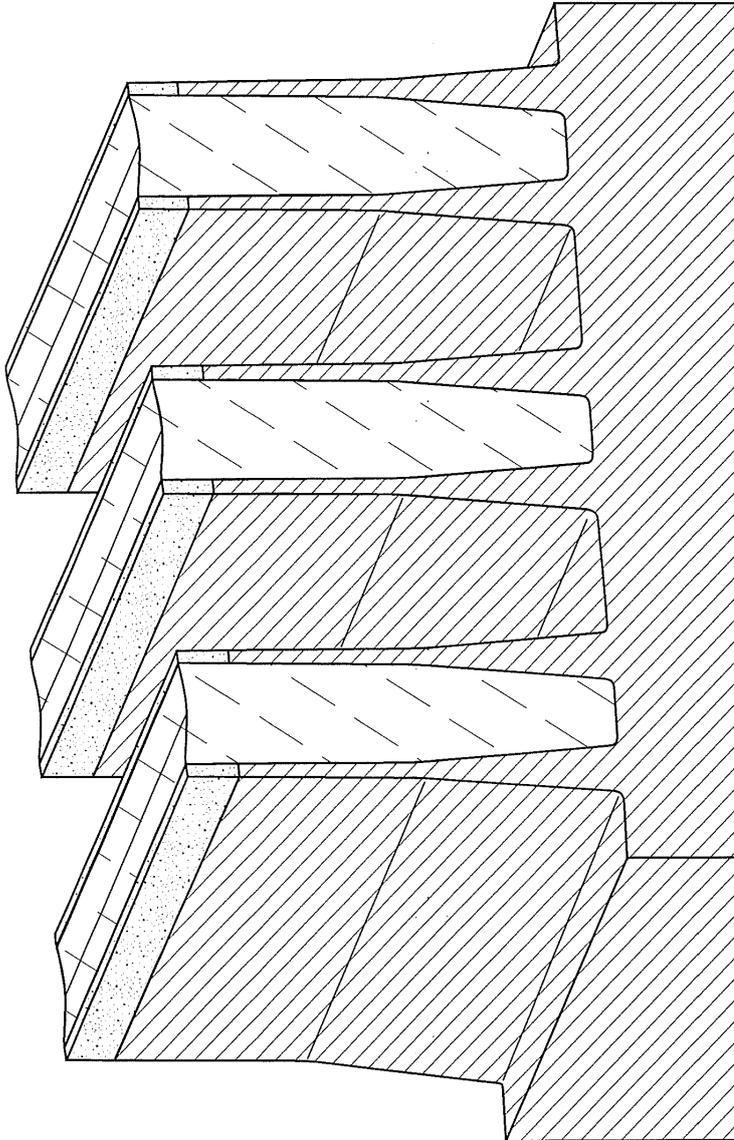


도면32

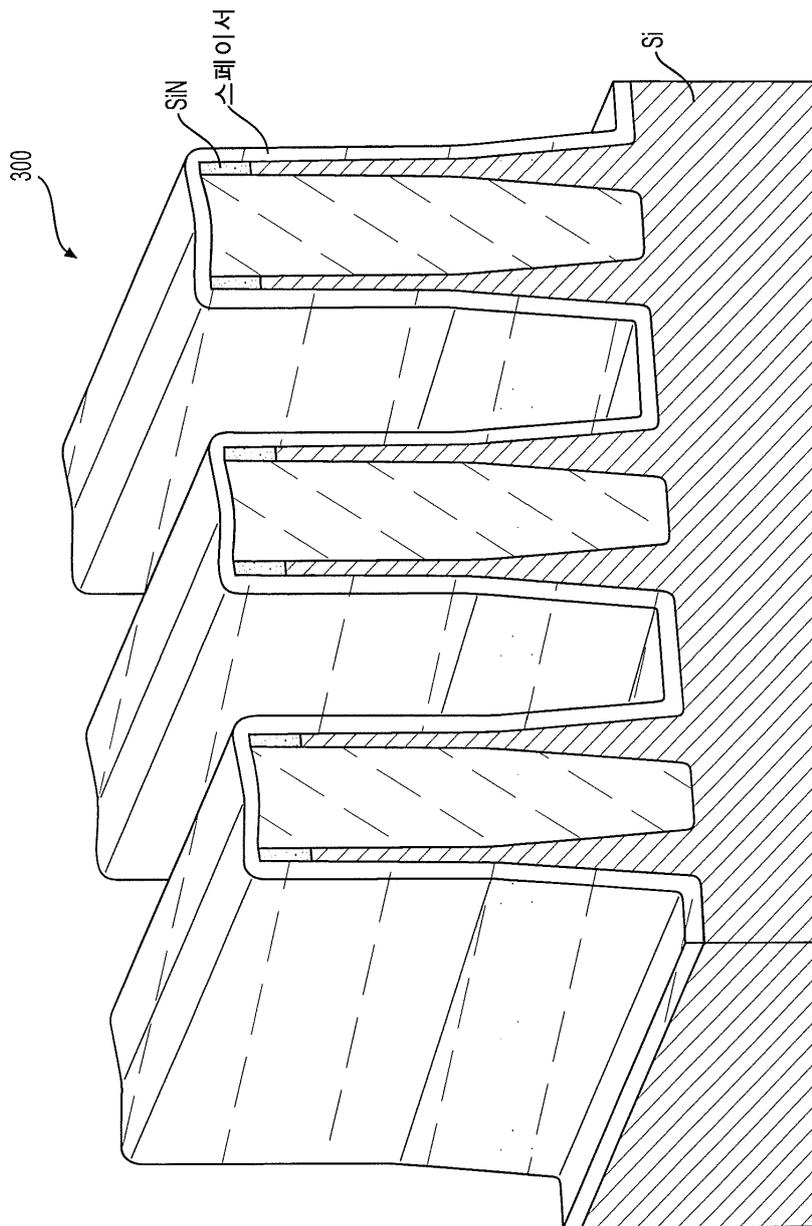


도면33

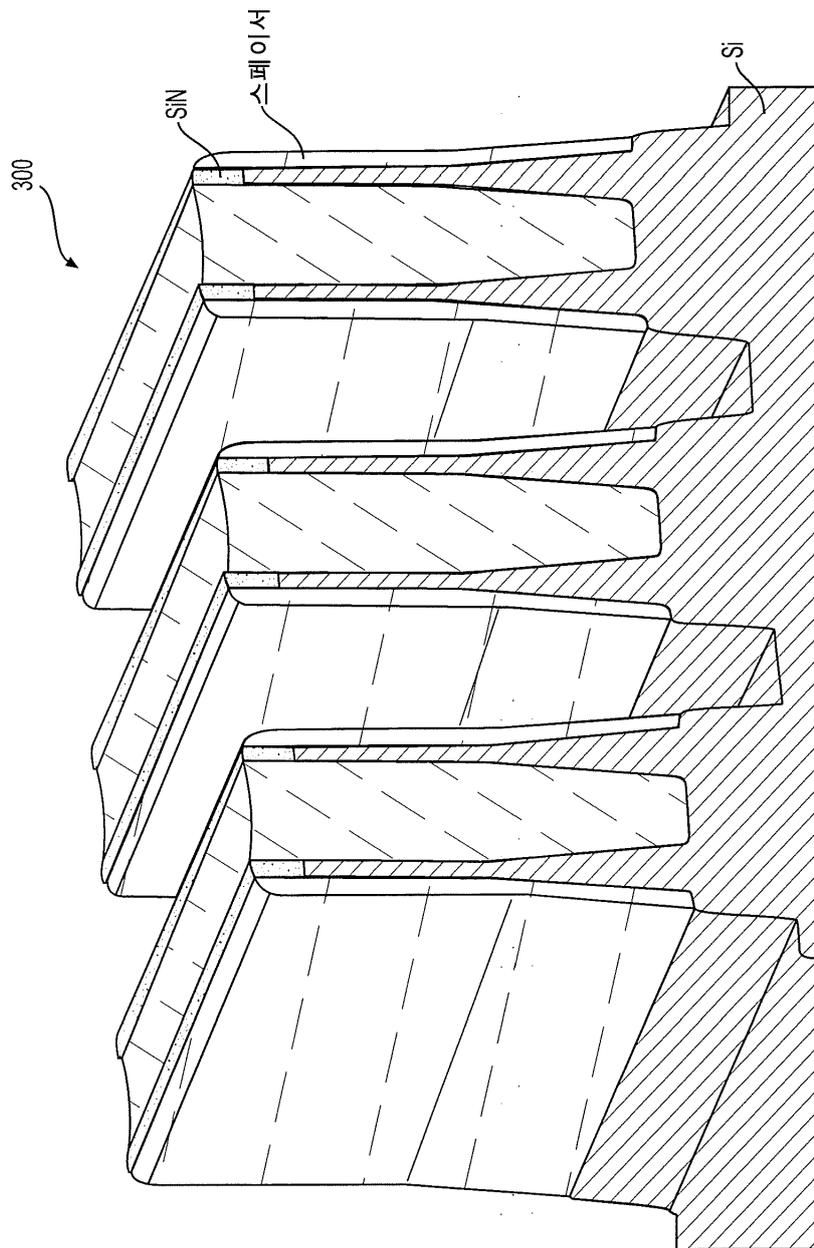
300



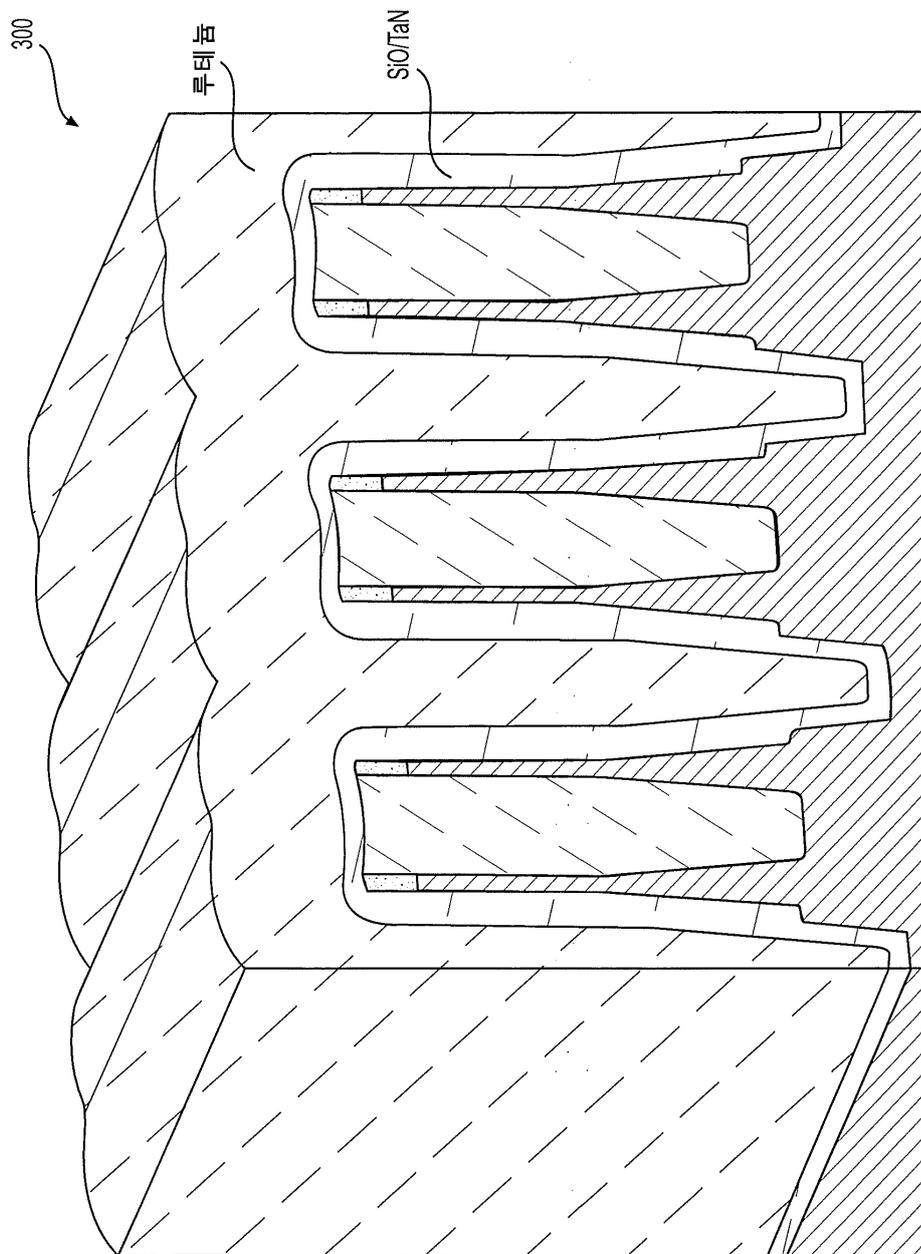
도면34



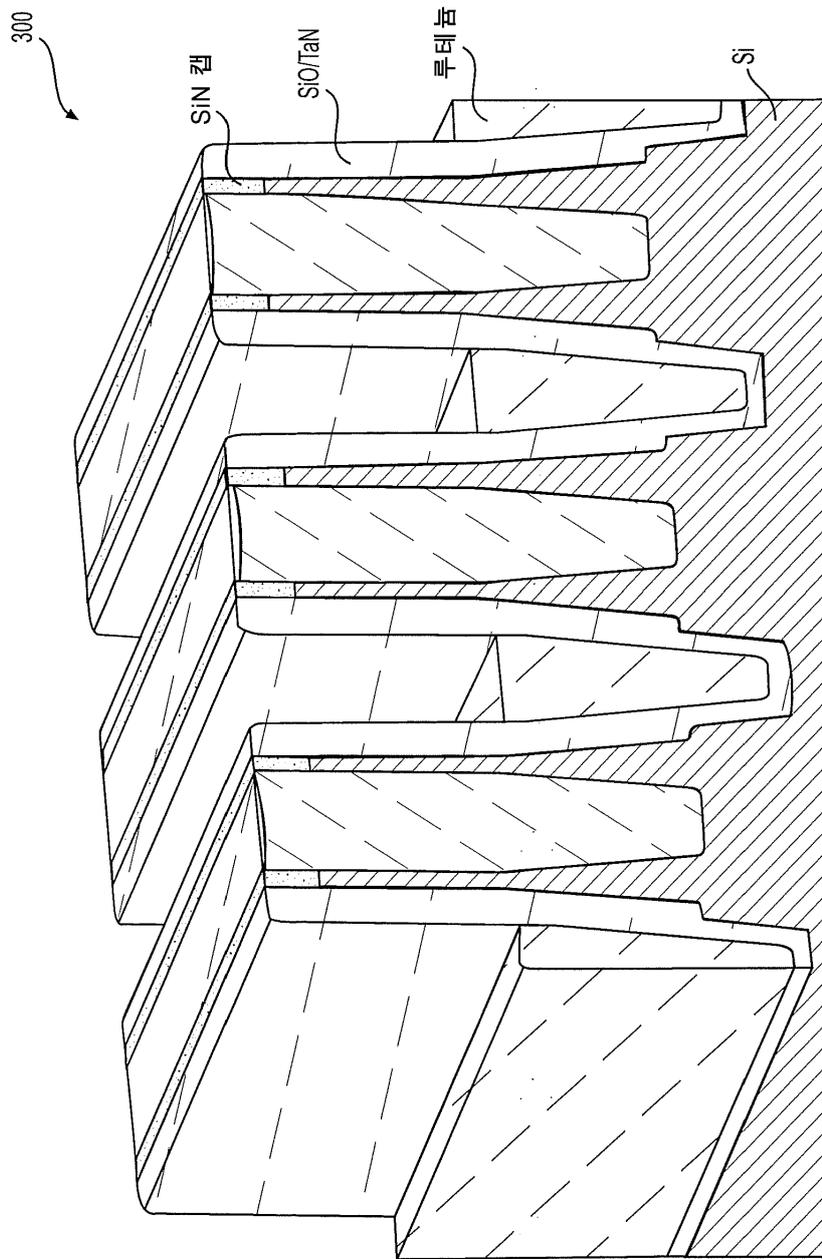
도면35



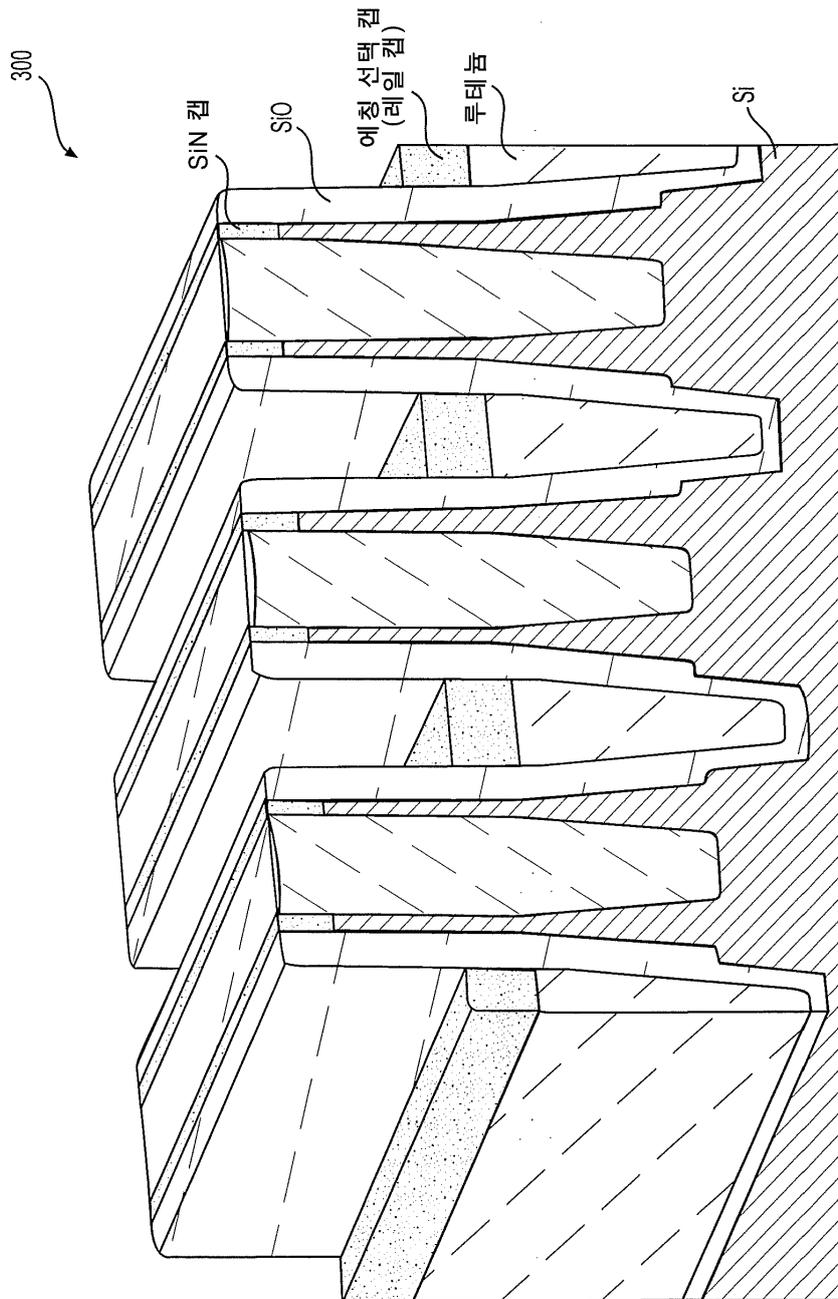
도면36



도면37



도면38



도면39

