

ČESKOSLOVENSKÁ
SOCIALISTICKÁ
REPUBLIKA
(19)



ÚŘAD PRO VYNÁLEZY
A OBJEVY

POPIS VYNÁLEZU K AUTORSKÉMU OSVĚDČENÍ

214 552
(11) (B1)

{51} Int. Cl³
G 11 C 11/061

[22] Přihlášeno 26 10 79

[21] (PV 7296—79)

[40] Zveřejněno 31 10 80

[45] Vydáno 29 06 84

[75]

Autor vynálezu

ŠTEFL JIŘÍ ing., Brno

(54) Zapojení feritové paměti s potlačením parazitních kapacitních proudů

Vynález se týká oboru výpočetní techniky, zejména paměti číslicových zařízení.

Vynález řeší problém potlačení parazitních kapacitních proudů ve výběrových vodičích feritových pamětí s maticovým výběrem.

Podstata vynálezu spočívá v definování potenciálů na nevybuzených vodičích feritové paměti pomocí spínacího obvodu, řízeného signálem pro rozlišení čtení a zápisu, čímž je dosaženo bezpečného uzavření diod maticového výběru u proudově nevybuzených výběrových vodičů.

Vynález se může využít ve výpočetní technice, automatizační technice, v číslicové měřicí technice, v telekomunikacích a v dalších oborech využívajících feritové paměti.

Vynález se týká zapojení feritové paměti s potlačením parazitních kapacitních proudů a řeší problém rozšíření pracovní oblasti feritové paměti.

V moderních feritových pamětech jsou pro buzení výběrových souřadnicových vodičů používány integrované výkonové budiče. Jsou-li výběrové vodiče vybírány pomocí maticového zapojení budičů, musí být výkonové budiče doplněny příslušnými výběrovými diodami. Vlivem kapacity těchto diod, na nichž nejsou u nevybraných souřadnicových vodičů definovány potenciály, protékají nevybranými souřadnicovými vodiči při čtení i zápisu parazitní kapacitní proudy. Tyto proudy, zvláště u feritových pamětí s větší kapacitou, dosahují dosti velkých hodnot, čímž dochází ke zvýšení rušivých signálů na čtecích vodičích a k poklesu užitečných signálů vlivem narušení stavu paměťových jader. Těmito vlivy se pak snižuje spolehlivost paměti, zvyšuje se její citlivost na změnu pracovních podmínek a druhotně se prodlužuje i její pracovní cyklus.

Uvedené nevýhody odstraňuje zapojení feritové paměti s potlačením parazitních kapacitních proudů podle vynálezu, jehož podstata spočívá v tom, že první spínač pomocného integrovaného výkonového spínacího obvodu, připojený přes omezovací odpor s paralelním urychlovacím kondenzátorem ke kladnému pólu napájecího zdroje, je spojen s anodou první pomocné diody, jejíž katoda je spojena jednak s druhým spínačem pomocného integrovaného výkonového spínacího obvodu, připojeným na zemní pól napájecího zdroje, jednak s pomocnou sběrnicí s připojenými jednotlivými pomocnými odpory, spojenými s příslušnými horizontálními sběrnicemi maticového výběru. Každá horizontální sběrnice maticového výběru je spojena jednak s katodou příslušné první výběrové diody, jejíž anoda je spojena přes příslušný spínač druhého výkonového spínacího obvodu s kladným pólem napájecího zdroje, jednak s anodou příslušné druhé výběrové diody, jejíž katoda je spojena přes příslušný spínač druhého výkonového spínacího obvodu se zemním pólem napájecího zdroje. Na jednotlivé horizontální sběrnicce jsou současně připojeny také příslušné výběrové vodiče souřadnice X feritové paměti, jejichž druhé konce jsou spojeny jednak s katodami příslušných výběrových diod zápisu, jednak s anodami příslušných výběrových diod čtení. Anody výběrových diod zápisu, příslušných jednotlivým výběrovým vodičům souřadnice X v pořadí totožném s pořadím připojení výběrových vodičů k horizontálním sběrnicím, tvoří liché vertikální sběrnicce zápisu, spojené přes příslušné zakončovací odpory se zemním pólem napájecího zdroje a přes příslušný spínač zápisu prvního výkonového spínacího obvodu s kladným pólem napáje-

cího zdroje. Katody výběrových diod čtení, příslušných jednotlivým výběrovým vodičům souřadnice X v pořadí totožném s pořadím připojení výběrových vodičů k horizontálním sběrnicím, tvoří sudé vertikální sběrnice čtení, připojené přes příslušný spínač čtení prvního výkonového spínacího obvodu na zemní pól napájecího zdroje. Spínače prvního a druhého výkonového spínacího obvodu jsou řízeny blíže neznázorněným způsobem přes neznázorněné vstupy výkonových spínacích obvodů a na vstup pomocného výkonového spínacího obvodu je připojen signál rozlišující čtení a zápis ve feritové paměti. Pomocná sběrnice je přitom společná pro výběrové vodiče souřadnice X i pro neznázorněné výběrové vodiče souřadnice Y.

Počet horizontálních i vertikálních sběrnic maticového výběru není omezen a závisí na požadované kapacitě paměti.

Zapojení feritové paměti podle vynálezu je jednoduché a snadno realizovatelné, přičemž v důsledku prakticky úplného potlačení parazitních kapacitních proudů se rozšíří pracovní oblast feritové paměti, a tím se zvýší i její spolehlivost při změnách pracovních podmínek. Snižováním rušení je také umožněno zkrácení pracovního cyklu paměti.

Zapojení feritové paměti podle vynálezu je znázorněno na schématu.

První **VS1** a druhý **VS2** výkonový spínací obvod obsahují příslušné spínače **1 až 8**, které zajišťují spínání výběrových proudů do výběrových vodičů **VX1 až VXN** souřadnice X, případně Y, feritové koincidenční paměti. Spínače **1 až 8** výkonových spínacích obvodů **VS1, VS2** jsou řízeny blíže neznázorněnými adresovými vstupy těchto obvodů a vstupem pro přepnutí funkce zápis - čtení, přičemž liché spínače **1, 3, 5, 7** spínají výstupy výkonových spínacích obvodů **VS1, VS2** s kladným pólem napájecího zdroje **+UB**, kdežto sudé spínače **2, 4, 6, 8** spínají výstupy výkonových spínacích obvodů **VS1, VS2** na zemní pól napájecího zdroje. Výstupy lichých spínačů **1, 3** prvního výkonového spínacího obvodu **VS1** jsou spojeny s lichými vertikálními sběrnicemi zápisu **CV1, SV3**, výstupy sudých spínačů **2, 4** prvního výkonového spínacího obvodu **VS1** jsou spojeny se sudými vertikálními sběrnicemi čtení **SV2, SV4**. Vertikální sběrnice zápisu **SV1, SV3** jsou připojeny na uzemněné zakončovací odpory **R1, R2**. Na první vertikální sběrnice zápisu **SV1, SV3** jsou připojeny anody výběrových diod zápisu **D1A, D2A až DMA, DNA**, jejichž katody jsou spojeny jednak s příslušnými výběrovými vodiči **VX1, VX2 až VXM, VXN**, jednak s anodami příslušných výběrových diod čtení **D1B, D2B až DMB, DNB**, které jsou svými katodami připojeny na vertikální sběrnice čtení **SV2, SV4**. Druhé konce těchto výběrových vodičů **VX1, VX2 až VXM, VXN**, které jsou vůči vertikálním sběrnicím umístěny ve stejném pořadí, tvoří

příslušné horizontální sběrnice k , r . Horizontální sběrnice k , r jsou připojeny jednak na katodu příslušné první výběrové diody $D_k A$, $D_r A$, jejíž anoda je spojena s příslušným lichým spínačem 5, 7 druhého výkonového spínacího obvodu $VS2$, jednak na anodu příslušné druhé výběrové diody $D_k B$, $D_r B$, jejíž katoda je spojena s příslušným sudým spínačem 6, 8 druhého výkonového spínacího obvodu $VS2$. Kromě toho jsou horizontální sběrnice k , r spojeny přes pomocné odpory R_k , R_r s pomocnou sběrnicí S . Pomocná sběrnice S je připojena ke katodě první pomocné diody DU , jejíž anoda je přes první spínač 9 pomocného integrovaného výkonového spínacího obvodu VSU a přes omezovací odpor RU s paralelním urychlovacím kondenzátorem CU připojena ke kladnému pólu napájecího zdroje $+UB$. Současně je pomocná sběrnice S spojena s druhým spínačem 10 pomocného spínacího obvodu VSU , připojeným na zemní pól napájecího zdroje. Pomocný spínací obvod VSU je řízen signálem rozlišujícím zápis nebo čtení, přiváděným na vstup BL . Zapojení souřadnice Y feritové paměti je totožné se zapojením souřadnice X , přičemž pomocná sběrnice S je společná oběma souřadnicím.

Funkce popsaného zapojení je následující: Při zápisu informace do paměti je podle zvolené adresy vybuzen jeden z lichých spínačů, např. 1, prvního výkonového spínacího obvodu $VS1$ a jeden ze sudých spínačů, např. 6, druhého výkonového spínacího obvodu $VS2$, přičemž ostatní spínače těchto obvodů jsou rozepnuty. Pracovní proud protéká pak z kladného pólu napájecího zdroje $+UB$ přes

lichý spínač 1 prvního spínacího obvodu $VS1$, vertikální sběrnicí zápisu $SV1$, výběrovou diodou zápisu $D1A$, výběrovým vodičem $VX1$, horizontální sběrnicí k , druhou výběrovou diodou $D_k B$, přes sudý spínač 6 druhého spínacího obvodu $VS2$ k zemnímu pólu napájecího zdroje. V pomocném spínacím obvodu VSU je vlivem signálu na vstupu BL sepnut spínač 9, takže na pomocnou sběrnicí S je přivedeno kladné napětí z napájecího zdroje $+UB$ přes omezovací odpor RU a pomocnou diodu DU . Přechodný děj je při spínání urychlen pomocí kapacity CU . Kladné napětí na sběrnicí S definuje potenciály na nevybuzených horizontálních sběrnicích, r , ..., a tím i na všech výběrových diodách ve feritové paměti, které jsou pak bezpečně v nevodivém stavu. Tím jsou potlačeny kapacitní proudy v proudově nevybuzených výběrových vodičích $VX2$, VXM , VXN .

Při čtení z feritové paměti ze stejné adresy jako při předchozím zápisu jsou vybuzeny ve spínacích obvodech $VS1$, $VS2$ spínače 2 a 5. Výběrovým vinutím $VX1$ pak protéká proud přes výběrové diody $D_k A$ a $D1B$ v opačném smyslu než při zápisu. V pomocném spínacím obvodu VSU je sepnut spínač 10 a na pomocné sběrnicí S je zemní potenciál. Tím je opět zaručen nevodivý stav všech nevybuzených výběrových diod, takže jsou potlačeny kapacitní proudy v proudově nevybuzených výběrových vodičích $VX2$, VXM , VXN .

Zapojení na schématu je současně příkladem použití, neboť představuje libovolně rozšiřitelný modul zapojení skutečné feritové paměti.

Předmět vynálezu

1. Zapojení feritové paměti s potlačením parazitních kapacitních proudů, vyznačující se tím, že první spínač (9) pomocného integrovaného výkonového spínacího obvodu (VSU), připojený přes omezovací odpor (RU) s paralelním urychlovacím kondenzátorem (CU) ke kladnému pólu napájecího zdroje ($+UB$), je spojen s anodou první pomocné diody (DU), jejíž katoda je spojena jednak s druhým spínačem (10) pomocného integrovaného výkonového spínacího obvodu (VSU), připojeným na zemní Pól napájecího zdroje, jednak s pomocnou sběrnicí (S) s připojenými jednotlivými pomocnými odpory (R_k , R_r), spojenými s příslušnými horizontálními sběrnicemi (k , r) maticového výběru, přičemž každá horizontální sběrnice (k , r) maticového výběru je spojena jednak s katodou příslušné první výběrové diody ($D_k A$, $D_r A$), jejíž anoda je spojena přes příslušný spínač (5, 7) druhého výkonového spínacího obvodu ($VS2$) s kladným pólem

napájecího zdroje, jednak s anodou příslušné druhé výběrové diody ($D_k B$, $D_r B$), jejíž katoda je spojena přes příslušný spínač (6, 8) druhého výkonového spínacího obvodu ($VS2$) se zemním pólem napájecího zdroje, přičemž na jednotlivé horizontální sběrnice (k , r) jsou současně připojeny také příslušné výběrové vodiče ($VX1$, $VX2$, až VXM , VXN) souřadnice X feritové paměti, jejichž druhé konce jsou spojeny jednak s katodami příslušných výběrových diod ($D1A$, $D2A$, až DMA , DNA) zápisu, jednak s anodami příslušných výběrových diod čtení ($D1B$, $D2B$, až DMB , DNB) a přitom anody výběrových diod zápisu ($D1A$, $D2A$, až DMA , DNA) příslušných jednotlivým výběrovým vodičům ($VX1$, $VX2$, až VXM , VXN) souřadnice X v pořadí totožném s pořadím připojení výběrových vodičů ($VX1$, $VX2$, až VXM , VXN) k horizontálním sběrnicím (k , r) tvoří liché vertikální sběrnice zápisu ($SV1$, $SV3$), spojené přes příslušné zakončovací odpory ($R1$,

R2) se zemním pólem napájecího zdroje a přes příslušný spínač zápisu (1, 3) prvního výkonového spínacího obvodu (VS1) s kladným pólem napájecího zdroje (+UB), zatímco katody výběrových diod (D1B, D2B, až DMB, DNB) čtení, příslušných jednotlivým výběrovým vodičům (VX1, VX2, až VXM, VXN) souřadnice X v pořadí totožném s pořadím připojení výběrových vodičů (VX1, VX2, až VXM, VXN) k horizontálním sběrnici

cím (k, r), tvoří sudé vertikální sběrnice čtení (SV2, SV4) připojené přes příslušný spínač čtení (2, 4) prvního výkonového spínacího obvodu (VS1) na zemní pól napájecího zdroje.

2. Zapojení feritové paměti podle bodu 1, vyznačené tím, že pomocná sběrnice (S) je společná pro výběrové vodiče (VX1, VX2 až VXM, VXN) souřadnice X i pro blíže neznámé výběrové vodiče souřadnice Y.

1 výkres

