

[19] 中华人民共和国国家知识产权局

[51] Int. Cl⁷

G11C 29/00

G01R 31/26 H01L 21/66



[12] 发明专利说明书

[21] ZL 专利号 99105342.7

[45] 授权公告日 2003 年 12 月 24 日

[11] 授权公告号 CN 1132193C

[22] 申请日 1999.4.30 [21] 申请号 99105342.7

[30] 优先权

[32] 1998.4.30 [33] DE [31] 19819570.2

[71] 专利权人 西门子公司

地址 联邦德国慕尼黑

[72] 发明人 D·黑尔勒 P·海内 M·布克

审查员 盖 浩

[74] 专利代理机构 中国专利代理(香港)有限公司

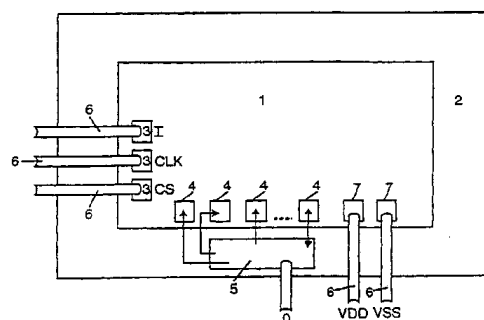
代理人 马铁良 王忠忠

权利要求书 1 页 说明书 3 页 附图 1 页

[54] 发明名称 测试在一个晶片上的多个存储器芯片的装置

[57] 摘要

本发明涉及一种测试在一个晶片上的多个存储器芯片(1)的装置,其中在使用探针(6)的情况下给芯片(1)输入各供电电压(VDD、VSS)、一起始信号(I)、一读出信号(CS)、一时钟信号(CLK)以及各地址信号、各数据信号和各控制信号。其中各地址信号、各数据信号和各控制信号是由一个安置在存储器芯片的切口(2)中的逻辑电路(5)产生的,并且直接输送给存储器芯片(1)。



1. 测试在一个晶片上的多个存储器芯片(1)的装置, 在所述装置中存储器芯片(1)具有第一焊接区(3)、第二焊接区(4)和第三焊接区(7), 其中第一焊接区(3)利用探针(6)用于接触起始信号(I)、
5 时钟信号(CLK)和读出信号(CS), 第二焊接区(4)用于接触地址信号、数据信号和控制信号, 第三焊接区(7)利用探针(6)用于接触各供电电压(VDD, VSS), 并且在所述装置中存储器芯片(1)被一个切割边缘(2)包围, 其特征在于,

在存储器芯片(1)的切割边缘(2)中设置一个逻辑电路(5),
10 所述逻辑电路产生至少一部分地址信号、数据信号和控制信号, 并将这些信号直接输送到存储器芯片(1)的第二焊接区(4)。

2. 按照权利要求1所述的装置, 其特征在于, 地址信号、数据信号和控制信号全部是在逻辑电路(5)中产生的, 并且直接输送到存储芯片。

测试在一个晶片上的多个存储器芯片的装置

技术领域

- 5 本发明涉及一种测试在一个晶片上的多个存储器芯片的置,其中利用探针向各芯片输送各种电源电压、一起动信号、一读出信号、一时钟信号以及各地址信号、各数据信号和各控制信号。

背景技术

- 10 到目前为止,芯片例如64兆位DRAM被分成小组利用探针卡的探针进行测试。此时出现的问题是,制备具有足够数量探针的探针卡,以便使用这些探针为了一个测试流程与大量芯片相接触,优先是一个晶片上的所有芯片。

- 15 目前在一个探针卡上的探针数的上限约为1000个。用此种卡可以对数量级约20至50的芯片进行测试,因为必须经各探针向各个芯片输送不同的地址信号、数据信号、电源信号和控制信号。

- 20 因此,已知的装置上设置具有上千个探针的探针卡,用这些探针可以同时测试约20至50个芯片。此时还存在着较大压紧力的问题,该种压力通过这1000个探针作用在20至50个芯片上。这里的困难还在于为每个芯片设计具有如此多的探针、其数量级每个芯片为50、使其尖端共一平面,以便能够对晶片上的芯片可靠地进行测试。

发明内容

- 25 因此,本发明的任务是创造一种测试在一晶片上的多个存储器芯片的装置,用该装置可以用一个探针卡在一测试流程中测试比目前数量大的多的存储器芯片。

- 30 根据本发明,测试在一个晶片上的多个存储器芯片的装置,其中,存储器芯片具有焊区,在使用探针的情况下可为存储器芯片往这些焊区上加上各供电电压、一起始信号、一读出信号、一时钟信号以及各地址信号、各数据信号和各控制信号,其特征在于,在存储器芯片的一个切割边缘中规定有一个逻辑电路,该逻辑电路产生至少各地址信号、各数据信号和各控制信号的一部分并且将其直接输送给存储器芯片。

该项任务在开始所述类型的装置中根据本发明是如下解决的，即各地址信号、各数据信号、和各控制信号中至少有几个是在存储器芯片的切口(切割边缘含有测试结构和掩模对准辅助区)内安置的逻辑电路中产生的，并直接被输送给存储器芯片。在此优先是所
5 有地址信号、数据信号和控制信号都在这个切口中设置的逻辑电路中产生。需要说明的是，对多个存储器芯片也可以理解为各单个存储器芯片，例如两个通过切口被分开的芯片。

因此本发明走的是一条与当前技术完全不同的路：不是按实际上发展的趋势努力改进探针卡或探针，而是在存储器芯片的切口处
10 安置一个单独的逻辑电路，借助该电路局域地在切口中为每个存储器芯片产生各地址信号、各数据信号和各控制信号并直接输送给该芯片。这种方法的主要优点是，这样仅还需要经探针卡为每个存储器芯片输送各电源电压和少数几个编码的输出信号。这就是说采用这种方法经探针卡只还需要 5 个接触点用于电源电压、起始信号、
15 读出信号和时钟信号，从而用一个具有约 1000 个探针的探针卡可以测试直到 200 个芯片。

因此，在切口中安装的用于各个存储器芯片的本地逻辑电路产生所需的地址信号、数据信号和控制信号，并对这些信号进行分析。如果出现一个差错，就给出一差错信号通知测试设备说明出现了一个
20 差错。通过相应的编码信号可以立即确定这个差错位于什么地方。在同时 4 个被起动的字线的情况下，为此例如需要两个编码信号。于是通过在什么时候出现一差错的时刻和通过几个编码信号可以确定准确的差错地点。

附图说明

25 下面借助附图进一步说明本发明，在其唯一的附图中示出了具有切口的一个存储器芯片的平面图。

具体实施方式

该唯一附图示出了一个存储器芯片 1，该芯片由切口或切割边缘 2 包围。该切口 2 通过切割在晶片分成单个的存储器 1 时去掉，
30 所以在此分片之后只剩下没有切口 2 的单个存储器芯片 1。

存储器芯片 1-上设有许多焊接区(接触垫)3、4、7，这些焊接区在测试流程中可以用探针卡的探针进行接触。如此就有用于起始

信号 I、时钟信号 CLK 和选择信号 CS 的各焊接区 3 和用于供电电压 VDD 及 VSS 的各焊接区 7。此外存储器芯片 1 还有各焊接区 4，这些焊接区与各地址信号、各数据信号和各控制信号的探针相接触。为了简化在图中仅示出了 3 个这样的焊接区 4，而实际上在一测试流程中要施加例如 11 个地址信号、8 至 16 个数据信号和 5 个控制信号。因此，如上所述需要大量探针，所以只有比较少量的存储器芯片可在一组中一起用一个具有约 1000 个探针的探针卡进行测试。

根据本发明现在在切口 2 中设置一逻辑电路 5，该电路与一输出端 0 相连接并且向各焊接区 4 直接输送各地址信号，各数据信号和各控制信号。因此这些焊接区 4 不再需要探针，所以测试存储器芯片 1 所需的探针数可以大大减少。

这些探针是示意性示出的，并标上参考符号 6，这些探针实际上基本垂直于画面通向各焊接区 3。

就是说逻辑电路 5 承担着用各地址信号、各数据信号和各控制信号进行测试的功能，所以所需探针的总数得到相应地减少。当然也可以只将几个这种信号经逻辑电路 5 输送给存储器芯片 1。

在测试流程之后，通过切割去除切口 2，因此不再需要的逻辑电路 5 也被分开。

本发明以一有利的方式利用由切口所给出的面积，以便在此借助附加的逻辑电路 5 来减少所需探针 6 的数量。

该逻辑电路 5 在必要时也可以这样安排在切口内，使它给多个半导体芯片提供相应的各地址信号、各数据信号和各控制信号，所以例如一个逻辑电路 5 可以分配给两个或者也可以是多个存储器芯片 1。

在按本发明的装置中也可以提高一个探针卡的探针数量，因为探针本身可以相互以较大的间距排列，这是建立在每单个存储器芯片需要较少探针的基础上的。

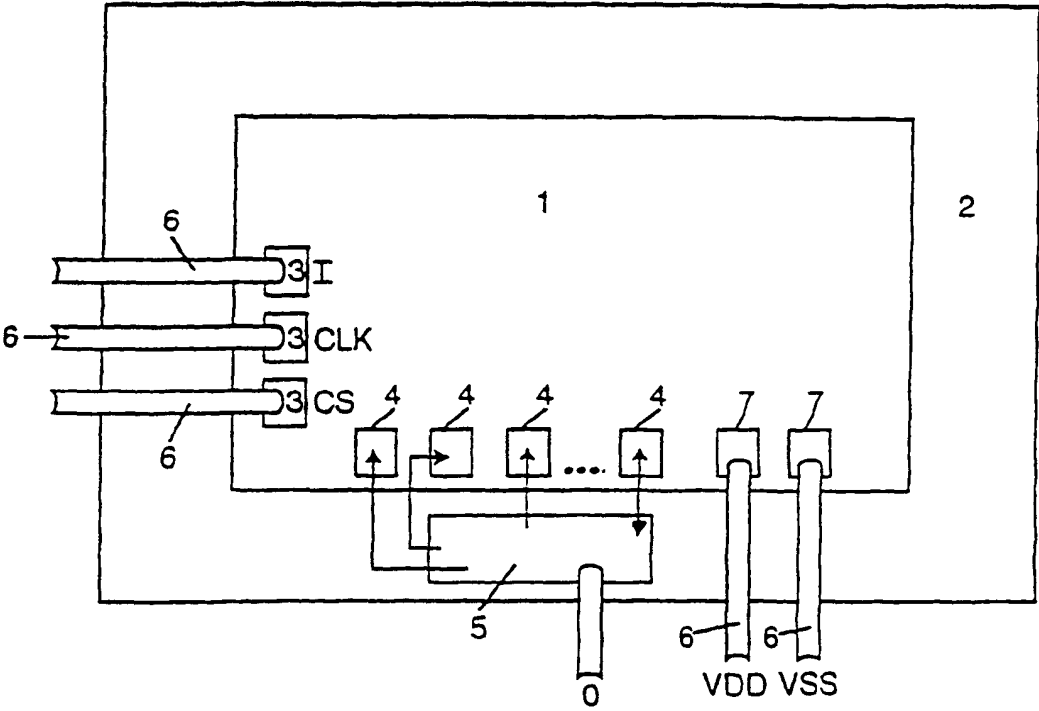


图 1