

【公報種別】特許法第 17 条の 2 の規定による補正の掲載

【部門区分】第 7 部門第 3 区分

【発行日】平成29年10月19日 (2017.10.19)

【公開番号】特開2017-55332(P2017-55332A)

【公開日】平成29年3月16日 (2017.3.16)

【年通号数】公開・登録公報2017-011

【出願番号】特願2015-179388(P2015-179388)

【国際特許分類】

H 0 3 K 3/037 (2006.01)

G 0 1 R 31/28 (2006.01)

H 0 3 K 3/3562 (2006.01)

【F I】

H 0 3 K 3/037 B

G 0 1 R 31/28 V

H 0 3 K 3/3562

【手続補正書】

【提出日】平成29年9月4日 (2017.9.4)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

第 1 入力回路、第 1 ラッチ、第 2 ラッチ、および第 1 出力回路を備える第 1 フリップフロップと、

第 2 入力回路、第 3 ラッチ、第 4 ラッチ、および第 2 出力回路を備える第 2 フリップフロップと、

前記第 1 フリップフロップおよび前記第 2 フリップフロップに共通のクロック信号を出力するクロックバッファと、

を具備し、

前記第 2 ラッチの第 1 出力端子は前記第 1 出力回路の入力端子に接続され、前記第 2 ラッチの第 2 出力端子は前記第 2 入力回路の入力端子に直接接続され、

前記第 2 入力回路は、前記第 2 ラッチの第 2 出力端子に接続される入力を有するクロックドインバータを備える

半導体集積回路。

【請求項 2】

前記第 2 ラッチの第 2 出力端子と前記第 1 出力回路の出力端子とは、同位相の信号を出力する請求項 1 に記載の半導体集積回路。

【請求項 3】

前記第 2 ラッチは、第 1 トランスファークロップと、前記第 1 トランスファークロップの出力に接続された入力を有する第 1 インバータと、前記第 1 インバータの出力に接続された入力を有する第 2 インバータと、前記第 2 インバータの出力に接続された入力および前記第 1 インバータの入力に接続された出力を有する第 2 トランスファークロップとを備え、

前記第 2 ラッチの第 2 出力端子は、前記第 2 インバータの出力と前記第 2 トランスファークロップの入力との接続端子である

請求項 1 または請求項 2 に記載の半導体集積回路。

【請求項 4】

前記第 2 ラッチは、第 1 トランスファーゲートと、前記第 1 トランスファーゲートの出力に接続された入力を有する第 1 インバータと、前記第 1 インバータの出力に接続された入力を有する第 2 インバータと、前記第 2 インバータの出力に接続された入力および前記第 1 インバータの入力に接続された出力を有する第 2 トランスファーゲートとを備え、

前記第 2 ラッチの第 2 出力端子は、第 1 トランスファーゲートの出力、前記第 1 インバータの入力、および前記第 2 トランスファーゲートの出力との接続端子である

請求項 1 または請求項 2 に記載の半導体集積回路。

【請求項 5】

前記第 1 ラッチおよび前記第 3 ラッチはマスターラッチであり、前記第 2 ラッチおよび前記第 4 ラッチはスレーブラッチである請求項 1 乃至請求項 4 のいずれか 1 項に記載の半導体集積回路。

【請求項 6】

第 1 入力回路、第 1 ラッチ、第 2 ラッチ、および第 1 出力回路を備える第 1 フリップフロップと、

第 2 入力回路、第 3 ラッチ、第 4 ラッチ、および第 2 出力回路を備える第 2 フリップフロップと、

を具備し、

前記第 2 ラッチの出力端子は、前記第 1 出力回路の入力端子に接続され、かつ前記第 2 入力回路の入力端子に直接接続される

半導体集積回路。

【請求項 7】

前記第 2 ラッチの出力端子と前記第 1 出力回路の出力端子とは、逆位相の信号を出力する請求項 6 に記載の半導体集積回路。

【請求項 8】

前記第 2 入力回路は、前記第 2 入力回路の入力端子である入力を有するトランスファーゲートを備える請求項 6 または請求項 7 に記載の半導体集積回路。

【手続補正 2】

【補正対象書類名】明細書

【補正対象項目名】0010

【補正方法】変更

【補正の内容】

【0010】

実施形態による半導体集積回路は、第 1 入力回路、第 1 ラッチ、第 2 ラッチ、および第 1 出力回路を備える第 1 フリップフロップと、第 2 入力回路、第 3 ラッチ、第 4 ラッチ、および第 2 出力回路を備える第 2 フリップフロップと、前記第 1 フリップフロップおよび前記第 2 フリップフロップに共通のクロック信号を出力するクロックバッファと、を具備する。前記第 2 ラッチの第 1 出力端子は前記第 1 出力回路の入力端子に接続され、前記第 2 ラッチの第 2 出力端子は前記第 2 入力回路の入力端子に直接接続され、前記第 2 入力回路は、前記第 2 ラッチの第 2 出力端子に接続される入力を有するクロックドインバータを備える。