

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第7部門第3区分

【発行日】平成29年10月19日(2017.10.19)

【公開番号】特開2017-55332(P2017-55332A)

【公開日】平成29年3月16日(2017.3.16)

【年通号数】公開・登録公報2017-011

【出願番号】特願2015-179388(P2015-179388)

【国際特許分類】

H 03K 3/037 (2006.01)

G 01R 31/28 (2006.01)

H 03K 3/3562 (2006.01)

【F I】

H 03K 3/037 B

G 01R 31/28 V

H 03K 3/3562

【手続補正書】

【提出日】平成29年9月4日(2017.9.4)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

第1入力回路、第1ラッチ、第2ラッチ、および第1出力回路を備える第1フリップフロップと、

第2入力回路、第3ラッチ、第4ラッチ、および第2出力回路を備える第2フリップフロップと、

前記第1フリップフロップおよび前記第2フリップフロップに共通のクロック信号を出力するクロックバッファと、

を具備し、

前記第2ラッチの第1出力端子は前記第1出力回路の入力端子に接続され、前記第2ラッチの第2出力端子は前記第2入力回路の入力端子に直接接続され、

前記第2入力回路は、前記第2ラッチの第2出力端子に接続される入力を有するクロックドインバータを備える

半導体集積回路。

【請求項2】

前記第2ラッチの第2出力端子と前記第1出力回路の出力端子とは、同位相の信号を出力する請求項1に記載の半導体集積回路。

【請求項3】

前記第2ラッチは、第1トランスマニアゲートと、前記第1トランスマニアゲートの出力に接続された入力を有する第1インバータと、前記第1インバータの出力に接続された入力を有する第2インバータと、前記第2インバータの出力に接続された入力および前記第1インバータの入力に接続された出力を有する第2トランスマニアゲートとを備え、

前記第2ラッチの第2出力端子は、前記第2インバータの出力と前記第2トランスマニアゲートの入力との接続端子である

請求項1または請求項2に記載の半導体集積回路。

【請求項4】

前記第2ラッチは、第1トランスマスファーゲートと、前記第1トランスマスファーゲートの出力に接続された入力を有する第1インバータと、前記第1インバータの出力に接続された入力を有する第2インバータと、前記第2インバータの出力に接続された入力および前記第1インバータの入力に接続された出力を有する第2トランスマスファーゲートとを備え、

前記第2ラッチの第2出力端子は、第1トランスマスファーゲートの出力、前記第1インバータの入力、および前記第2トランスマスファーゲートの出力との接続端子である

請求項1または請求項2に記載の半導体集積回路。

【請求項5】

前記第1ラッチおよび前記第3ラッチはマスターラッチであり、前記第2ラッチおよび前記第4ラッチはスレーブラッチである請求項1乃至請求項4のいずれか1項に記載の半導体集積回路。

【請求項6】

第1入力回路、第1ラッチ、第2ラッチ、および第1出力回路を備える第1フリップフロップと、

第2入力回路、第3ラッチ、第4ラッチ、および第2出力回路を備える第2フリップフロップと、

を具備し、

前記第2ラッチの出力端子は、前記第1出力回路の入力端子に接続され、かつ前記第2入力回路の入力端子に直接接続される

半導体集積回路。

【請求項7】

前記第2ラッチの出力端子と前記第1出力回路の出力端子とは、逆位相の信号を出力する請求項6に記載の半導体集積回路。

【請求項8】

前記第2入力回路は、前記第2入力回路の入力端子である入力を有するトランスマスファーゲートを備える請求項6または請求項7に記載の半導体集積回路。

【手続補正2】

【補正対象書類名】明細書

【補正対象項目名】0010

【補正方法】変更

【補正の内容】

【0010】

実施形態による半導体集積回路は、第1入力回路、第1ラッチ、第2ラッチ、および第1出力回路を備える第1フリップフロップと、第2入力回路、第3ラッチ、第4ラッチ、および第2出力回路を備える第2フリップフロップと、前記第1フリップフロップおよび前記第2フリップフロップに共通のクロック信号を出力するクロックバッファと、を具備する。前記第2ラッチの第1出力端子は前記第1出力回路の入力端子に接続され、前記第2ラッチの第2出力端子は前記第2入力回路の入力端子に直接接続され、前記第2入力回路は、前記第2ラッチの第2出力端子に接続される入力を有するクロックドインバータを備える。