



Государственный комитет
СССР
по делам изобретений
и открытий

О П И С А Н И Е ИЗОБРЕТЕНИЯ

К АВТОРСКОМУ СВИДЕТЕЛЬСТВУ

(11) 830587

(61) Дополнительное к авт. свид-ву -

(22) Заявлено 09.07.79 (21) 2792627/18-24

с присоединением заявки № -

(23) Приоритет -

Опубликовано 15.05.81 Бюллетень № 18

Дата опубликования описания 25.05.81

(51) М. Кл.³

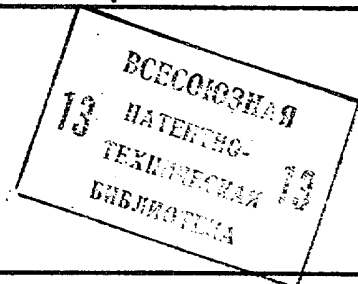
G 11 C 29/00

(53) УДК 681.327.
.6 (088.8)

(72) Авторы
изобретения

В.А.Васильев и И.Д.Соболев

(71) Заявитель



(54) ЗАПОМИНАЮЩЕЕ УСТРОЙСТВО С САМОКОНТРОЛЕМ

1

Изобретение относится к вычислительной технике, в частности к запоминающим устройствам (ЗУ), выполненным из полупроводниковых элементов.

Известно устройство, содержащее накопитель, адресный блок и блок формирования данных, подключенные к блоку управления, счетчик, регистры и блок сравнения [1].

Недостатком данного устройства является невозможность проверки исправности электронного "обрамления".

Наиболее близким техническим решением к изобретению является запоминающее устройство, содержащее блок памяти, соответствующие входы которого соединены с выходами дешифратора адреса и регистра ввода, а выходы - со входами регистра вывода, выходы которого соединены со входами блока контроля, выход блока контроля подключен ко входу генератора тактовых импульсов, выход которого

2

подключен ко входу счетчика адреса, выходы счетчика адреса соединены с соответствующими входами дешифратора адреса. После предварительной записи тестов логического "0" или логической "1" производится считывание информации с ряда запоминающих ячеек и ее контроль на схемах совпадения [2].

Однако такая структура ЗУ не позволяет определить неисправность электронного "обрамления" запоминающих элементов - дешифраторов адреса, что может привести к неправильному функционированию ЗУ в целом. В то же время для проверки ЗУ требуются специальные схемы совпадения, отвечающие данным логическим уровням, считываемым с ряда запоминающих элементов, что усложняет устройство в целом и снижает его надежность.

Цель изобретения - повышение надежности устройства.

Поставленная цель достигается тем, что в устройство введены блок формирования тестовых кодов, вход которого соединен с выходом генератора тактовых импульсов, а выход - со входом регистра ввода.

При этом блок формирования тестовых кодов выполнен на триггере Т.

На чертеже представлена структурная схема предлагаемого устройства.

Устройство содержит регистр 1 ввода, блок 2 памяти, регистр 3 вывода, дешифратор 4 адреса, счетчик 5 адреса, генератор 6 тактовых импульсов, блок 7 контроля, блок формирования тестовых кодов, выполненный на Т-триггере 8, шина 9 установки "1", шина 10 установки "0".

Устройство работает следующим образом.

В режиме контроля на шины 9 и 10 установки "1" и "0" поступают в противофазе логические сигналы. В зависимости от комбинации фаз на шинах 9 и 10 на выходе Т-триггера 8 устанавливается сигнал логической "1" или логического "0", который при работе генератора 6 тактовых импульсов записывается в блок 2 памяти.

При одновременном поступлении сигналов логической "1" на шины 9 и 10 разрешается работа Т-триггера 8 по счетному входу С. В этом случае при работе генератора, в блок 2 памяти поочередно, байтами записываются сигналы логической "1" и логического "0".

Проверка исправности блока памяти осуществляется путем считывания контрольных тестов при помощи блока 7 контроля на четное число одноуровневых символов в байте. При обнаружении ошибки сигнал с выхода блока 7 контроля блокирует работу генератора тактовых импульсов.

Предлагаемое запоминающее устройство имеет преимущества перед из-

вестным в том, что исключаются схемы совпадения, определяющие соответствие считываемых сигналов уровням логического "0" или логической "1", осуществляется возможность контроля встроенных в блок памяти дешифраторов адресов. При этом проверка блока памяти производится при помощи стандартного устройства контроля по модулю два.

Формула изобретения

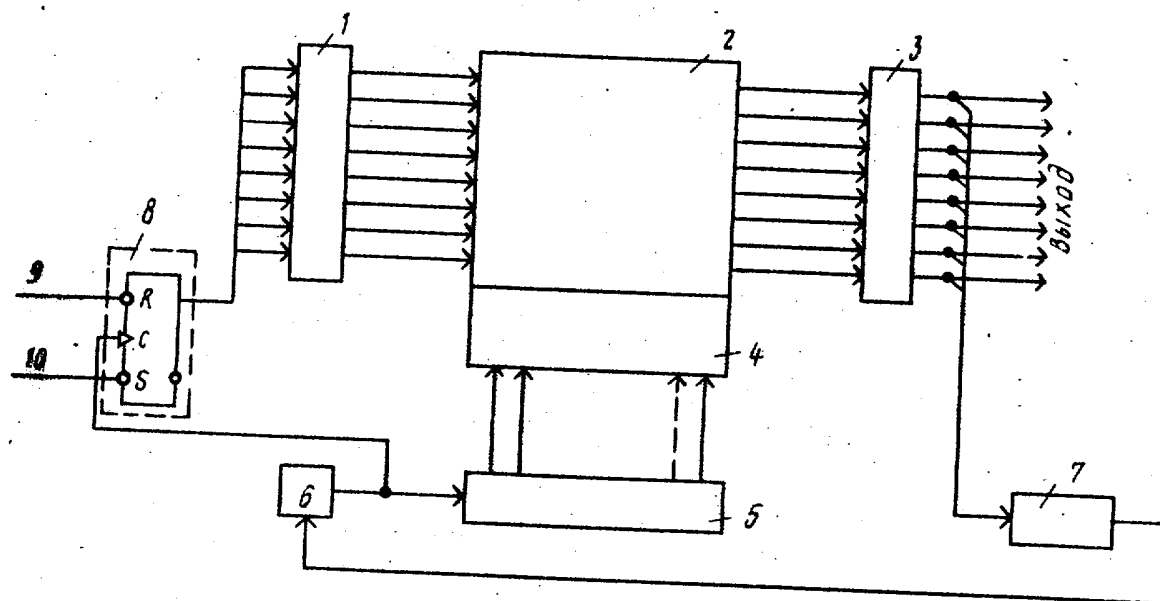
1. Запоминающее устройство с самоконтролем, содержащее блок памяти, соответствующие входы которого соединены с выходами дешифратора адреса и регистра ввода, а выходы - со входами регистра вывода, выходы которого соединены со входами блока контроля, выход блока контроля подключен ко входу генератора тактовых импульсов, выход которого подключен ко входу счетчика адреса, выходы счетчика адреса соединены с соответствующими входами дешифратора адреса, отличающемся тем, что, с целью повышения надежности устройства, оно содержит блок формирования тестовых кодов, вход которого соединен с выходом генератора тактовых импульсов, а выход - со входом регистра ввода.

2. Устройство по п. 1, отличающееся тем, что блок формирования тестовых кодов выполнен на триггере Т.

Источники информации, принятые во внимание при экспертизе

1. Авторское свидетельство СССР № 601762, кл. G 11 С 29/00, 1976.

2. Патент США № 4055754, кл. 235-302, опублик. 1977 (прототип).



Редактор М.Циткина Составитель В.Вакар
 Техред Н.Майорош Корректор О.Билак
 Заказ 2757/23 Тираж 645 Подписное
 ВНИИПИ Государственного комитета СССР
 по делам изобретений и открытий
 113035, Москва, Ж-35, Раушская наб., д. 4/5
 Филиал ППП "Патент", г. Ужгород, ул. Проектная, 4