

公告本

申請日期	90.7.18.
案 號	90117583
類 別	H01L 2/3065

A4
C4

525247

(以上各欄由本局填註)

發明專利說明書

一、發明名稱	中 文	半導體裝置之製造方法
	英 文	METHOD FOR A MANUFACTURING A SEMICONDUCTOR DEVICE
二、發明人	姓 名	1.橫川 賢悦 KENETSU YOKOGAWA 2.桃井 義典 YOSHINORI MOMONOI 3.十本 和典 KAZUNORI TSUJIMOTO 4.田地 新一 SHINICHI TACHI
	國 籍	均日本
	住、居所	均日本國東京都千代田區丸內1丁目5番1號新丸大樓日立製作所(股)公司知的所有權本部
三、申請人	姓 名 (名 稱)	日商日立製作所股份有限公司 HITACHI, LTD.
	國 籍	日本
	住、居所 (事務所)	日本國東京都千代田區神田駿河台四丁目6番地
	代 表 人 姓 名	庄山 悦彦 ETSUHIKO SHOYAMA

(由本局填寫)

承辦人代碼：
大 類：
I P C 分類：

A6
B6

本案已向：

國（地區） 申請專利，申請日期： 案號： ，☐有 ☐無主張優先權

日本 2001年01月16日 特願2001-007158 ☒有 ☐無主張優先權

有關微生物已寄存於： ，寄存日期： ，寄存號碼：

（請先閱讀背面之注意事項再填寫本頁各欄）

裝

訂

線

經濟部智慧財產局員工消費合作社印製

五、發明說明()

發明之技術領域

本發明係有關包含洗淨之半導體裝置的製造技術，尤其是有關包含清除殘留在半導體晶圓表面上之雜質等之洗淨步驟之半導體裝置的製造技術。

先前技術

半導體裝置(LSI、VLSI等)的製造技術急速趨於微細化。在此種狀況下，半導體裝置之製造步驟中之半導體晶圓的洗淨成為提高半導體裝置之製造良率的一項重要程序。因而，在成膜及蝕刻等各個製造步驟的前處理或後處理中，實施洗淨。

先前，半導體晶圓(以下稱晶圓)的洗淨，係採用使用純水或在純水中稀釋各種酸及鹼性溶液的溶液，在該溶液中，浸入晶圓或以噴灑溶液的方法沖洗晶圓表面的雜質。此外，還有將晶圓浸在溶液中的同時，使用刷子機械性洗淨晶圓表面方法等。因而，由於這些洗淨方法係使用溶液，因此稱之為濕式(Wet)洗淨。

但是，濕式洗淨除了洗淨之外，還需要在洗淨後實施洗滌(Rinse)、乾燥處理步驟，而導致製造步驟增加的問題。

解決此種濕式洗淨問題的洗淨方法，有乾式(Dry)洗淨。

一種乾式洗淨方法，如特開平8-131981號公報(以下稱週知文獻1)中所揭示。該週知文獻1中揭示有以常溫乾式實施洗淨，其係被洗淨物(試劑)，如作為切割、研磨、拋光之半導體用6吋矽晶圓對象的單結晶矽，藉由靜電的帶

五、發明說明(2)

電，使用活化之空氣洗淨附著在該被洗淨物上的附著物。亦即，該活性空氣包含空氣離子與水群集(Cluster)，形成高濕度環境，於流動的同時接觸洗淨室內之被洗淨物，來進行洗淨。空氣離子中和被洗淨物的電荷，水群集則使附著物自被洗淨物表面游離。流動之活性空氣自被洗淨物剝落附著物，將其清除。另外，該週知文獻1還揭示有關具體的自晶圓製造廠商購買Si晶圓後，於LSI製造時的前處理洗淨。

此外，其他的乾式洗淨，則有特開平8-85887號公報(以下稱週知文獻2)中所揭示的技術。依據該週知文獻2，具有被蝕刻材料為使用W之單層膜或疊層膜之試劑於蝕刻處理後，該試劑以真空輸送裝置輸送至後處理裝置(下一步驟的處理裝置)內。繼續在不使試劑暴露在空氣中的該處理裝置內(真空中)，同時除去(電漿灰化)光阻與附著物。

另外，還有特開平9-17776號公報(以下稱週知文獻3)所揭示的乾式洗淨。依據該週知文獻3，藉由半導體基板上之吸附有機物，於成膜時形成膜厚之形成容易受到影響之膜時，於該底層膜成膜之前，在同一個半導體製造裝置內部，藉由於室溫或高溫進行 O_3 清洗，除去吸附有機物，以促使半導體基板之表面狀態容易受到影響之成膜的穩定性。亦即，依據週知文獻3所揭示的發明，揭示有在半導體基板上，直接使用形成下層配線圖案的半導體製造裝置，導入 O_3 氣體，來清洗半導體基板，使與半導體基板表面的殘留有機物反應，除去CO或 CO_2 等揮發生成物，於

五、發明說明(3)

除去殘留有機物後，經由底層膜，將不穩定的膜作為層間絕緣膜，對有機物形成不受殘留有機物影響的膜。

發明所欲解決之課題

近年來的主流是，象徵DRAM等從少類多量生產到多類少量生產的晶片系統(System on Chip)(亦即系統LSI)。多類少量生產時，為求提高生產效率，特別重視短轉迴時間TAT(Turn Around Time)。

因而，作為半導體裝置之製造步驟之前處理或後處理所實施的洗淨，則要求藉由乾式洗淨以提高半導體製造效率。

此外，為求提高半導體裝置的製造良率，亦要求該乾式洗淨之洗淨能力的提高。

本發明之目的，在有效實施用於對基板加工及其加工後之除去雜質的洗淨。

本發明之其他目的，在提供一種適於微細化之新型半導體裝置的製造方法。

本發明之上述及其他目的與新特徵，從本說明書的內容及附圖中即可瞭解。

課題之解決手段

本專利申請所揭示之主要發明的概要簡單說明如下：

本發明之特徵為在保持減壓狀態的處理室內，於該主面上賦予氣流，來除去附著在半導體基板主面上的雜質。

此外，本發明之特徵為在保持減壓狀態的處理室內，使附著在半導體基板主面上的雜質黏著力降低，對該主面賦

五、發明說明(4)

予氣流，藉由該氣流除去雜質。

發明之實施形態

以下，參照圖式詳細說明本發明的實施形態。另外，用於說明實施形態之全部圖式，其中具有相同功能的構件，附註相同符號，並省略其重複說明。

第一種實施形態

首先，使用圖1說明使用在本發明第一種實施形態上之乾式洗淨裝置的基本構造。

圖1所示之乾式洗淨裝置具有保持減壓狀態的處理室，亦即，一般稱之為真空容器的處理室1。在其他處理室內進行所需之處理(電漿蝕刻及電漿CVD等處理)的晶圓，在該處理室1內進行洗淨。

圖1中，具有真空排氣手段(真空泵；圖上未顯示)的真空容器1內，設有旋轉機構4，其係使用於設置準備處理之晶圓2之晶圓設置手段(晶圓支撐台)3及晶圓2沿圓周方向旋轉。

晶圓設置手段3的平面具有與晶圓2相同的圓板形狀，為求穩定支撐晶圓2，其直徑大於該晶圓。晶圓設置手段3之晶圓的固定，採用機械式夾住晶圓周邊的機構，或以電性保持晶圓的靜電夾盤。因而，該晶圓設置手段3內設有溫度控制手段16，採用可以將晶圓2之溫度控制在室溫(25℃)至300℃之範圍內的構造。有關對晶圓2之溫度控制於後述。在晶圓2上，將用於晶圓洗淨的小塊狀構造體5配置成鄰近該晶圓2表面。該小塊狀構造體5發揮形成本

五、發明說明(5)

發明上的重要角色。小塊狀構造體5內設置有可以在晶圓2上之水平方向移動的掃描機構6與鄰近晶圓2配置的上下移動機構7。此外，小塊狀構造體5內還設有檢測作用於小塊狀構造體5與晶圓2間之加重的加重檢測手段8。並藉由作用於小塊狀構造體5與晶圓2間的加重，來控制上下移動機構7的移動量，進而控制小塊狀構造體5與晶圓2的間隔。藉由控制該間隔，後述之用於洗淨的氣體流速被控制。

真空容器1的上部設有電漿產生手段9。本實施形態採用的電漿產生手段係使用微波帶(具體而言為2.45 GHz)的電磁波。電漿產生手段9構成微波振盪部19、波導管20及電介質窗21。自氣體導入部21供應CF₄氣體至電漿產生部9a。本實施形態的電漿產生手段9係使用微波帶的電磁波，不過，若以其他之UHF帶電磁波及無線電波帶電磁波，甚至藉由永久磁石在這些電磁波上外加磁場而產生電漿，也具有同樣的效果。採用在以電漿產生手段9所產生之電漿18的擴散區域內配置晶圓2的構造。在擴散區域內配置晶圓，可防止電漿在晶圓上造成過度損傷等。

以下參照圖2及圖3詳細說明小塊狀構造體5。

圖2顯示小塊狀構造體5之部分剖面圖與小塊部10的平面圖。小塊狀構造體5包含以鐵弗龍所形成的小塊部10、氣體導入部11、小塊支撐部12、加重檢測手段8、掃描機構6及上下移動機構7之連接機構13。如圖所示，小塊部10具有對晶圓主面之圓形的相對主面10a。連接機構13

五、發明說明(6)

具有以支點14為中心，可以控制晶圓2之主面與小塊部10之主面平行的關節功能構造。氣體導入部11連接於內部形成中空構造的小塊支撐部12。供應至氣體導入部11之除去雜質用氣體，通過小塊支撐部12，自設置於小塊部10主面10a上之氣體噴出部15噴出。本實施形態係自設置在小塊部10中央部的一個氣體噴出部15噴出氣體。

圖3顯示為求提高除去雜質能力之小塊狀構造體5的部分剖面圖與小塊部10的平面圖。如圖3所示，小塊狀構造體5設有均等配置在小塊部10面內之數個孔的氣體噴出部16。亦即，在小塊部10的中央部設有一個氣體噴出部16，以該氣體噴出部16為中心，左右對稱之兩個氣體噴出部設置在小塊部10的外圍部。此外，以該氣體噴出部16為中心，上下對稱的兩個氣體噴出部亦設置在小塊部10的外圍部。因氣體噴出部附近流速快，因此如圖3所示的，藉由設置數個氣體噴出部，可以提高除去雜質效果，並使除去雜質的通量提高。另外，藉由自設置在小塊部10外圍部之彼此相鄰之氣體噴出部同時噴出之噴出氣體的作用，想要停留的雜質被設置於小塊部10中央部之氣體噴出部16所噴出的氣體擠出，可以除去晶圓面內的雜質。

為求避免圖2及圖3所示之小塊狀構造體5的小塊部10對晶圓2的表面造成損傷，係採用比晶圓2表面之材質更柔軟的鐵弗龍，當然，使用其他的聚乙烯醇、德爾林(Delrin)、Bespel、聚醯亞胺、聚氯乙烯、聚酯、氧化矽、

五、發明說明(7)

矽、氧化鋁，也具有同樣的效果。小塊部10在洗淨時亦可接觸晶圓2表面。因而，基本上，小塊部的材質宜採用比晶圓2表面更柔軟的材質。亦即，接近配置在晶圓2表面及內面之構造體4,5之被處理晶圓面部分的材質，係採用硬度比構成晶圓表面為低的材料。

此外，本實施形態之與小塊狀構造體5之晶圓相對主面的大小為直徑3 cm。此因，便於以電漿產生手段5在晶圓2上產生活性種的到達效率。亦即，若小塊狀構造體5過大，晶圓面被該小塊狀構造體2覆蓋，電漿之活性種即無法到達。因此，小塊狀構造體5的大小須小於晶圓的大小。

其次，參照圖1，說明第一種實施形態的洗淨步驟。

首先，洗淨對象的晶圓2被配置在晶圓設置手段3上。該晶圓2使用如在直徑約300 mm之圓板上的單結晶矽基板。繼續，在該晶圓2的主面上設有絕緣膜，其具有在前一步驟中被乾式蝕刻加工的通孔(開口)部。

將晶圓2設置在晶圓設置手段3上後，真空容器1內以真空排氣手段進行真空排氣。此時的執行排氣速度，控制成使真空容器內無殘留雜質(亦即微粒)。

其次，以旋轉機構4使晶圓2沿圓周方向旋轉。本實施形態之晶圓2的旋轉速度設定為200轉/分鐘。該旋轉速度可視除去雜質的通量來任意控制。此外，以溫度控制機構16將晶圓的溫度設定在100℃。因提高晶圓的溫度，可提高晶圓表面的化學反應效率，可提高洗淨效率。但是，若

五、發明說明(8)

晶圓的溫度過高，則可能影響形成在晶圓內之半導體裝置的特性。因此，最好將晶圓2加熱至300°C以下。

使晶圓2旋轉，到達穩定的旋轉狀態後，自氣體導入部11，通過小塊狀構造體5(圖2)，以20公升/分鐘的流量，使Ar氣體(惰性氣體)向晶圓2的表面噴出。並藉由掃瞄機構6，使小塊狀構造體5向晶圓2的方向移動。同時，以電漿產生手段9在真空容器1內產生藉由另行設置之第二氣體導入手段22所導入之CF₄氣體(蝕刻氣體)與自氣體導入部11通過小塊狀構造體5之Ar氣體之混合氣體的電漿18。

於電漿產生期間，以上下機構7使小塊狀構造體5接近晶圓2。此時，藉由加重檢測手段8來檢測作用於小塊狀構造體5與晶圓2間的作用力，來控制小塊部表面與晶圓2面的間隔。具體而言，係藉由自小塊狀構造體5供應之Ar氣體，使小塊面與晶圓2面之間形成高氣壓狀態。縱使小塊部10未接觸晶圓，因在小塊部及晶圓2之間產生加重，因此，可以控制小塊部表面與晶圓2面的間隔，來管理該加重與氣體流量。加重檢測手段8可使用壓電元件、失真計、彈簧、彈性材料、鉛錘等，或是將這些組成的組件。本實施形態係將小塊部表面與晶圓2面的間隔控制在5~20 μm 。但是，將小塊部表面與晶圓2主面的間隔設定在1~100 μm 的範圍內，亦可獲得同樣的效果。若僅考慮洗淨力時，雖然小塊部表面與晶圓2面的間隔愈窄，洗淨力愈高，但是，間隔不易保持固定，同時，過度接近時，則接

五、發明說明(9)

觸的可能性提高，容易造成晶圓2表面的損傷。因此，以1~100 μ m的間隔最為有效。

本實施形態之自小塊狀構造體5供應的氣體，係使用Ar，當然使用其他之氮、He、Xe、Ne也具有同樣的效果。此外，本實施形態之在小塊狀構造體5與晶圓2間流動的氣體流量，係設定在20公升/分鐘，不過，自0.5至500公升/分鐘的流量亦可獲得同樣的效果。當然，若僅考慮洗淨力，流量愈多，愈可提高洗淨力，但因氣體消耗攸關成本，因此0.5~500公升/分鐘為實用上的範圍。

此外，本實施形態之與晶圓2間隔被控制之小塊狀構造體5，係以掃描機構6掃描晶圓2上，亦可採取配合晶圓的旋轉，以小塊狀構造體2掃描整個晶圓2面的構造。

另外，本實施形態係採用旋轉晶圓的旋轉機構4，不過，縱使採用其他之旋轉小塊狀構造體5的機構或併用旋轉晶圓機構與旋轉小塊狀構造體的機構時，亦有同樣的效果。

其次，參照圖13說明洗淨的機制。

首先說明小塊狀構造體5的功能。小塊狀構造體5主要使物理力作用在吸附於晶圓2表面的雜質上，以發揮除去功能。但是小塊狀構造體5直接與晶圓2面接觸時，若作用之物理力過大，會造成晶圓面的損傷。因此，本實施形態的構造，係在小塊狀構造體5與晶圓2之間流入Ar氣體，經由該氣體，使物理力間接的作用在晶圓2面上。在小塊狀構造體5與晶圓2間產生氣流，可使該氣流的摩擦

五、發明說明(10)

應力作用在晶圓表面，在不接觸的狀態下可產生較大的物質移動力。亦即，本發明其中一項考慮，係利用摩擦應力，以該氣流除去附著在晶圓面上的雜質26。

上下移動機構7以粗動機構7a與微動機構7b構成。並在微動機構7b與小塊部10間設有加重檢測手段8。以該加重檢測手段8控制粗動機構7a與微動機構7b，形成小塊狀構造體5與晶圓2間的微小間隙。

本實施形態於小塊狀構造體5與晶圓2的微小間隙(具體而言為 $5\mu\text{m}\sim 50\mu\text{m}$)中導入氣體，可產生對廣範圍具有洗淨力的高速氣流，再者，因該氣體流速的洗淨力視間隙間隔與氣體流量而定，因此，只須控制作用在小塊狀構造體5與晶圓2間的作用力與流動氣體的流量，即可精密控制洗淨力。藉由該精密的洗淨力控制功能，可兼顧低損傷性與高洗淨力。高速的氣流可使洗淨力作用在形成於晶圓2面上之所有微細構造部分，可獲得採用濕式洗淨時，以表面張力無法發揮洗淨作用之極微細半導體構造的高效率物理性洗淨力。

第二種實施形態

以下參照圖4，5，6說明藉由電漿產生手段9之功能，輔助上述氣流除去雜質的原理。

僅藉由上述小塊狀構造體5之物理作用，有時晶圓2的表面吸附了除去困難的雜質。電漿功能係在降低此種雜質的吸附力，提高洗淨效率。亦即，本實施形態係產生以下說明之降低雜質吸附力與上述的物理作用，以有效除去雜

五、發明說明(11)

質。

首先，圖4顯示以電漿降低靜電吸附之雜質吸附力的機制。

經過電漿蝕刻及濺射之使用電漿之半導體製造處理後的晶圓表面上，因帶電而靜電吸附了雜質26。於電漿處理中，在電漿內浮游的雜質26，因電漿內之電子優先性帶電而具有負電荷。此種帶電狀態，縱使電漿處理結束後仍持續，於電漿處理後，飛來的雜質吸附在晶圓表面上，形成不易除去之狀態。

因此，再度將在該靜電吸附狀態下，雜質26所吸附的晶圓暴露在本實施形態之電漿產生手段9所形成之稀薄電漿23中。將晶圓暴露在稀薄電漿23中時，在電漿與晶圓表面27間形成有離子鞘(Ion Sheath)24。該離子鞘24形成稀薄電漿23的電位高於晶圓表面27的狀態。亦即，在電漿與晶圓表面27間產生電場。該電場強度達 $500\sim 600\text{ V/cm}^2$ 。因離子鞘的電位差與帶電之雜質26及晶圓表面27間之靜電吸附力為相反的電位差，因此產生降低吸附力的作用，使吸附在晶圓27上之雜質26容易除去。藉由該機制，以小塊狀構造體5之物理作用可除去吸附力降低的雜質。圖4中說明之以電漿降低靜電吸附力的機制為其中一個例子，其他還有藉由包含不明機構的各種作用以降低靜電吸附力的機制。

其次，圖5為雜質化學吸附在晶圓面上時降低吸附力之機制的說明圖。

五、發明說明(12)

通常，當雜質化學吸附在晶圓27上時，雜質26與晶圓的接觸面上形成有化學吸附層29，產生氧化反應。此種狀態從化學反應論的角度，係因在雜質26與晶圓表面間，經由化學吸附層29進行電子交換，而產生吸附力。因而，供應氧氣產生電漿，而產生臭氧或氧基28等氧化性強的活性種，因該活性種使雜質吸附，將電子的交換自晶圓表面轉移至雜質26與該臭氧或氧基28等活性種間，以致化學吸附力被降低。當然，藉由在電漿中混合亦包含氮、氫或氧之這些氧化還元性氣體，也具有同樣的效果。

繼續，說明圖6所示之剝落功能。

本實施形態除自小塊狀構造體5供應Ar氣體之外，還供應CF₄氣體至電漿產生手段9部。該CF₄氣體因電漿產生而被分解成F，CF₃之反應性高的鹵基31。這些鹵基31極少量蝕刻(剝落)洗淨前晶圓表面30的矽或矽氧化膜，使溶解或侵入該晶圓表面的雜質26容易除去，可提高小塊狀構造體5之物理作用的洗淨力。

本實施形態係使用CF₄氣體的離解種，不過，使用C₂F₆、C₃F₈、Cl₂、F₂、HF、NF₃、氮、氫氣等，亦可獲得同樣的剝落效果。

此外，因吸附在晶圓上的雜質係以各種形態吸附，因此，參照圖4，5，6說明的作用當然不是各自獨立，而是發揮混合作用來除去雜質。

藉由以上之小塊狀構造體的物理作用與電漿之化學作用及電性作用，可對減壓中的晶圓進行高效率的洗淨。

五、發明說明 (13)

本發明之乾式洗淨方法應用在具有 $0.3 \mu\text{m}$ 以下之通孔構造之半導體裝置製造上，特別能發揮對該微細部的洗淨效果。因此，可以低成本製造高度良率的半導體裝置。

上述實施形態係藉由電漿的反應性輔助小塊狀構造體5的物理性洗淨作用，其他的實施形態包括，使用紫外線光源來取代電漿產生手段9，藉由該紫外線激勵導入真空內的反應氣體，可以獲得同樣的化學性作用，以輔助小塊狀構造體5的物理作用。

此外，其他的實施形態還包括，以氟酸蒸氣或氟酸與水蒸氣的混合氣體來取帶電漿產生，可以發揮上述實施形態之矽或矽氧化膜的剝落功能，可以輔助小塊狀構造體5的物理性作用。

再者，輔助本實施形態之除去雜質，除與上述氣流之除去雜質合併之外，亦可使用其他手段來除去雜質。例如，亦可考慮併用真空容器內的高速排氣(有效排氣速度為800公升/sec.以上)。

此外，亦可在圖1所示之半導體製造裝置的真空容器1(處理室)內，連續進行主要處理(氧化膜的蝕刻)與洗淨。亦即，在未被小塊狀構造體5覆蓋部位之晶圓主面上進行蝕刻，而在被小塊狀構造體5覆蓋部位的晶圓主面上進行洗淨。

採用該方法，於蝕刻的同時，可有效洗淨該蝕刻時之反應生成物的雜質。

第三種實施形態

五、發明說明(14)

以下，參照圖7說明第三種實施形態。

圖7為在乾式蝕刻、電漿CVD或濺射裝置中附加本發明之洗淨功能之半導體製造裝置的構造圖。

圖7所示之半導體製造裝置，除主要處理室(蝕刻室)之外，還附加有洗淨室，並在真空處理室內進行主要處理與洗淨處理的一貫作業。亦即，圖7所示之半導體製造裝置包含：主處理室32，33、洗淨室34，35、晶圓輸送室37、晶圓輸送臂36、晶圓搬入盒38及晶圓搬出盒。洗淨室34，35係對應於主處理室32，33而設置。藉此，無須洗淨的等待時間，可使通量提高。這些洗淨室34，35分別由具有圖1所示之小塊狀構造體的洗淨裝置構成。而各處理室內的晶圓處理，係進行每片晶圓的逐片處理。

其次，參照圖7說明本實施形態之半導體裝置的製造處理。本實施形態係如繼光刻步驟之後進行絕緣膜蝕刻步驟的製造處理。光刻步驟係採用包含光阻膜之塗敷、曝光、顯像及乾燥步驟的一般光刻技術。

收納在晶圓搬入盒38內的晶圓(圖上未顯示)為完成光刻步驟者。亦即，該晶圓為在半導體基板表面形成有絕緣膜(氧化膜)，在該絕緣膜表面形成有光阻(光罩)圖案。

首先，在主要處理之前，先實施稱之為前洗淨的晶圓洗淨。亦即，應該被處理的晶圓，以晶圓輸送臂36，自晶圓搬入盒38輸送至洗淨室34內。在該洗淨室34內進行晶圓的乾式洗淨。

繼續，經過洗淨的晶圓，再以晶圓輸送臂36，自洗淨

五、發明說明(15)

室34內取出，輸送至主處理室(蝕刻室)32。

繼續，在蝕刻室32內，對晶圓實施蝕刻處理。蝕刻室32由特開平9-321031號公報中揭示之電漿處理裝置構成。

上述蝕刻處理後，進行稱之為後洗淨的晶圓洗淨。亦即，經過蝕刻處理的晶圓，以晶圓輸送臂36，自蝕刻室32輸送至洗淨室34。在該洗淨室34內，再度進行晶圓的乾式洗淨。

繼續，於後洗淨結束後，以晶圓輸送臂36將晶圓輸送至晶圓搬出盒39。

晶圓如上所述的，不暴露在空氣中，進行包含洗淨的蝕刻步驟。

此外，在洗淨室35及主處理室(蝕刻室)33中，也進行與上述同樣的晶圓處理。

繼續，收納有完成蝕刻步驟之晶圓的晶圓搬出盒39將晶圓送出，以便進行如光阻除去步驟(光阻灰化)的下一步驟。

本實施形態係在主處理室32，33對晶圓完成主要處理後，於不暴露在空氣的狀態下，藉由晶圓輸送室37內的晶圓輸送臂36，將該晶圓搬移至洗淨室33，34。繼續在洗淨室33，34內，對該晶圓實施上述第一種實施形態或上述第二種實施形態，或兩者組合的洗淨。採用本實施形態，在整體上可減少實施濕式洗淨所增加的多餘步驟，可降低半導體裝置的製造成本。

此外，由於係在真空中實施一貫處理，因此，步驟處理

五、發明說明(16)

後必然引起之表面變質降低，裝置特性及良率提高，同時通量亦加快。亦即，促成半導體裝置製造的短TAT化。

第四種實施形態

圖7所示之主處理室33，亦可替換成用於光阻除去步驟的灰化機。

此時，在洗淨室34內進行後洗淨後，以晶圓輸送臂36輸送至主處理室33。在主處理室33內，藉由電漿處理進行光阻除去步驟。繼續於光阻除去步驟結束後，晶圓被輸送至洗淨室35內，進行乾式洗淨。

本實施形態不僅上述第三種實施形態之單一處理，而是實施數個真空內處理，亦即蝕刻步驟、光阻除去步驟及於這些步驟之前後實施的洗淨步驟，均是在不暴露於空氣的狀態下進行。

本實施形態係在蝕刻處理後進行灰化處理，之後在真空中一貫實施本發明的洗淨處理，不需要實施蝕刻處理後的濕式洗淨步驟，此外，由於亦可除去表面變質及微細構造部內的雜質，因此，爾後步驟的精度與良率提高。

再者，可縮短自蝕刻步驟至光阻除去步驟的TAT。

第五種實施形態

圖8所示之半導體製造裝置為圖7之實施形態的另外應用例。

本實施形態為除主處理室32，33之外，分別對主處理室32，33設置後處理室(灰化機)40，41的半導體製造裝置。在主處理室32，33內實施主要處理的蝕刻步驟，繼

五、發明說明(17)

續在後處理室40, 41內實施除去遮光罩的灰化處理步驟。亦即, 本實施形態係按照以下程序實施晶圓處理。

收納在晶圓搬入盒38內的晶圓(圖上未顯示)為完成光刻步驟者。亦即, 該晶圓在半導體基板表面上形成有絕緣膜(氧化膜), 在該絕緣膜表面形成有光阻(光罩)圖案。

首先, 在主要處理之前, 應該被處理的晶圓, 以晶圓輸送臂36, 自晶圓搬入盒38輸送至洗淨室34內。在該洗淨室34內進行晶圓的乾式洗淨。

繼續, 經過洗淨的晶圓, 再以晶圓輸送臂36, 自洗淨室34內取出, 輸送至主處理室(蝕刻室)32。

繼續, 在蝕刻室32內, 對晶圓實施蝕刻處理。蝕刻室32與上述第三種實施形態同樣的由特開平9-321031號公報中揭示之電漿處理裝置構成。

上述蝕刻處理後, 經過蝕刻處理的晶圓, 以晶圓輸送臂36, 自蝕刻室32輸送至後處理室(灰化機)40。繼續在該後處理室(灰化機)40內進行以電漿處理的光阻除去步驟。

繼續, 於光阻除去步驟結束後, 晶圓被輸送至洗淨室34, 進行乾式洗淨。

繼續, 於後洗淨結束後, 以晶圓輸送臂36將晶圓輸送至晶圓搬出盒39。

晶圓如上所述的, 不暴露在空氣中, 進行包含洗淨的蝕刻步驟。

在洗淨室35、主處理室(蝕刻室)33及後處理室(灰化

五、發明說明 (18)

機)40中，也同時進行與上述同樣的晶圓處理。

採用本實施形態可獲得與上述第四種實施形態同樣的效果。

此外，因特別將主處理室(蝕刻室)、後處理室(灰化機)及洗淨室配置成左右對稱，晶圓處理同時進行，因此有助於晶圓處理能力的提高。

第六種實施形態

以下，參照圖9及圖10，說明半導體裝置的製造中，一貫進行數個真空內處理的其他實施形態。

圖9所示之半導體製造裝置的數個處理室43以多室輸送室42連接。因而，圖1所示構造的洗淨室43至少一個以上連接於多室輸送室42。圖9所示的本實施形態為4個處理室連接2個洗淨室的模組。

採用本實施形態可在真空內進行高效率洗淨處理，可以真空一貫處理的步驟增加。由於在真空內，可連續處理的步驟增加愈多，愈可降低半導體裝置的製造成本及提高通量，並可提高加工精度，因此，可以低成本製造高性能的半導體裝置。

以下，參照圖10說明以圖9所示之模組製成半導體裝置的製造程序。

圖10為顯示用於在氧化膜上以 $0.3\mu\text{m}$ 以下的孔徑，形成縱橫比(膜厚/孔徑)：50以上通孔之程序的步驟剖面圖。其中氧化膜100為形成在上層配線與下層配線間的層間絕緣膜。

五、發明說明 (19)

(a)在氧化膜100上設有多晶矽光罩101圖案化所形成的半導體基板(晶圓)。多晶矽光罩101為通孔形成用之孔徑部101a以一般光刻技術予以圖案化者。而晶圓2收納在圖9所示之晶圓搬入盒38內。

(b)繼續，通過圖9所示的預備室42a，輸送至多室輸送室42。晶圓2先以晶圓輸送臂36輸送至處理室A內。在處理室A內，於圖案化之多晶矽(多結晶矽)101上，再以CVD法堆積多晶矽102。

(c)CVD處理後，在洗淨室A內洗淨晶圓2。之後，晶圓2轉移到處理室B，藉由多晶矽102的乾式蝕刻(各向異性蝕刻)，在光罩101的孔徑部側壁殘留多晶矽102。採用該方法可對光罩101之孔徑部101a，自我整合形成孔徑小於孔徑部101a的孔徑部101b。

(d)繼續，在圖9所示的洗淨室B內洗淨晶圓，繼續在處理室C內進行氧化膜101的乾式蝕刻，在氧化膜101上形成通孔100a。另外，處理室C係由特開平9-321031號公報所揭示的電漿處理裝置構成。

(e)氧化膜蝕刻後，在處理室D內除去堆積在氧化膜蝕刻中的有機膜。

藉由上述一連串程序，初期可以小於將多晶矽光罩予以圖案化的尺寸加工氧化膜，可以微影術限度以下的尺寸實施加工。

再者，本實施形態係以圖9所示之本發明的模組達成，比一般以濕式洗淨在各處理間實施洗淨，尤其能降低成

五、發明說明(20)

本。

此外，由於本實施形態係以真空一貫形成CVD步驟、多晶矽蝕刻步驟、氧化膜蝕刻步驟及灰化步驟的連續處理，因此，消除了因暴露在空氣中，自然形成氧化膜等造成良率降低的因素。以致通孔的加工尺寸精度亦提高。

第七種實施形態

以下，參照圖11說明將本發明之洗淨應用在半導體裝置之基本部分之MISFET形成處理上的實施形態。

MISFET的形成，大致上如圖11所示，係依據(a)形成元件分離及堆積閘極用多晶矽、(b)形成閘極(多晶矽蝕刻)、(c)藉由離子注入形成延伸(N-區域)、(d)堆積氮化膜、(e)形成閘極側壁保護膜(氮化膜蝕刻)、(f)形成矽化層的程序實施。在上述(a)~(f)的各步驟間進行上述第一種實施形態所述的洗淨。

以下，簡單說明上述(a)~(f)各步驟：

(a)在矽基板45上形成有用於元件間分離的溝分離區域46。另外，矽基板45為在P型基板上形成有P井者。繼續，經由閘極氧化膜(圖上未顯示)，堆積有閘極用多晶矽47。該閘極用多晶矽47係在真空處理室內以CVD法形成。

(b)在真空處理室內進行多晶矽的乾式蝕刻加工，形成有閘極49。

(c)藉由離子注入法，形成有整合了閘極49的延伸(N-區域50, 51)。該延伸為因應熱電子所形成之具有較低濃

五、發明說明 (21)

度的源極、汲極區域。

(d)氮化膜52以電漿CVD法，被堆積在具有閘極49的半導體基板45上。

(e)藉由乾式蝕刻(各向異性蝕刻)氮化膜52，在閘極49的側壁形成閘極側壁保護膜53。之後，進行上述第一種實施形態所述的洗淨。繼續，藉由離子注入法，形成整合了閘極側壁保護膜53之具有較高濃度的接觸用N⁺區域(源極、汲極區域50S, 51D)。

(f)繼續，為求低電阻化，而分別在源極、汲極區域50S, 51D表面及閘極49表面形成有矽化層54。矽化層54，如使鈷附著在源極、汲極區域50S, 51D表面及閘極49表面，以熱處理形成。

以上，本實施形態由於係在MISFET形成處理中，以乾式洗淨實施各步驟間的洗淨，因此，可提高製造良率，同時可以低成本製造高性能的半導體裝置。

另外，本實施形態係以圖11所示之一個MISFET為例來說明半導體裝置的製造程序。實際上，係在一塊半導體基板上形成有數個此種MISFET，構成如LSI、VLSI的半導體積體電路裝置。因此，晶圓主面上形成圖12a及圖12b所示之0.3 μ m以下的超微細構造。以下說明在具有此種超微細構造之晶圓面上的洗淨效果。

圖12a為除去附著在深孔接觸55內部之雜質59功能的說明圖，圖12b為除去附著在配線60角落部(配線的階差部)之雜質59功能的說明圖。

五、發明說明(22)

如圖12a及圖12b所示，由於在小塊狀構造體56與晶圓表面部2a的間隙57中，藉由氣流58的黏性摩擦，產生用於除去雜質59的物理性作用，因此，只要是氣流達到的範圍，均可發揮洗淨效果。

先前採用之濕式洗淨，係藉由液體的表面張力，液體不易進入微細部內， $0.3\ \mu\text{m}$ 以下的構造，勢必無法獲得徹底洗淨效果。但是，由於本發明使用如前述之無表面張力的氣流，因此，今後在微細化之半導體裝置的洗淨上更能發揮效果。

本發明之製造方法可有效應用在要求短TAT之系統LSI，如在記憶體LSI與邏輯LSI混合配置於晶片上的LSI製造上，藉由有效進行洗淨，可在短期間內，以低成本，製造高度良率的系統LSI。

以上，係依據實施形態具體說明本發明人的發明，不過，本發明並不限定於上述的實施形態，只要在不脫離其要旨的範圍內，當然可以作各種改變。

發明效果

採用本專利申請所揭示之主要發明所獲得的效果簡單說明如下：

依據本發明，可於不暴露在空氣的狀態下，進行在減壓處理室內處理之步驟間的洗淨，可使具有微細圖案之半導體裝置的可靠性及製造良率提高。

圖式之簡要說明

圖1為本發明第一種實施形態的基本構造圖。

五、發明說明(23)

圖2為本發明第一種實施形態使用之第一小塊狀構造體的詳細說明圖。

圖3為本發明第一種實施形態使用之第二小塊狀構造體的詳細說明圖。

圖4為本發明第二種實施形態之電漿洗淨效果的說明圖。

圖5為本發明第二種實施形態之電漿洗淨效果的說明圖。

圖6為本發明第二種實施形態之電漿洗淨效果的說明圖。

圖7為本發明第三種實施形態之半導體製造裝置的概略圖。

圖8為本發明第五種實施形態之半導體製造裝置的概略圖。

圖9為本發明第六種實施形態之半導體製造裝置的概略圖。

圖10顯示使用圖9之裝置，以真空一貫製造半導體裝置之步驟的剖面圖。

圖11為顯示本發明第七種實施形態之半導體裝置製造的步驟剖面圖。

圖12a為顯示本發明第七種實施形態使用之微細孔洗淨效果的概念圖。b顯示本發明第七種實施形態使用之微細構造階差部洗淨效果的概念圖。

圖13為本發明第一種實施形態之電漿洗淨效果的說明

五、發明說明(24)

圖。

元件符號之說明

1…真空容器，2…晶圓，3…晶圓設置手段，4…旋轉機構，5…小塊狀構造體，6…掃描機構，7…上下移動機構，8…加重檢測手段，9…電漿產生手段，10…小塊部，11…氣體導入部，12…小塊支撐部，13…連接機構，14…支點，15…氣體噴出部，16…數個氣體噴出部，17…溫度控制手段，18…電漿，19…微波振盪部，20…波導管，21…電介質窗，22…電漿用氣體導入部，23…電漿，24…離子鞘，25…吸引力，26…雜質，27…晶圓面，28…氧或臭氧基，29…化學吸附層，30…洗淨前晶圓表面，31…鹵基，32…主處理室，33…主處理室，34…洗淨室，35…洗淨室，36…晶圓輸送臂，37…晶圓輸送室，38…晶圓搬入盒，39…晶圓搬出盒，40…後處理室1，41…後處理室2，42…多室輸送室，43…處理室，44…洗淨室，45…矽基板，46…元件分離，47…多晶矽，48…元件分離，49…閘極，50…源極，51…汲極，52…氮化膜，53…閘極側壁保護膜，54…氧化矽，55…微細孔構造，56…小塊狀構造體，57…小塊狀構造體與晶圓的間隙，58…高速氣流，59…雜質，60…微細配線剖面。

四、中文發明摘要（發明之名稱：半導體裝置之製造方法）

本發明在提供一種半導體裝置之製造方法，有效率的實施對半導體基板之乾式蝕刻等加工，及用於加工後之清除雜質的洗淨。本發明包含雜質清除步驟，其係併用以電漿產生手段9產生之電漿的電性作用，與接近晶圓2面配置之小塊狀構造體5所形成之高速氣流之摩擦應力的物理性作用。

英文發明摘要（發明之名稱：METHOD FOR A MANUFACTURING A SEMICONDUCTOR DEVICE）

【課題】半導体基板に対するドライエッチング等の加工、および加工後の異物除去のための洗淨を効率よく実現する。

【解決手段】本発明は、プラズマ生成手段9により生成するプラズマの電気的作用と、ウエハ2面に近接して配置するパット型構造体5で形成する高速ガス流の摩擦応力による物理的作用とを併用して異物を除去する工程を含む半導体装置の製造方法にある。

六、申請專利範圍

1. 一種半導體裝置的製造方法，其特徵為包含：
 - (1) 第一膜形成步驟，其係在基板主面上形成；
 - (2) 圖案形成步驟，其係將上述第一膜形成一定的形狀；
 - (3) 配置步驟，其係將具備形成有上述圖案之第一膜的基板配置在處理室內；及
 - (4) 氣體噴出步驟，其係具有與上述基板主面對的主面，將該相對主面上設置有氣體噴出部的小塊構造體配置在上述基板主面上，將上述處理室內在減壓狀態下，且使上述基板主面與上述相對主面保持一定間隔，使一定的氣體自上述氣體噴出部噴出。
2. 如申請專利範圍第1項之半導體裝置的製造方法，其中上述第(4)步驟中，使上述小塊構造體對上述基板實施相對性移動。
3. 如申請專利範圍第1或2項之半導體裝置的製造方法，其中上述基板由半導體晶圓構成。
4. 如申請專利範圍第1項之半導體裝置的製造方法，其中設置在上述小塊主面上的氣體噴出部，相互隔開配置數個，上述第(4)步驟中，使一定的氣體自上述數個氣體噴出部向上述基板主面噴出。
5. 如申請專利範圍第4項之半導體裝置的製造方法，其中上述數個氣體噴出部包含：配置在上述小塊之中央部的1個氣體噴出部，及配置在上述小塊部之周邊部的數個氣體噴出部。

六、申請專利範圍

6. 如申請專利範圍第1項之半導體裝置的製造方法，其中上述一定氣體為Ar、氮、He、Ne中的任何一種。
7. 如申請專利範圍第3項之半導體裝置的製造方法，其中上述小塊主面的直徑小於上述半導體晶圓。
8. 一種半導體裝置的製造方法，其特徵為包含：
絕緣膜形成步驟，其係形成在半導體基板的主面上；
孔形成步驟，其係在上述絕緣膜上藉由乾式蝕刻形成；
配置步驟，其係將具備形成有上述孔之絕緣膜的半導體基板配置在處理室內；及
絕緣膜表面的洗淨步驟，其係將上述處理室保持在減壓狀態，將在上述主面上設有氣體噴出部的小塊配置成，與形成在上述主面及上述半導體基板主面上之絕緣膜相對，並具有上述孔，使一定氣體自上述氣體噴出部噴出。
9. 如申請專利範圍第8項之半導體裝置的製造方法，其中，繼上述第(4)步驟之後，在上述第一絕緣膜上形成導體膜，以填入上述孔。
10. 如申請專利範圍第8項之半導體裝置的製造方法，其中上述絕緣膜由有機系絕緣膜構成。
11. 如申請專利範圍第8項之半導體裝置的製造方法，其中在上述第(4)步驟中，使上述小塊的主面對上述基板的主面相對性移動。
12. 如申請專利範圍第8項之半導體裝置的製造方法，其中

六、申請專利範圍

在上述第(4)步驟中，使上述小塊的主面對形成有上述第一絕緣膜的半導體基板相對性移動。

13. 一種半導體裝置的製造方法，其特徵為包含：

(1) 半導體基板配置步驟，其係具有在具備排氣手段的處理室內實施過一定加工處理的一個主面；及

(2) 使雜質黏著力降低步驟，其係在上述處理室內導入一定氣體，形成電漿環境，使附著在上述一個主面上之雜質的黏著力降低。

14. 如申請專利範圍第13項之半導體裝置的製造方法，其係藉由施加在上述電漿環境與上述半導體基板之一個主面間的電場來降低上述雜質的黏著力。

15. 如申請專利範圍第13項之半導體裝置的製造方法，其係藉由將氧化性活性種吸附在上述雜質上來降低上述雜質的黏著力。

16. 如申請專利範圍第15項之半導體裝置的製造方法，其中上述的一定氣體為氧氣。

17. 如申請專利範圍第15項之半導體裝置的製造方法，其中上述的一定氣體使用 CF_4 、 C_2F_6 、 C_3F_8 、 Cl_2 、 F_2 、 HF 、氮、氬中的任何一種。

18. 如申請專利範圍第15項之半導體裝置的製造方法，其中在上述步驟(2)中，將上述半導體基板加熱至 300°C 以下。

19. 一種半導體裝置的製造方法，其特徵為包含：

插入步驟，其係將半導體基板插入處理室內；

六、申請專利範圍

形成步驟，其係將第一氣體導入上述處理室內，形成電漿環境；及

第二氣體噴出步驟，其係在形成有上述電漿環境的上述處理室內，對上述半導體基板噴出。

20. 如申請專利範圍第19項之半導體裝置的製造方法，其中上述第一氣體使用 CF_4 、 C_2F_6 、 C_3F_8 、 Cl_2 、 F_2 、 HF 、氮、氬中的任何一種，上述第二氣體使用 Ar 、氮、 He 、 Ne 中的任何一種。

21. 一種半導體裝置的製造方法，其包含：

膜形成步驟，其係在半導體基板的主面上具有一定圖案；

插入步驟，其係將上述半導體基板插入處理室內；

電漿環境形成步驟，其係在上述處理室內導入氣體；及

使一定氣體噴出步驟，其係在形成有上述電漿環境的上述處理室內，使與上述半導體基板之具有上述一定圖案的膜相對，在該相對主面上配置設有噴出部的小塊構造體，並將上述半導體基板主面與上述相對主面保持一定間隔，自上述氣體噴出部噴出。

22. 如申請專利範圍第21項之半導體裝置的製造方法，其中上述氣體使用 Ar 、氮、 He 、 Ne 中的任何一種。

23. 如申請專利範圍第21項之半導體裝置的製造方法，其中具有上述一定圖案的膜由絕緣膜構成，上述之一定圖案藉由電漿蝕刻加工形成。

六、申請專利範圍

24. 如申請專利範圍第21項之半導體裝置的製造方法，其中具有上述一定圖案的膜由導體膜構成，上述之一定圖案藉由電漿蝕刻加工形成數個，構成配線層。
25. 如申請專利範圍第24項之半導體裝置的製造方法，其中上述導體膜為多結晶矽。
26. 一種半導體裝置的製造方法，其係使用半導體製造裝置，該裝置包含：第一真空處理室、第二真空處理室及真空輸送室，其係具有輸送臂，用於將半導體晶圓輸送至上述第一及第二處理室內，
- 且包含：電漿加工步驟，其係藉由上述輸送臂，輸送半導體晶圓至上述第一真空處理室內，在上述第一真空處理室內對上述半導體晶圓實施電漿加工；及
- 洗淨步驟，其係藉由上述輸送臂輸送在上述第二真空處理室內實施上述電漿加工的半導體晶圓，在上述第二真空處理室內，對上述半導體晶圓的主面噴出一定氣體，洗淨上述半導體晶圓的主面。
27. 如申請專利範圍第26項之半導體裝置的製造方法，其中上述第二真空處理室內配置有主面上設有氣體噴出部的小塊構造體，使上述半導體晶圓的主面與上述小塊構造體的主面保持一定間隔相對配置，自上述氣體噴出部使上述一定氣體噴出，來洗淨上述半導體晶圓的主面。
28. 如申請專利範圍第26項之半導體裝置的製造方法，其中上述半導體晶圓的主面具有絕緣膜，在上述第一真空處理室內之上述半導體晶圓的電漿加工，為在上述絕緣膜

六、申請專利範圍

上形成孔的電漿蝕刻。

29.如申請專利範圍第26項之半導體裝置的製造方法，其中上述半導體晶圓以一片為單位，在上述第一、第二真空處理室內分別實施處理。

30.一種半導體裝置的製造方法，其包含：

(1)第一處理步驟，其係於減壓環境下，在半導體基板的主面上實施；

(2)洗淨步驟，其係在減壓環境下，使主面設有氣體噴出部之洗淨用小塊接近上述半導體基板的主面，將上述洗淨小塊的主面與上述半導體基板的主面保持一定間隔，自上述氣體噴出部使一定氣體噴出，來洗淨上述半導體基板的主面；及

(3)第二處理步驟，其係在減壓環境下，在半導體基板的主面上實施。

31.如申請專利範圍第30項之半導體裝置的製造方法，其中上述第一處理為在半導體基板的主面上堆積導體膜，上述第二處理為蝕刻上述導體膜步驟。

32.如申請專利範圍第31項之半導體裝置的製造方法，其中上述導體膜由多結晶矽構成。

33.一種半導體裝置的製造方法，其特徵為，在減壓環境下，具有對半導體基板實施第一處理步驟及第二處理步驟，

於實施上述第一、第二處理步驟中，在減壓環境下，使一定氣體沿著上述半導體基板的主面流出。

六、申請專利範圍

34. 如申請專利範圍第33項之半導體裝置的製造方法，其中上述第一處理為將光阻膜作為光罩之絕緣膜的乾式蝕刻加工，上述第二處理為上述光阻膜的灰化處理。
35. 一種半導體裝置的製造方法，其特徵為包含：
- (1) 搬入步驟，其係將半導體晶圓搬入處理室內；
 - (2) 洗淨處理步驟，其係在上述處理室內，對半導體晶圓的主面實施電漿加工處理，及藉由氣流對該主面實施洗淨處理；及
 - (3) 搬出步驟，其係自上述處理室搬出上述半導體晶圓。
36. 一種半導體裝置的製造方法，其特徵為藉由光刻技術在半導體晶圓主面上形成光罩，使用該光罩，將上述半導體晶圓主面加工成一定圖案，且將上述半導體晶圓主面加工成一定圖案、除去上述光罩及上述半導體晶圓主面的洗淨，係在減壓環境的處理室內實施一貫處理。
37. 如申請專利範圍第36項之半導體裝置的製造方法，其中上述半導體晶圓主面的圖案加工在乾式蝕刻用處理室內進行，上述光罩的除去在灰化用處理室內進行，而上述半導體晶圓主面的洗淨在洗淨室內進行。
38. 如申請專利範圍第37項之半導體裝置的製造方法，其中上述各處理室連接於保持減壓環境之多室輸送室，半導體晶圓輸送至上述各處理室，係藉由設置在上述多室輸送室內的晶圓輸送臂來執行。
39. 一種半導體裝置的製造方法，其特徵為包含：

六、申請專利範圍

(1)絕緣膜形成步驟，其係在半導體基板主面上形成；

(2)遮光罩形成步驟，其係在上述絕緣膜上具有一定形狀的圖案；

(3)蝕刻處理步驟，其係將形成有上述光罩之上述半導體基板暴露在減壓環境下，且在上述環境下使電漿產生，蝕刻未形成上述光罩之上述絕緣膜的部分；

(4)洗淨步驟，其係在上述蝕刻處理後，將上述半導體基板暴露在減壓環境下，且在上述環境下使電漿產生，與上述半導體基板的主面對，配置具有氣體噴出之主面部的小塊構造體，將上述半導體基板的主面與上述小塊構造體的主面部保持一定間隔，自上述主面部使一定氣體噴出，來洗淨上述半導體基板的主面；

(5)上述光罩除去步驟，其係將經過上述洗淨之半導體基板暴露在減壓環境下，且在上述環境下使電漿產生來除去；及

(6)洗淨步驟，其係在除去上述光罩後，將上述半導體基板暴露在減壓環境下，且在上述環境下使電漿產生，與上述半導體基板的主面對，配置具有氣體噴出之主面部的小塊構造體，將上述半導體基板的主面與上述小塊構造體的主面部保持一定間隔，自上述主面部使一定氣體噴出，來洗淨上述半導體基板的主面。

第 090117583 號專利申請案
中文圖式修正本(91 年 10 月)
91. 10. 9

圖 1

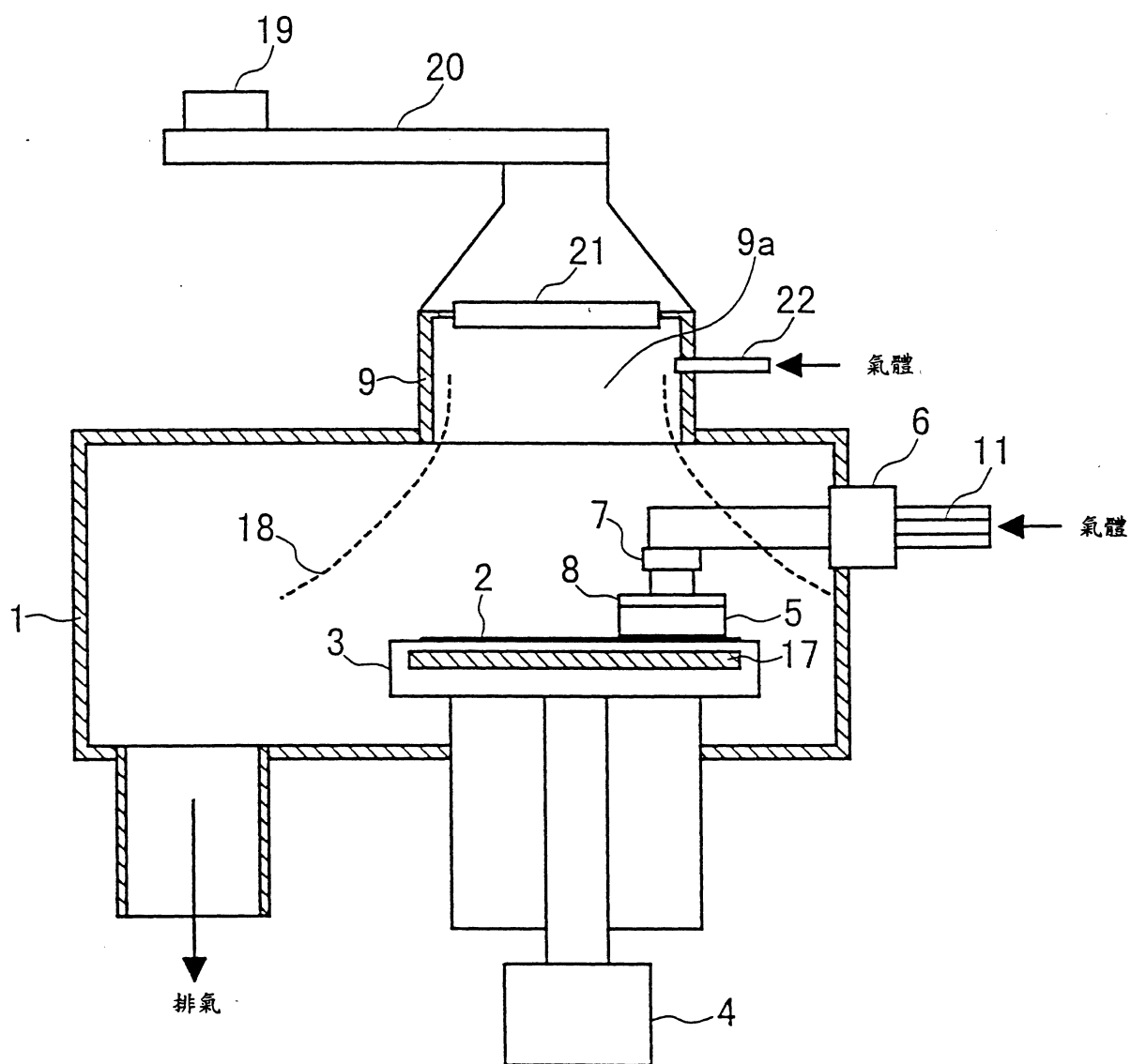


圖2

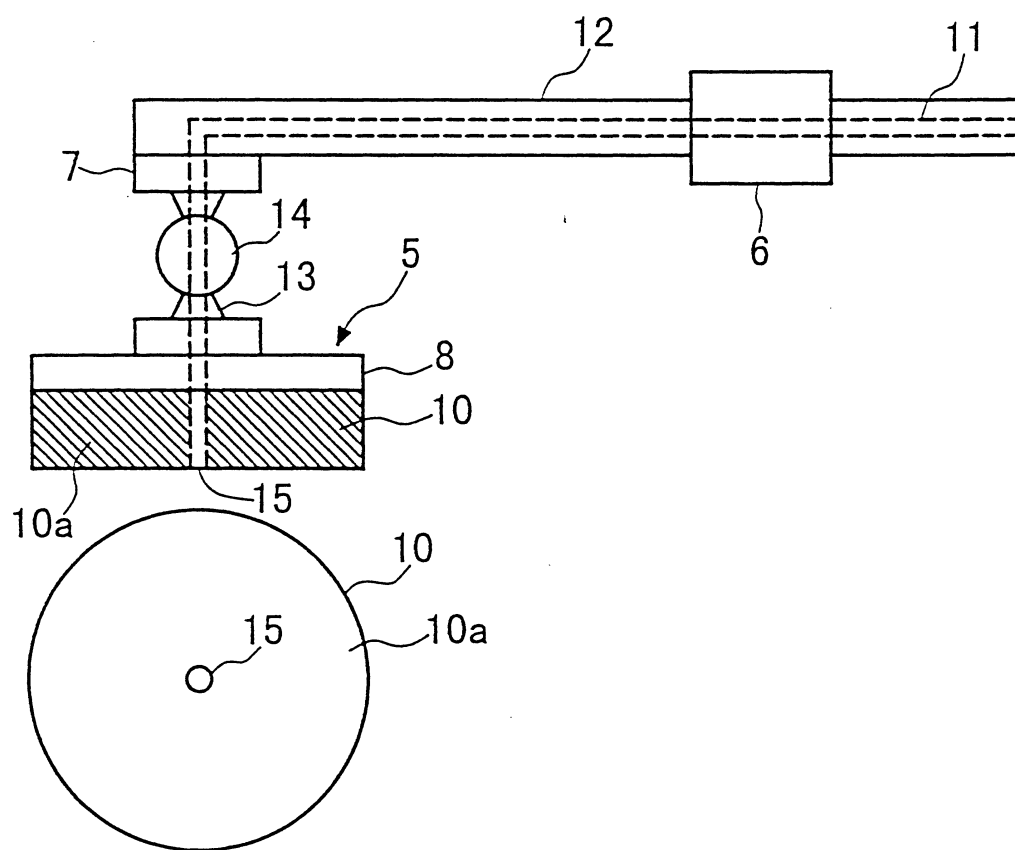


圖3

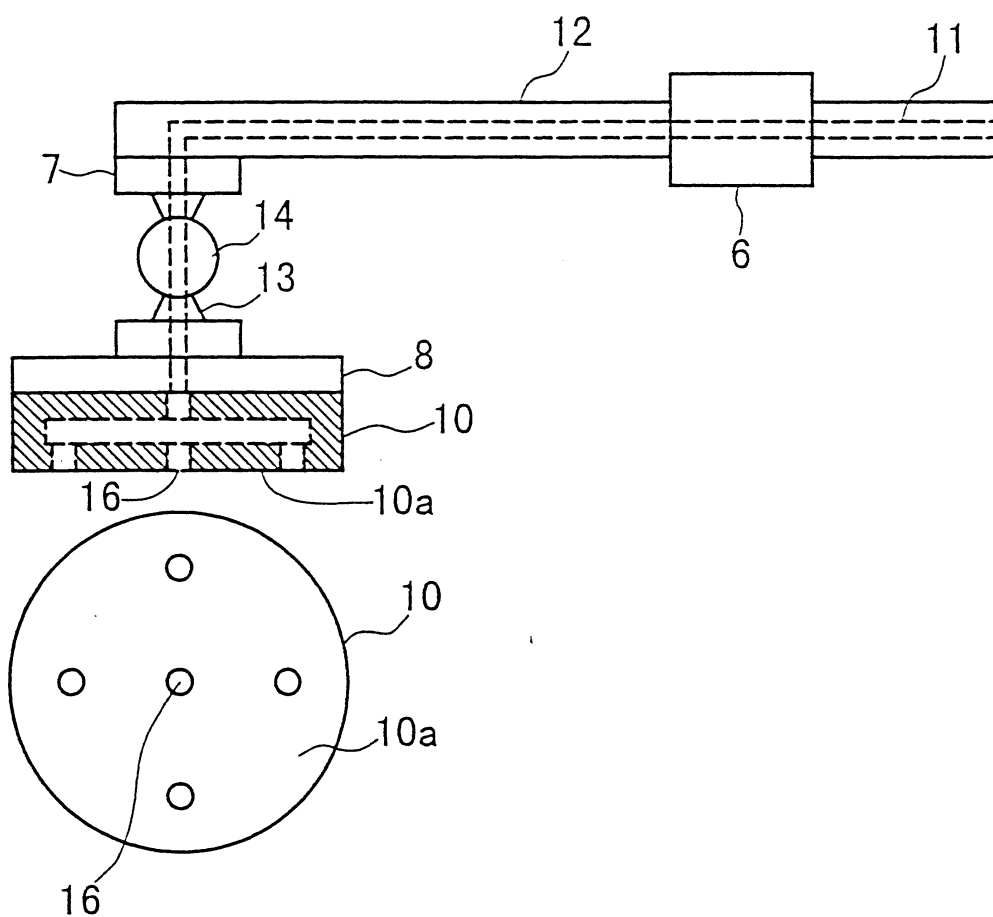


圖4

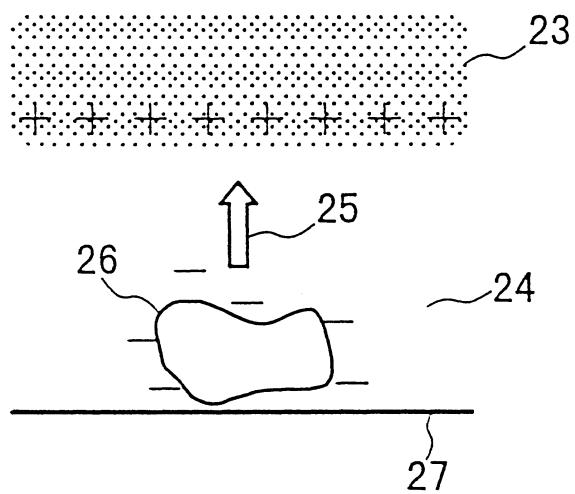


圖5

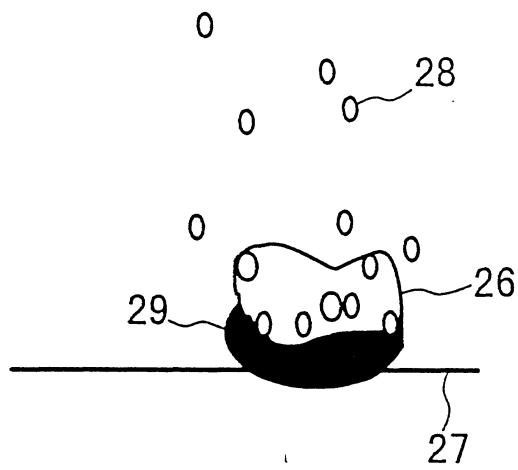


圖6

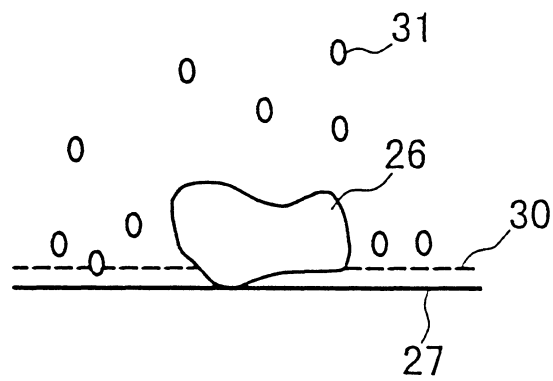


圖 7

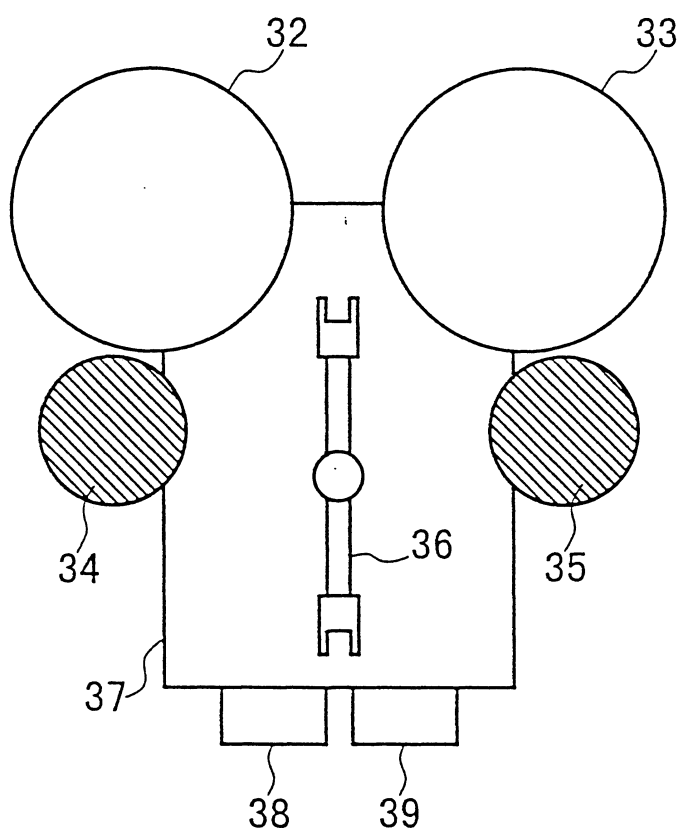


圖 8

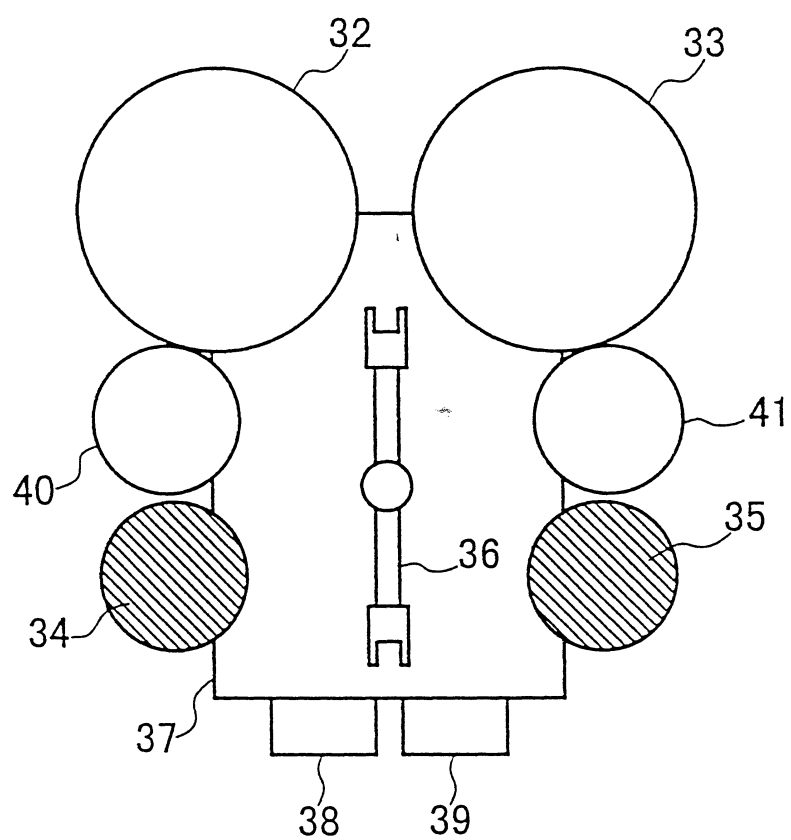


圖9

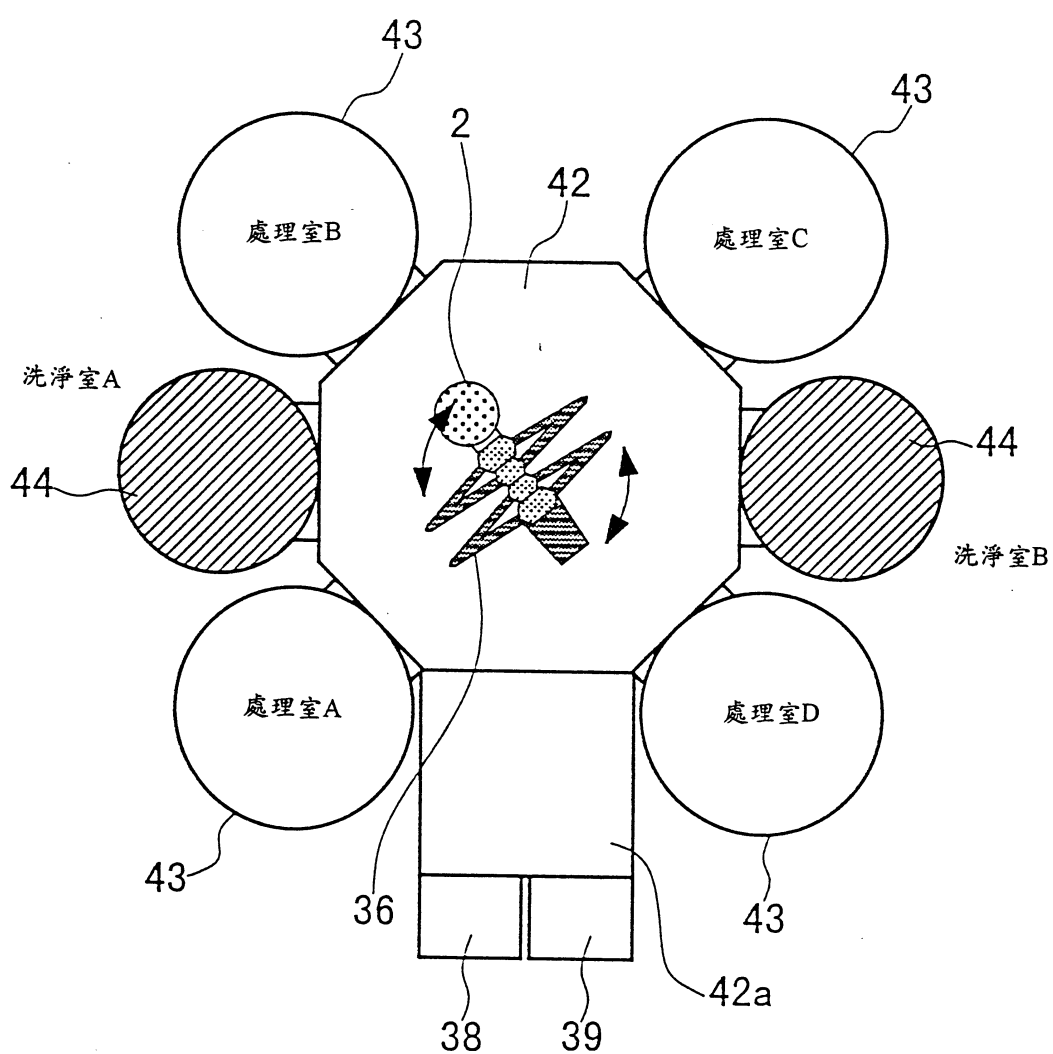
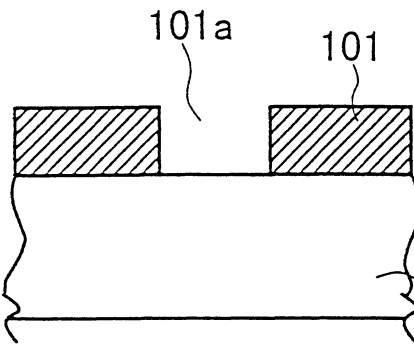
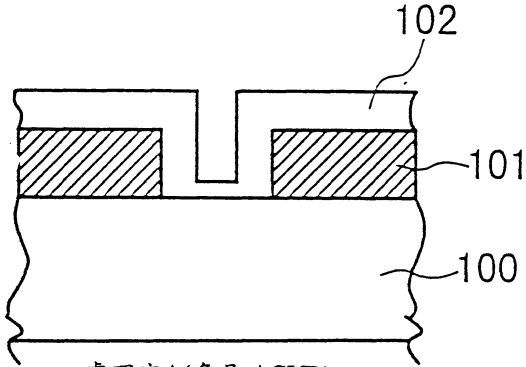


圖 10A



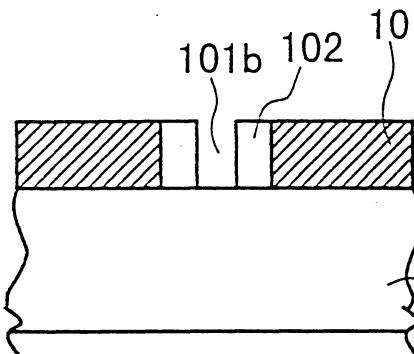
輸入圖9
的模組
→

圖 10B



處理室A(多晶矽CVD)

圖 10C

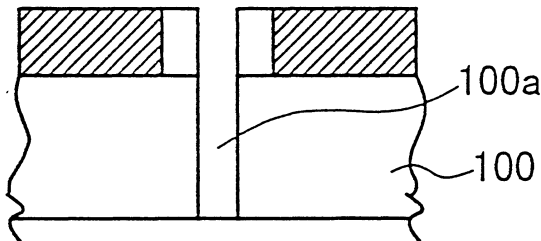


洗淨
(洗淨室A)

洗淨
(洗淨室B)
→

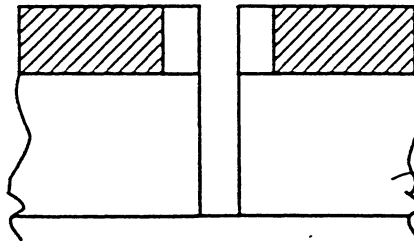
處理室B(多晶矽蝕刻)

圖 10D



處理室C(氧化膜蝕刻)

圖 10E



→

至晶圓處理室外

處理室D(灰化)

圖 11A

形成元件分離
及堆積多晶矽

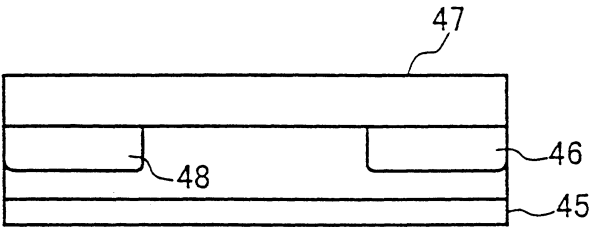


圖 11B

形成閘極
(多晶矽蝕刻)

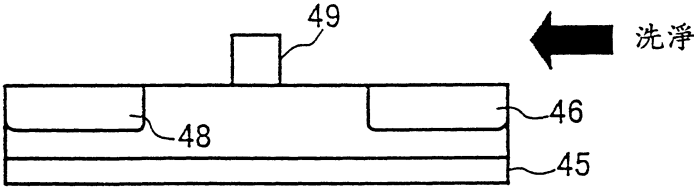


圖 11C

形成延伸

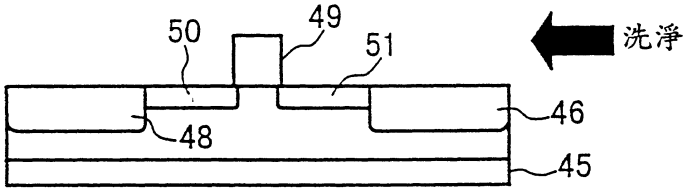


圖 11D

形成氮化膜

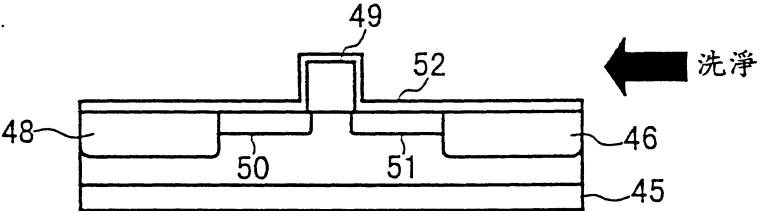


圖 11E

形成閘極側壁膜

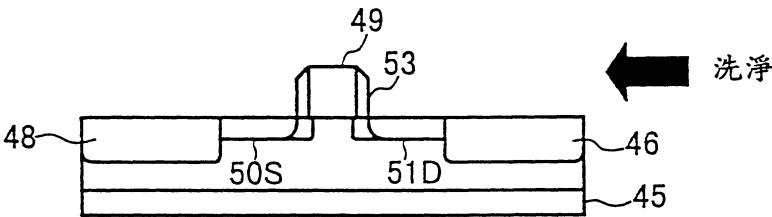


圖 11F

形成矽化物

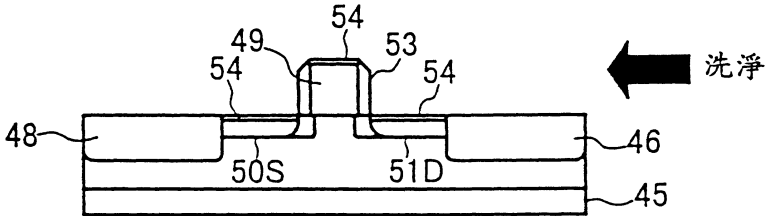


圖 12A

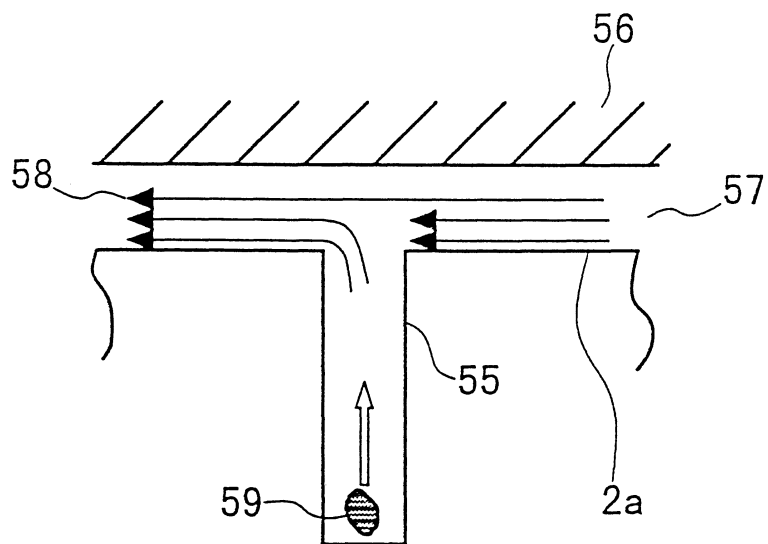


圖 12B

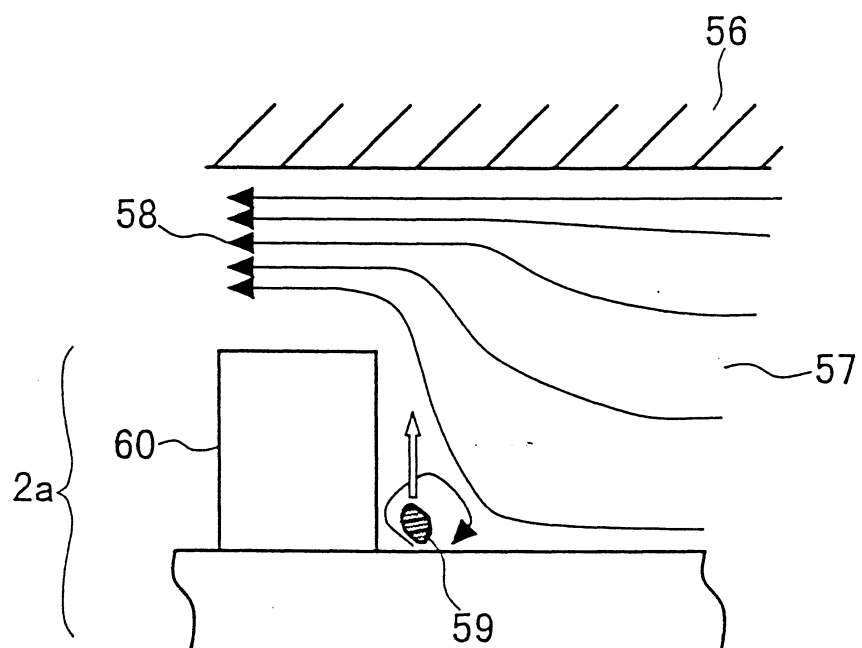


圖 13

