(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2025年3月20日(20.03.2025)

WIPO | PCT

(10) 国際公開番号
WO 2025/057727 A1

(51) 国際特許分類:
G04F 3/00 (2006.01)　　*G11C 14/00* (2006.01)

(21) 国際出願番号：　PCT/JP2024/030572

(22) 国際出願日：　2024年8月28日(28.08.2024)

(25) 国際出願の言語：　日本語

(26) 国際公開の言語：　日本語

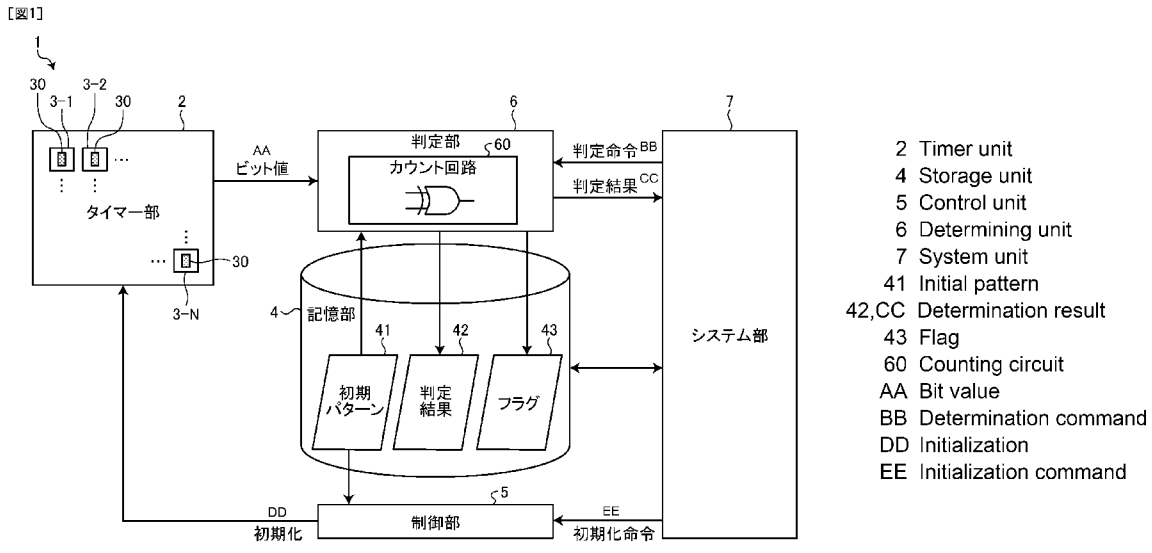
(30) 優先権データ：
特願 2023-147640　2023年9月12日(12.09.2023)　JP

(71) 出願人: ソニーセミコンダクタソリューションズ株式会社(**SONY SEMICONDUCTOR SOLUTIONS CORPORATION**) [JP/JP]; 〒2430014 神奈川県厚木市旭町四丁目１４番１号 Kanagawa (JP).

(72) 発明者: 平賀 啓三(**HIRAGA, Keizo**); 〒2430014 神奈川県厚木市旭町四丁目１４番１号 ソニーセミコンダクタソリューションズ株式会社内 Kanagawa (JP). 池内 隆志(**IKEUCHI, Takashi**); 〒2430014 神奈川県厚木市旭町四丁目１４番１号 ソニーセミコンダクタソリューションズ株式会社内 Kanagawa (JP). 東 建太朗(**HIGASHI, Kentarou**); 〒2430014 神奈川県厚木市旭町四丁目１４番１号 ソニーセミコンダクタソリューションズ株式会社内 Kanagawa (JP). 桝田 宏子(**MASUDA, Hiroko**); 〒2430014 神奈川県厚木市旭町四丁目１４番１号 ソニーセミコンダクタソリューションズ株式会社内 Kanagawa (JP). 谷本 匡亮(**TANIMOTO, Tadaaki**); 〒2430014 神奈川県厚木市旭町四丁目１４番１号 ソニーセミコンダクタソリューションズ株式会社内 Kanagawa (JP). 鈴木 哲広(**SUZUKI, Tetsuhiro**); 〒8691102 熊本県菊池郡菊陽町大字原水４００００番地１ ソニーセミコンダクタマニュファクチャリング株式会社内 Kumamoto (JP). 別所 和宏(**BESSHO, Kazuhiro**); 〒2430014 神奈川県厚木

(54) **Title:** SEMICONDUCTOR DEVICE AND TIME MEASURING METHOD

(54) 発明の名称： 半導体装置及び時間計測方法



(57) **Abstract:** This semiconductor device comprises: a plurality of memory cells, each including a magnetic tunnel junction element; and a determining unit that determines an inversion number, which is the number of memory cells among the plurality of memory cells having a bit value that has been inverted from an initial value over time.

(57) 要約：半導体装置は、各々が磁気トンネル接合素子を含む複数のメモリセルと、複数のメモリセルのうち、時間経過によってビット値が初期値から反転したメモリセルの数である反転数を判定する判定部と、を備える。

［続葉有］

WO 2025/057727 A1

市旭町四丁目１４番１号 ソニーセミコンダクタソリューションズ株式会社内 Kanagawa (JP).

(74) 代理人: 弁理士法人酒井国際特許事務所 (SAKAI INTERNATIONAL PATENT OFFICE); 〒1000013 東京都千代田区霞が関３丁目８番１号 虎ノ門ダイビルイースト Tokyo (JP).

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CV, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, MG, MK, MN, MU, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, CV, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SC, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, ME, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類：

一　国際調査報告（条約第21条(3)）

明　細　書

発明の名称 ： 半導体装置及び時間計測方法

技術分野

[0001]　本開示は、半導体装置及び時間計測方法に関する。

背景技術

[0002]　例えば特許文献１には、時間計測機能を提供するためのＲＴＣ回路を備える半導体装置において、主電源がオフのときでもＲＴＣ回路に電力を供給して動作させるためのバックアップ電池を設ける技術が開示されている。

先行技術文献

特許文献

[0003] 特許文献1：特開２００４－９６０７３号公報

発明の概要

発明が解決しようとする課題

[0004]　特許文献１の技術では、バックアップ電池が切れて電源が完全に遮断されると時間計測機能を維持できなくなる。

[0005]　本開示の一側面は、電源の有無に関係なく時間計測機能を維持する。

課題を解決するための手段

[0006]　本開示の一側面に係る半導体装置は、各々が磁気トンネル接合素子を含む複数のメモリセルと、複数のメモリセルのうち、時間経過によってビット値が初期値から反転したメモリセルの数である反転数を判定する判定部と、を備える。

[0007]　本開示の一側面に係る時間計測方法は、各々が磁気トンネル接合素子を含む複数のメモリセルのうち、時間経過によってビット値が初期値から反転したメモリセルの数である反転数を判定すること、を含む。

図面の簡単な説明

[0008] [図1]実施形態に係る半導体装置の概略構成の例を示す図である。

[図2]初期パターンの例を示す図である。

[図3]半導体装置において実行される処理（時間計測方法）の例を示す図である。

[図4]変形例に係る半導体装置の概略構成の例を示す図である。

[図5]半導体装置において実行される処理（時間計測方法）の例を示す図である。

[図6]タイマー部の回路の例を示す図である。

[図7]タイマー部の回路の例を示す図である。

[図8]タイマー部の回路の例を示す図である。

発明を実施するための形態

[0009] 以下に、本開示の実施形態について図面に基づいて詳細に説明する。なお、以下の実施形態において、同一の要素には同一の符号を付することにより重複する説明を省略する。

[0010] 以下に示す項目順序に従って本開示を説明する。

１．実施形態

２．変形例

３．タイマー部の回路の例

４．適用例

５．まとめ

[0011] １．実施形態

図１は、実施形態に係る半導体装置の概略構成の例を示す図である。半導体装置１は、タイマー部２と、記憶部４と、制御部５と、判定部６と、システム部７とを含む。

[0012] タイマー部２は、複数のメモリセル３を含む。複数のメモリセル３として、Ｎ個のメモリセル３が例示される。各メモリセル３を区別できるように、メモリセル３－１、メモリセル３－２、メモリセル３－Ｎ等と称し図示する。これらをとくに区別しない場合は、単にメモリセル３と呼ぶ。

[0013] Ｎ個のメモリセル３の各々は、ＭＴＪ素子３０を含む。ＭＴＪ素子３０は

、磁気トンネル接合（Magnetic Tunnel Junction）素子である。ＭＴＪ素子３０の例は、スピン注入磁化反転（ＳＴＴ：Spin Transfer Torque）型のＭＴＪ素子、スピン軌道トルク（ＳＯＴ：Spin Orbit Torque）型のＭＴＪ素子等である。ＭＴＪ素子３０の抵抗値は、低抵抗値と高抵抗値との間で変化する。

[0014] メモリセル３は、ＭＴＪ素子３０の抵抗値に応じて、“１”又は“０”のビット値を有する。メモリセル３内のＭＴＪ素子３０の抵抗値を低抵抗値又は高抵抗値のいずれかにすることで、メモリセル３にビット値が書き込まれる。また、メモリセル３に書き込まれたビット値は、任意のタイミングで読み出される。書き込み及び読み出しには種々の公知の手法が用いられてよい。

[0015] ビット値が書き込まれたメモリセル３は、ある程度の時間（期間）は同じビット値を維持し続けるが、さらに長い時間が経過すると、そのビット値が当初の値（初期値）から反転し得る。この現象は、半導体装置１の電源のオン・オフに依存しない。すなわち、電源の有無に関係なく、時間経過によって、メモリセル３のビット値が初期値から反転し得る。

[0016] ビット値が初期値から反転したメモリセル３の数を、反転数Ｋとも称する。Ｎ個のメモリセル３のうち、Ｋ個のメモリセル３が反転するのに要する時間を、タイマー時間Ｔと称する。タイマー時間Ｔは、ＭＴＪ素子３０の保持特性に依存し、その保持特性は指数分布で確率的に表される。タイマー時間Ｔの平均値（期待値等ともいえる）を、平均値μ_Tと称する。平均値μＴは、以下の式（１）で表される。

[数1]

$$\mu_T = \tau \cdot log\left(\frac{N+1}{N+1-K}\right) \qquad \cdots(1)$$

[0017] 上記の式（１）中のτは、緩和時間等と呼ぶこともでき、ＭＴＪ素子３０の熱安定性の指標Δによって決まる。具体的に、τは、Δ及び定数τ_0を用いて、以下の式（２）のように表される。

[数2]

$$\tau = \tau_0 e^{\Delta} \quad \cdots(2)$$

[0018] メモリセル３の熱安定性の指標Δ等に基づいて、所望の平均値μＴが得られるように、メモリセル３の数Ｎを設計したり、反転数Ｋを設定したりすることができる。平均値μＴの具体的な長さはとくに限定されないが、例えば、１年、２年等であってもよいし、それよりも短くてもよく、また、それよりも長くてもよい。

[0019] 記憶部４は、半導体装置１で用いられる情報を記憶する。記憶部４に記憶される情報として、初期パターン４１、判定結果４２及びフラグ４３が例示される。

[0020] 制御部５は、タイマー部２を制御する。制御部５によるタイマー部２の制御は、タイマー部２の初期化を含む。具体的に、制御部５は、Ｎ個のメモリセル３の各々に初期値を書き込むことにより、Ｎ個のメモリセル３の各々のビット値を初期化する。

[0021] 図１に示される例では、制御部５は、記憶部４に記憶された初期パターン４１に従って、タイマー部２を初期化する。初期パターン４１は、Ｎ個のメモリセル３の各々のビット値の初期値を記述する。図２も参照して説明する。

[0022] 図２は、初期パターンの例を示す図である。初期パターン４１は、Ｎ個のメモリセル３の各々について、メモリセル３と、ビット値の初期値とを対応付けて記述する。なお、図中のメモリセル３－Ｎ－５は、Ｎ－５（Ｎマイナス５）番目のメモリセル３を示す。メモリセル３－Ｎ－４～メモリセル３－Ｎ－１についても同様である。図２には、初期パターン４１Ａ、初期パターン４１Ｂ及び初期パターン４１Ｃの３つの初期パターンが例示される。

[0023] 初期パターン４１Ａは、初期値“１”だけを含むパターンである。初期パターン４１Ａでは、Ｎ個のメモリセル３のすべての初期値が“１”である。

[0024] 初期パターン４１Ｂは、初期値“０”だけを含むパターンである。初期パターン４１Ｂでは、Ｎ個のメモリセル３のすべての初期値が“０”である。

[0025] 初期パターン４１Ｃは、初期値“１”及び初期値“０”を混在して含むパターンである。例示される初期パターン４１Ｃは、“１”及び“０”を交互に記述する。これに限らず、初期値“１”及び初期値“０”がさまざまな態様で混在するようにそれらが記述されてよい。

[0026] 図１に戻り、例えば上記のような初期パターン４１が予め準備され、記憶部４に記憶される。制御部５は、Ｎ個のメモリセル３の各々のビット値が、初期パターン４１中の対応する初期値になるように、タイマー部２を初期化する。各メモリセル３のビット値を既知のパターンに従って初期化することで、この後で説明する判定部６での比較が可能になる。

[0027] 判定部６は、Ｎ個のメモリセル３のうち、時間経過によってビット値が初期値から反転したメモリセル３の数、すなわち反転数Ｋを判定する。

[0028] 判定部６は、Ｎ個のメモリセル３の各々のビット値を読み出す。判定部６は、読み出したＮ個のメモリセル３の各々のビット値と、初期パターン４１中の対応する初期値との比較結果に基づいて、反転数Ｋをカウントする。

[0029] 例えば、Ｎ個のメモリセル３の初期値がいずれも“１”であれば、判定部６は、Ｎ個のメモリセル３のうち、ビット値が“０”になっているメモリセル３の数を、反転数Ｋとしてカウントする。反対に、Ｎ個のメモリセル３の初期値がいずれも“０”であれば、判定部６は、Ｎ個のメモリセル３のうち、ビット値が“１”になっているメモリセル３の数を、反転数Ｋとしてカウントする。

[0030] 判定部６の機能は、回路等のハードウェアによって実現されてもよく、ソフトウェアによって実現されてもよい。図１に示される例では、判定部６は、反転数Ｋをカウントするカウント回路６０を含む。反転数Ｋをカウントすることが可能なあらゆる回路構成が採用されてよい。一例として、カウント回路６０は、読み出されたメモリセル３のビット値と、初期パターン４１中の対応する初期値との排他的論理和を出力するＥＸＯＲ回路等を含んで構成される。Ｎ個のメモリセル３の各々のビット値の排他的論理和の合計の値が、反転数Ｋとしてカウントされる。

[0031] 判定部６による反転数Ｋの判定は、閾値判定であってよい。反転数Ｋに対して設定される閾値を、閾値Ｋｔｈと称する。閾値Ｋｔｈは、先に述べた式（１）において、平均値μＴに所望の値を代入した場合に定まる反転数Ｋと同じ値に設定されてよい。

[0032] 判定部６は、反転数Ｋが閾値Ｋｔｈよりも大きいか否か（Ｋ＞Ｋｔｈであるか否か）を判定する。反転数Ｋが閾値Ｋｔｈよりも大きいことは、タイマー部２の初期化時からタイマー時間Ｔが経過したことを示す。

[0033] 判定部６による判定の結果は、判定結果４２として記憶部４に記憶される。判定結果４２は、読み出したＮ個のメモリセル３の各々のビット値、カウントした反転数Ｋ、反転数Ｋが閾値Ｋｔｈよりも大きいか否か等の情報を含む。

[0034] 判定結果４２に応じて、フラグ４３が更新され得る。フラグ４３は、反転数Ｋが閾値Ｋｔｈよりも大きいか否か、すなわちタイマー部２の初期化時からタイマー時間Ｔが経過したか否かを示す。フラグ４３は、デフォルト状態では無効化されており（フラグ４３＝“Ｉｎｖａｌｉｄ”）、反転数Ｋが反転数Ｋ以下であることを示す。判定部６は、反転数Ｋが閾値Ｋｔｈよりも大きいと判定すると、フラグ４３を有効化する（フラグ４３＝“Ｖａｌｉｄ”）。

[0035] システム部７は、制御部５を制御したり、判定部６を制御したりすることで、半導体装置１の全体を制御する。例えば、システム部７は、初期化命令を制御部５に送る。制御部５は、システム部７からの初期化命令に応じて、タイマー部２を初期化する。また、システム部７は、判定命令を判定部６に送る。判定部６は、システム部７からの判定命令に応じて、反転数Ｋを判定する。

[0036] また、システム部７は、判定部６の判定結果を取得する。この取得は、判定部６が判定結果をシステム部７に送ることによって行われてもよいし、システム部７が記憶部４に記憶された判定結果４２を参照したり、フラグ４３を参照したりすることによって行われてもよい。

[0037] システム部７の具体的な構成はとくに限定されず、上述の動作を行えるように設計されていればよい。設計は、ハードウェア設計であってもよいし、ソフトウェア設計であってもよいし、ハードウェア設計及びソフトウェア設計の組合せであってもよい。

[0038] 以上で説明した半導体装置１によれば、判定部６が、Ｎ個のメモリセル３のうち、時間経過によってビット値が初期値から反転したメモリセル３の数である反転数Ｋを判定する。より具体的に、判定部６は、反転数Ｋが閾値Ｋｔｈよりも大きいか否かを判定する。反転数Ｋが閾値Ｋｔｈよりも大きいことは、タイマー部２の初期化時からタイマー時間Ｔが経過したことを意味する。すなわち、時間計測機能が提供される。

[0039] ＭＴＪ素子３０を含むメモリセル３においては、例えば半導体装置１の電源が完全に遮断された場合でも、時間経過によってビット値が初期値から反転し得る。従って、半導体装置１によれば、電源の有無に関係なく時間計測機能を維持することができる。

[0040] 図３は、半導体装置において実行される処理（時間計測方法）の例を示す図である。これまでと重複する内容については説明を適宜省略する。このフローチャートの処理は、半導体装置１のタイマー部２の初期化時からタイマー時間Ｔが経過したか否かを確認する際に実行される。処理の実行時期はとくに限定されないが、例えば半導体装置１の電源をオンにしたとき等に処理が実行されてよい。

[0041] ステップＳ１において、フラグ４３が有効化されている（フラグ４３＝“Ｖａｌｉｄ”）か否かが判定される。この処理は、例えばシステム部７によって実行される。フラグ４３が有効化されている場合（ステップＳ１：Ｙｅｓ）、フローチャートの処理は終了する。先にも述べたように、有効化されたフラグ４３はタイマー部２の初期化時からタイマー時間Ｔが経過していることを示し、従って時間計測機能が提供される。フラグ４３が有効化されていない場合（ステップＳ１：Ｎｏ）、ステップＳ２に処理が進められる。

[0042] ステップＳ２において、判定命令が発行される。システム部７は、判定部

６に対して判定命令を発行する。

[0043] ステップＳ３において、ビット値が読み出される。判定部６は、Ｎ個のメモリセル３の各々のビット値を読み出す。

[0044] ステップＳ４において、反転数Ｋがカウントされる。判定部６は、先のステップＳ３で読み出したＮ個のメモリセル３の各々のビット値と、初期パターン４１中の対応する初期値との比較結果に基づいて、反転数Ｋをカウントする。

[0045] ステップＳ５において、反転数Ｋが閾値Ｋｔｈよりも大きいか否かが判定される。判定部６は、先のステップＳ４でカウントした反転数Ｋが、閾値Ｋｔｈよりも大きいか否かを判定する。反転数Ｋが閾値Ｋｔｈよりも大きい場合（ステップＳ５：Ｙｅｓ）、ステップＳ７に処理が進められる。そうでない場合（ステップＳ５：Ｎｏ）、ステップＳ６に処理が進められる。

[0046] ステップＳ６において、判定結果４２が記憶される。判定部６は、判定の結果を、判定結果４２として記憶部４に記憶する。先にも述べたように、判定結果４２は、読み出したＮ個のメモリセル３の各々のビット値、カウントした反転数Ｋ、反転数Ｋが閾値Ｋｔｈよりも大きいか否か等の情報を含む。

[0047] ステップＳ７においては、判定結果４２が記憶されるだけでなく、フラグ４３が有効化される（フラグ４３＝“Ｖａｌｉｄ”）。この処理は、判定部６によって実行される。

[0048] ステップＳ６又はステップＳ７の処理が完了した後は、フローチャートの処理は終了する。

[0049] 上記のフローチャートの処理が任意のタイミングで呼び出され、呼び出された回数の分だけ、上記のステップＳ１～ステップＳ７の処理が繰り返し実行される。判定部６は、Ｎ個のメモリセル３の各々のビット値の読み出し、反転数Ｋのカウント、及び、反転数Ｋが閾値Ｋｔｈよりも大きいか否かの判定等を繰り返し行う。反転数Ｋが閾値Ｋｔｈよりも大きくなりフラグ４３が有効化されると、タイマー部２の初期化時からタイマー時間Ｔが経過したことが示される。

[0050] ２．変形例

反転数Ｋが時間経過によって増加するようなエラー（不整合）が生じることが考えられる。このようなエラーは、例えば、時間経過によってビット値が初期値から反転したメモリセル３のそのビット値が、何らかの理由でさらに反転した（初期値に戻った）場合等に生じ得る。エラーによって、時間計測の精度が低下し得る。この問題に対処するために、メモリセル３のビット値が補正されてよい。図４及び図５を参照して説明する。

[0051] 図４は、変形例に係る半導体装置の概略構成の例を示す図である。記憶部４に記憶される判定結果４２は、判定結果４２ａ及び判定結果４２ｂを含む。

[0052] 判定結果４２ａは、判定部６による今回の（最新の）ビット値の読み出しによって得られた判定結果（今回の判定結果）である。例えば、判定結果４２ａは、今回読み出されたＮ個のメモリセル３の各々のビット値、反転数Ｋ（今回の反転数Ｋ）等の情報を含む。

[0053] 判定結果４２ｂは、判定部６による過去のビット値の読み出し、より具体的には前回のビット値の読み出しによって得られた判定結果（前回の判定結果）である。例えば、判定結果４２ｂは、前回読み出されたＮ個のメモリセル３の各々のビット値、反転数Ｋ（前回の反転数Ｋ）等の情報を含む。

[0054] 制御部５は、Ｎ個のメモリセル３のうちの少なくとも一部のメモリセル３のビット値を補正する。この補正のことを、単にタイマー部２の補正とも呼ぶ。

[0055] 制御部５は、今回の反転数Ｋが前回の反転数Ｋを下回らないように、タイマー部２を補正する。これにより、反転数Ｋが時間経過によって増加するというエラーを解消（訂正）することができる。

[0056] 例えば、判定部６は、今回の反転数Ｋが前回の反転数Ｋ以上であるか否かを判定する。該当しない場合、すなわち今回の反転数Ｋが前回の反転数Ｋを下回る場合、判定部６は、補正命令を制御部５に送る。制御部５は、判定部６からの補正命令に応じて、タイマー部２を補正する。なお、補正命令は、

システム部７から制御部５に送られてもよい。

[0057] 制御部５は、補正対象のメモリセル３に、初期値とは反対の値を書き込むことによってタイマー部２を補正してよい。例えば、制御部５は、初期値が“１”のメモリセル３に対してビット値“０”を書き込んだり、初期値が“０”のメモリセル３に対してビット値“１”を書き込んだりする。

[0058] 制御部５は、Ｎ個のメモリセル３の各々のビット値が、前回読み出されたメモリセル３の各々のビット値と同じになるように、タイマー部２を補正してよい。記憶部４に記憶された判定結果４２ｂが参照されてよい。制御部５は、Ｎ個のメモリセル３の各々のビット値が、判定結果４２ｂ中の対応するビット値になるように、タイマー部２を補正する。

[0059] タイマー部２の補正結果を反映するように、判定結果４２ａが更新されてよい。具体的に、補正後のＮ個のメモリセル３の各々のビット値、反転数Ｋ等の情報を含むように、判定結果４２ａが更新される。判定結果４２ａの更新は、制御部５によって行われてもよいし、判定部６によって行われてもよい。

[0060] 上記のように制御部５がタイマー部２を補正することで、例えば反転数Ｋが時間経過によって増加するようなエラーを解消することができる。エラーに起因して生じ得る時間計測の精度の低下を抑制することができる。

[0061] 図５は、半導体装置において実行される処理（時間計測方法）の例を示す図である。ステップＳ１～ステップＳ４の処理は、先に図３を参照して説明したとおりである。ステップＳ４の処理が完了した後、ステップＳ１１に処理が進められる。

[0062] ステップＳ１１において、今回の反転数Ｋが前回の反転数Ｋ以上であるか否かが判定される。判定部６は、先のステップＳ４でカウントした反転数Ｋ（今回の反転数Ｋ）が、記憶部４に記憶されている判定結果４２ｂに示される反転数Ｋ（前回の反転数Ｋ）以上であるか否かを判定する。今回の反転数Ｋが前回の反転数Ｋ以上の場合（ステップＳ１１：Ｙｅｓ）、ステップＳ５に処理が進められる。そうでない場合、すなわち今回の反転数Ｋが前回の反

転数Ｋを下回る場合（ステップＳ１１：Ｎｏ）、ステップＳ１２に処理が進められる。

[0063] ステップＳ５～ステップＳ７の処理は、先に図３を参照して説明したとおりである。

[0064] ステップＳ１２において、タイマー部２が補正される。判定部６は、補正命令を制御部５に送る。制御部５は、タイマー部２を補正する。

[0065] ステップＳ６、ステップＳ７又はステップＳ１２の完了した後は、ステップＳ２に処理が戻される。

[0066] 上記のようにタイマー部２を補正することで、例えば反転数Ｋが時間経過によって増加するようなエラーに起因して生じ得る時間計測の精度の低下を抑制することができる。

[0067] ３．タイマー部の回路の例

図６～図８は、タイマー部の回路の例を示す図である。なお、具体的な回路の動作は、図示される回路構成に接した当業者であれば理解できるので、詳細な説明は省略する。

[0068] 図６に示される例では、タイマー部２は、ＮＶ－ＳＲＡＭ（不揮発性ＳＲＡＭ）回路８を含む。例示されるＮＶ－ＳＲＡＭ回路８は、２つのメモリセル３にわたって設けられる。２つのメモリセル３として、メモリセル３－１及びメモリセル３－２が例示される。メモリセル３－１のＭＴＪ素子３０を、ＭＴＪ素子３０－１と称し図示する。メモリセル３－２のＭＴＪ素子３０を、ＭＴＪ素子３０－２と称し図示する。

[0069] ＮＶ－ＳＲＡＭ回路８は、ラッチ回路を含む。この例では、ラッチ回路は、フリップフロップ回路であり、その構成要素として、トランジスタ８１、インバータ８２、インバータ８３及びトランジスタ８４が符号を付して図示される。

[0070] トランジスタは、電界効果トランジスタ（ＦＥＴ）であるものとする。トランジスタのドレイン及びソースを、電流端子とも呼ぶ。ある要素がトランジスタの電流端子に接続されることを、単にトランジスタに接続されるとも

いう。

[0071] トランジスタ８１のゲート及びトランジスタ８４のゲートは、ワード線ＷＬに接続される。インバータ８２は、トランジスタ８１とトランジスタ８４との間に接続される。インバータ８３は、インバータ８２とは反対向きに、インバータ８２に対して並列に接続される。トランジスタ８１とインバータ８２との接続点を、ノードＮ１と称し図示する。インバータ８２とトランジスタ８４との接続点を、ノードＮ２と称し図示する。

[0072] 制御線ＣＴＲＬは、電圧制御可能な信号線である。ノードＮ１と制御線ＣＴＲＬとの間に、トランジスタ８５及びＭＴＪ素子３０－１が直列に接続される。また、ノードＮ２と制御線ＣＴＲＬとの間に、トランジスタ８６及びＭＴＪ素子３０－２が直列に接続される。トランジスタ８５のゲート及びトランジスタ８６のゲートには、ストア／リストア（書き込み／読み出し）信号ＳＲが供給される。

[0073] ワード線ＷＬの電圧レベル、制御線ＣＴＲＬの電圧レベル、及び、ストア／リストア信号ＳＲ等を制御することで、ビット値を書き込んだり読み出したりすることができる。ビット値を書き込む際は、ＭＴＪ素子３０－１及びＭＴＪ素子３０－２の抵抗値が所望の抵抗値（低抵抗値又は高抵抗値）になるように、それらに書き込み電流（ストア電流）が流れる。ビット値を読み出す際は、ＭＴＪ素子３０－１及びＭＴＪ素子３０－２が有する抵抗値に応じた電圧が検出される。具体的な動作及び原理は公知であるので説明は省略する。

[0074] 図７に示される例では、タイマー部２は、ＮＶＤＦＦ（不揮発性フリップフロップ）回路９を含む。例示されるＮＶＤＦＦ回路９は、メモリセル３－１及びメモリセル３－２の２つのメモリセル３にわたって設けられる。

[0075] ＮＶＤＦＦ回路９は、ラッチ回路を含む。この例では、ラッチ回路は、フリップフロップ回路であり、その構成要素として、インバータ９１、伝送ゲート９２、マスターラッチ９３、伝送ゲート９４、スレーブラッチ９５、インバータ９６及びインバータ９７が符号を付して図示される。

[0076] マスターラッチ９３は、インバータ１０１、インバータ１０２及び伝送ゲート１０３を含む。インバータ１０２及び伝送ゲート１０３は直列に接続され、それらは、インバータ１０１とは反対向きに、インバータ１０１に対して並列に接続される。

[0077] スレーブラッチ９５は、インバータ１１１、インバータ１１２、伝送ゲート１１３及びトランジスタ１１４を含む。インバータ１１２及び伝送ゲート１１３は直列に接続され、それらは、インバータ１１１とは反対向きに、インバータ１１１に対して並列に接続される。トランジスタ１１４は、伝送ゲート１１３に対して並列に接続される。

[0078] スレーブラッチ９５は、記憶ノードＮ１１及び記憶ノードＮ１２を有する。記憶ノードＮ１１は、インバータ１１１の入力端側に位置する。記憶ノードＮ１２は、インバータ１１１の出力端側に位置する。記憶ノードＮ１１に、インバータ９６の入力端が接続される。記憶ノードＮ１２に、インバータ９７の入力端が接続される。

[0079] 伝送ゲート９２、伝送ゲート９４、伝送ゲート１０３及び伝送ゲート１１３には、クロック信号Ｃ又はその反転信号である反転クロック信号ＣＢが供給される。

[0080] 記憶ノードＮ１１と制御線ＣＴＲＬとの間に、トランジスタ１２１及びＭＴＪ素子３０－１が直列に接続される。また、記憶ノードＮ１２と制御線ＣＴＲＬとの間に、トランジスタ１２２及びＭＴＪ素子３０－２が直列に接続される。トランジスタ１２１のゲート及びトランジスタ１２２のゲートには、ストア／リストア信号ＳＲが供給される。

[0081] 制御線ＣＴＲＬの電圧レベル、クロック信号Ｃ、反転クロック信号ＣＢ、及び、ストア／リストア信号ＳＲ等を制御することで、ビット値を書き込んだり読み出したりすることができる。ビット値を書き込む際は、ＭＴＪ素子３０－１及びＭＴＪ素子３０－２の抵抗値が所望の抵抗値（低抵抗値又は高抵抗値）になるように、それらに書き込み電流（ストア電流）が流れる。ビット値を読み出す際は、ＭＴＪ素子３０－１及びＭＴＪ素子３０－２が有す

る抵抗値に応じた電圧が検出される。具体的な動作及び原理は公知であるので説明は省略する。

[0082] 例えば上記のようなＮＶ－ＳＲＡＭ回路８又はＮＶＤＦＦ回路９が、２つのメモリセル３に対して設けられる。タイマー部２は、複数のＮＶ－ＳＲＡＭ回路８又は複数のＮＶＤＦＦ回路９、より具体的にはＮ／２個のＮＶ－ＳＲＡＭ回路８又はＮ／２個のＮＶＤＦＦ回路９を含んでよい。一実施形態において、複数のＮＶ－ＳＲＡＭ回路８又は複数のＮＶＤＦＦ回路９は、シフトレジスタを構成してよい。

[0083] 図８には、シフトレジスタの例が示される。この例では、複数のＮＶＤＦＦ回路９がカスケード接続され、シフトレジスタを構成する。ビット値を読み出す際は、各ＮＶＤＦＦ回路９に対応するメモリセル３のビット値が順に読み出される。

[0084] ４．適用例

これまで説明した半導体装置１は、電子機器に搭載されて用いられてよい。あらゆる電子機器が半導体装置１の適用対象となり得る。半導体装置１が搭載されることで、時間計測機能が提供され、また、電源の有無に関係なく時間計測機能を維持することができる。

[0085] 半導体装置１は、ＮＶＳＲＡＭ、ＭＲＡＭ等の半導体記憶装置に組み入れられてもよく、また、そのような半導体記憶装置と一緒に電子機器に搭載されてもよい。その場合、半導体記憶装置のメモリセルアレイの一部が、半導体装置１のタイマー部２として用いられてよい。

[0086] ５．まとめ

以上で説明した技術は、例えば次のように特定される。開示される技術の１つは、半導体装置１である。図１～図５等を参照して説明したように、半導体装置１は、各々がＭＴＪ素子３０（磁気トンネル接合素子）を含む複数のメモリセル３（Ｎ個のメモリセル３）と、複数のメモリセル３のうち、時間経過によってビット値が初期値から反転したメモリセル３の数である反転数Ｋを判定する判定部６と、を備える。例えば、判定部６は、反転数Ｋが閾

値Ｋｔｈよりも大きいか否かを判定する。

[0087] 上記の半導体装置１によれば、時間経過によってビット値が初期値から反転したメモリセル３の数である反転数Ｋが判定される。反転数Ｋの判定は、例えば反転数Ｋが閾値Ｋｔｈよりも大きいか否かの判定であり、このことは、タイマー部２の初期化時からタイマー時間Ｔが経過したことを意味する。すなわち、時間計測機能が提供される。ＭＴＪ素子３０を含むメモリセル３においては、例えば半導体装置１の電源が完全に遮断された場合でも、時間経過によってビット値が初期値から反転し得る。従って、電源の有無に関係なく時間計測機能を維持することができる。

[0088] 図１及び図２等を参照して説明したように、半導体装置１は、複数のメモリセル３の各々のビット値の初期値を記述する初期パターン４１を記憶する記憶部４を備え、判定部６は、読み出した複数のメモリセル３の各々のビット値と、初期パターン４１中の対応する初期値との比較結果に基づいて、反転数Ｋをカウントしてよい。初期パターン４１は、初期値“１”だけを含む初期パターン４１Ａ、初期値“０”だけを含む初期パターン４１Ｂ、又は、初期値“１”及び初期値“０”を混在して含む初期パターン４１Ｂであってよい。例えばこのようにして、反転数Ｋをカウントすることができる。

[0089] 図１等を参照して説明したように、判定部６は、反転数Ｋをカウントするカウント回路６０を含んでよい。例えばこのようなハードウェア設計によって実現された判定部６の機能により、反転数Ｋをカウントすることができる。なお、先にも述べたように、判定部６の機能はソフトウェア設計であってもよい。

[0090] 図１等を参照して説明したように、半導体装置１は、初期パターン４１に従って複数のメモリセル３の各々のビット値を初期化する制御部５を備えてよい。複数のメモリセル３のビット値を既知のパターンに従って初期化することで、上述の判定部６での比較結果に基づく反転数Ｋのカウントが可能になる。

[0091] 図４及び図５等を参照して説明したように、制御部５は、複数のメモリセ

ル３のうちの少なくとも一部のメモリセル３のビット値を補正してよい。例えば、判定部６は、複数のメモリセル３の各々のビット値の読み出し、及び、反転数Ｋのカウントを繰り返し行い、制御部５は、今回の反転数Ｋが前回の反転数Ｋを下回らないように、複数のメモリセル３のうちの少なくとも一部のメモリセルのビット値を補正してよい。制御部５は、複数のメモリセル３のうちの少なくとも一部のメモリセル３に、初期値とは反対の値を書き込んでよい。制御部５は、複数のメモリセル３の各々のビット値が、前回読み出された複数のメモリセル３の各々のビット値と同じになるように、複数のメモリセル３のうちの少なくとも一部のメモリセル３のビット値を補正してよい。このような補正を行うことにより、例えば反転数Ｋが時間経過によって増加するようなエラーに対処することができる。エラーに起因して生じ得る時間計測の精度の低下を抑制することができる。

[0092] 図１～図５等を参照して説明した時間計測方法も、開示される技術の１つである。時間計測方法は、各々がＭＴＪ素子３０を含む複数のメモリセル３のうち、時間経過によってビット値が初期値から反転したメモリセル３の数である反転数Ｋを判定すること（ステップＳ３～ステップＳ７）、を含む。例えば、判定することでは、反転数Ｋが閾値Ｋｔｈよりも大きいか否かを判定してよい（ステップＳ５）。このような時間計測方法によっても、これまで説明したように、電源の有無に関係なく時間計測機能を維持することができる。

[0093] 図１～図３等を参照して説明したように、判定することでは、読み出した複数のメモリセル３の各々のビット値と、複数のメモリセル３の各々のビット値の初期値を記述する初期パターン４１中の対応する初期値との比較結果に基づいて、反転数Ｋをカウントしてよい（ステップＳ４）。初期パターン４１は、初期値“１”だけを含む初期パターン４１Ａ、初期値“０”だけを含む初期パターン４１Ｂ、又は、初期値“１”及び初期値“０”を混在して含む初期パターン４１Ｂであってよい。例えばこのようにして、反転数Ｋをカウントすることができる。

[0094] 図１及び図３等を参照して説明したように、判定することでは、カウント回路６０が反転数Ｋをカウントしてよい（ステップＳ４）。例えばこのようにして、反転数Ｋをカウントすることができる。

[0095] 図１及び図３等を参照して説明したように、時間計測方法は、初期パターン４１に従って、複数のメモリセル３の各々のビット値を初期化すること、を含んでよい。複数のメモリセル３のビット値を既知のパターンに従って初期化することで、上述の判定することでの比較結果に基づく反転数Ｋのカウントが可能になる。

[0096] 図４及び図５等を参照して説明したように、時間計測方法は、複数のメモリセル３のうちの少なくとも一部のメモリセル３のビット値を補正すること（ステップＳ１２）、を含んでよい。判定することでは、複数のメモリセル３の各々のビット値の読み出し、及び、反転数Ｋのカウントを繰り返し行い（ステップＳ４、ステップＳ５：Ｎｏ、次にフローチャートの処理が呼び出された場合のステップＳ４）、補正することでは、今回の反転数Ｋが前回の反転数Ｋを下回らないように、複数のメモリセル３のうちの少なくとも一部のメモリセル３のビット値を補正してよい（ステップＳ１１：Ｎｏ、ステップＳ１２）。補正することでは、複数のメモリセル３のうちの少なくとも一部のメモリセル３に、初期値とは反対の値を書き込んでよい（ステップＳ１２）。補正することでは、複数のメモリセル３の各々のビット値が、前回読み出された複数のメモリセル３の各々のビット値と同じになるように、複数のメモリセル３のうちの少なくとも一部のメモリセル３のビット値を補正してよい（ステップＳ１２）。このような補正を行うことにより、例えば反転数Ｋが時間経過によって増加するようなエラーに対処することができる。エラーに起因して生じ得る時間計測の精度の低下を抑制することができる。

[0097] なお、本開示に記載された効果は、あくまで例示であって、開示された内容に限定されない。他の効果があってもよい。

[0098] 以上、本開示の実施形態について説明したが、本開示の技術的範囲は、上述の実施形態そのままに限定されるものではなく、本開示の要旨を逸脱しな

い範囲において種々の変更が可能である。また、異なる実施形態及び変形例にわたる構成要素を適宜組み合わせてもよい。

[0099] なお、本技術は以下のような構成も取ることができる。

（１）

各々が磁気トンネル接合素子を含む複数のメモリセルと、

前記複数のメモリセルのうち、時間経過によってビット値が初期値から反転したメモリセルの数である反転数を判定する判定部と、

を備える、

半導体装置。

（２）

前記判定部は、前記反転数が閾値よりも大きいか否かを判定する、

（１）に記載の半導体装置。

（３）

前記複数のメモリセルの各々のビット値の初期値を記述する初期パターンを記憶する記憶部を備え、

前記判定部は、読み出した前記複数のメモリセルの各々のビット値と、前記初期パターン中の対応する初期値との比較結果に基づいて、前記反転数をカウントする、

（１）又は（２）に記載の半導体装置。

（４）

前記初期パターンは、

初期値“１”だけを含むパターン、

初期値“０”だけを含むパターン、

又は、

初期値“１”及び初期値“０”を混在して含むパターン

である、

（３）に記載の半導体装置。

（５）

前記判定部は、前記反転数をカウントするカウント回路を含む、

（３）又は（４）に記載の半導体装置。

（６）

前記複数のメモリセルの各々のビット値の初期値を記述する初期パターンを記憶する記憶部と、

前記初期パターンに従って前記複数のメモリセルの各々のビット値を初期化する制御部と、

を備える、

（１）～（５）のいずれかに記載の半導体装置。

（７）

前記複数のメモリセルのうちの少なくとも一部のメモリセルのビット値を補正する制御部を備える、

（１）～（６）のいずれかに記載の半導体装置。

（８）

前記判定部は、前記複数のメモリセルの各々のビット値の読み出し、及び、反転数のカウントを繰り返し行い、

前記制御部は、今回の反転数が前回の反転数を下回らないように、前記複数のメモリセルのうちの少なくとも一部のメモリセルのビット値を補正する、

（７）に記載の半導体装置。

（９）

前記制御部は、前記複数のメモリセルのうちの少なくとも一部のメモリセルに、初期値とは反対の値を書き込む、

（７）又は（８）に記載の半導体装置。

（１０）

前記制御部は、前記複数のメモリセルの各々のビット値が、前回読み出された前記複数のメモリセルの各々のビット値と同じになるように、前記複数のメモリセルのうちの少なくとも一部のメモリセルのビット値を補正する、

（７）～（９）のいずれかに記載の半導体装置。

（１１）

各々が磁気トンネル接合素子を含む複数のメモリセルのうち、時間経過によってビット値が初期値から反転したメモリセルの数である反転数を判定すること、

を含む、

時間計測方法。

（１２）

前記判定することでは、前記反転数が閾値よりも大きいか否かを判定する、

（１１）に記載の時間計測方法。

（１３）

前記判定することでは、読み出した前記複数のメモリセルの各々のビット値と、前記複数のメモリセルの各々のビット値の初期値を記述する初期パターン中の対応する初期値との比較結果に基づいて、前記反転数をカウントする、

（１１）又は（１２）に記載の時間計測方法。

（１４）

前記初期パターンは、

初期値“１”だけを含むパターン、

初期値“０”だけを含むパターン、

又は、

初期値“１”及び初期値“０”を混在して含むパターン

である、

（１３）に記載の時間計測方法。

（１５）

前記判定することでは、カウント回路が前記反転数をカウントする、

（１３）又は（１４）に記載の時間計測方法。

（１６）

前記複数のメモリセルの各々のビット値の初期値を記述する初期パターンに従って、前記複数のメモリセルの各々のビット値を初期化すること、

を含む、

（１１）～（１５）のいずれかに記載の時間計測方法。

（１７）

前記複数のメモリセルのうちの少なくとも一部のメモリセルのビット値を補正すること、

を含む、

（１１）～（１６）のいずれかに記載の時間計測方法。

（１８）

前記判定することでは、前記複数のメモリセルの各々のビット値の読み出し、及び、反転数のカウントを繰り返し行い、

前記補正することでは、今回の反転数が前回の反転数を下回らないように、前記複数のメモリセルのうちの少なくとも一部のメモリセルのビット値を補正する、

（１７）に記載の時間計測方法。

（１９）

前記補正することでは、前記複数のメモリセルのうちの少なくとも一部のメモリセルに、初期値とは反対の値を書き込む、

（１７）又は（１８）に記載の時間計測方法。

（２０）

前記補正することでは、前記複数のメモリセルの各々のビット値が、前回読み出された前記複数のメモリセルの各々のビット値と同じになるように、前記複数のメモリセルのうちの少なくとも一部のメモリセルのビット値を補正する、

（１７）～（１９）のいずれかに記載の時間計測方法。

符号の説明

[0100]

１　半導体装置
２　タイマー部
３　メモリセル
３－１　メモリセル
３－２　メモリセル
３０　ＭＴＪ素子
３０－１　ＭＴＪ素子
３０－２　ＭＴＪ素子
４　記憶部
４１　初期パターン
４１Ａ　初期パターン
４１Ｂ　初期パターン
４１Ｃ　初期パターン
４２　判定結果
４２ａ　判定結果
４２ｂ　判定結果
４３　フラグ
５　制御部
６　判定部
６０　カウント回路
７　システム部
８　ＮＶ－ＳＲＡＭ回路
８１　トランジスタ
８２　インバータ
８３　インバータ
８４　トランジスタ
８５　トランジスタ
８６　トランジスタ

９　ＮＶＤＦＦ回路
９１　インバータ
９２　伝送ゲート
９３　マスターラッチ
９４　伝送ゲート
９５　スレーブラッチ
９６　インバータ
９７　インバータ
１０１　インバータ
１０２　インバータ
１０３　伝送ゲート
１１１　インバータ
１１２　インバータ
１１３　伝送ゲート
１１４　トランジスタ
１２１　トランジスタ
１２２　トランジスタ
Ｃ　クロック信号
ＣＢ　反転クロック信号
ＣＴＲＬ　制御線
Ｎ１　ノード
Ｎ２　ノード
Ｎ１１　記憶ノード
Ｎ１２　記憶ノード
ＳＲ　ストア／リストア信号
ＷＬ　ワード線

請求の範囲

[請求項1] 各々が磁気トンネル接合素子を含む複数のメモリセルと、

前記複数のメモリセルのうち、時間経過によってビット値が初期値から反転したメモリセルの数である反転数を判定する判定部と、

を備える、

半導体装置。

[請求項2] 前記判定部は、前記反転数が閾値よりも大きいか否かを判定する、

請求項１に記載の半導体装置。

[請求項3] 前記複数のメモリセルの各々のビット値の初期値を記述する初期パターンを記憶する記憶部を備え、

前記判定部は、読み出した前記複数のメモリセルの各々のビット値と、前記初期パターン中の対応する初期値との比較結果に基づいて、前記反転数をカウントする、

請求項１に記載の半導体装置。

[請求項4] 前記初期パターンは、

初期値“１”だけを含むパターン、

初期値“０”だけを含むパターン、

又は、

初期値“１”及び初期値“０”を混在して含むパターン

である、

請求項３に記載の半導体装置。

[請求項5] 前記判定部は、前記反転数をカウントするカウント回路を含む、

請求項３に記載の半導体装置。

[請求項6] 前記複数のメモリセルの各々のビット値の初期値を記述する初期パターンを記憶する記憶部と、

前記初期パターンに従って前記複数のメモリセルの各々のビット値を初期化する制御部と、

を備える、

請求項１に記載の半導体装置。

[請求項7] 前記複数のメモリセルのうちの少なくとも一部のメモリセルのビット値を補正する制御部を備える、

請求項１に記載の半導体装置。

[請求項8] 前記判定部は、前記複数のメモリセルの各々のビット値の読み出し、及び、反転数のカウントを繰り返し行い、

前記制御部は、今回の反転数が前回の反転数を下回らないように、前記複数のメモリセルのうちの少なくとも一部のメモリセルのビット値を補正する、

請求項７に記載の半導体装置。

[請求項9] 前記制御部は、前記複数のメモリセルのうちの少なくとも一部のメモリセルに、初期値とは反対の値を書き込む、

請求項７に記載の半導体装置。

[請求項10] 前記制御部は、前記複数のメモリセルの各々のビット値が、前回読み出された前記複数のメモリセルの各々のビット値と同じになるように、前記複数のメモリセルのうちの少なくとも一部のメモリセルのビット値を補正する、

請求項７に記載の半導体装置。

[請求項11] 各々が磁気トンネル接合素子を含む複数のメモリセルのうち、時間経過によってビット値が初期値から反転したメモリセルの数である反転数を判定すること、

を含む、

時間計測方法。

[請求項12] 前記判定することでは、前記反転数が閾値よりも大きいか否かを判定する、

請求項１１に記載の時間計測方法。

[請求項13] 前記判定することでは、読み出した前記複数のメモリセルの各々のビット値と、前記複数のメモリセルの各々のビット値の初期値を記述

する初期パターン中の対応する初期値との比較結果に基づいて、前記反転数をカウントする、

請求項１１に記載の時間計測方法。

[請求項14] 前記初期パターンは、

初期値“１”だけを含むパターン、

初期値“０”だけを含むパターン、

又は、

初期値“１”及び初期値“０”を混在して含むパターン

である、

請求項１３に記載の時間計測方法。

[請求項15] 前記判定することでは、カウント回路が前記反転数をカウントする、

請求項１３に記載の時間計測方法。

[請求項16] 前記複数のメモリセルの各々のビット値の初期値を記述する初期パターンに従って、前記複数のメモリセルの各々のビット値を初期化すること、

を含む、

請求項１１に記載の時間計測方法。

[請求項17] 前記複数のメモリセルのうちの少なくとも一部のメモリセルのビット値を補正すること、

を含む、

請求項１１に記載の時間計測方法。

[請求項18] 前記判定することでは、前記複数のメモリセルの各々のビット値の読み出し、及び、反転数のカウントを繰り返し行い、

前記補正することでは、今回の反転数が前回の反転数を下回らないように、前記複数のメモリセルのうちの少なくとも一部のメモリセルのビット値を補正する、

請求項１７に記載の時間計測方法。

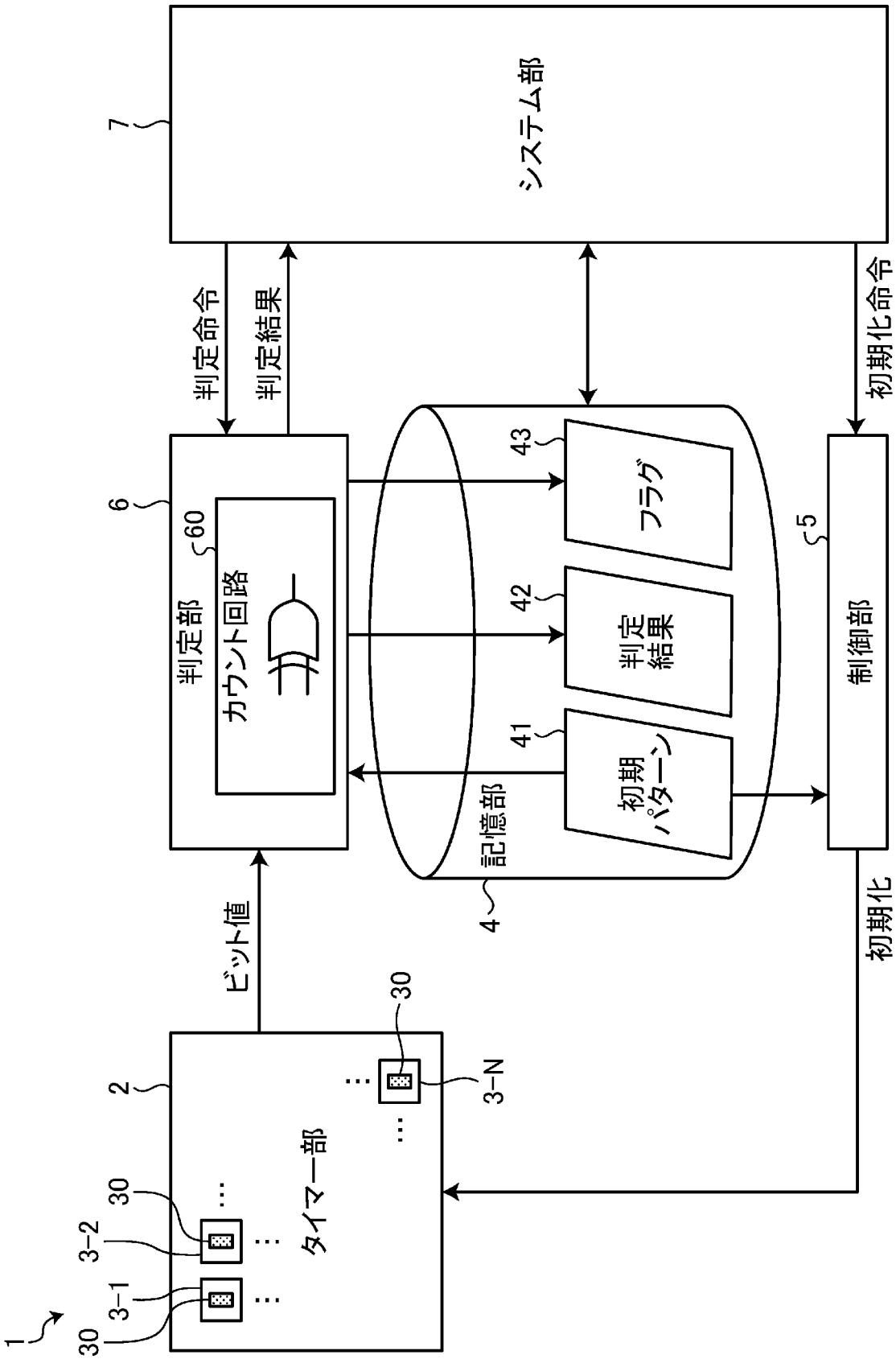
[請求項19] 前記補正することでは、前記複数のメモリセルのうちの少なくとも一部のメモリセルに、初期値とは反対の値を書き込む、

請求項１７に記載の時間計測方法。

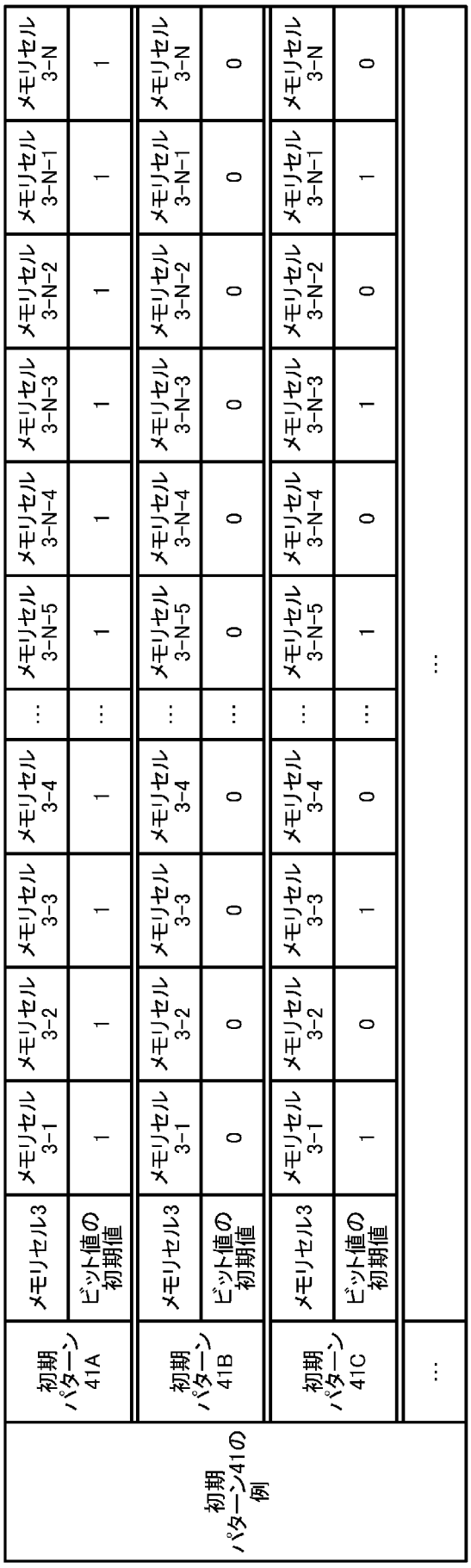
[請求項20] 前記補正することでは、前記複数のメモリセルの各々のビット値が、前回読み出された前記複数のメモリセルの各々のビット値と同じになるように、前記複数のメモリセルのうちの少なくとも一部のメモリセルのビット値を補正する、

請求項１７に記載の時間計測方法。

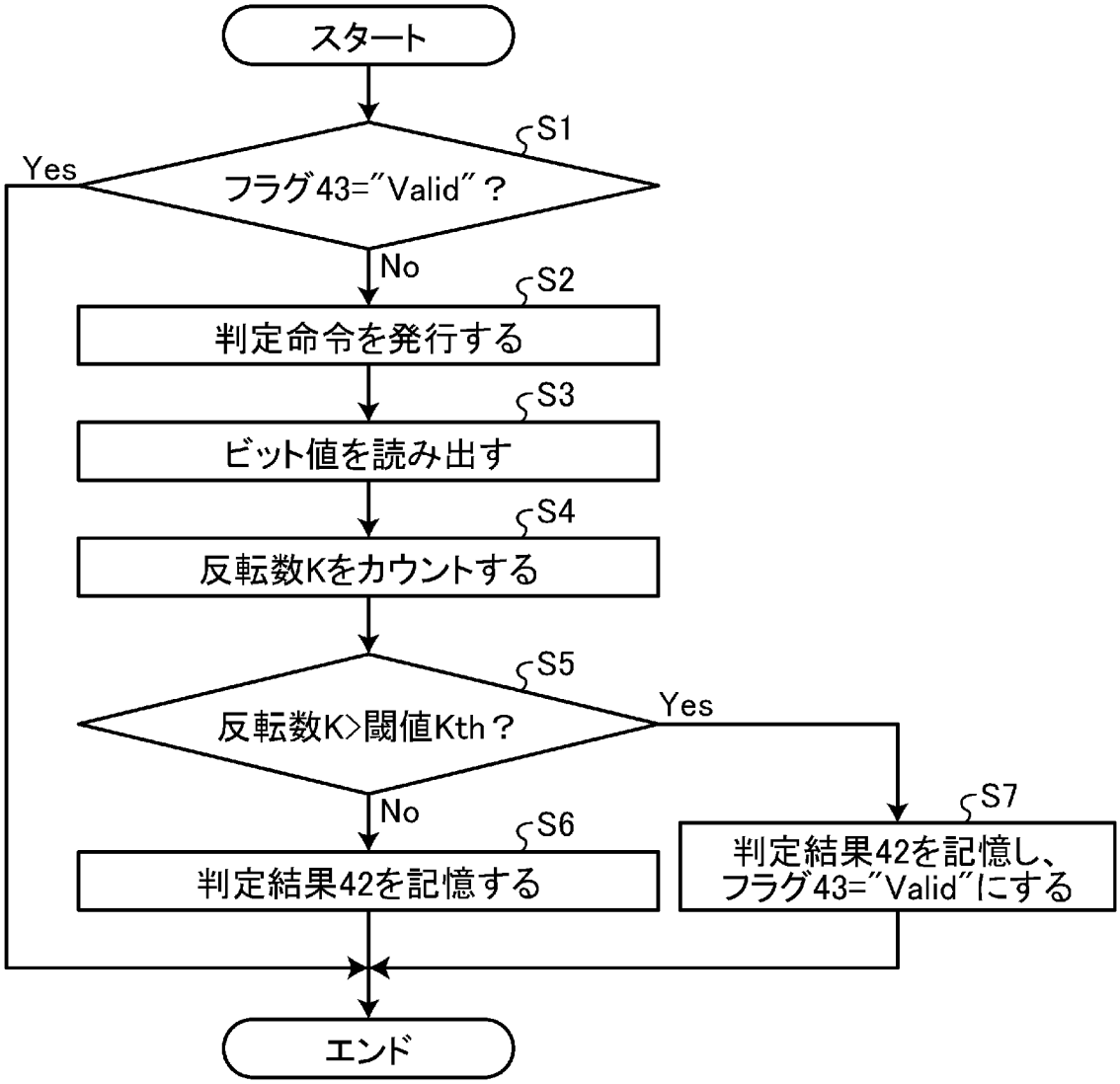
[図1]


1
30
3-1
30
3-2
タイマー部
2
30
3-N
ビット値
判定部
60
カウント回路
6
判定命令
判定結果
7
システム部
初期化命令
5
制御部
初期化
記憶部
4
41
初期パターン
42
判定結果
43
フラグ

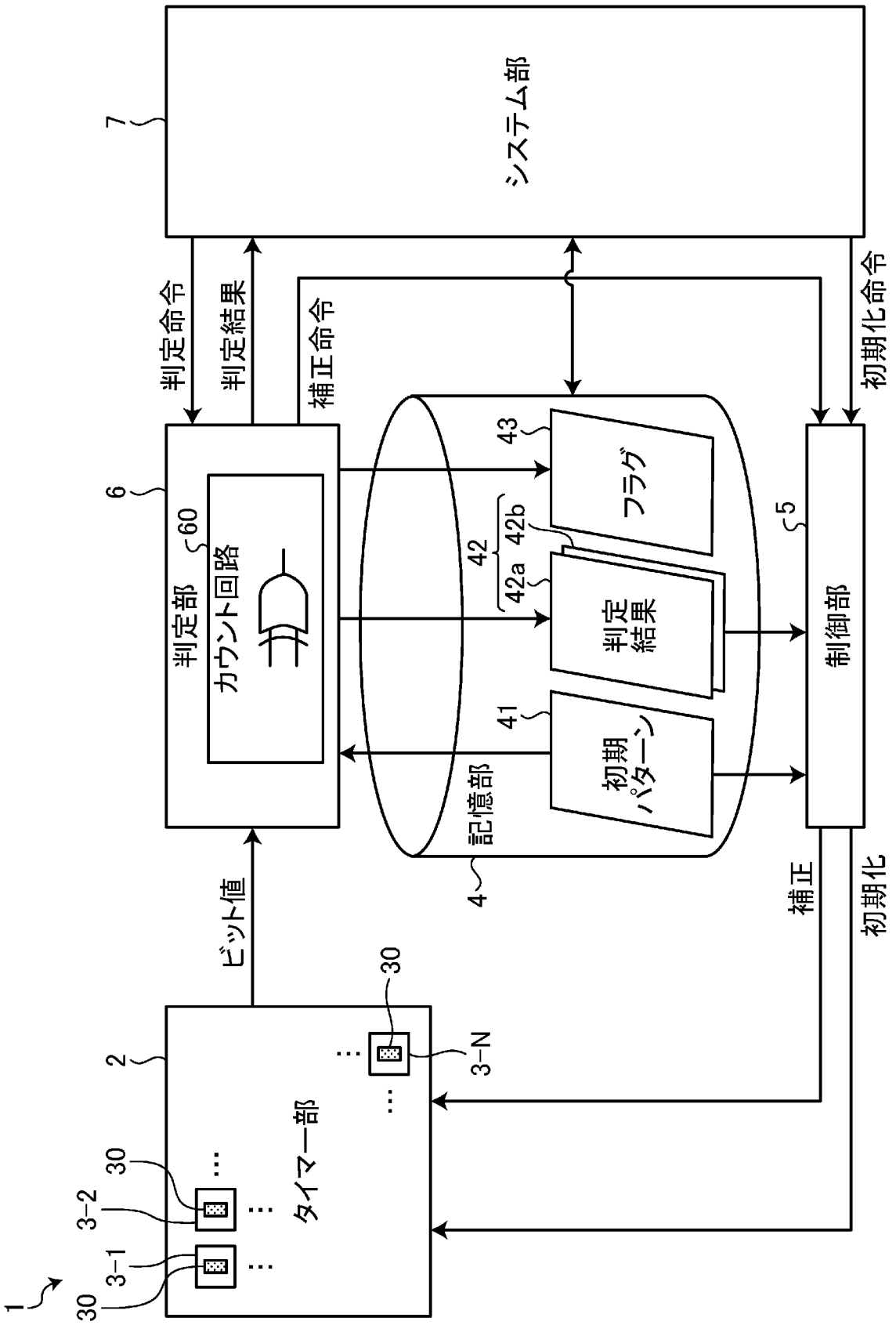
[図2]


初期パターン41の例
初期パターン41A
メモリセル3
ビット値の初期値
メモリセル3-1
1
メモリセル3-2
1
メモリセル3-3
1
メモリセル3-4
1
…
…
メモリセル3-N-5
1
メモリセル3-N-4
1
メモリセル3-N-3
1
メモリセル3-N-2
1
メモリセル3-N-1
1
メモリセル3-N
1
初期パターン41B
メモリセル3
ビット値の初期値
メモリセル3-1
0
メモリセル3-2
0
メモリセル3-3
0
メモリセル3-4
0
…
…
メモリセル3-N-5
0
メモリセル3-N-4
0
メモリセル3-N-3
0
メモリセル3-N-2
0
メモリセル3-N-1
0
メモリセル3-N
0
初期パターン41C
メモリセル3
ビット値の初期値
メモリセル3-1
1
メモリセル3-2
0
メモリセル3-3
1
メモリセル3-4
0
…
…
メモリセル3-N-5
1
メモリセル3-N-4
0
メモリセル3-N-3
1
メモリセル3-N-2
0
メモリセル3-N-1
1
メモリセル3-N
0
…
…

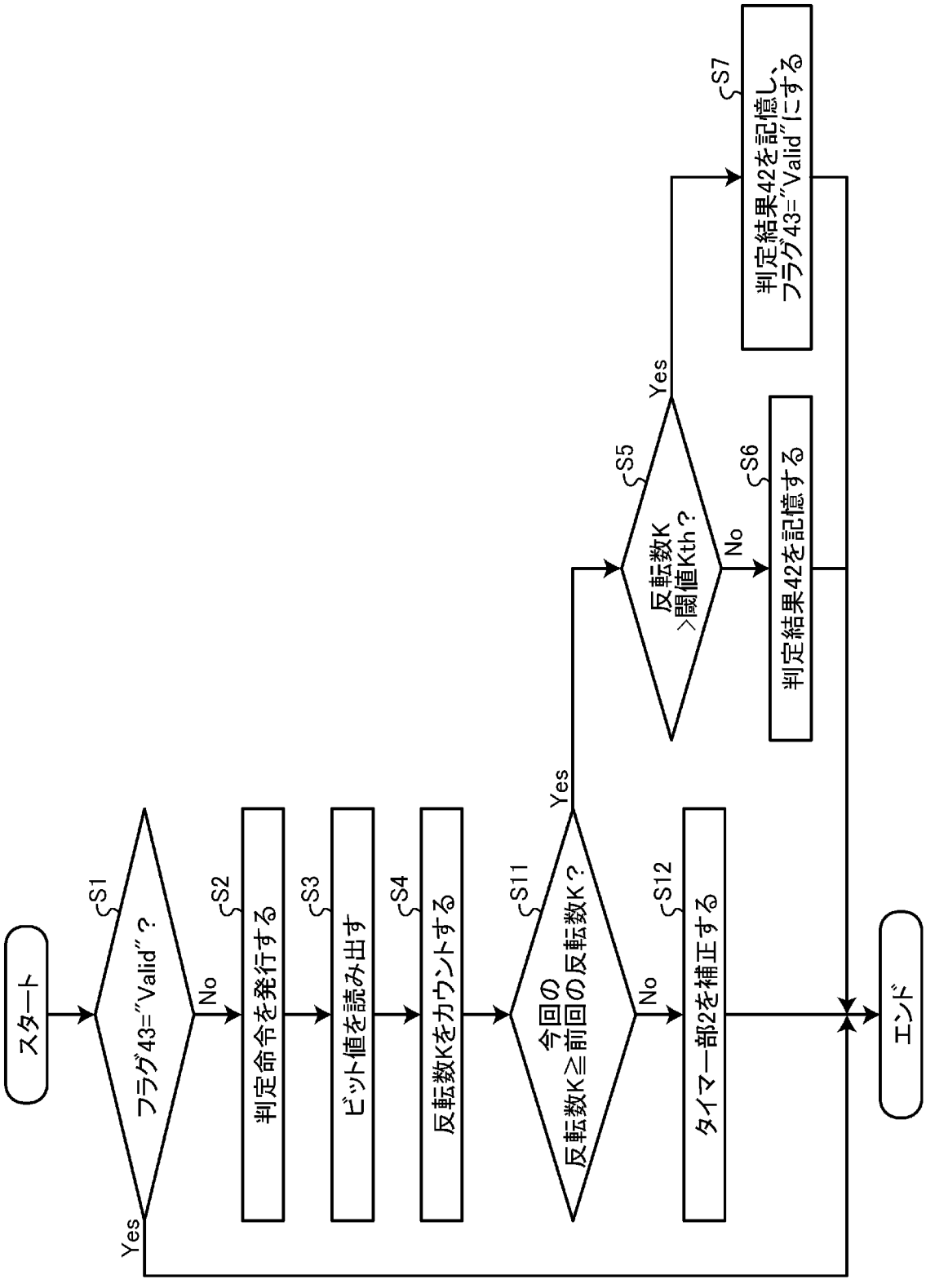
[図3]


スタート
S1
フラグ43="Valid"？
Yes
No
S2
判定命令を発行する
S3
ビット値を読み出す
S4
反転数Kをカウントする
S5
反転数K>閾値Kth？
Yes
No
S6
判定結果42を記憶する
S7
判定結果42を記憶し、
フラグ43="Valid"にする
エンド

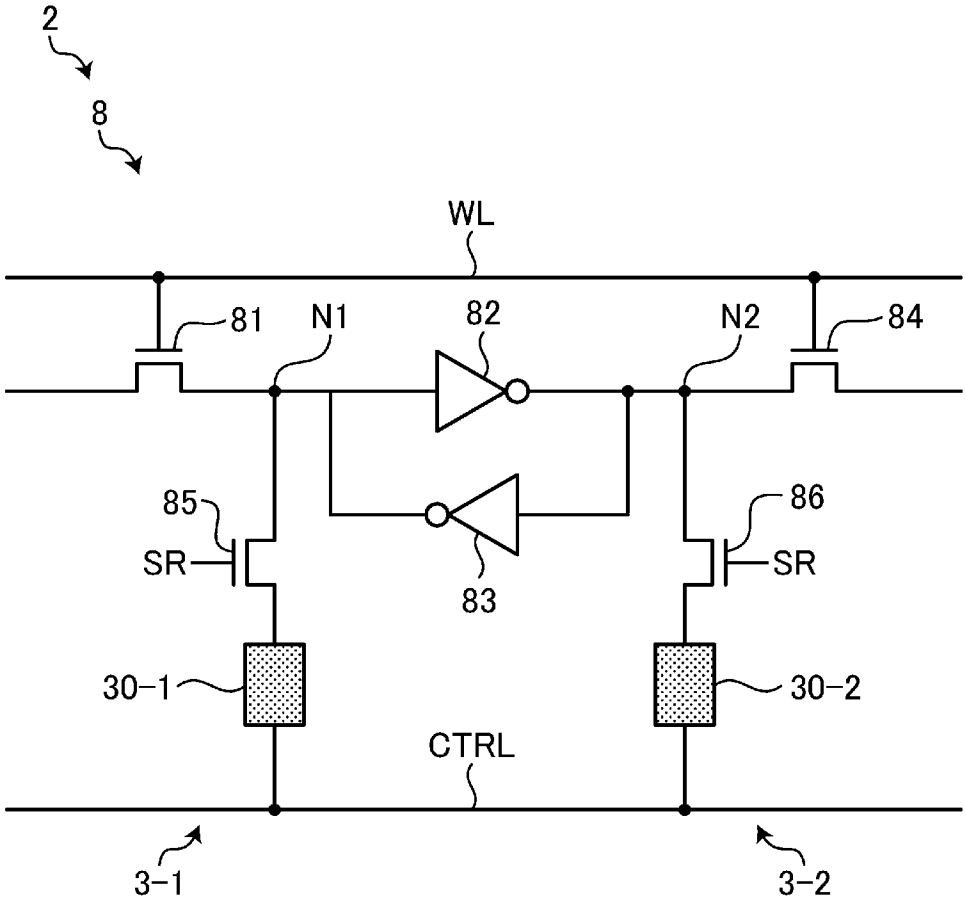
[図4]


1
2
タイマー部
3-1
3-2
3-N
30
ビット値
6
判定部
60
カウント回路
判定命令
判定結果
補正命令
7
システム部
初期化命令
4
記憶部
41
初期パターン
42
42a
判定結果
42b
フラグ
43
5
制御部
補正
初期化

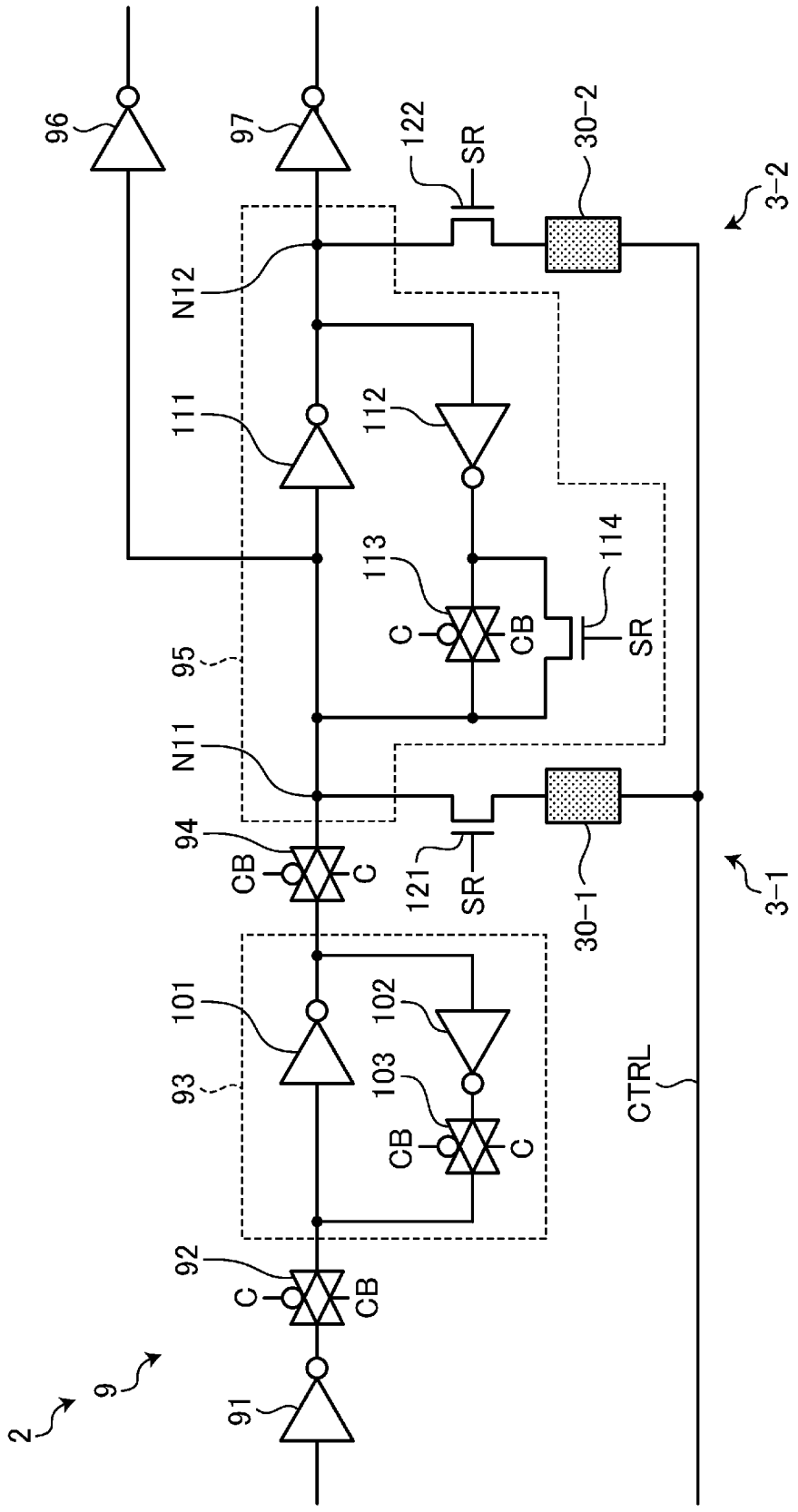
[図5]


スタート
S1
フラグ43="Valid"？
Yes
No
S2
判定命令を発行する
S3
ビット値を読み出す
S4
反転数Kをカウントする
S11
今回の
反転数K≧前回の反転数K？
Yes
No
S5
反転数K
>閾値Kth？
Yes
No
S6
判定結果42を記憶する
S7
判定結果42を記憶し、
フラグ43="Valid"にする
S12
タイマー部2を補正する
エンド

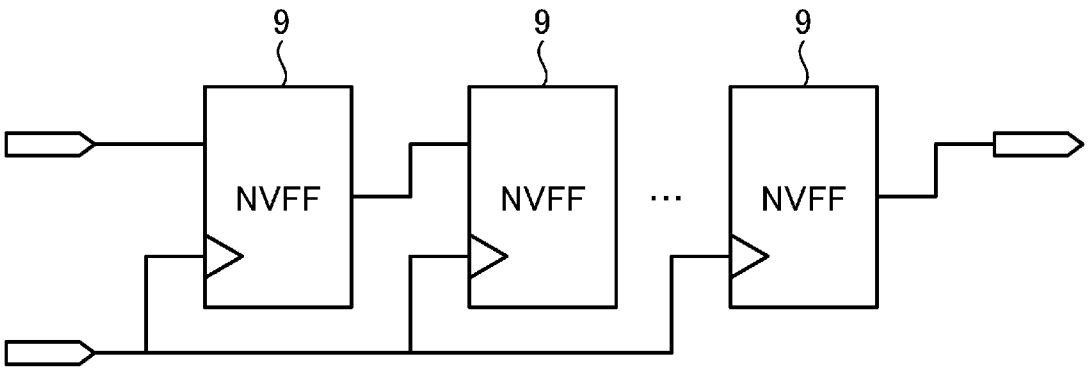
[図6]



[図7]


96
97
122
SR
30-2
3-2
N12
111
112
113
114
C
CB
SR
95
N11
94
CB
C
121
SR
30-1
3-1
101
102
93
103
CB
C
CTRL
92
C
CB
91
9
2

[図8]



INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2024/030572

A. CLASSIFICATION OF SUBJECT MATTER

G04F 3/00(2006.01)i; *G11C 14/00*(2006.01)n
FI: G04F3/00 301B; G11C14/00 230

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G04F3/00; G11C14/00; G06F1/14; H01L27/04

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan 1922-1996
Published unexamined utility model applications of Japan 1971-2024
Registered utility model specifications of Japan 1996-2024
Published registered utility model applications of Japan 1994-2024

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2003-91987 A (SONY CORPORATION) 28 March 2003 (2003-03-28) paragraphs [0069]-[0071], fig. 10	1-20
A	JP 2-90309 A (FUJITSU LIMITED) 29 March 1990 (1990-03-29) p. 5, upper right column, line 14 to p. 7, upper right column, line 12, fig. 1-3	1-20
A	JP 53-82234 A (TOKYO SHIBAURA ELECTRIC CO., LTD.) 20 July 1978 (1978-07-20) p. 3, upper left column, line 17 to p. 7, upper right column, line 3, fig. 2-8	1-20
A	亀井 愛佳, 不揮発性ＦＦを用いたＣＧＲＡ設計探索のためのばらつきを考慮したＭＴＪへの書き込みエネルギー推定モデルの提案 A Variation-Aware MTJ Store Energy Estimation Model for Design Exploration of CGRA with Nonvolatile Flip-Flops, 情報処理学会 研究報告 システム・アーキテクチャ（ＡＲＣ） ２０２２－ＡＲＣ－２４８ [online], 04 March 2022 (accession date), (KAMEI, Aika, IPSJ SIG Technical Report: System Architecture (ARC) 2022-ARC-248) p. 4, right column, line 1 to p. 6, right column, line 25, fig. 6-9	1-20

☐ Further documents are listed in the continuation of Box C.

☑ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"D" document cited by the applicant in the international application
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
24 October 2024	**05 November 2024**

Name and mailing address of the ISA/JP	Authorized officer
Japan Patent Office (ISA/JP) **3-4-3 Kasumigaseki, Chiyoda-ku, Tokyo 100-8915** **Japan**	Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/JP2024/030572

Patent document cited in search report	Publication date (day/month/year)	Patent family member(s)	Publication date (day/month/year)
JP 2003-91987 A	28 March 2003	US 2004/0233775 A1 paragraphs [0093]-[0095], fig. 10 EP 1429341 A1 KR 10-0862322 B1 WO 02/025943 A1	
JP 2-90309 A	29 March 1990	(Family: none)	
JP 53-82234 A	20 July 1978	(Family: none)	

国際調査報告

国際出願番号
PCT/JP2024/030572

A.　発明の属する分野の分類（国際特許分類（ＩＰＣ））

G04F 3/00(2006.01)i; G11C 14/00(2006.01)n
FI: G04F3/00 301B; G11C14/00 230

B.　調査を行った分野

調査を行った最小限資料（国際特許分類（ＩＰＣ））

G04F3/00; G11C14/00; G06F1/14; H01L27/04

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	１９２２－１９９６年
日本国公開実用新案公報	１９７１－２０２４年
日本国実用新案登録公報	１９９６－２０２４年
日本国登録実用新案公報	１９９４－２０２４年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C.　関連すると認められる文献

引用文献のカテゴリー*	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
A	JP 2003-91987 A (ソニー株式会社) 28.03.2003 (2003-03-28) 段落００６９－００７１、図１０	１－２０
A	JP 2-90309 A (富士通株式会社) 29.03.1990 (1990-03-29) 第５頁右上欄第１４行－第７頁右上欄第１２行、第１－３図	１－２０
A	JP 53-82234 A (東京芝浦電気株式会社) 20.07.1978 (1978-07-20) 第３頁左上欄第１７行－第７頁右上欄第３行、第２－８図	１－２０
A	亀井 愛佳, 不揮発性ＦＦを用いたＣＧＲＡ設計探索のためのばらつきを考慮したＭＴＪへの書き込みエネルギー推定モデルの提案 A Variation-Aware MTJ Store Energy Estimation Model for Design Exploration of CGRA with Nonvolatile Flip-Flops, 情報処理学会 研究報告 システム・アーキテクチャ（ＡＲＣ） ２０２２－ＡＲＣ－２４８ [ｏｎｌｉｎｅ], 2022.03.04 (受入日) 第４頁右欄第１行－第６頁右欄第２５行、図６－９	１－２０

☐ Ｃ欄の続きにも文献が列挙されている。

☑ パテントファミリーに関する別紙を参照。

*　引用文献のカテゴリー
"A" 特に関連のある文献ではなく、一般的技術水準を示すもの
"D" 国際出願で出願人が先行技術文献として記載した文献
"E" 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
"L" 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
"O" 口頭による開示、使用、展示等に言及する文献
"P" 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献
"T" 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの
"X" 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
"Y" 特に関連のある文献であって、当該文献と他の１以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
"&" 同一パテントファミリー文献

国際調査を完了した日	国際調査報告の発送日
24.10.2024	05.11.2024

名称及びあて先

日本国特許庁(ISA/JP)
〒100-8915
日本国
東京都千代田区霞が関三丁目４番３号

権限のある職員（特許庁審査官）

榮永　雅夫 2F 8706

電話番号 03-3581-1101 内線 3216

国際調査報告
パテントファミリーに関する情報

国際出願番号
PCT/JP2024/030572

引用文献	公表日	パテントファミリー文献	公表日
JP 2003-91987 A	28.03.2003	US 2004/0233775 A1 段落００９３－００９５、図１０ EP 1429341 A1 KR 10-0862322 B1 WO 02/025943 A1	
JP 2-90309 A	29.03.1990	（ファミリーなし）	
JP 53-82234 A	20.07.1978	（ファミリーなし）	