(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。Int. Cl.
H01L 21/20 (2006.01)

(45) 공고일자 2007년04월02일
(11) 등록번호 10-0702412
(24) 등록일자 2007년03월27일

(21) 출원번호 10-2005-0045497
(22) 출원일자 2005년05월30일
심사청구일자 2005년05월30일

(65) 공개번호 10-2006-0046268
(43) 공개일자 2006년05월17일

(30) 우선권주장 04 161 24.6 2004년07월19일 영국(GB)

(73) 특허권자 세이코 엡슨 가부시키가이샤
일본 도쿄도 신주쿠구 니시신주쿠 2초메 4-1

(72) 발명자 쿠글러, 토마스
영국 캠브리지 씨비4 0에프이 밀턴 로드 캠브리지 싸이언스 파크9에이 캠브리지 리써치 래버러토리 오브 엡슨 내

뉴섬, 크리스토퍼
영국 캠브리지 씨비4 0에프이 밀턴 로드 캠브리지 싸이언스 파크9에이 캠브리지 리써치 래버러토리 오브 엡슨 내

러셀, 데이비드
영국 캠브리지 씨비4 0에프이 밀턴 로드 캠브리지 싸이언스 파크9에이 캠브리지 리써치 래버러토리 오브 엡슨 내

리, 슌푸
영국 캠브리지 씨비4 0에프이 밀턴 로드 캠브리지 싸이언스 파크 9에이 캠브리지 리써치 래버러토리 오브 엡슨 내

(74) 대리인 문두현
문기상

(56) 선행기술조사문헌
JP2001036110 A *
KR1019970003662 A
KR1020050016640 A
JP2002264097 A
KR1020040101858 A
* 심사관에 의하여 인용된 문헌

심사관 : 여덕호

전체 청구항 수 : 총 32 항

(54) 반도체 입자의 분산체로 반도체 소자를 제조하는 방법

(57) 요약

막(film)과 같은 반도체 소자를 형성하는 방법이 제공된다. 반도체 소자를 형성하는 방법은 (i) 제2 반도체 또는 그 전구체를 포함하는 액상체 내에 현탁된 제1 반도체 입자를 포함하는 혼합물이 기판의 표면상에 형성되도록, 제1 반도체 입자의 현탁액과 제2 반도체 또는 그 전구체의 용액을 기판의 표면상에 증착시키는 단계; 및 (ii) 제1 반도체의 인접 입자를 전기적으로 연결하는 제2 반도체 매트릭스 내에 제1 반도체 입자를 포함하는 반도체 소자를 형성하기 위하여, 혼합물을 고형화하는 단계를 포함하며, 제1 및 제2 반도체는 동일한 전도형이고, 같거나 다른 재료로 형성된다.

이 방법은 어떠한 진공 증착 또는 소결 공정도 필요로 하지 않는다.

그리고 반도체 소자 그 자체가 제공된다.

반도체 소자는 반도체 바인더의 매트릭스 내에 반도체 입자들을 포함하고, 반도체 바인더는 반도체 입자와 동일한 전도형을 가지고, 입자를 형성하는 재료와 같거나 다른 재료로 형성되며, 인접하는 반도체 입자들을 전기적으로 연결한다.

대표도

도 3

특허청구의 범위

청구항 1.

제1 반도체의 입자의 현탁액과 제2 반도체 또는 그 전구체의 용액을 기판의 표면 상에 증착시키는 단계; 및

상기 제1 반도체의 입자가 상기 제2 반도체를 포함하는 매트릭스 내에 배치되도록, 상기 제1 반도체의 입자와 상기 제2 반도체 또는 그 전구체를 포함하는 혼합물을 고형화하는 단계를 포함하는 반도체 소자의 형성 방법.

청구항 2.

제1항에 있어서,

상기 제1 반도체 및 상기 제2 반도체는 다른 재료이고, 상기 제2 반도체는 상기 제1 반도체보다 낮은 고유 전하 캐리어 이동도를 갖는 반도체 소자의 형성 방법.

청구항 3.

제1항 또는 제2항에 있어서,

상기 제2 반도체의 용액은 상기 제2 반도체용 용매를 포함하는 반도체 소자의 형성 방법.

청구항 4.

제1항 또는 제2항에 있어서,

상기 제2 반도체는 그 전구체로서 증착되고, 상기 방법은 상기 전구체를 상기 제2 반도체로 변환하기 위하여 상기 증착된 혼합물을 가열하는 단계를 더 포함하는 반도체 소자의 형성 방법.

청구항 5.

제4항에 있어서,

상기 제2 반도체의 전구체는 펜타센(pentacene) 전구체 또는 SnS_2 전구체인 반도체 소자의 형성 방법.

청구항 6.

제1항 또는 제2항에 있어서,

상기 현탁액은 콜로이드 현탁액인 반도체 소자의 형성 방법.

청구항 7.

제6항에 있어서,

상기 제2 반도체 또는 그 전구체 용액은 상기 콜로이드 현탁액이 증착된 후에 증착되는 반도체 소자의 형성 방법.

청구항 8.

제1항 또는 제2항에 있어서,

상기 제2 반도체 또는 그 전구체 용액은 상기 제2 반도체의 액체 방울 형태로 토출되어 증착되는 반도체 소자의 형성 방법.

청구항 9.

제6항에 있어서,

상기 콜로이드 현탁액은 상기 제2 반도체 또는 그 전구체 용액이 증착되기 전에, 100-150℃의 온도 범위에서 어닐링(annealing)되는 반도체 소자의 형성 방법.

청구항 10.

제1항 또는 제2항에 있어서,

상기 제1 반도체의 입자를 상기 제2 반도체 또는 그 전구체의 용액 내에 분산시키는 단계, 및 이와 같이 형성된 분산액을 상기 기판의 표면상에 증착하는 다음 단계를 포함하는 반도체 소자의 형성 방법.

청구항 11.

제1항 또는 제2항에 있어서,

상기 제2 반도체 또는 그 전구체 용액을 상기 기판의 표면상에 증착하는 단계, 및 그 위에 상기 제1 반도체의 입자의 현탁액을 증착하여 상기 혼합물을 형성하는 다음 단계를 포함하는 반도체 소자의 형성 방법.

청구항 12.

복수의 제1 반도체의 입자; 및

상기 복수의 제1 반도체의 입자를 전기적으로 연결하는 제2 반도체 바인더를 포함하는 매트릭스를 포함하는 반도체 소자.

청구항 13.

제12항에 있어서,

상기 복수의 제1 반도체의 입자와 상기 제2 반도체 바인더의 부피비는 50:50-95:5 범위인 반도체 소자.

청구항 14.

제12항 또는 제13항에 있어서,

상기 복수의 제1 반도체의 입자의 가장 긴 길이의 평균이 0.01-5㎛인 반도체 소자.

청구항 15.

제12항 또는 제13항에 있어서,

상기 복수의 제1 반도체의 입자와 상기 제2 반도체 바인더의 전도형이 n-형인 반도체 소자.

청구항 16.

제15항에 있어서,

상기 제1 반도체의 입자는 카드뮴 셀레나이드, 주석 디설파이드(tin disulphide), 몰리브덴 디설파이드, 또는 텅스텐 디텔루라이드(tungsten ditelluride)로 형성되는 반도체 소자.

청구항 17.

제15항에 있어서,

상기 제2 반도체 바인더의 분자는 폴리(벤즈아미다조벤조 페난트롤린)(poly(benzamidazobenzo phenanthroline)), 메타노플러렌 [6-6]-페닐 C_{61} 부티르 산 메틸 에스테르(methanofullerene [6-6]-phenyl C_{61} butyric acid methyl ester), 또는 폴리 [2,3-디(p-톨릴)-퀴녹살린-5,8-디일](poly [2,3-di(p-tolyl)-quinoxaline-5,8-diyl])인 반도체 소자.

청구항 18.

제12항 또는 제13항에 있어서,

상기 제1 반도체의 입자와 상기 제2 반도체 바인더의 전도형은 p-형인 반도체 소자.

청구항 19.

제18항에 있어서,

상기 제1 반도체의 입자는 유기 반도체로 형성되는 반도체 소자.

청구항 20.

제19항에 있어서,

상기 유기 반도체는 펜타센(pentacene) 또는 헥사벤조코로넨(hexabenzocoronene)인 반도체 소자.

청구항 21.

제18항에 있어서,

상기 제2 반도체 바인더의 분자는 공액 결합(conjugated bond) 구조를 포함하는 반도체 소자.

청구항 22.

제21항에 있어서,

상기 제2 반도체 바인더는 폴리티오펜(polythiophene)으로 형성되는 반도체 소자.

청구항 23.

제22항에 있어서,

상기 폴리티오펜은 3-헥실티오펜(3-hexylthiophene)인 반도체 소자.

청구항 24.

제12항 또는 제13항에 있어서,

상기 제2 반도체 바인더의 분자는 고정기 또는 모이어티(moiety)에 의하여 상기 제1 반도체의 인접한 입자에 연결되는 반도체 소자.

청구항 25.

제12항에 정의된 반도체 소자를 포함하는 박막 트랜지스터.

청구항 26.

제25항에 있어서,

상기 반도체 소자는 소스 및 드레인 전극이 전기적으로 연결되는 트랜지스터 채널인 박막 트랜지스터.

청구항 27.

제12항에 정의된 반도체 소자를 포함하는 유기 발광 다이오드.

청구항 28.

제25항 또는 제26항에 따른 박막 트랜지스터를 포함하는 전기 장치.

청구항 29.

제1항에 있어서,

상기 제1 반도체의 입자는 상기 제2 반도체를 통해 서로 전기적으로 연결되는 반도체 소자의 형성 방법.

청구항 30.

제1항에 있어서,

상기 제1 반도체 및 상기 제2 반도체는 동일한 전도형이고, 다른 재료로 형성되는 반도체 소자의 형성 방법.

청구항 31.

제1항에 있어서,

상기 제1 반도체 및 상기 제2 반도체는 동일한 전도형이고, 동일한 재료로 형성되는 반도체 소자의 형성 방법.

청구항 32.

제27항에 따른 유기 발광 다이오드를 포함하는 전기 장치.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체 입자의 분산체에 의한 막(film)과 같은 반도체 소자의 제조에 관한 것으로, 구체적으로는, 전하 캐리어가 비교적 높은 이동도(mobility)를 갖는 반도체 소자의 제조에 관한 것이다.

기판상에 반도체 재료를 진공 증착하여, 반도체 막을 포함하는 박막 트랜지스터를 제조하는 기술이 알려져 있다. 이러한 방법으로 형성된 무기 반도체 막의 전하 캐리어 고유 이동도(intrinsic mobility)는 1000 ㎠/Vs 만큼 높다. 그러나, 진공 증착은 특수 장치와 초청정(ultra-clean) 공정 조건이 요구되기 때문에, 고가의 생산 기술이다. 따라서 보다 간단한 장치를 필요로 하는 생산 기술이 연구되고 있다.

최근에 용액으로 처리할 수 있는 유기 반도체의 개발이 매우 발전하고 있다. 그러한 반도체들을 용액 증착하여 생산한 막에서는 0.1 ㎠/Vs까지의 전하 캐리어 이동도가 얻어졌다. 진공 증착 펜타센으로 형성된 유기 박막 트랜지스터에서는 1-2 ㎠/Vs까지의 보다 높은 고유 전하 캐리어 이동도가 얻어졌다. 그러나, 펜타센은 모든 일반 용매에서 사실상 녹지 않기 때문에, 용액으로 쉽게 처리할 수 없다. 따라서, 펜타센은 지금까지 진공 증착에 의하여 증착되어야 했다. 그러나, 이러한 기술로 펜타센을 증착하는 것은, 이와 같이 형성된 펜타센 막이 동일 방법으로 증착된 무기 반도체로 형성된 막에 필적하는 전하 캐리어 이동도를 얻을 수 없다는 사실과 결부되어, 그 본질적인 비용으로 인하여, 상업적인 이득이 거의 없었다.

현재 용액으로 증착될 수 있는 펜타센 유도체들이 개발되고 있다. 이 유도체들은 스핀 코팅법이나 액체 방울 형태의 토출과 같은 프린팅 기술, 즉 잉크젯 프린팅법에 의하여 증착될 수 있는 장점이 있다. 이 증착 기술들은 진공 증착에 비하여 수행 비용이 매우 낮다. 따라서, 용액으로 증착될 수 있는 반도체가 훨씬 저렴한 반도체 소자의 제조 방법을 위한 길을 제공할 수 있을 것으로 생각된다.

잉크젯 프린팅 기술이 개발되고 있으며, 이 기술에서 박막 트랜지스터 성분이 잉크젯 프린팅 헤드를 채용한 수단에 의하여 액체 방울의 형태로 기판에 토출된다. 박막 트랜지스터의 반도체 소자를 형성하기 위하여, 카드뮴 셀레나이드 나노결정(nanocrystal)의 현탁액(suspension)이 기판상에 프린트되는 공정이 문헌(B.A. Ridley, B. Nivi and J.M. Jacobson in Science, Vol. 286, pg 746 (1999))에 기재되어 있다. 카드뮴 셀레나이드와 같은 무기 반도체는 화학적 상태의 변화, 즉 그 반도체성의 손상없이 임의의 용매에 녹일 수 없다. 그러나, 그것들은 나노결정의 현탁액(때로는 "콜로이드 현탁액"으로 알려져 있다)으로 프린트될 수 있다. 콜로이드 카드뮴 셀레나이드가 증착된 막을 어닐링(annealing)하여 생산된 카드뮴 셀레나이드 다결정 막의 고유 전하 캐리어 이동도는 약 1 ㎠/Vs가 되는 것으로 보고되어 있다. 비록 이 이동도가 용액으로 증착된 유기 반도체 막의 이동도 보다 높은 자리수이나, 진공 증착으로 형성된 카드뮴 셀레나이드 막의 전하 캐리어의 이동도보다 낮은 크기의 3자리수 근방이다.

콜로이드 반도체의 현탁액(여기서, 입자들의 평균 크기는 약 2nm이다)을 증착시켜 생성된 반도체 막의 전하 캐리어의 적절한 고유 이동도는 마이크로프로세서나 다른 고성능의 전자 기기를 제조할 수 있을 정도로 충분하지 않다. 이 전자 기기들은 더 높은 이동도를 요구한다. 나노결정 막을 약 30분 동안 250-350℃에서 소결하여 다결정 막으로 변화시킨다. 소결 공정은 콜로이드 반도체의 나노결정을 훨씬 큰 크기, 일반적으로 직경이 15nm인 결정입자로 유착시킨다.

반도체 막을 통한 전하 캐리어의 이동도는 전하 캐리어가 통과해야 하는 결정입자 경계의 수에 의해 저해된다. 따라서, 소결된 다결정 막의 경우 전하 캐리어가 훨씬 적은 결정입자 경계를 통과하기 때문에, 소결된 다결정 막을 통한 전하 캐리어의 이동도가 반도체 나노 결정으로 형성된 초기의 증착 막을 통한 이동도보다 크다. 그러나, 콜로이드 반도체 막의 소결 공정은 전자 기기에 미리 마련된 구성 요소뿐만 아니라 유연한 전자 기기의 제조에 일반적으로 사용되는 플라스틱 기판을 파괴할 수 있다. 그 결과, 소결 공정이 전하 캐리어의 이동도를 증가시킨다 하더라도, 대부분의 환경에서 불리하다.

발명이 이루고자 하는 기술적 과제

따라서, 본 발명의 목적은 반도체 입자의 분산으로 반도체 소자를 제조하는 방법과, 소자 증착 후 소결 공정 없이, 마이크로프로세서나 다른 고성능 전자 기기에 사용하기에 적합하도록 충분한 벌크 전하 캐리어 이동도를 가지는 소자를 제공하는 것이다.

발명의 구성

상세한 설명에서, "벌크 전기 컨덕턴스(conductance)"라는 표현은 하나의 반도체 입자가 가지는 고유 전기 컨덕턴스에 대조되는 의미로서, 입자간에 존재하는 결합 물질과 함께 또는 결합 물질 없이 반도체 입자들을 포함하는 소자의 전기 컨덕턴스를 의미한다. "벌크 전하 캐리어 이동도"라는 표현은 하나의 반도체 입자의 전하 캐리어 고유 이동도에 대조되는 의미로서, 입자간에 존재하는 결합 물질과 함께 또는 결합 물질 없이 반도체 입자를 포함하는 소자의 전하 캐리어 이동도를 의미한다. 그리고 "매트릭스"라는 용어는 상대적으로 미세-결정입자 또는 보다 큰 거친 입자들이 포함되는 비정질인 임의의 재료를 의미한다.

제1 관점에 따르면, 본 발명은

(i) 제2 반도체 또는 그 전구체를 포함하는 액상체 내에 현탁된 제1 반도체 입자를 포함하는 혼합물이 기판의 표면상에 형성되도록, 제1 반도체 입자의 현탁액과 제2 반도체 또는 그 전구체의 용액을 상기 기판의 표면상에 증착시키는 단계; 및

(ii) 제1 반도체의 인접 입자를 전기적으로 연결하는 제2 반도체의 매트릭스 내에 제1 반도체 입자를 포함하는 반도체 소자를 형성하기 위하여, 혼합물을 고형화하는 단계를 포함하며,

제1 및 제2 반도체는 전도형이 같고, 동일하거나 다른 재료로 형성되는 반도체 소자의 형성 방법을 제공한다.

본 발명의 이 관점에 따르면, 반도체 소자는 상술한 단점을 각각 가지는 진공 증착 공정 또는 소결 공정의 필요 없이, 비교적 높은 벌크 전하 캐리어 이동도를 갖도록 제조될 수 있다.

제2 반도체 매트릭스에 제1 반도체 입자들을 매입하고, 제2 반도체 매트릭스가 제1 반도체의 인접 입자간에 전기적인 연결을 생성하도록 하여, 소자의 전하 캐리어 이동도를 증가시킴으로써, 높은 벌크 전하 캐리어 이동도를 얻을 수 있다.

바람직하게는 제1 및 제2 반도체는 다른 재료로 형성되고, 제1 반도체가 제2 반도체보다 높은 고유 전하 캐리어 이동도를 갖는다. 소자가 제2 반도체보다 높은 벌크 전하 캐리어 이동도를 가지는 제1 반도체 입자를 주성분으로 하여 형성되는 한, 소자의 벌크 전하 캐리어 이동도가 전체적으로 커지게 된다.

반도체 또는 그 전구체가 액체인 경우, 제2 반도체 또는 그 전구체 용액은 반도체 또는 그 전구체로 완전히 형성될 수도 있다. 이는 몇 사례에서 액정 반도체 6-(4'-옥틸페닐)-2-도데실옥시나프탈렌(6-(4'-octylphenyl)-2-dodecyloxynaphthalene)(종종 8-PNP-012로 축약됨)과 같은 반도체 또는 그 전구체를 녹임으로써 달성된다. 제2 반도체를 적절한 용매에 녹인 용질로서 제공하는 것이 바람직하다고 생각된다.

제2 반도체가 전구체로 증착되는 경우에는, 상기 과정은 전구체를 제2 반도체로 변환하는 공정을 포함한다. 이는 일반적으로 전구체를 포함하는 증착 혼합물을 가열함으로써 수행된다. 이러한 가열 처리 공정은 일반적으로 100-150℃에서 1-30분 동안 가열함으로써 수행된다. 이는 제1 반도체의 소결 온도보다 낮다. 제2 반도체의 가능한 전구체는 펜타센 전구체 또는 SnS_2 전구체이다.

제1 반도체 입자의 현탁액은 적절한 액체 분산제의 콜로이드 현탁액 형태로 제공될 수 있다. 이 현탁액은 제1 공정으로서 기판의 표면상에 증착될 수 있다. 기판 표면상에 혼합물을 형성하기 위하여, 제2 반도체 또는 그 전구체 용액이 증착된 제1 반도체의 현탁액 위로 연속하여 증착될 수 있다. 이 공정은 제2 반도체 또는 그 전구체를 포함하는 액상체를 액체 방울 형태로 토출함으로써 수행될 수도 있다. 이 경우, 증착된 제1 반도체 입자의 콜로이드 현탁액은 제2 반도체 또는 그 전구체를 포함하는 액상체를 증착하기 전에 100-150℃의 온도에서 어닐링되는 것이 바람직하다.

상기와 다른 방법으로서, 제1 반도체 입자는 제2 반도체 또는 그 전구체 내에 분산될 수도 있고, 그 다음에 이와 같이 형성된 혼합물이 기판의 표면상에 증착될 수도 있다. 증착 전에 두 반도체의 혼합물을 형성하는 것은 이후 하나의 증착 공정만이 요구되므로 본 발명의 바람직한 특징이 된다. 그러나 이것은 제2 반도체(또는 구 전구체) 용액에서 제1 반도체 입자가 충분히 분산될 수 있는가에 달려있다. 이 경우, 혼합물은 스핀 코팅법, 닥터-블레이딩법 또는 잉크젯 프린팅법 중 어떠한 것으로도 증착될 수 있다.

더 다른 방법으로서, 제2 반도체 또는 그 전구체는 스핀 코팅법, 닥터-블레이딩법, 또는 잉크젯 프린팅법 중 어떠한 것으로도 증착될 수도 있고, 그 다음에 제1 반도체 현탁액이 그 위에 증착된다. 이 다음 증착은 잉크젯 프린팅법으로 수행되는 것이 바람직하다.

따라서, 제1 반도체와 제2 반도체 또는 그 전구체는 어떠한 순서로도, 심지어는 미리 형성된 혼합물로 같이 기판의 표면상에 증착될 수도 있다. 보다 구체적으로는, 제1 반도체가 먼저 증착된 후 제2 반도체 또는 그 전구체가 증착될 수도 있고, 제2 반도체 또는 그 전구체가 먼저 증착된 후 제1 반도체가 증착될 수도 있으며, 제1 반도체와 제2 반도체 또는 그 전구체를 미리 혼합하여, 제2 반도체 용액에 제1 반도체 입자의 분산이 형성되도록 한 후, 혼합물로 함께 증착되도록 할 수도 있다.

상기 내용에서, "기판의 표면"은 반도체 소자의 생산에 사용되는 예를 들어 플라스틱 또는 유리 기판의 실제 표면에 한정되지 않는다. 오히려, 본 내용에서 "기판"은 반도체 소자가 형성되고, 트랜지스터와 같은 전자 소자의 구조의 일부로서 도전체 또는 반도체로 이미 코팅 및/또는 패턴된 표면을 가지는 어떤 재료도 포함하도록 의도되었다.

제2 관점에 따르면, 본 발명은 인접하는 반도체 입자들을 전기적으로 연결하는 반도체 바인더 매트릭스 내에 반도체 입자를 포함하고, 바인더와 입자는 동일한 전도형이고, 바인더는 입자와 동일하거나 다른 재료로 형성되는 반도체 소자를 제공한다.

상술한 바와 같이, 제2 반도체 매트릭스 내에 제1 반도체 입자를 배열하는 것은 반도체 소자가 입자로만 형성된 경우에 비하여 증가된 벌크 컨덕턴스를 갖도록 한다. 이는 제2 반도체로 형성된 매트릭스가 인접하는 반도체 입자들을 전기적으로 연결시켜, 인접하는 입자간에 전하 캐리어의 흐름을 쉽게 하고 결국 소자의 전체적인 이동도를 증가시키기 때문이다.

반도체 입자와 반도체 바인더의 부피 비는 50:50-95:5 범위인 것이 바람직하다. 이러한 부피 비는 소자의 과반수가 반도체 입자로 형성되는 결과를 갖는다. 입자들은 반도체 바인더보다 일반적으로 높은 고유 전하 캐리어 이동도를 가지기 때문에, 전체적으로 소자의 벌크 전하 캐리어 이동도는 비교적 높게 된다.

반도체 소자의 반도체 입자는 모양이 규칙적 및 비규칙적으로 변화할 수 있다. 모양에 관계없이, 각 입자는 가장 긴 길이에 대응하는 축을 가지고 있다. 반도체 입자들의 가장 긴 길이의 평균은 0.01-5㎛의 범위내에 있게 된다.

입자와 바인더는 동일한 전도형을 갖는다. n-형인 경우, 반도체 입자는 카드뮴 셀레나이드(CdSe), 주석 디설파이드(SnS_2), 몰리브덴 디설파이드(MoS_2), 또는 텅스텐 디텔루라이드(WTe_2)로 형성될 수 있다. 반도체 바인더 분자는 폴리(벤즈아미다조벤조 페난트롤린)(poly(benzamidazobenzo phenanthroline)), 메타노플러렌 [6-6]-페닐 C_{61} 부티르산 메틸 에스테르(methanofullerene [6-6]-phenyl C_{61} butyric acid methyl ester), 또는 폴리 [2,3-디(p-톨릴)-퀴녹살린-5,8-다이일](poly [2,3-di(p-tolyl)-quinoxaline-5,8-diyl])로 형성될 수도 있다.

다른 방법으로, 입자와 바인더는 p-형으로 형성될 수도 있다. 이 경우, 반도체 입자는 펜타센 또는 헥사벤조코로넨(hexabenzocoronene)과 같이 유기 반도체로 형성될 수 있고, 바인더는 폴리티오펜(polythiophene)으로 형성될 수도 있다.

바인더 분자는 p-형 또는 n-형에 관계없이, p-형 반도체 폴리티오펜이 가지는 것과 같이 공액 결합 구조를 가져야 하는 것이 바람직하고, 구체적인 예로서 3-헥실티오펜(P3HT) 및 n-형 반도체 폴리(벤자미다조벤조 페난트롤린)이 있다.

반도체 소자에서, 제2 반도체 분자는 고정기 또는 모이어티(moiety)에 의하여 제1 반도체 입자와 연결될 수 있다. 이러한 기들은 공유 결합, 또는 π-π^* 상호 작용이나 반 데르 발스(Van der Waals) 상호 작용과 같은 몇개의 다른 분자 상호 작용 수단에 의하여 제2 반도체를 입자들에 고정시킨다. 이와 같이 바인더를 입자에 고정시키는 것은 입자와 바인더 사이에 전하 캐리어의 전송을 쉽게 하여, 반도체 소자의 벌크 전기 컨덕턴스를 증가시키는 장점이 있다.

본 발명의 제2 관점에 따른 반도체 소자는 박막 트랜지스터의 구성 요소로 사용될 수도 있다. 예컨대, 반도체 소자는 소스와 드레인 전극이 전기적으로 접촉되는 트랜지스터 채널이 될 수도 있다. 이와는 달리, 반도체 소자는 유기 발광 다이오드의 구성 요소가 될 수도 있다. 이러한 박막 트랜지스터 또는 유기 발광 다이오드는 전기 장치에 일체화되는 것이 바람직하다.

이하, 본 발명을 첨부된 도면을 참조하여 보다 구체적으로 설명한다. 도면에서 전체적으로 동일한 참조 번호들이 사용되었다.

본 발명의 제1 특징에 따르면, 막과 같은 반도체 소자의 제조 방법이 제공되며, 이 막은 반도체를 용액으로 증착시켜 형성한 종래의 막에 비하여 높은 벌크 전기 컨덕턴스를 갖는다. 이 방법은 제1 반도체 입자의 현탁액과 제2 반도체 또는 그 전구체의 용액을 기판의 표면상에 증착하는 제1 공정을 포함한다. 이는 제2 반도체 또는 그 전구체를 포함하는 액상으로 현탁된 제1 반도체 입자들을 포함하는 혼합물이 표면에 존재하는 결과로 귀착된다. 제2 공정에서, 혼합물이 고형화되어, 제1 반도체의 인접 입자들을 전기적으로 연결하는 제2 반도체의 매트릭스 내에, 제1 반도체 입자들을 포함하는 반도체 소자가 형성된다.

본 발명에 의하여 제공되는 반도체 소자는 인접하는 반도체 입자들을 전기적으로 연결하는 반도체 바인더의 매트릭스 내의 반도체 입자들을 포함한다. 바인더와 입자들은 동일한 전도형이다. 즉, 이 재료들은 둘 다 n-형이거나 p-형이다. 바인

더는 입자들을 형성하는 재료와 동일하거나 다른 재료로 형성된다. 반도체 바인더는 제1 반도체의 인접 입자들을 전기적으로 연결함으로써, 매트릭스가 없어 입자들 사이에 비어 있는 작은 공간이 생길 수 있는 경우에 비하여, 입자간의 전하 캐리어 이동도를 증가시킨다.

서로 근접하고, 몇개의 반도체 매트릭스 분자에 의하여 전기적으로 연결된 두 반도체 입자의 경우에 있어서, 시스템의 벌크 전하 캐리어 이동도는 개개의 반도체 입자의 고유 전하 캐리어 이동도에 가깝도록 기대된다.

제1 및 제2 반도체는 다른 재료로 형성되는 것이 바람직하다. 이 경우, 제1 반도체는 제2 반도체 재료보다 높은 고유 전하 캐리어 이동도를 가져야 한다. 이는 제1 반도체 입자가 반도체 소자의 벌크 전하 캐리어 이동도에 더 큰 영향을 미치기 때문이다.

그래도, 제1 반도체와 제2 반도체는 동일한 재료로 형성될 수도 있다. 이 경우, 제2 반도체는 기판의 표면에 증착될 때 그 전구체의 형태로 제공되는 것이 바람직하다. 증착 이후, 전구체는 적절한 처리에 의하여 제1 반도체를 형성하는 재료와 동일한 재료의 제2 반도체로 변환된다. 이 변환은 증착된 전구체를 100-200℃에서 1-30 분 동안 가열함으로써 수행될 수 있다. 사용될 수 있는 가능한 전구체로서 펜타센 전구체 또는 SnS_2 전구체가 포함된다.

제2 반도체는 용융점 이상으로 가열하거나 적절한 용매에 녹여 용액으로 증착된다. 일반적으로 유용한 용매는 톨루엔, 클로로포름 및 클로로벤젠을 포함한다. 제2 반도체는 액체 형태로 증착된다. 이 액체와 제1 반도체 입자의 현탁액이 모두 기판 표면상에 증착된 후, 이 액체는 제1 반도체 입자의 현탁액과 혼합되고, 제2 반도체가 그 용융점 이상으로 가열된 경우에는 냉각시키거나, 좀 더 일반적으로 용매와 두 반도체의 증착을 촉진하는 분산제를 증발시켜 결과적인 혼합물을 고형화한다.

본 발명에서는, 제2 반도체의 매트릭스는 비정질이거나 제1 반도체 입자에 비하여 상대적으로 작은 입자들로 형성될 수도 있다. 제2 반도체가 미립자이면, 그 입자들의 평균 크기는 1-100nm, 보다 바람직하게는 1-10nm이다.

제1 반도체 입자는 액상(분산제)의 콜로이드 현탁액으로 기판 표면상에 증착될 수도 있다. 분산제는 예를 들어, 물이나 1,3,5-메시틸렌(mesitylene)과 같은 유기 액체일 수도 있다.

제1 반도체 입자의 현탁액은 스핀 코팅법, 패드 프린팅법, 닥터 블레이딩법, 스크린 프린팅법, 플렉소(flexo) 프린팅법, 오프셋 프린팅법 또는 액체 방울 형태로 토출하는 방법(때로는, "잉크젯 프린팅법"으로 알려져 있다)과 같은 코팅 기술에 의하여 증착될 수도 있다. 닥터 블레이딩법 또는 잉크젯 프린팅법을 사용하는 경우, 콜로이드 반도체를 빠르게, 원하는 영역(또는 영역들)에 정확하게, 그리고 비교적 저가로 증착할 수 있다.

제1 반도체 입자의 현탁액이 제2 반도체 용액 전에 증착되는 경우, 스핀 코팅법이 제1 반도체 입자들의 현탁액을 증착시키는데 또한 사용될 수도 있다. 반도체 입자들이 가늘고 긴 모양을 가지면, 스핀 코팅법은 입자들이 증착되는 동안 정렬되어 흐르도록 한다. 이는 입자의 패킹(packing) 농도를 증가시키는데, 높은 패킹 농도가 더 높은 벌크 전기 컨덕턴스를 갖는 반도체 소자를 도출하므로 유리하다. 보다 구체적으로, 분산제 내에서 반도체 입자의 그러한 흐름 정렬은 평균 입자의 길이가 기판 표면의 평면과 평행한 평면에서 효과적으로 길어지도록 하고, 따라서 전체적인 고유 전하 캐리어 이동도가 증가된다.

따라서, 제1 반도체 입자의 현탁액이 증착된 후에, 현탁액은 제2 반도체 또는 그 전구체 용액이 증착되기 전에 100-150℃ 온도에서 어닐링되는 것이 바람직하다. 이러한 어닐링 공정은 입자를 둘러쌀 수 있는 어떠한 캐핑(capping) 층도 제거할 수 있는 장점이 있다.

제2 반도체 또는 그 전구체는 제1 반도체 입자의 증착 후에 제1 반도체 입자의 현탁액 위에 증착될 수 있다. 이는 예컨대 제2 반도체를 용매에 녹이고, 그 용액을 미리 증착된 현탁액 위로 액체 방울 형태로 토출함으로써 수행될 수 있다. 잉크젯법을 사용하여 제2 반도체 용액을 반도체 입자의 미리 증착된 현탁액 위로 증착시킴으로써, 제2 반도체가 빠르고 정확하게 그리고 상대적으로 저가로 증착되도록 할 수 있다. 잉크젯 프린팅법은 증착 장치가 미리 증착된 제1 반도체의 현탁액에 직접 접촉하지 않으므로, 제1 반도체를 불리하게 손상시키지 않으므로 또한 유리하다.

제1 반도체 현탁액의 증착 전에, 제2 반도체 또는 그 전구체 용액을 증착시킬 수 있다. 이 증착은 예컨대 닥터-블레이딩법, 패드-프린팅법, 스핀 코팅법 또는 잉크젯 프린팅법으로 수행될 수 있다. 계속하여, 제1 반도체 입자의 현탁액이 예컨대 잉

크젯 프린팅법으로 제2 반도체 위에 프린트된다. 제1 반도체 입자의 현탁액을 잉크젯 프린팅하는 것은 상대적으로 빠르고 정확하게 그리고 직접 접촉하여 미리 증착된 제2 반도체 또는 그 전구체 용액을 불리하게 손상시키는 어떠한 증착 장치의 필요없이 수행될 수 있다는 점에서 장점을 가진다.

다른 방법으로, 제2 반도체 또는 그 전구체는 기판에 같이 증착되기 전에 현탁액 또는 고형 입자로 콜로이드 반도체와 혼합될 수 있다. 이는 제1 및 제2 반도체의 증착이 하나의 공정으로 수행될 수 있도록 하여 공정의 효율성을 개선한다. 이 경우, 제2 반도체가 일반적으로 녹는 용매는 제1 반도체 입자의 분산제로서 또한 역할을 할 수 있다. 이 혼합물은 예컨대, 닥터-블레이딩법, 패드-프린팅법, 스핀 코팅법 또는 잉크젯 프린팅법에 의하여 증착될 수도 있다.

반도체 소자의 제1 반도체 입자와 제2 반도체 매트릭스의 부피 비는 50:50-95:5 범위 내에 있는 것이 바람직하다. 제1 반도체 입자가 제2 반도체로 형성된 매트릭스보다 높은 고유 컨덕턴스를 가지는 경향이 있으므로, 50:50 이상의 비가 바람직하다. 반도체 입자용으로 95%에 근접하는 상대적으로 높은 부피 비가 바람직하나, 이를 얻는 것은 입자의 모양에 달려 있다. 예컨대, 박편(flake) 형태의 입자는 대략 구의 입자에 비하여 훨씬 빈틈없이 패킹(packing)될 수 있고, 따라서 입자 간의 공간을 채우기 위하여 매트릭스 재료를 덜 필요로 한다. 바람직하게는 제1 반도체 입자와 제2 반도체의 매트릭스의 부피 비는 70:30-95:5이고, 더욱 바람직하게는 80:20-95:5이다.

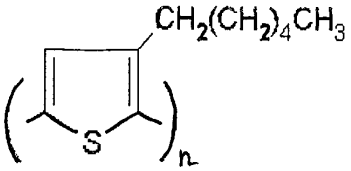
구 형태는 높은 패킹 밀도를 얻기 어렵기 때문에 그다지 바람직하지 않으나, 제1 반도체 입자들은 일반적으로 구 형태이다. 박편, 소형판(platelet), 또는 나노 튜브 형태의 입자들은 상대적으로 높은 패킹 밀도를 획득할 수 있고, 이는 반도체 소자가 구 형태의 입자를 포함하는 경우에 비하여 높은 벌크 전기 컨덕턴스를 갖도록 하기 때문에 더욱 바람직하다. 펜타센과 SnS_2는 모두 제1 반도체용으로 바람직한 입자 형태인 소형판 결정으로 형성되어 있다.

제1 반도체 입자들의 가장 긴 길이의 평균은 0.01-5㎛인 것이 바람직하고, 0.03-2㎛인 것이 더욱 바람직하며, 0.05-0.5㎛인 것이 가장 바람직하다. 제1 반도체 입자의 가장 짧은 길이의 평균은 0.1㎛보다 크지 않도록 하는 것이 바람직하고, 0.01㎛ 보다 크지 않도록 하는 것이 더욱 바람직하다. 제1 반도체 입자의 이상적인 크기는 어느 정도까지 절충할 수 있다. 비교적 작은 입자들은 처리가 쉽고, 소자 재현성을 용이하게 한다. 반면, 비교적 큰 입자들은 주어진 거리에서 전하 캐리어가 적은 결정 경계를 통과하기 때문에, 상대적으로 작은 입자들에 비하여 벌크 전기 컨덕턴스가 높다. 제1 반도체 입자들의 현탁액이 잉크젯 프린팅법으로 증착되는 경우, 가장 큰 입자의 크기는 5㎛를 초과해서는 안되며, 그렇지 않은 경우 입자가 잉크젯 프린팅 해드를 막는 경향이 있다. 증착될 현탁액의 제1 반도체 입자의 크기 및 형태는 최종의 반도체 소자에서 변경될 수 없음을 유의해야 한다.

상업적으로 이용 가능한 반도체 입자들은 캐핑 층에 의하여 자주 둘러싸이게 된다. 이러한 층은 입자가 성장하는 동안 입자의 크기 분포를 제어하기 위하여 사용될 수 있다. 예컨대, 카드뮴 셀레나이드 입자는 일반적으로 피리딘의 캐핑 층에 의해 둘러싸여 종종 합성된다. 이러한 캐핑 잔류물은 일부 단계에서 제거될 필요가 있다. 이는 반도체 입자가 증착되기 전 또는 후에 100-150℃의 범위 내에서 저온 어닐링 공정이 수행되도록 함으로써 이루어질 수 있다.

반도체 입자와 반도체 매트릭스의 전도형은 서로 동일하다. n-형인 경우, 반도체 입자는 예컨대 카드뮴 셀레나이드 또는 황화 주석(tin (IV) sulphide (SnS_2))으로 형성될 수도 있고, 반도체 매트릭스는 폴리(벤자미다조벤조 페난트롤린), 메타노플러렌 [6,6]-페닐 C_{61} 부티르 산 메틸 에스테르, 또는 폴리[2,3-디(p-톨릴)-퀴녹살린-5,8-다이일]로 형성될 수도 있다. 예를 들어, 카드뮴 셀레나이드의 반도체 입자는 폴리(벤즈아미다조벤조 페난트롤린) 매트릭스 내에 삽입될 수도 있다. 후자는 질소를 포함하는 이종환(heterocycle)을 포함하고, 여기서, 반도체 입자들이 카드뮴 셀레나이드로 형성되는 경우에는 질소 원자의 고립 쌍은 카드뮴 양이온과 배위 결합을 형성할 수 있다. 폴리(벤즈아미다조벤조 페난트롤린)의 공액 결합 구조는 카드뮴 셀레나이드 반도체 입자와 전기적으로 가교를 형성할 수 있고, 이는 카드뮴 셀레나이드 입자로만 구성된 반도체 소자, 즉 어떠한 반도체 매트릭스도 포함하지 않는 경우에 비하여, 반도체 소자의 벌크 전기 컨덕턴스를 증가시키는데 효과적이다.

다른 방법으로, 반도체 입자와 반도체 매트릭스의 전도형은 p-형이 될 수도 있다. 이 경우, 반도체 입자는 펜타센 또는 헥사벤조코로넨(hexabenzocoronene)과 같은 유기 반도체가 될 수도 있다. 매트릭스로 형성되는 p-형 반도체는 공액 결합 구조를 포함하는 것이 바람직하다. 그러한 공액 구조의 존재는 전자가 분자 길이를 따라 즉, 제1 반도체의 인접 입자 사이를 쉽게 이동할 수 있도록 한다. 그러한 공액 바인더의 예로서, 폴리(3-헥실티오펜)(P3HT)과 같은 폴리티오펜이 있고, P3HT의 화학식은 다음과 같다.

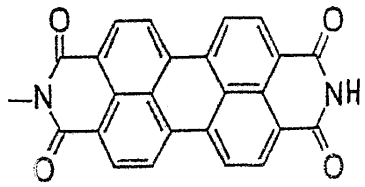


여기서, n은 100-1000의 정수이다.

다른 방법으로서, 그러한 공액 결합 구조는, 광전지(photovoltaic cells) 내의 나노 결정 TiO_2 전극의 색소-증감(dye-sensitization) 용으로 사용되는 금속 유기 루테늄-바이피리딜 착물(ruthenium-bipyridyl complexes) 또는 완전한 무기 금속 착물과 같은 금속 d-오비탈-유도 결합을 가지는 원자단에 의해 제공될 수도 있다.

제2 반도체는, 바인더 분자의 말단과 인접하는 반도체 입자가 상호 작용하도록 하거나, 심지어 공유적으로 결합하는 고정기 또는 모이어티를 통하여, 반도체 입자에 결합을 형성하는 것이 바람직하다. 예컨대, 그러한 기(group)들은 카르복실기, 인산기, 아민기, 하이드록사메이트기(hydroxamate group), 티올기(thiol group), 및 치환기를 수용하는 전자를 가지는 방향족 고리들을 포함한다. 예를 들어, 반도체 입자가 카드뮴 셀레나이드로 형성된 경우에는, 매트릭스를 형성하는 반도체는 고분자 사슬의 말단에 질소 이종환을 가지는 것이 바람직하다. 이는 질소 이종환이 카드뮴 양이온과 배위 결합을 형성할 수 있기 때문이다. P3HT는 반 데르 발스 상호 작용을 통해 펜타센 입자들과 상호 작용함으로써, 이 공액 바인더를 펜타센 입자에 연결할 수 있다.

반면, 반도체 입자들이 펜타센 또는 헥사벤조코로넨으로 형성되는 경우, P3HT와 같은 폴리티오펜은 치환기를 수용하는 하나 이상의 전자를 가지는 페닐 고리 또는 다음과 같은 구조의 페릴렌 디이미드 모이어티로 말단이 캐핑될 수 있다.



이러한 고리 구조는 p-형 유기 반도체 입자들을 π-π* 상호 작용 수단에 의하여 결합시킬 수 있다.

제2 반도체로서 고정기를 가지는 분자의 사용은 반도체 입자와 반도체 매트릭스 분자 사이의 계면에 쌍극자 층이 효과적으로 형성될 수 있도록 한다. 쌍극자 층의 배향에 따라, 각 전도 대역 간의 오프셋 또는 각 가전자 대역 간의 오프셋을 감소시킬 수 있다. 감소된 오프셋은 반도체 입자와 반도체 매트릭스 분자 사이의 전기적인 접촉이 보다 오믹(ohmic)하게 작용하도록 한다.

제1 및 제2 반도체가 본딩 등으로 연결되는 일부 형태로 선택된 경우에는, 기판 위에 개별적으로 증착될 필요가 있다. 그렇지 않고, 증착 전에 혼합되는 경우에는, 입자/매트릭스 반도체 소자의 형성 전에 제1 및 제2 반도체가 너무 이르게 상호 작용할 수 있게 되고, 이는 나쁜 영향을 줄 수 있다.

이제 첨부된 도면으로 돌아가면, 도 1은 폴리(3-헥실티오펜) 반도체 바인더 및 펜타센 반도체 입자의 에너지 밴드를 도시한 것이다. 이것은 입자와 매트릭스를 각각 형성하는 제1 및 제2 반도체 재료의 선택에 중요한 기준을 나타낸다. 보다 구체적으로, p-형의 반도체 입자와 매트릭스의 경우, 반도체 바인더 분자의 가전자대의 가장 높은 에너지 레벨은 반도체 입자의 가전자대의 가장 높은 에너지 레벨에 가깝게 맞추어져야 한다. 이 요구 조건은 예컨대 반도체 바인더 분자로서의 펜타센 반도체 입자와 P3HT의 합성으로 충족된다. 이러한 재료는 모두 자외선 광전자 분광기(UPS)에 의하여 정해진 바와 같이 대략 5.0eV의 이온화 퍼텐셜을 가진다. 따라서, 입자와 매트릭스간의 계면을 가로지르는 홀의 이동을 방해하는 에너지 장벽이 없어지게 된다.

반대로, n-형 반도체 바인더 매트릭스와 입자인 경우에는, 매트릭스를 형성하는 제2 반도체의 전도대의 가장 낮은 에너지 레벨이 입자를 형성하는 제1 반도체의 전도대의 가장 낮은 에너지 레벨에 가깝도록 맞추어져야 한다.

도 2는 기판(11)에 제공되는 박막 트랜지스터(전체적으로 10으로 도시됨)의 복수의 구성 요소를 도시한 것이다. 기판(11) 위에 절연층(4)과 게이트 전극(12)이 형성된다. 절연층(4) 위에 소스 전극(13) 및 드레인 전극(14)이 형성된다. 이 복수의 구성 요소는 본 명세서에서 사용된 용어 "기판"의 의미 내에서 "기판"에 대응한다.

도 3은 도 2에 도시된 박막 트랜지스터(10)의 동일 구성 요소를 도시한 것으로, 제1 반도체 입자의 현탁액(3)은 예를 들어, 스핀 코팅법 또는 잉크젯 프린팅법으로 소스 전극(13)과 드레인 전극(14) 사이에 증착된다. 캐핑 층이 반도체 입자에 존재하는 경우에는, 캐핑 재료를 제거하기 위하여 약 125℃ 온도에서 어닐링 공정이 수행된다.

도 4를 참조하면, 적합한 용매에 녹아 매트릭스를 형성하기 위한 반도체 분자는 반도체 입자의 현탁액 위로 잉크젯 프린트된다. 액상체 내에서 현탁된 제1 반도체 입자와, 제2 반도체를 포함하는 혼합물은 이 후 고형화되어 반도체 소자(1)를 형성한다. 바람직하게는, 고형화 처리는 혼합물을 40-150℃에서 1-30분 동안, 보다 바람직하게는 80-130℃에서 2-20분 동안 열을 가함으로써 수행된다. 이 공정 동안에, 제2 반도체가 녹아 있는 용매 및/또는 제1 반도체 입자가 분산되어 있는 분산제가 증발하게 된다. 제2 반도체가 그 전구체의 형태로 제공되는 경우에는, 이 고형 공정은 전구체를 제2 반도체로 변환하는 한편 동시에 혼합물을 고형화하기 위하여 200℃까지의 더 높은 온도에서 수행될 필요가 있다. 제2 반도체의 분자들은 반도체 입자 주위에 매트릭스를 형성하여, 반도체 입자들을 전기적으로 연결함으로써, 소자의 벌크 전기 컨덕턴스를 전체적으로 증가시킨다.

본 발명의 반도체 소자가 형성되는 기판은 게이트 전극, 절연층, 소스 전극 및 드레인 전극을 포함하는 박막 트랜지스터의 복수의 구성 요소를 포함할 수도 있다. 본 발명에 따라 형성된 막과 같은 소자는 박막 트랜지스터의 하나 이상의 구성 요소를 형성하는데 특히 적합하다. 구체적으로, 반도체 소자는 박막 트랜지스터의 소스 전극과 드레인 전극의 전기적인 접촉 내에 존재하도록 형성될 수도 있다.

전기 장치는 본 발명에 따라 형성된 막 형태의 소자를 구비하는 박막 트랜지스터를 포함할 수 있다. 본 발명에 따른 반도체 막을 포함하는 박막 트랜지스터는 디스플레이 및 다른 전기 장치 내의 사용에 특히 적합하다. 본 발명의 제2 특징에 따른 반도체 소자는 또한 트랜지스터 채널이 될 수도 있다.

다른 방법으로, 본 발명의 반도체 소자는 유기 발광 다이오드를 포함할 수도 있다. 그리고, 이 다이오드는 전기 장치에 포함될 수도 있다.

지금부터 본 발명에 따른 막 제조 방법의 4가지 예를 설명한다. 그러나, 본 발명의 범위 내에서 다른 공정 방법들이 사용될 수 있음이 이해될 것이다.

예 1 - 혼합물로 증착된 p-형 반도체

(1) 메시틸렌(mesitylene) 내의 펜타센 입자 현탁

펜타센 2.0g이 메시틸렌 50ml 내에 분산된다. 이 분산체는 이후 글로브(glove) 박스 내의 비활성 가스 환경에서, 유성형 볼밀(planetary ball mill) 내에서 4시간 동안 분쇄된다.

(2) 클로로포름 내의 펜타센 전구체 용액

펜타센 0.5g, N-설피닐아세트아미드(N-sulfinylacetamide) 0.6g, 메틸트리옥소레늄(methyltrioxorhenium) 0.005g이 클로로포름 30ml에 더해져서, 2일 동안 환류되었다. 결과적인 펜타센 전구체 생산물이 플래시 크로마토그래피에 의하여 순화되었다.

펜타센 현탁액 (1)과 펜타센 전구체 용액 (2)의 동일한 양이 잉크 제형(formulation)을 형성하기 위하여 비활성 가스 환경하에서 혼합되었다. 결과적인 잉크 제형은 80:20의 펜타센 입자/전구체 유도 펜타센에 대응하는 약 25mg 펜타센 입자/ml와 전구체 형태의 6.3mg 펜타센/ml를 함유하였다.

합성된 입자-전구체 잉크는 글로브 박스 내에서, 소스 및 드레인 전극(13, 14)을 가교하는 반도체 층이 없는 부분적으로 제조되어 미리 제공된 박막 트랜지스터(10)를 포함하는 기판상에 2000rpm으로 60초 동안 스핀 코팅되었다. 이는 펜타센 전구체 매트릭스 내에 펜타센 입자를 함유하는 막으로 귀착되었다.

이 후, 펜타센 전구체 매트릭스는 비활성 가스 환경 하에서 약 2분간 160℃로 가열되어, 펜타센으로 변환되었다. 이 어닐링 처리는 더 작은 매트릭스 내에 매입되어 있는 보다 큰 (오리지널) 펜타센 입자, 전구체-유도 펜타센 결정을 갖는 다결정 펜타센 막의 형성으로 귀착되었다.

예 2- 혼합물로 증착된 p-형 반도체

(3) 클로로포름 내의 P3HT 용액

P3HT 0.5g을 글로브 박스 내의 비활성 가스 환경 하에서 하룻밤 교반시켜, 클로로포름 50ml에 녹였다.

예 1에서 형성된 펜타센 현탁액 (1)과 클로로포름 내의 P3HT 용액 (3)의 동일 양이 비활성 가스 환경 하에서 혼합되었다. 결과적인 잉크 제형은 20g 펜타센 입자/ml와 5mg P3HT/ml를 함유하고, 이는 대략 75:25 펜타센 입자/P3HT의 부피 비(펜타센의 고유밀도(specific density)는 1.2 g/㎤이고, P3HT의 고유밀도는 1.1 g/㎤이다.)에 대응한다. 이 후, 이 잉크는 도 2에 도시된 바와 같이 소스 및 드레인 전극(13, 14)을 가교하는 반도체 층이 없는 부분적으로 제조되어 미리 제공된 박막 트랜지스터(10)를 포함하는 기판상에 2000rpm으로 60초 동안 스핀 코팅되었다. 이후 잔류 용매는 비활성 가스 환경 하에서 100℃에서 2분 동안 어닐링됨으로써 제거되었다. 이는 P3HT 매트릭스에 삽입된 펜타센 입자를 함유하는 반도체 막의 형성으로 귀착되었다.

예 3 - 혼합물로 증착된 n-형 반도체

(4) 물 내에 SnS_2 입자 현탁액

상업적인 소스(Stem)로부터 얻은 SnS_2 분말은 질소 하에서 부틸-리튬(butyl-lithium)(무수 헥산 내의 1.6 M, Aldrich 사)과 삽입 반응을 하도록 하였으며, 이는 SnS_2의 모든 몰(mole)에 대해 3몰의 BuLi를 초과하는 지점에서, 수백 밀리그램의 SnS_2 분말을 천천히 첨가하였다. 이 후, 혼합물을 무수 헥산으로 가득 채워서, 4일간 질소 하에 두면, 리튬이 SnS_2의 반 데르 발스 갭 사이로 확산된다.

이 후, Li가 삽입된 SnS_2 20mg은 1시간의 초음파 세척으로 물 20ml(Millipore사, 18MΩ/cm)에서 박탈된다. 초음파 세척은 현탁액을 전체적으로 교반시켜 박탈이 잘 되도록 하는데 사용된다. 이 후, 현탁액은 원심분리되고, pH 7이 되도록 물 내에서 3번 세척되어(LiOH 및 헥산을 제거하기 위해), 최종적으로 2ml 물 내에 분산된다.

(5) 하이드라진(hydrazine) 내의 SnS_2 전구체 용액

상업적 소스(Strem 사)로부터 얻어진 SnS_2 분말 20mg과 황 4mg이 새롭게 증류된 하이드라진 2ml에 더해졌다. 고체 반응물은 실내 온도에서 질소로 채워진 병에서 6시간 동안 교반된 후 완전히 녹았다.

물 내의 SnS_2 입자 현탁액 (4)과 하이드라진 내의 SnS_2 전구체 용액 (5)의 동일양이 비활성 가스 하에서 혼합되었다. 결과적인 잉크 제형은 50:50 SnS_2 입자/전구체 유도 SnS_2의 부피 비에 대응하는 SnS_2 입자 약 10mg/ml과 전구체 형태의 SnS_2 10mg/ml을 함유하였다.

합성된 입자-전구체 잉크는 도 2에 도시된 바와 같이, 소스 및 드레인 전극(13, 14)을 가교하는 반도체 층이 없는 일부 제조되어 미리 준비된 박막 트랜지스터(10)를 포함하는 기판상에 2000rpm으로 60초 동안 스핀 코팅되었다. 이는 소스와 드레인 전극 사이에 증착될, SnS_2 전구체로 둘러싸인 SnS_2 입자를 포함하는 혼합물로 귀착되었다.

이후, SnS_2 전구체는 비활성 가스 환경 하에서 5분 동안 120℃에서 일차적으로 가열됨으로써 SnS_2로 변환된다. 이후, 막은 295℃에서 20분 동안 어닐링된다. 어닐링 공정은 더 작은 전구체 유도 SnS_2 결정 매트릭스 내에 매입되어 있는 더 큰 (오리지날) 입자를 갖는 다결정 SnS_2 막의 형성으로 귀착되었다.

예 4 - 개별적으로 증착된 n-형 반도체

메타노플러렌 [6,6]-페닐 C_{61} 뷰티르 산 메틸 에스테르를 20g/l의 농도로 클로로벤젠에 녹였다. 이 후, 이 용액은 도 2에 도시된 바와 같이, 소스 및 드레인 전극(13, 14)을 가교하는 반도체 층이 없는 부분적으로 제조되어 미리 준비된 박막 트랜지스터(10)를 포함하는 기판상에, 2000rpm으로 60초 동안 스핀 코팅되었다. 결과적으로 스핀 코팅된 용액은 두께가 50nm로 되었다.

이 후, 예 3에서 형성된 바와 같은 SnS_2 입자 현탁액 (4)은 미리 증착된 막상에 잉크젯 프린트되었다. 이후, 결과적인 막은 용매를 증발시키기 위하여 120℃에서 20분 동안 건조되어, 플러렌 매트릭스 내에 매입된 SnS_2 입자로 형성된 반도체 막의 형성으로 귀착되었다.

발명의 효과

본 발명에 따르면, 반도체 입자의 분산으로 반도체 소자를 제조하는 방법과, 소자 증착 후 소결 공정 없이, 마이크로프로세서나 다른 고성능 전자 기기에 사용할 수 있도록 충분한 벌크 전하 캐리어 이동도를 가지는 소자를 제공할 수 있다.

도면의 간단한 설명

도 1은 폴리(3-헥실티오펜) 및 펜타센 간의 인터페이스의 에너지 밴드 다이어그램을 도식적으로 나타낸 것이다.

도 2는 소스 및 드레인 전극을 연결하는 반도체 층이 없는, 부분적으로 제조된 박막 트랜지스터를 통한 단면도를 도식적으로 나타낸 것이다.

도 3은 도 2에 대응하는 것으로, 제1 반도체 입자의 현탁액이 소스 및 드레인 전극을 연결하도록 증착되었다.

도 4는 도 2에 대응되며, 소스 및 드레인 전극이 연결되어 반도체 소자가 형성되었다.

<도면의 주요 부분에 대한 부호의 설명>

1: 반도체 소자 4: 절연층

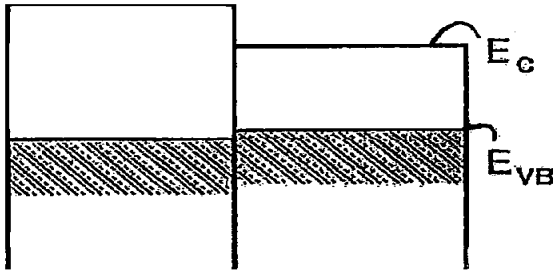
10: 박막 트랜지스터 11: 기판

12: 게이트 전극 13: 소스 전극

14: 드레인 전극

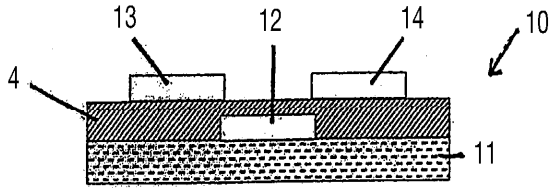
도면

도면1

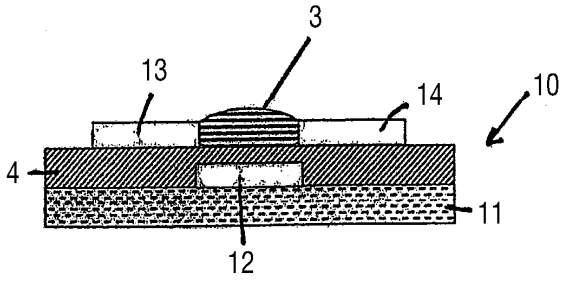
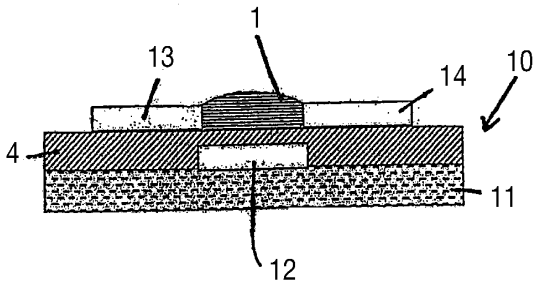


P3HT 펜타센

도면2



도면3



도면4