



(21)申請案號：105108959 (22)申請日：中華民國 105 (2016) 年 03 月 23 日

(51)Int. Cl. : *H01L21/31 (2006.01)* *H01L21/768 (2006.01)*
H01L21/8234(2006.01) *H01L23/00 (2006.01)*
H01L23/48 (2006.01) *H01L23/528 (2006.01)*
H01L29/06 (2006.01)

(30)優先權：2015/05/25 日本 2015-105379

(71)申請人：富士通股份有限公司 (日本) FUJITSU LIMITED (JP)
日本

(72)發明人：土手暁 DOTE, AKI (JP)；石塚剛 ISHITSUKA, TAKESHI (JP)；北田秀樹 KITADA, HIDEKI (JP)

(74)代理人：洪武雄；陳昭誠

(56)參考文獻：
US 7563714B2

審查人員：張錦昇

申請專利範圍項數：15 項 圖式數：17 共 48 頁

(54)名稱

半導體裝置及半導體裝置的製造方法

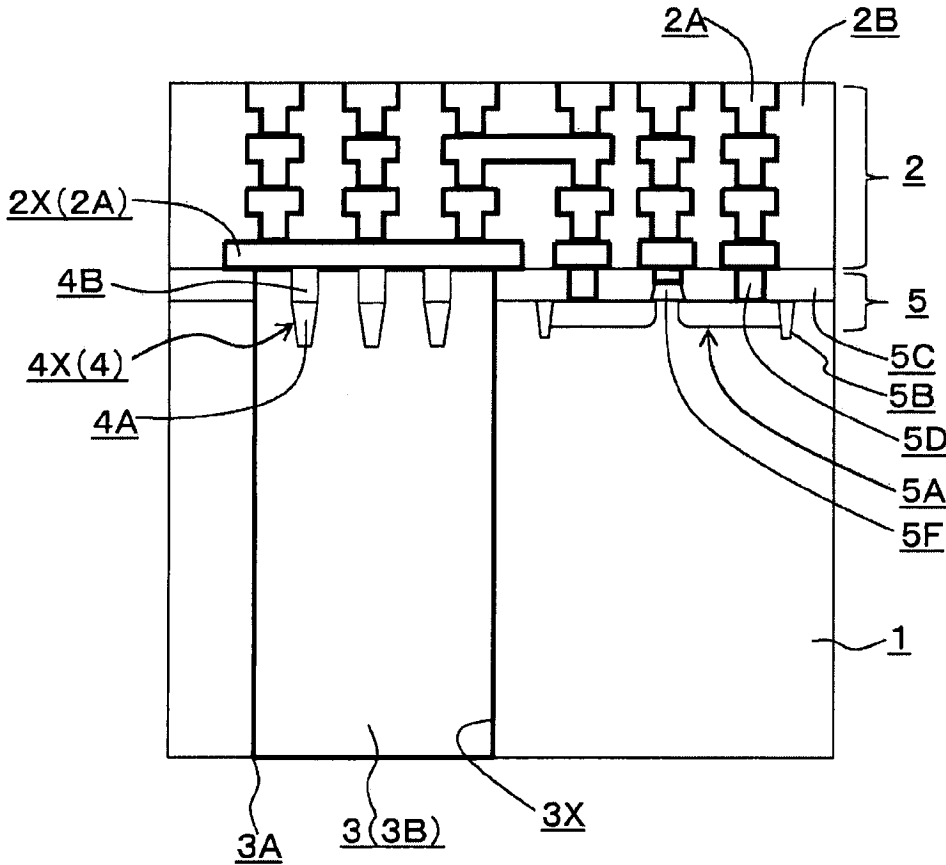
SEMICONDUCTOR DEVICE AND METHOD FOR FABRICATING SEMICONDUCTOR DEVICE

(57)摘要

一種半導體裝置，其係包括：半導體基板；配線層，其係設於該半導體基板之正面側上；貫穿通孔，其係從該半導體基板之背面側穿透該半導體基板且耦合至被包含於該配線層中的配線；以及應力鬆弛部，其係向貫穿通孔側突出且設置於該配線中之區段且耦合至該貫穿通孔，該應力鬆弛部包括含有熱膨脹係數小於該貫穿通孔之材料之絕緣材料的至少一絕緣部。

A semiconductor device includes: a semiconductor substrate; a wiring layer provided on a front-surface side of the semiconductor substrate; a through-via that penetrates through the semiconductor substrate from a back-surface side of the semiconductor substrate and is coupled to a wire included in the wiring layer; and a stress relaxation part that protrudes toward a through-via side and is disposed on a section in the wire and coupled to the through-via, the stress relaxation part including at least one insulating portion containing an insulating material having a smaller thermal expansion coefficient than a material of the through-via.

指定代表圖：



第1A圖

符號簡單說明：

- 1 . . . 半導體基板
- 2 . . . 配線層
- 2A . . . 配線
- 2B . . . 絕緣薄膜(層間絕緣薄膜)
- 2X . . . 配線、焊墊(電極)
- 3 . . . 貫穿通孔
- 3A . . . 種子層
- 3B . . . 鍍銅層
- 3X . . . 貫穿孔
- 4 . . . 應力鬆弛部
- 4A、4B . . . 部份
- 4X . . . 柱狀應力鬆弛部
- 5 . . . 電路層
- 5A . . . 電晶體
- 5B . . . 元件隔離區
- 5C . . . 絕緣薄膜
- 5D . . . 插塞
- 5F . . . 閘極

發明專利說明書

(本說明書格式、順序，請勿任意更動)

【發明名稱】(中文/英文)

半導體裝置及半導體裝置的製造方法

SEMICONDUCTOR DEVICE AND METHOD FOR
FABRICATING SEMICONDUCTOR DEVICE

【技術領域】

【0001】 描述於本文的具體實施例均有關於半導體裝置及半導體裝置的製造方法。

【先前技術】

【0002】 半導體晶片的堆疊及封裝有朝向高效能計算(HPC)、高效能伺服器及其類似者的傾向。

【0003】 例如，三維(3D)封裝涉及堆疊及封裝數個半導體晶片，以及 2.5 維(2.5D)封裝涉及使用中介層(interposer)來堆疊及封裝半導體晶片。在 3D 封裝及 2.5D 封裝中，半導體晶片之間或半導體晶片與中介層之間的電氣連接係使用倒裝晶片黏合法。

【0004】 半導體晶片及中介層設有從半導體基板之背面側穿透半導體基板的貫穿通孔(through-via)。與貫穿通孔耦合的配線被包含在設於半導體基板之正面側上的配線層中。

【0005】 第 13A 圖及第 13B 圖為半導體裝置的橫截面圖例子。第 14A 圖及第 14B 圖為半導體裝置的橫截面圖實施例。貫穿通孔有大容積以及貫穿通孔的材料有大於半

導體基板材料的熱膨脹係數。因為這樣，例如，貫穿通孔與配線之間之接面區段(junction section)的介面由於在製程期間因產生熱而重覆地膨脹及收縮而產生應力，因而接面區段的介面可能發生剝離(separation)，如第 13A 圖及第 13B 圖和第 14A 圖及第 14B 圖所示。

【0006】 例如，為了鬆弛在貫穿通孔與配線之間之接面區段之介面產生的應力以及減少接面區段之介面的剝離發生率，將會連接至貫穿通孔的配線係設有向貫穿通孔側突出的突出物。當突出物的材料有大於貫穿通孔材料的熱膨脹係數時，在貫穿通孔與配線之間之接面區段之介面產生的應力可能不被鬆弛，或接面區段之介面的剝離發生率可能不會減少。

【0007】 當突出物由金屬製成以及蝕刻掉用於形成貫穿通孔的區域時，電場會集中於由金屬製成的突出物，例如，如第 15 圖所示，以及包括電晶體及其類似者的電路可能經由有突出物的配線而受損(充電損害)。

【0008】 相關技術揭示於日本早期專利公開號 2014-11248 以及日本早期專利公開號 2010-103433。

【發明內容】

【0009】 根據該等具體實施例的一態樣，一種半導體裝置，其係包括：半導體基板；配線層，其係設於該半導體基板之正面側上；貫穿通孔，其係從該半導體基板之背面側穿透該半導體基板且耦合至被包含於該配線層中的配線；以及應力鬆弛部，其係向貫穿通孔側突出且設置於

該配線中之區段且耦合至該貫穿通孔，該應力鬆弛部包括至少一絕緣部，該絕緣部含有熱膨脹係數小於該貫穿通孔之材料之絕緣材料。

【0010】 在該半導體裝置的上述組態下，減少貫穿通孔與配線之間之接面區段之介面的剝離發生率係藉由鬆弛在接面區段之介面產生的應力。結果，可增加良率及可靠性。

【圖式簡單說明】

【0011】 第 1A 圖及第 1B 圖圖示半導體裝置之一實施例；

【0012】 第 2A 圖至第 2C 圖圖示具有應力鬆弛部之配線的實施例；

【0013】 第 3 圖圖示用於製造半導體裝置之方法的實施例；

【0014】 第 4 圖圖示用於製造半導體裝置之該方法實施例；

【0015】 第 5 圖圖示用於製造半導體裝置之該方法實施例；

【0016】 第 6 圖圖示用於製造半導體裝置之該方法實施例；

【0017】 第 7A 圖及第 7B 圖圖示用於製造半導體裝置之該方法實施例；

【0018】 第 8A 圖及第 8B 圖圖示用於製造半導體裝置之該方法實施例；

【0019】 第 9A 圖及第 9B 圖圖示用於製造半導體裝置之該方法實施例；

【0020】 第 10A 圖及第 10B 圖圖示用於製造半導體裝置之該方法實施例；

【0021】 第 11A 圖及第 11B 圖圖示用於製造半導體裝置之該方法實施例；

【0022】 第 12 圖圖示用於製造半導體裝置之該方法實施例；

【0023】 第 13A 圖及第 13B 圖圖示半導體裝置的橫截面圖實施例；

【0024】 第 14A 圖及第 14B 圖圖示半導體裝置的橫截面圖實施例；

【0025】 第 15 圖圖示半導體裝置的橫截面圖實施例；

【0026】 第 16 圖圖示半導體裝置的橫截面圖實施例；以及

【0027】 第 17 圖圖示半導體裝置的橫截面圖實施例。

【實施方式】

【0028】 第 1A 圖及第 1B 圖圖示半導體裝置之一實施例。第 1A 圖為半導體裝置的橫截面圖，以及第 1B 圖為從將會裝設貫穿通孔之側面觀看具有應力鬆弛部之配線(焊墊)的平面圖。第 2A 圖至第 2C 圖圖示具有應力鬆弛部之配線(或焊墊)的實施例。第 2A 圖至第 2C 圖為從將會裝

設貫穿通孔之側面觀看具有應力鬆弛部之配線(焊墊)的平面圖。如第 1A 圖所示，該半導體裝置包括半導體基板 1，設於半導體基板 1 之正面側上的配線層 2，以及從半導體基板 1 之背面側穿透半導體基板 1 且耦合至包含於配線層 2 中之配線 2X 的貫穿通孔 3。在第 1A 圖中，未圖示形成於貫穿通孔 3 四周的絕緣層，例如，形成於貫穿孔(through-hole)之側壁上的絕緣層。第 1A 圖中的元件符號 5F 表示閘極。

【0029】 應力鬆弛部 4 形成於被包含在配線層 2 中之配線 2X 的一區段上，該區段耦合至貫穿通孔 3，使得應力鬆弛部 4 向貫穿通孔 3 側突出。應力鬆弛部 4 包括由熱膨脹係數小於貫穿通孔 3 材料之絕緣材料製成的一部份。應力鬆弛部 4 有突出形狀(突出結構)。為此，應力鬆弛部 4 可稱為突出物。

【0030】 如第 1A 圖及第 1B 圖所示，提供多個應力鬆弛部 4 作為應力鬆弛部 4。例如，在被包含於配線層 2 中之配線的焊墊(電極)2X 上提供多個柱狀應力鬆弛部 4X 作為突出應力鬆弛部 4，焊墊(電極)2X 耦合至貫穿通孔 3。應力鬆弛部 4 不受限於此。例如，如第 2A 圖所示，在貫穿通孔 3 徑向延伸且直角相交的板狀應力鬆弛部 4Y 在包含於配線層 2 中之配線的焊墊(電極)2X 上可提供作為突出應力鬆弛部 4，焊墊(電極)2X 耦合至貫穿通孔 3。例如，如第 2B 圖所示，多個柱狀應力鬆弛部 4X 在被包含於配線層 2 中之配線的多個配線 2Y 上可提供作為突出應力鬆弛

部 4，配線 2Y 耦合至貫穿通孔 3。例如，如第 2C 圖所示，延伸成與多個配線 2Y 直角相交的多個板狀應力鬆弛部 4Z 在被包含於配線層 2 中之配線的多個配線 2Y 上可提供作為突出應力鬆弛部 4，配線 2Y 耦合至貫穿通孔 3。為了得到應力鬆弛效應同時阻止電阻增加，可提供在貫穿通孔 3 與配線 2X 或配線 2Y 之間之接面區段之介面方向有減少尺寸(例如，直徑)的多個柱狀應力鬆弛部 4X。

【0031】 應力鬆弛部 4 為鬆弛在貫穿通孔 3 與配線 2X 之間之接面區段之介面產生之應力的部份。由於應力鬆弛部 4 包括由熱膨脹係數小於貫穿通孔 3 材料之材料製成的一部份，在貫穿通孔 3 與配線 2X 之間之接面區段之介面產生的應力(熱應力)會被鬆弛。例如，可用應力鬆弛部 4 鬆弛由於有大容積之貫穿通孔 3 縱向變形而產生的應力。例如，用應力鬆弛部 4 沿著貫穿通孔 3 與配線 2X 之間之接面區段之介面(在面內方向)方向釋放由於有大容積之貫穿通孔 3 縱向變形而產生的應力，以及該應力因此被鬆弛。因此，可減少在貫穿通孔 3 與配線 2X 之間之接面區段(聯結區段)之介面的剝離發生率。

【0032】 應力鬆弛部 4 包括各自由絕緣材料製成的部份 4A 及 4B，而突出應力鬆弛部 4 係與配線 2X 電氣絕緣。因此，可減少在蝕刻用於形成貫穿通孔 3 之區域期間由於電場集中於突出應力鬆弛部 4 造成對於包括電晶體及其類似者之電路的損害。以此方式，在可減少對於電路的損害時，可鬆弛在貫穿通孔 3 與配線 2X 之間之接面區段

之介面產生的應力以及可減少在接面區段之介面產生的剝離。結果，可增加良率及可靠性。

【0033】 如第 1A 圖所示，在半導體基板 1 之正面側上提供電路層 5。電路層 5 包括電晶體 5A，藉由用絕緣材料填充半導體基板 1 中之元件隔離凹槽而形成的元件隔離區(element isolation region)5B，以及絕緣薄膜 5C。應力鬆弛部 4 包括含有與被包含於元件隔離區 5B 之中者相同之絕緣材料的部份 4A，以及含有與絕緣薄膜 5C 材料相同之絕緣材料的部份 4B。應力鬆弛部 4 在其末端包括含有絕緣材料的部份 4A。應力鬆弛部 4 可包括含有不同絕緣材料的部份 4A 及 4B。應力鬆弛部 4 的部份 4A 可設在在厚度方向與元件隔離區 5B 相同的位置處，部份 4A 係由與元件隔離區 5B 相同的絕緣材料形成。因為這樣，向貫穿通孔 3 側突出且設置於被包含於配線層 2 中之配線 2X 的一區段上的應力鬆弛部 4 有大高度(突出物高度)，該區段耦合至貫穿通孔 3。結果，可增加應力鬆弛效應。

【0034】 半導體基板 1 可為矽(Si)基板。貫穿通孔 3 可為含銅(Cu)貫穿通孔(金屬貫穿通孔)。例如，貫穿通孔 3 的材料可為銅。貫穿通孔 3 因此可為穿透矽基板 1 的矽通孔(TSV)。貫穿通孔 3 可設有種子層 3A，例如由例如 Ti、TiN、Ta 或 TaN 製成者。

【0035】 被包含於配線層 2 中的配線 2A(2X)可為含銅(Cu)配線(銅配線；金屬配線)。例如，配線層 2 有銅配線 2A(2X)均埋入絕緣薄膜(層間絕緣薄膜)2B 的結構。由於配

線層 2 具有多層配線結構，所以配線層 2 可稱為多層配線層。作為配線 2A，例如，可使用由 Cu，Al，CuAl，CuMn，W，Mo，Ru 或其類似者製成的配線。配線 2A 可包括含有例如 Ti，TiN，Ta，TaN，Co 或 Ru 的阻障層及/或含有例如 NiP，NiPW，CoW，CoWP 或 Ru 的帽蓋層。作為對應至配線層 2 的絕緣薄膜 2B，可使用絕緣薄膜，例如由例如氧化矽 (SiO)，氮氧化矽 (SiON)，矽碳氧化物 (SiOC) 或矽碳氮 (SiCN) 製成的薄膜或其多孔薄膜。

【0036】 在矽基板 1 的正面側上，提供包括電晶體 5A 及其類似者的電路，例如，LSI。藉由用為絕緣材料的氧化矽 (例如，SiO₂) 填充半導體基板 1 中的元件隔離凹槽來形成元件隔離區 5B。元件隔離區 5B 覆蓋為絕緣薄膜 5C 的氧化矽薄膜 (例如，SiO_x 薄膜)。以此方式，在矽基板 1 的正面側上提供包括電晶體 5A、元件隔離區 5B 及絕緣薄膜 5C 的電路層 5。

【0037】 應力鬆弛部 4 包括含有與被包含於元件隔離區 5B 之中者同樣為絕緣材料之氧化矽 (例如，SiO₂) 的部份 4A，以及含有與對應至絕緣薄膜 5C 之氧化矽薄膜 (例如，SiO_x 薄膜) 相同之絕緣材料的部份 4B。被包含於元件隔離區 5B 之中的絕緣材料實施例包括諸如氧化矽 (SiO；例如，SiO₂) 及氮化矽 (SiN；例如，Si₃N₄) 之類的絕緣材料。絕緣薄膜 5C 的材料實施例包括諸如氧化矽 (SiO；例如，SiO_x)、氮化矽 (SiN)、氮氧化矽 (SiON)、摻氟氧化矽 (例如，氟矽酸鹽玻璃 (FSG))，摻磷氧化矽 (例如，磷矽酸鹽玻璃

(PSG))，以及摻磷硼氧化矽(例如，摻磷硼的矽玻璃(BPSG))之類的絕緣材料。

【0038】 應力鬆弛部 4 可包括由熱膨脹係數小於貫穿通孔 3 材料之絕緣材料製成的一部份。例如，含有熱膨脹係數小於貫穿通孔 3 材料之絕緣材料的部份可由絕緣材料形成，例如 Si，SiO，SiN，SiON，SiC，AlO，或 C。

【0039】 貫穿通孔 3(例如，TSV)有大容積。貫穿通孔 3 的材料，例如，銅，有比半導體基板 1 之材料(例如，Si)大的熱膨脹係數。因為這樣，例如，由於重覆地膨脹及收縮而在貫穿通孔 3 與配線 2X 之間之接面區段的介面產生應力，如第 13A 圖及第 13B 圖所示，因為在包括背面加工及後續 3D 堆疊黏合加工的製程期間產生熱，因而在接面區段之介面可能發生剝離。例如，如在第 14B 圖(其係第 14A 圖中被矩形包圍之部份的放大圖)中用箭頭表示的位置所示，在接面區段之介面可能發生剝離。貫穿通孔可能經歷塑性變形。結果，良率及可靠性可能降低。

【0040】 例如，當貫穿通孔用後形成通孔方法(via-last method)形成時，藉由蝕刻掉用於形成貫穿通孔的區域來形成的貫穿孔可能難以維持乾淨的底部，例如，貫穿通孔與被包含於配線層中之配線之間的接面介面。因此貫穿通孔與被包含於配線層中之配線可能難以改善在接面區段介面的黏性。結果，在貫穿通孔與配線之間之接面區段的介面可能發生剝離，如上述。

【0041】 第 15 圖為半導體裝置的示範橫截面圖。例

如，為了鬆弛在貫穿通孔與配線之間之接面區段之介面產生的應力以及減少接面區段之介面的剝離發生率，將會耦合至貫穿通孔的配線 2X 可設有向貫穿通孔側突出的突出物 20，如第 15 圖所示。例如，當突出物 20 的材料有大於貫穿通孔之材料的熱膨脹係數時，在貫穿通孔與配線之間之接面區段之介面產生的應力可能未被鬆弛，以及接面區段之介面的剝離發生率可能不會減少。就此情形而言，在突出物 20 產生的應力可能增加以及此應力可能誘發接面區段的介面剝離。

【0042】 當突出物 20 含有金屬材料時，在蝕刻用於形成貫穿通孔的區域期間，電場集中於由金屬材料形成的突出物 20，如第 15 圖所示。因此，包括電晶體 5A 及其類似者的電路可能經由有突出物 20 的配線 2X 而受損(充電損害)，從而可能降低良率及可靠性。

【0043】 在半導體裝置有上述組態的情況下，減少在貫穿通孔 3 與配線 2X 之間之接面區段之介面的剝離發生率係藉由鬆弛在接面區段之介面產生的應力。結果，可增加良率及可靠性。例如，應力鬆弛部 4 形成被於包含於配線層 2 中之配線 2X 的一區段上，該區段耦合至貫穿通孔 3，使得應力鬆弛部 4 向貫穿通孔 3 側突出。應力鬆弛部 4 包括各自由熱膨脹係數小於貫穿通孔 3 材料之絕緣材料製成的部份 4A 及 4B。

【0044】 第 3 圖至第 12 圖圖示用於製造半導體裝置之方法的一實施例。用於製造半導體裝置之該方法包括形

成貫穿孔 3X(參考第 4 圖)的製程以及形成貫穿通孔 3(參考第 6 圖)的製程。形成貫穿孔 3X 的製程包括蝕刻掉用於形成從正面側上具有配線層 2 的半導體基板 1 之背面側穿透半導體基板 1 之貫穿通孔 3 的區域，該貫穿通孔 3 耦合至被包含於配線層 2 中之配線 2X。向貫穿通孔 3 側突出的應力鬆弛部 4 形成於被包含於配線層 2 中之配線 2X 的一區段上，該區段為將會耦合至貫穿通孔 3 者。應力鬆弛部 4 包括各自由熱膨脹係數小於貫穿通孔 3 材料之絕緣材料製成的部份 4A 及 4B。形成貫穿通孔 3 的製程包括用貫穿通孔 3 的材料填充貫穿孔 3X，貫穿孔 3X 形成於用於形成貫穿通孔 3 的區域中。

【0045】 用於製造半導體裝置之該方法更包括形成電路層 5 於半導體基板 1(參考第 3 圖)之正面側上的製程。電路層 5 包括電晶體 5A、藉由用絕緣材料填充半導體基板 1 中之元件隔離凹槽而形成的元件隔離區 5B、以及絕緣薄膜 5C。當在形成電路層 5 的製程中形成元件隔離區 5B 時，形成應力鬆弛部 4 的部份 4A(參考第 3 圖)，部份 4A 係由與被包含於元件隔離區 5B 之中者相同的絕緣材料製成。在形成貫穿孔 3X 的製程中，應力鬆弛部 4 包括由與包含於元件隔離區 5B 之中者相同之絕緣材料製成的部份 4A 以及由與絕緣薄膜 5C 相同之絕緣材料製成的部份 4B(參考第 4 圖)。

【0046】 例如，用後形成通孔方法形成有 TSV(貫穿通孔)的 LSI 晶片(半導體晶片)，以及堆疊兩個 LSI 晶片。

堆疊 LSI 晶片可裝在封裝基板上，以及可相應地製成 3D 堆疊 LSI 封裝件。如第 7A 圖所示，在矽晶圓(矽基板；半導體基板)1 上形成包括電晶體及其類似者的(LSI)電路，以及在此電路之表面上形成配線層 2。

【0047】 如第 3 圖所示，在矽晶圓 1 的正面側上形成包括電晶體 5A、插塞 5D 及其類似者的(LSI)電路。在矽晶圓 1 中形成元件隔離凹槽以及用為絕緣材料的氧化矽(例如， SiO_2)填充，以形成元件隔離區 5B。用為絕緣薄膜 5C 的氧化矽薄膜(例如， SiO_x 薄膜)覆蓋這些組件。結果，在矽晶圓 1 的正面側上形成包括電晶體 5A、元件隔離區 5B 及絕緣薄膜 5C 的電路層 5。插塞 5D 的材料可為鎢(W)。絕緣薄膜 5C 可具有約 0.3 微米的厚度。第 3 圖中的元件符號 5F 表示閘極電極。

【0048】 實質同時並且藉由與形成元件隔離區 5B 的實質相同製程在用於在晶圓 1 中形成 TSV 3 的區域中形成用於形成應力鬆弛部 4 的凹槽。藉由用為絕緣材料的氧化矽(例如， SiO_2)填充凹槽來形成應力鬆弛部 4 的部份 4A，部份 4A 包括與被包含於元件隔離區 5B 之中者同樣為絕緣材料的氧化矽(例如， SiO_2)。以此方式，藉由用與用於元件隔離區 5B 者相同的方式來形成應力鬆弛部 4 的一部份，向 TSV 3 側突出且在被包含於配線層 2 之中的最下層設置於銅配線 2X 之一區段上的應力鬆弛部 4 有大高度(突出物高度)(參考第 1A 圖)，該區段為將會連接至 TSV 3 者。結果，可增加應力鬆弛效應。

【0049】 在電路層 5 上形成具有多層配線結構的多層配線層作為配線層 2，其中包括焊墊(電極)2X 的銅配線 2A 均埋入絕緣薄膜 2B 中。形成作為銅配線 2A 之阻障層(阻障金屬)2C 的 TiN/Ti 堆疊薄膜。一層配線 2A 有約 0.3 微米的厚度。如第 7A 圖所示，形成作為配線層 2 上之端子的微凸塊(micro-bump)6。各個微凸塊 6 的形成係藉由形成銅柱 6A 於配線層 2 上以及在銅柱 6A 上提供焊錫 6B。因此，可製備有微凸塊 6 的晶圓(LSI 晶圓)1。

【0050】 矽晶圓 1 可具有約 775 微米的厚度及約 300 毫米的尺寸。微凸塊 6 可具有約 40 微米的直徑，以及微凸塊 6 之間間距可約為 80 微米。在微凸塊 6 中，銅柱部份可具有約 20 微米的高度，以及焊錫部份可具有約 15 微米的高度。如第 7B 圖所示，例如，在晶圓 1 中設置微凸塊 6 的側面朝下時，有微凸塊 6 的晶圓 1 用暫時黏著劑 8 暫時黏上由矽、玻璃或其類似者製成的支撐基板(支撐晶圓)7。暫時黏著劑 8 可具有約 60 微米的厚度。支撐基板 7 可具有約 775 微米的厚度。

【0051】 如第 8A 圖所示，藉由研磨晶圓 1 背面來減少晶圓 1 的厚度，例如，用背面研磨法(BG)或化學機械研磨法(CMP)。晶圓 1 的厚度可減到約 100 微米。如第 8B 圖及第 4 圖所示，晶圓 1 及絕緣薄膜 5C 從晶圓 1 的背面側蝕刻從而在用於形成 TSV 3 的區域中形成貫穿孔 3X。在晶圓 1 的背面側上形成硬遮罩，圖案化一抗蝕層，以及蝕刻該硬遮罩。利用被圖案化之該硬遮罩來蝕刻晶圓 1 及絕緣

薄膜 5C，從而在用於形成 TSV 3 之區域中形成貫穿孔 3X。硬遮罩可為厚約 1 微米的 SiO 薄膜。在用於形成 TSV 3 之區域中形成的貫穿孔 3X 可具有約 10 微米的直徑。

【0052】 在用於形成 TSV 3 之區域中(參考第 3 圖)形成應力鬆弛部 4 的部份 4A，部份 4A 含有與被包含於元件隔離區 5B 之中者同樣為絕緣材料的氧化矽(例如，SiO₂)。如第 4 圖所示，應力鬆弛部 4 的部份 4A 在藉由蝕刻掉用於形成 TSV 3 之區域來形成貫穿孔 3X 時因此仍未被蝕刻，部份 4A 含有與被包含於元件隔離區 5B 之中者同樣為絕緣材料的氧化矽(例如，SiO₂)。此外，部份 4A 用來當作遮罩，以及留下為絕緣薄膜 5C 之氧化矽薄膜(例如，SiO_x 薄膜)的一部份，該部份對應至部份 4A。

【0053】 因此，在用於形成 TSV 3 之區域中形成應力鬆弛部 4，使得應力鬆弛部 4 由被包含於配線層 2 中最下層的銅配線 2X 突出。應力鬆弛部 4 包括含有與包含於元件隔離區 5B 之中者同樣為絕緣材料之氧化矽(例如，SiO₂)的部份 4A，以及含有與為絕緣薄膜 5C 之氧化矽薄膜(例如，SiOX 薄膜)相同之絕緣材料的部份 4B。在被包含於配線層 2 的銅配線 2A 中耦合至 TSV 3 的銅焊墊(銅電極)2X 上，形成作為應力鬆弛部 4 的多個柱狀應力鬆弛部 4X，使得柱狀應力鬆弛部 4X 在用於形成 TSV 3 之區域中(參考第 1B 圖)突出。

【0054】 如第 9A 圖及第 5 圖所示，用例如 CVD 方法，在晶圓 1 的背面上形成絕緣層 9。由於在晶圓 1 的背

面側上形成貫穿孔 3X 於用於形成 TSV 3 之區域中，所以也在貫穿孔 3X 的內側(側壁及底部)上形成絕緣層 9(參考，第 5 圖的點線)。蝕刻掉形成於貫穿孔 3X 底部上的絕緣層 9 以便形成開口用於將會黏到被包含於形成於晶圓 1 正面側上之配線層 2 中之配線 2X 的區段。形成於貫穿孔 3X 側壁上的絕緣層 9 減少其厚度並留在貫穿孔 3X 的側壁上。

【0055】 如第 9B 圖及第 6 圖所示，在晶圓 1 有貫穿孔 3X 形成於用於形成 TSV 3 之區域中的背面上形成種子層 3A，例如，用濺鍍法或 CVD 方法。用電鍍法形成鍍銅層 3B，藉此用鍍銅層 3B 填充形成於用於形成 TSV 3 之區域中的貫穿孔 3X，結果，可形成 TSV 3。例如，種子層 3A 的形成係藉由堆疊鈦層及銅層。在形成於用於形成 TSV 3 之區域中的貫穿孔 3X 的內壁上，鈦層及銅層的厚度各自可等於約 50 奈米及約 200 奈米。

【0056】 如上述，應力鬆弛部 4 形成於用於形成晶圓 1 之 TSV 3 的區域中，使得應力鬆弛部 4 由被包含於配線層 2 中最下層的銅配線 2X 突出。應力鬆弛部 4 包括含有與被包含於元件隔離區 5B 之中者同樣為絕緣材料之氧化矽(例如， SiO_2)的部份 4A，以及含有與為絕緣薄膜 5C 之氧化矽薄膜(例如， SiOX 薄膜)相同之絕緣材料的部份 4B(參考第 4 圖)。

【0057】 如第 6 圖所示，在藉由用鍍銅層 3B 填充貫穿孔 3X 來形成 TSV 3 時，貫穿孔 3X 形成於用於形成 TSV

3 之區域中，應力鬆弛部 4 也埋入鍍銅層 3B 中。因此，在被包含於配線層 2 中之銅配線 2X 的一區段上形成應力鬆弛部 4，該區段耦合至 TSV 3，使得應力鬆弛部 4 向 TSV 3 側突出。應力鬆弛部 4 包括含有與被包含於元件隔離區 5B 之中者同樣為絕緣材料之氧化矽(例如，SiO₂)的部份 4A，以及含有與為絕緣薄膜 5C 之氧化矽薄膜(例如，SiOX 薄膜)相同之絕緣材料的部份 4B。

【0058】 應力鬆弛部 4 在被包含於配線層 2 中之銅配線 2X 的一區段上形成，該區段耦合至 TSV 3，使得應力鬆弛部 4 向 TSV 3 側突出。應力鬆弛部 4 包括各自由熱膨脹係數小於 TSV 3 之材料之絕緣材料製成的部份 4A 及 4B。在耦合至在被包含於配線層 2 之銅配線 2A 中之 TSV 3 的銅焊墊(銅電極)2X 上形成作為應力鬆弛部 4 的多個柱狀應力鬆弛部 4X，使得柱狀應力鬆弛部 4X 向 TSV 3 側(參考第 1B 圖)突出。

【0059】 如第 10A 圖所示，例如，用 CMP 移除形成於表面上的鍍銅層 3B 及銅種子層 3A，以及使 TSV 3 互相隔離。如第 10B 圖所示，形成重分布配線 10 以便耦合至 TSV 3，以及蓋上絕緣層 11。在絕緣層 11 中形成開口。在該等開口中形成凸塊下金屬(UBM)部份 12，從而形成重分布層 13。

【0060】 例如，用半加成製程(semi-additive process; SAP)形成重分布配線 10。例如，形成該種子層係藉由例如，用濺鍍法或無電解電鍍法堆疊鈦層及銅層，然後形成

有抗蝕層的圖案。例如，用電鍍法沉積銅層於沒有抗蝕層圖案的區域上，例如用濕蝕刻法剝掉抗蝕層，以及移除殘留種子層。結果，可形成重分布配線 10。鈦層及銅層的厚度可各自等於約 0.1 微米及約 5 微米。絕緣層 11 可含有聚亞醯胺樹脂(光敏樹脂)且可具有約 10 微米的厚度。凸塊下金屬部份 12 的形成各自藉由，例如，用半加成製程堆疊鈦層、銅層、鎳層及金層。在這些層中，鈦層約有 0.1 微米，銅層約有 2 微米，鎳層約有 3 微米，以及金層約有 0.05 微米的厚度。

【0061】 如第 11A 圖所示，脫黏(debond)支撐基板 7，接著是切成個別的片體。這提供具有 TSV 3 的 LSI 晶片。在切晶帶(dicing tape)放上重分布層 13 側以及脫黏支撐基板 7 後，將晶圓切成個別晶片。如第 11B 圖所示，將個別 LSI 晶片 14 放在獨立裝設的 LSI 晶片 15 上，以及用回焊處理(reflow treatment)使 LSI 晶片 14 及 15 互相黏合。結果，可製備堆疊晶片 16。獨立裝設的 LSI 晶片 15 可為於背面研磨後在不形成 TSV 3 或重分布層 13 的情況下得到的晶片。獨立裝設之 LSI 晶片 15 的矽基板 1 可具有約 300 微米的厚度。

【0062】 如第 12 圖所示，如上述製備的堆疊晶片 16 裝在有錒錫凸塊 17 在其間的封裝基板 18 上，因此製成 3D 堆疊之 LSI 封裝件 19。在封裝基板 18 上形成錒錫凸塊 17，以及將堆疊晶片 16 放在錒錫凸塊 17 上，接著是在回焊爐中的回焊處理。在堆疊晶片 16 黏至有錒錫凸塊 17 在其間

的封裝基板 18 之後，施加供樹脂密封用的底部填充膠 (underfill)，因此製成 3D 堆疊之 LSI 封裝件 19。鐳錫凸塊 17 可具有約 100 微米的直徑。在回焊爐中的回焊處理可以約 250°C 的溫度進行約 5 分鐘。

【0063】 根據該半導體裝置及該半導體裝置之製造方法，減少貫穿通孔 3 與配線 2X 之間之接面區段之介面的剝離發生率係藉由鬆弛在接面區段之介面產生的應力。結果，可增加良率及可靠性。圖示於第 1A 圖的半導體裝置包括在半導體基板 1 之正面側上的電路層 5。電路層 5 包括電晶體 5A，藉由用絕緣材料填充半導體基板 1 中之元件隔離凹槽而形成的元件隔離區 5B，以及絕緣薄膜 5C。應力鬆弛部 4 包括含有與被包含於元件隔離區 5B 之中者實質相同之絕緣材料的部份 4A，以及含有絕緣材料與絕緣薄膜 5C 實質相同的部份 4B。

【0064】 第 16 圖為半導體裝置之橫截面圖的一實施例。例如，如第 16 圖所示，該半導體裝置可包括在半導體基板 1 之正面側上的電路層 5。電路層 5 包括電晶體 5A，藉由用絕緣材料填充半導體基板 1 中之元件隔離凹槽而形成的元件隔離區 5B，耦合至電晶體 5A 的插塞 5D，以及絕緣薄膜 5C。例如，應力鬆弛部 4 可包括含有與被包含於元件隔離區 5B 之中者實質相同之絕緣材料的部份 4A，含有與絕緣薄膜 5C 材料相同之絕緣材料的部份 4B，以及含有與插塞 5D 材料相同之材料的部份 4C。在第 16 圖中，元件符號 5F 表示閘極電極。

【0065】 就此情形而言，應力鬆弛部 4 也包括在末端由絕緣材料製成的部份 4A。應力鬆弛部 4 包括由不同絕緣材料製成的部份 4A 及 4B。插塞 5D 的材料為金屬材料，例如鎢(W)。由於被包含於應力鬆弛部 4 中之插塞 5D 的材料為金屬材料，接面區段與配線 2X 的黏性可增加。

【0066】 可用含有與被包含於元件隔離區 5B 之中者實質相同之絕緣材料的部份 4A 以及含有與絕緣薄膜 5C 材料實質相同之絕緣材料的部份 4B 包圍含有與插塞 5D 之材料實質相同之材料的部份 4C。這允許突出應力鬆弛部 4 之正面側與含有與插塞 5D 材料實質相同之材料的部份 4C 之間的電氣絕緣。結果，可減少包括電晶體 5A 及其類似者之電路在蝕刻用於形成貫穿通孔 3 之區域期間由於電場集中於突出應力鬆弛部 4 所致的傷害。

【0067】 應力鬆弛部 4 也可包括含有與為插塞 5D 材料之金屬材料實質相同之金屬材料的部份 4C，以及也可包括由另一金屬材料製成的一部份。例如，應力鬆弛部 4 可包括含有與為阻障薄膜材料之金屬材料(例如，Ti，TiN，Ta，Ta₂N₅，TiW，或堆疊結構，例如 TiN/Ti)實質相同之金屬材料的一部份，以及可包括含有金屬材料(例如，鉬(Mo))的一部份。

【0068】 如第 16 圖所示，在被包含於配線層 2 中之配線的焊墊 2X 上提供作為突出應力鬆弛部 4 的多個柱狀應力鬆弛部 4X，焊墊 2X 耦合至貫穿通孔 3。在焊墊 2X 上，可提供在貫穿通孔 3 徑向延伸且以直角相交的板狀應力鬆

弛部 4Y 作為突出應力鬆弛部 4(參考第 2A 圖)。在多個配線 2Y(參考第 2B 圖)上可提供多個柱狀應力鬆弛部 4X 作為突出應力鬆弛部 4。在多個配線 2Y(參考第 2C 圖)上，延伸成與多個配線 2Y 直角相交的多個板狀應力鬆弛部 4Z 可提供作為突出應力鬆弛部 4。

【0069】 第 16 圖用於製造半導體裝置之方法包括在半導體基板 1 之正面側上形成電路層 5 的製程。電路層 5 包括電晶體 5A，藉由用絕緣材料填充半導體基板 1 中之元件隔離凹槽而形成的元件隔離區 5B，耦合至電晶體 5A 的插塞 5D，以及絕緣薄膜 5C。當元件隔離區 5B 在形成電路層 5 的製程中形成時，可形成應力鬆弛部 4 的部份 4A，部份 4A 由與被包含於元件隔離區 5B 之中者實質相同的絕緣材料製成。當插塞 5D 在形成電路層 5 的製程中形成時，含有與插塞 5D 材料實質相同之材料的部份 4C 可形成於應力鬆弛部 4 的部份 4A 上，部份 4A 含有與被包含於元件隔離區 5B 之中者實質相同的絕緣材料。然後，絕緣薄膜 5C 可覆蓋這些組件。

【0070】 形成貫穿孔 3X 的製程可包括形成應力鬆弛部 4(4X)，其係包括含有與被包含於元件隔離區 5B 之中者實質相同之絕緣材料的部份 4A，含有與絕緣薄膜 5C 材料實質相同之絕緣材料的部份 4B，以及含有與插塞 5D 材料實質相同之材料的部份 4C。例如，形成貫穿孔 3X 的製程可包括形成應力鬆弛部 4(4X)，其中用含有與被包含於元件隔離區 5B 之中者實質相同之絕緣材料的部份 4A 以及含

有與絕緣薄膜 5C 材料實質相同之絕緣材料的部份 4B 包圍含有與插塞 5D 材料實質相同之材料的部份 4C。

【0071】 第 17 圖為半導體裝置之橫截面圖的一實施例。例如，如第 17 圖所示，該半導體裝置可包括在半導體基板 1 之正面側上的電路層 5。電路層 5 可包括絕緣薄膜 5C 與包括閘極絕緣薄膜 5E 的電晶體 5A。應力鬆弛部 4 可包括含有與閘極絕緣薄膜 5E 材料實質相同之絕緣材料的部份 4D 以及含有與絕緣薄膜 5C 材料實質相同之絕緣材料的部份 4B。在第 17 圖中，元件符號 5F 表示閘極電極。

【0072】 應力鬆弛部 4 包括在其末端由絕緣材料製成的部份 4D。應力鬆弛部 4 可包括由不同絕緣材料製成的部份 4D 及 4B。閘極絕緣薄膜 5E 的材料實施例包括絕緣材料(金屬氧化物材料)，例如 HfO_2 ， HfSiON ， HfAlO ， LaO ，以及 ZrO_2 。如第 17 圖所示，在被包含於配線層 2 中之配線的焊墊 2X 上，可提供多個柱狀應力鬆弛部 4X 作為突出應力鬆弛部 4，焊墊 2X 耦合至貫穿通孔 3。

【0073】 例如，在焊墊 2X 上，可提供在貫穿通孔 3 徑向延伸且以直角相交的板狀應力鬆弛部 4Y 作為突出應力鬆弛部 4(參考第 2A 圖)。在多個配線 2Y(參考第 2B 圖)上，可提供多個柱狀應力鬆弛部 4X 作為突出應力鬆弛部 4。在多個配線 2Y(參考第 2C 圖)上，可提供延伸成與多個配線 2Y 直角相交的多個板狀應力鬆弛部 4Z 作為突出應力鬆弛部 4。

【0074】 第 17 圖用於製造半導體裝置之方法包括在 5

半導體基板 1 之正面側上形成電路層 5 的製程。電路層 5 包括絕緣薄膜 5C 與包括閘極絕緣薄膜 5E 的電晶體 5A。當閘極絕緣薄膜 5E 在形成電路層 5 的製程中形成時，可形成應力鬆弛部 4 的部份 4D，部份 4D 含有與閘極絕緣薄膜 5E 材料實質相同之絕緣材料。然後，可用絕緣薄膜 5C 覆蓋這些組件。

【0075】 形成貫穿孔 3X 的製程可包括形成應力鬆弛部 4(4X)，其係包括含有與閘極絕緣薄膜 5E 材料實質相同之絕緣材料的部份 4D 以及含有與絕緣薄膜 5C 材料實質相同之絕緣材料的部份 4B。

【符號說明】

【0076】

1	半導體基板
2	配線層
2A	配線
2B	絕緣薄膜(層間絕緣薄膜)
2C	阻障層(阻障金屬)
2X	配線、焊墊(電極)
2Y	配線
3	貫穿通孔
3A	種子層
3B	鍍銅層
3X	貫穿孔
4	應力鬆弛部

4A、4B、4C、4D	部份
4X	柱狀應力鬆弛部
4Y	板狀應力鬆弛部
4Z	板狀應力鬆弛部
5	電路層
5A	電晶體
5B	元件隔離區
5C	絕緣薄膜
5D	插塞
5E	閘極絕緣薄膜
5F	閘極
6	微凸塊
6A	銅柱
6B	焊錫
7	支撐基板(支撐晶圓)
8	暫時黏著劑
9	絕緣層
10	重分布配線
11	絕緣層
12	凸塊下金屬(UBM)部份
13	重分布層
14	個別 LSI 晶片
15	LSI 晶片
16	堆疊晶片

17	鍍錫凸塊
18	封裝基板
19	3D 堆疊 LSI 封裝件
20	突出物

發明摘要

※ 申請案號： 105108959

※ 申請日： 105/03/23

※IPC 分類：

H01L 21/31 (2006.01)
H01L 21/768 (2006.01)
H01L 21/8234 (2006.01)
H01L 23/00 (2006.01)
H01L 23/48 (2006.01)
H01L 23/528 (2006.01)
H01L 29/06 (2006.01)

【發明名稱】(中文/英文)

半導體裝置及半導體裝置的製造方法

SEMICONDUCTOR DEVICE AND METHOD FOR
FABRICATING SEMICONDUCTOR DEVICE

【中文】

一種半導體裝置，其係包括：半導體基板；配線層，其係設於該半導體基板之正面側上；貫穿通孔，其係從該半導體基板之背面側穿透該半導體基板且耦合至被包含於該配線層中的配線；以及應力鬆弛部，其係向貫穿通孔側突出且設置於該配線中之區段且耦合至該貫穿通孔，該應力鬆弛部包括含有熱膨脹係數小於該貫穿通孔之材料之絕緣材料的至少一絕緣部。

【英文】

A semiconductor device includes: a semiconductor substrate; a wiring layer provided on a front-surface side of the semiconductor substrate; a through-via that penetrates through the semiconductor substrate from a back-surface side of the semiconductor substrate and is coupled to a wire included in the wiring layer; and a stress relaxation part that protrudes toward a through-via side and is disposed on a section in the wire and coupled to the through-via, the stress relaxation part including at least one insulating portion containing an insulating material having a smaller thermal expansion coefficient than a material of the through-via.

【代表圖】

【本案指定代表圖】：第（ 1A ）圖。

【本代表圖之符號簡單說明】：

1	半導體基板	2	配線層
2A	配線		
2B	絕緣薄膜(層間絕緣薄膜)		
2X	配線、焊墊(電極)		
3	貫穿通孔	3A	種子層
3B	鍍銅層	3X	貫穿孔
4	應力鬆弛部	4A、4B	部份
4X	柱狀應力鬆弛部	5	電路層
5A	電晶體	5B	元件隔離區
5C	絕緣薄膜	5D	插塞
5F	閘極		

【本案若有化學式時，請揭示最能顯示發明特徵的化學式】：

本案無化學式。

申請專利範圍

1. 一種半導體裝置，其係包含：
 - 半導體基板；
 - 配線層，其係設於該半導體基板之正面側上；
 - 貫穿通孔，其係從該半導體基板之背面側穿透該半導體基板且耦合至被包含於該配線層中的配線；以及
 - 應力鬆弛部，其係設置成使該應力鬆弛部從耦合部向貫穿通孔之內側突出，其中，該配線係於該耦合部中耦合至該貫穿通孔，該應力鬆弛部包括至少一個絕緣部，該絕緣部含有熱膨脹係數小於該貫穿通孔之材料之絕緣材料。
2. 如申請專利範圍第 1 項所述之半導體裝置，
 - 其中，該至少一個絕緣部設在該應力鬆弛部的一端。
3. 如申請專利範圍第 1 項所述之半導體裝置，更包含：
 - 電路層，其係設在該半導體基板之該正面側上且包括電晶體、元件隔離區及絕緣薄膜，該元件隔離區係藉由用絕緣材料填充在該半導體基板中的元件隔離凹槽而形成者。
4. 如申請專利範圍第 3 項所述之半導體裝置，
 - 其中，該應力鬆弛部包括含有被包含於該元件隔離區中之第一絕緣材料的第一絕緣部以及含有被包含於該絕緣薄膜中之第二絕緣材料的第二絕緣部。

5. 如申請專利範圍第 3 項所述之半導體裝置，
其中，該電路層包括耦合至該電晶體的插塞，
該應力鬆弛部包括：
第一絕緣部，係含有被包含於該元件隔離區中之第一絕緣材料；以及
第三絕緣部，係含有被包含於該絕緣薄膜中之第二絕緣材料以及該插塞之材料。
6. 如申請專利範圍第 5 項所述之半導體裝置，
其中，在該第三絕緣部中的該第二絕緣材料係包圍該插塞之該材料。
7. 如申請專利範圍第 3 項所述之半導體裝置，
其中，該電晶體包括閘極絕緣薄膜，
該應力鬆弛部包括：
第二絕緣部，係含有被包含於該絕緣薄膜中之第二絕緣材料；以及
第四絕緣部，係含有該閘極絕緣薄膜之第三絕緣材料。
8. 一種用於製造半導體裝置之方法，該方法包含下列步驟：
形成應力鬆弛部，該應力鬆弛部係由半導體基板中將會形成包含配線之配線層於其上的正面朝向該半導體基板的背面側突出，該應力鬆弛部包括至少一絕緣部，該絕緣部含有熱膨脹係數小於貫穿通孔之材料之絕緣材料；

藉由蝕刻掉用於形成從半導體基板之背面側穿透該半導體基板且耦合至該配線之該貫穿通孔的區域來形成貫穿孔；以及

藉由用該貫穿通孔之該材料填充該貫穿孔來形成該貫穿通孔。

9. 如申請專利範圍第 8 項所述用於製造半導體裝置之方法，該方法更包含下列步驟：

在該半導體基板之正面側上，形成包括電晶體、元件隔離區及絕緣薄膜的電路層。

10. 如申請專利範圍第 9 項所述用於製造半導體裝置之方法，該方法更包含下列步驟：

當形成該元件隔離區於該半導體基板中時，形成該絕緣部；以及

用該絕緣薄膜覆蓋該元件隔離區及該應力鬆弛部。

11. 如申請專利範圍第 10 項所述用於製造半導體裝置之方法，該方法更包含下列步驟：

藉由蝕刻在該應力鬆弛部上的該絕緣薄膜來形成第一絕緣部及第二絕緣部，該第一絕緣部含有被包含於該元件隔離區中之第一絕緣材料，該第二絕緣部含有被包含於該絕緣薄膜中之第二絕緣材料。

12. 如申請專利範圍第 10 項所述用於製造半導體裝置之方法，

其中，該電路層包括形成於該絕緣薄膜中且耦合

至該電晶體的插塞，

該方法更包含下列步驟：

藉由蝕刻在該應力鬆弛部上的該絕緣薄膜來形成第一絕緣部及第三絕緣部，該第一絕緣部含有被包含於該元件隔離區中之第一絕緣材料，該第三絕緣部含有被包含於該絕緣薄膜中之第二絕緣材料以及被包含於該插塞中之材料。

13. 如申請專利範圍第 12 項所述用於製造半導體裝置之方法，

其中，在該第三絕緣部中的該第二絕緣材料係包圍被包含於該插塞中之該材料。

14. 如申請專利範圍第 9 項所述用於製造半導體裝置之方法，

其中，該電晶體包括閘極絕緣薄膜，

該方法更包含下列步驟：

藉由蝕刻在該應力鬆弛部上的該絕緣薄膜來形成第二絕緣部及第四絕緣部，該第二絕緣部含有被包含於該絕緣薄膜中之第二絕緣材料，該第四絕緣部含有被包含於該閘極絕緣薄膜中之第三絕緣材料。

15. 如申請專利範圍第 14 項所述用於製造半導體裝置之方法，

其中，在該應力鬆弛部的一端形成該第四絕緣部。