



(12)发明专利

(10)授权公告号 CN 105304057 B

(45)授权公告日 2018.11.30

(21)申请号 201510907055.5

审查员 赵杨

(22)申请日 2015.12.09

(65)同一申请的已公布的文献号

申请公布号 CN 105304057 A

(43)申请公布日 2016.02.03

(73)专利权人 京东方科技集团股份有限公司

地址 100015 北京市朝阳区酒仙桥路10号

(72)发明人 孙拓 马占洁

(74)专利代理机构 北京同达信恒知识产权代理

有限公司 11291

代理人 黄志华

(51)Int.Cl.

G09G 3/36(2006.01)

G09G 3/3225(2016.01)

G11C 19/28(2006.01)

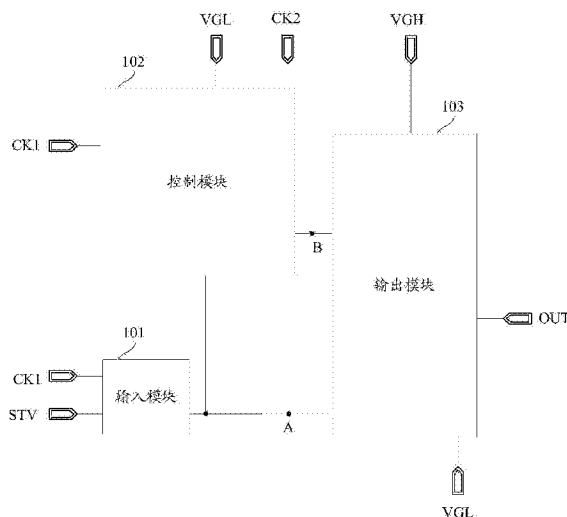
权利要求书2页 说明书8页 附图7页

(54)发明名称

一种移位寄存器及其驱动方法、栅极驱动电路

(57)摘要

本发明公开了一种移位寄存器及其驱动方法、栅极驱动电路,以解决现有技术的移位寄存器的输出信号的脉冲宽度无法灵活调节的问题。所述移位寄存器,包括:输入模块,与触发信号线、第一时钟信号线和第一节点电连接,用于控制触发信号线提供的触发信号是否输出到第一节点;控制模块,与第一节点、第二节点、第一时钟信号线、第二时钟信号线和导通信号线电连接,用于控制导通信号是否输出到第二节点;输出模块,与第一节点、第二节点、高电平信号线、低电平信号线和驱动信号输出线电连接,用于响应于第一节点和第二节点的信号,选择高电平信号或低电平信号作为驱动信号并提供至驱动信号输出线。从而实现根据触发信号灵活调整输出信号的脉冲宽度。



CN 105304057 B

1. 一种移位寄存器,其特征在于,包括:

输入模块,与提供触发信号的触发信号线、提供第一时钟信号的第一时钟信号线和第一节点电连接,用于控制所述触发信号线提供的触发信号是否输出到所述第一节点;

控制模块,与所述第一节点、第二节点、所述第一时钟信号线、提供第二时钟信号的第二时钟信号线和提供导通信号的导通信号线电连接,用于控制所述导通信号线提供的导通信号是否输出到所述第二节点;

输出模块,与所述第一节点、所述第二节点、提供高电平信号的高电平信号线、提供低电平信号的低电平信号线和输出驱动信号的驱动信号输出线电连接,用于响应于所述第一节点和所述第二节点的信号,选择所述高电平信号线提供的高电平信号或所述低电平信号线的低电平信号作为所述驱动信号并提供至所述驱动信号输出线;

所述输入模块包括第一晶体管;

所述第一晶体管的栅极电连接所述第一时钟信号线,所述第一晶体管的漏极电连接所述第一节点,所述第一晶体管的源极电连接所述触发信号线,其中,所述触发信号线中输入的触发信号的脉冲宽度大于或等于两倍的栅扫描时长;

所述控制模块包括第二晶体管、第三晶体管、第四晶体管、第五晶体管和第一电容;

所述第二晶体管的栅极电连接所述第一节点,所述第二晶体管的源极电连接所述第一时钟信号线,所述第二晶体管的漏极电连接所述控制模块内部的第三节点;

所述第三晶体管的栅极电连接所述第一时钟信号线,所述第三晶体管的源极、所述第四晶体管的源极和所述第一电容的第一端电连接所述导通信号线,所述第三晶体管的漏极、所述第一电容的第二端和所述第五晶体管的栅极电连接所述第三节点;

所述第四晶体管的栅极电连接所述第二时钟信号线,所述第四晶体管的漏极电连接所述第五晶体管的源极;

所述第五晶体管的漏极电连接所述第二节点。

2. 如权利要求1所述的移位寄存器,其特征在于,所述输出模块包括第六晶体、第七晶体管、第八晶体管、第二电容和第三电容;

所述第六晶体管的栅极电连接所述第一节点,所述第六晶体管的源极、所述第七晶体管的源极和所述第二电容的第一端电连接所述高电平信号线,所述第六晶体管的漏极、所述第七晶体管的栅极和所述第二电容的第二端电连接所述第二节点;

所述第七晶体管的漏极、所述第八晶体管的漏极和所述第三电容的第一端电连接所述驱动信号输出线;

所述第八晶体管的栅极和所述第三电容的第二端电连接所述第一节点。

3. 如权利要求2所述的移位寄存器,其特征在于,还包括稳压模块,与所述第一节点、所述第二节点、提供第三时钟信号的第三时钟信号线和所述高电平信号线电连接,用于响应所述第二节点的信号和所述第三时钟信号,控制所述高电平信号线提供的高电平信号是否输出到所述第一节点。

4. 如权利要求3所述的移位寄存器,其特征在于,所述稳压模块包括第九晶体管和第十晶体管;

所述第九晶体管的栅极电连接所述第二节点,所述第九晶体管的源极电连接所述高电平信号线,所述第九晶体管的漏极电连接所述第十晶体管的源极;

所述第十晶体管的栅极电连接所述第三时钟信号线,所述第十晶体管的漏极电连接所述第一节点。

5.如权利要求2所述的移位寄存器,其特征在于,所述第一晶体管至第八晶体管均为P型晶体管。

6.如权利要求4所述的移位寄存器,其特征在于,所述第一晶体管至所述第十晶体管均为P型晶体管。

7.如权利要求5或6所述的移位寄存器,其特征在于,所述导通信号为低电平信号。

8.一种栅极驱动电路,其特征在于,包括多个级联的、如权利要求1至7任一项所述的移位寄存器。

9.一种移位寄存器的驱动方法,驱动权利要求1至7任一项所述的移位寄存器,其特征在于,方法包括:

触发阶段,控制所述输入模块将触发信号输出到所述第一节点;

移位阶段,控制所述输入模块无输出以使所述第一节点保持高电平,并控制所述控制模块使导通信号输出到所述第二节点或使所述第二节点保持低电平,使所述输出模块响应于所述控制模块输出的导通信号将与触发信号相同脉冲宽度的高电平信号输出至驱动信号端;

结束阶段,控制所述输入模块将触发信号输出到使所述第一节点,使所述控制模块响应于所述输入模块输出的触发信号将所述高电平信号提供至所述第二节点,使所述输出模块响应于所述输入模块输出的触发信号将低电平信号提供至驱动信号输出线。

一种移位寄存器及其驱动方法、栅极驱动电路

技术领域

[0001] 本发明涉及液晶显示领域,尤其涉及一种移位寄存器及其驱动方法、栅极驱动电路。

背景技术

[0002] 在液晶显示装置(Liquid Crystal Display,LCD)、有机发光二极管显示装置(Organic Light Emitting Diode,OLED)等平板显示装置的阵列基板中,栅极线可由栅极驱动电路(Gate driver On Array,GOA)控制。栅极驱动电路包括多个级联的移位寄存器,这些移位寄存器通过一个或多个脉冲的时钟信号控制。其中,每级移位寄存器的输出端连接一条栅极线,并连接其下一级移位寄存器的输入端,当某级移位寄存器输出导通电压时,也会触发下一级的移位寄存器,使下一级移位寄存器在下一时刻输出导通电压,从而实现各栅极线轮流导通的目的。

[0003] 现有技术中,低温多晶硅有源矩阵有机发光二极管显示器(Low Temperature Poly-Silicon Active Matrix Organic Light Emitting Diode,LTPS-AMOLED)通常采用输出正逻辑的移位寄存器结构,该种移位寄存器的触发信号的脉冲宽度(高电平宽度)一般是与时钟信号的脉冲宽度相对应的,在需要调整触发信号的脉冲宽度时,必须同时调整移位寄存器的输出信号的脉冲宽度和时钟信号的脉冲宽度,显然现有技术中移位寄存器的触发信号的脉冲宽度无法进行灵活的调节。而随着对栅极驱动灵活性的要求越来越高,现有技术的移位寄存器结构已经无法完全满足需要。

发明内容

[0004] 本发明的目的是提供一种移位寄存器及其驱动方法、栅极驱动电路,以解决现有技术的移位寄存器的输出信号的脉冲宽度无法灵活调节的问题。

[0005] 本发明的目的是通过以下技术方案实现的:

[0006] 本发明实施例提供一种移位寄存器,包括:

[0007] 输入模块,与提供触发信号的触发信号线、提供第一时钟信号的第一时钟信号线和第一节点电连接,用于控制所述触发信号线提供的触发信号是否输出到所述第一节点;

[0008] 控制模块,与所述第一节点、第二节点、所述第一时钟信号线、提供第二时钟信号的第二时钟信号线和提供导通信号的导通信号线电连接,用于控制所述导通信号线提供的导通信号是否输出到所述第二节点;

[0009] 输出模块,与所述第一节点、所述第二节点、提供高电平信号的高电平信号线、提供低电平信号的低电平信号线和输出驱动信号的驱动信号输出线电连接,用于响应于所述第一节点和所述第二节点,选择所述高电平信号线提供的高电平信号或所述低电平信号线的低电平信号作为所述驱动信号并提供至所述驱动信号输出线。

[0010] 本实施例中,通过所述输入模块控制所述触发信号是否输出到所述第一节点、通过所述控制模块控制导通信号是否输出到所述第二节点,从而使所述输出模块响应于所述

第一节点和所述第二节点的信号选择高电平信号或低电平信号作所述驱动信号并输出,以调节所述输出模块的输出信号相比所述触发信号进行了移位并具有相同脉冲宽度,所述输出信号的脉冲宽度随所述触发信号的脉冲宽度改变而改变,实现移位寄存器的输出信号的脉冲宽度灵活调节。

[0011] 优选的,所述输入模块包括第一晶体管;

[0012] 所述第一晶体管的栅极电连接所述第一时钟信号线,所述第一晶体管的漏极电连接所述第一节点,所述第一晶体管的源极电连接所述触发信号线。

[0013] 优选的,所述控制模块包括第二晶体管、第三晶体管、第四晶体管、第五晶体管;

[0014] 所述第二晶体管的栅极电连接所述第一节点,所述第二晶体管的源极电连接所述第一时钟信号线,所述第二晶体管的漏极电连接所述控制模块内部的第三节点;

[0015] 所述第三晶体管的栅极电连接所述第一时钟信号线,所述第三晶体管的源极、所述第四晶体管的源极和所述第一电容的第一端电连接所述导通信号线,所述第三晶体管的漏极、所述第一电容的第二端和所述第五晶体管的栅极电连接所述第三节点;

[0016] 所述第四晶体管的栅极电连接所述第二时钟信号线,所述第四晶体管的漏极电连接所述第五晶体管的源极;

[0017] 所述第五晶体管的漏极电连接所述第二节点。

[0018] 优选的,所述输出模块包括第六晶体管、第七晶体管、第八晶体管、第二电容和第三电容;

[0019] 所述第六晶体管的栅极电连接所述第一节点,所述第六晶体管的源极、所述第七晶体管的源极和所述第二电容的第一端电连接所述高电平信号线,所述第六晶体管的漏极、所述第七晶体管的栅极和所述第二电容的第二端电连接所述第二节点;

[0020] 所述第七晶体管的漏极、所述第八晶体管的漏极和所述第三电容的第一端电连接所述驱动信号输出线;

[0021] 所述第八晶体管的栅极和所述第三电容的第二端电连接所述第一节点。

[0022] 优选的,还包括稳压模块,与所述第一节点、所述第二节点、提供第三时钟信号的第三时钟信号线和所述高电平信号线电连接,用于响应所述第二节点的信号和所述第三时钟信号,控制所述高电平信号线提供的高电平信号是否输出到所述第一节点。

[0023] 优选的,所述稳压模块包括第九晶体管和第十晶体管;

[0024] 所述第九晶体管的栅极电连接所述第二节点,所述第九晶体管的源极电连接所述高电平信号线,所述第九晶体管的漏极电连接所述第十晶体管的源极;

[0025] 所述第十晶体管的栅极电连接所述第三时钟信号线,所述第十晶体管的漏极电连接所述第一节点。

[0026] 优选的,所述第一晶体管至第八晶体管均为P型晶体管。

[0027] 优选的,所述第一晶体管至所述第十晶体管均为P型晶体管。

[0028] 优选的,所述导通信号为低电平信号。

[0029] 本发明实施例有益效果如下:通过所述输入模块控制所述触发信号是否输出到所述第一节点、通过所述控制模块控制导通信号是否输出到所述第二节点,从而使所述输出模块响应于所述第一节点和所述第二节点的信号选择高电平信号或低电平信号作所述驱动信号并输出,以调节所述输出模块的输出信号相比所述触发信号进行了移位并具有相同

脉冲宽度,所述输出信号的脉冲宽度随所述触发信号的脉冲宽度改变而改变,实现移位寄存器的输出信号的脉冲宽度灵活调节。

[0030] 本发明实施例提供一种栅极驱动电路,包括多个级联的、如上实施例所述的移位寄存器。

[0031] 本发明实施例有益效果如下:通过所述输入模块控制所述触发信号是否输出到所述第一节点、通过所述控制模块控制导通信号是否输出到所述第二节点,从而使所述输出模块响应于所述第一节点和所述第二节点的信号选择高电平信号或低电平信号作所述驱动信号并输出,以调节所述输出模块的输出信号相比所述触发信号进行了移位并具有相同脉冲宽度,所述输出信号的脉冲宽度随所述触发信号的脉冲宽度改变而改变,实现移位寄存器的输出信号的脉冲宽度灵活调节。

[0032] 本发明实施例提供一种移位寄存器的驱动方法,方法包括:

[0033] 触发阶段,控制所述输入模块将触发信号输出到所述第一节点;

[0034] 移位阶段,控制所述输入模块无输出以使所述第一节点保持高电平,并控制所述控制模块使导通信号输出到所述第二节点或使所述第二节点保持低电平,使所述输出模块响应于所述控制模块输出的导通信号将与触发信号相同脉冲宽度的高电平信号输出至所述驱动信号端;

[0035] 结束阶段,控制所述输入模块将触发信号输出到使所述第一节点,使所述控制模块响应于所述输入模块输出的触发信号将所述高电平信号提供至所述第二节点,使所述输出模块响应于所述输入模块输出的触发信号将低电平信号提供至驱动信号输出线。

[0036] 本发明实施例有益效果如下:通过所述输入模块控制所述触发信号是否输出到所述第一节点、通过所述控制模块控制导通信号是否输出到所述第二节点,从而使所述输出模块响应于所述第一节点和所述第二节点的信号选择高电平信号或低电平信号作所述驱动信号并输出,以调节所述输出模块的输出信号相比所述触发信号进行了移位并具有相同脉冲宽度,所述输出信号的脉冲宽度随所述触发信号的脉冲宽度改变而改变,实现移位寄存器的输出信号的脉冲宽度灵活调节。

附图说明

[0037] 图1为本发明实施例提供的一种移位寄存器的结构示意图;

[0038] 图2为图1所示移位寄存器的电路结构图;

[0039] 图3为用于驱动图2所示电路结构的移位寄存器的时序图;

[0040] 图4为本发明实施例提供的另一种移位寄存器的结构示意图;

[0041] 图5为图4所示移位寄存器的电路结构图;

[0042] 图6为用于驱动图5所示电路结构的移位寄存器的第一种时序图;

[0043] 图7为用于驱动图5所示电路结构的移位寄存器的第二种时序图。

具体实施方式

[0044] 下面结合说明书附图对本发明实施例的实现过程进行详细说明。需要注意的是,自始至终相同或类似的标号表示相同或类似的元件或具有相同或类似功能的元件。下面通过参考附图描述的实施例是示例性的,仅用于解释本发明,而不能理解为对本发明的限制。

[0045] 实施例一

[0046] 如图1所示,本发明实施例提供一种移位寄存器,包括:

[0047] 输入模块101,与提供触发信号STV的触发信号线、提供第一时钟信号CK1的第一时钟信号线和第一节点A电连接,用于控制触发信号线提供的触发信号STV是否输出到第一节点A;

[0048] 控制模块102,与第一节点A、第二节点B、第一时钟信号线、提供第二时钟信号CK2的第二时钟信号线和提供导通信号VP的导通信号线电连接,用于控制导通信号线提供的导通信号VP是否输出到第二节点B;

[0049] 输出模块103,与第一节点A、第二节点B、提供高电平信号VGH的高电平信号线、提供低电平信号VGL的低电平信号线和输出驱动信号OUT的驱动信号输出线电连接,用于响应于第一节点A和第二节点B的信号,选择高电平信号线提供的高电平信号VGH或低电平信号线的低电平信号VGL作为驱动信号OUT并提供至驱动信号输出线。

[0050] 本实施例中,通过输入模块101控制触发信号STV是否输出到第一节点A、通过控制模块102控制导通信号VP是否输出到第二节点B,从而使输出模块103响应于第一节点A和第二节点B的信号选择高电平信号VGH或低电平信号VGL作驱动信号OUT并输出,以调节输出模块103的输出信号相比触发信号STV进行了移位并具有相同脉冲宽度,输出信号的脉冲宽度随触发信号STV的脉冲宽度改变而改变,实现移位寄存器的输出信号的脉冲宽度灵活调节。

[0051] 当然,对于输入模块101、控制模块102和输出模块103,均具有各自具体的电路结构,并共同组成该移位寄存器的电路结构,例如:

[0052] 优选的,输入模块101包括第一晶体管;

[0053] 第一晶体管的栅极电连接第一时钟信号线,第一晶体管的漏极电连接第一节点,第一晶体管的源极电连接触发信号线。

[0054] 优选的,控制模块102包括第二晶体管、第三晶体管、第四晶体管、第五晶体管;

[0055] 第二晶体管的栅极电连接第一节点,第二晶体管的源极电连接第一时钟信号线,第二晶体管的漏极电连接控制模块102内部的第三节点;

[0056] 第三晶体管的栅极电连接第一时钟信号线,第三晶体管的源极、第四晶体管的源极和第一电容的第一端电连接导通信号线,第三晶体管的漏极、第一电容的第二端和第五晶体管的栅极电连接第三节点;

[0057] 第四晶体管的栅极电连接第二时钟信号线,第四晶体管的漏极电连接第五晶体管的源极;

[0058] 第五晶体管的漏极电连接第二节点。

[0059] 优选的,输出模块103包括第六晶体、第七晶体管、第八晶体管、第二电容和第三电容;

[0060] 第六晶体管的栅极电连接第一节点,第六晶体管的源极、第七晶体管的源极和第二电容的第一端电连接高电平信号线,第六晶体管的漏极、第七晶体管的栅极和第二电容的第二端电连接第二节点;

[0061] 第七晶体管的漏极、第八晶体管的漏极和第三电容的第一端电连接驱动信号输出线;

[0062] 第八晶体管的栅极和第三电容的第二端电连接第一节点。

[0063] 通过上述输入模块101、控制模块102和输出模块103各自相应的具体电路,从实现由输入模块101控制触发信号STV是否输出到第一节点A、通过控制模块102控制导通信号VP是否输出到第二节点B,从而使输出模块103响应于第一节点A和第二节点B的信号选择高电平信号VGH或低电平信号VGL作驱动信号OUT并输出,以调节输出模块103的输出信号相比触发信号STV进行了移位并具有相同脉冲宽度,输出信号的脉冲宽度随触发信号STV的脉冲宽度改变而改变,实现移位寄存器的输出信号的脉冲宽度灵活调节。

[0064] 为了更详细说明图1所示的移位寄存器,参见图2,提供了该移位寄存器的具体的电路结构示意图,该移位寄存器包括:第一晶体管T1、第二晶体管T2、第三晶体管T3、第四晶体管T4、第五晶体管T5、第六晶体管T6、第七晶体管T7、第八晶体管T8、第一电容C1、第二电容C2和第三电容C3;

[0065] 第一晶体管T1的栅极电连接第一时钟信号线,第一晶体管T1的漏极电连接第一节点,第一晶体管T1的源极电连接触发信号线STV;

[0066] 第二晶体管T2的栅极电连接第一节点,第二晶体管T2的源极电连接第一时钟信号线,第二晶体管T2的漏极电连接控制模块内部的第三节点;

[0067] 第三晶体管T3的栅极电连接第一时钟信号线,第三晶体管T3的源极、第四晶体管T4的源极和第一电容的第一端电连接导通信号线,第三晶体管T3的漏极、第一电容的第二端和第五晶体管T5的栅极电连接第三节点;

[0068] 第四晶体管T4的栅极电连接第二时钟信号线,第四晶体管T4的漏极电连接第五晶体管T5的源极;

[0069] 第五晶体管T5的漏极电连接第二节点;

[0070] 第六晶体管T6的栅极电连接第一节点,第六晶体管T6的源极、第七晶体管T7的源极和第二电容的第一端电连接高电平信号线,第六晶体管T6的漏极、第七晶体管T7的栅极和第二电容的第二端电连接第二节点;

[0071] 第七晶体管T7的漏极、第八晶体管T8的漏极和第三电容的第一端电连接驱动信号输出线;

[0072] 第八晶体管T8的栅极和第三电容的第二端电连接第一节点。

[0073] 优选的,上述的第一晶体管T1至第八晶体管T8均为P型晶体管,导通信号VP则为低电平信号。

[0074] 以图2所示的移位寄存器的电路结构、及输入的触发信号STV的脉冲宽度为两倍的栅扫描时长(每一栅扫描时长为H)为例,结合图3所示的时序图进行说明,即触发信号STV的脉冲宽度为2H,其中每时间段的时长等于栅扫描时长H,如下:

[0075] 第一时间段

[0076] 第一时钟信号CK1为低电平,触发信号STV、第二时钟信号CK2为高电平,第一晶体管T1打开将触发信号STV提供到第一节点A,使第一节点A为高电平,第二晶体管T2、第四晶体管T4、第六晶体管T6和第八晶体管T8关断;

[0077] 第三晶体管T3打开,将导通信号VP提供至第三节点C,即第三节点C为低电平,并使第五晶体管T5打开;

[0078] 但是由于上一帧扫描过程,第二电容C2的保持作用,第二节点B为高电平,第七晶体管T7关断;

[0079] 同时,由于第三电容C3的保持作用,输出信号OUT保持上一帧扫描时的状态,为低电平。

[0080] 第二时间段

[0081] 阶段2:第一时钟信号CK1为高电平和触发信号STV为高电平,第二时钟信号CK2为低电平,第四晶体管T4和第五晶体管T5打开并将导通信号VP提供到第二节点B,第二节点B转为低电平;

[0082] 第一节点A保持高电平,第三节点C保持低电平,第七晶体管打开,其它的晶体管关断,从而使高电平信号VGH提供到驱动信号输出线,即驱动信号OUT为高电平。

[0083] 第三时间段

[0084] 触发信号STV为低电平,第一时钟信号CK1和第二时钟信号CK2为高电平,第一晶体管T1关断,从而第一节点A保持高电平;

[0085] 第五晶体管T5和第七晶体管T7打开,其它晶体管关断,第二节点B保持低电平,第三节点C保持低电平,由于第七晶体管T7打开,则使高电平信号VGH提供到驱动信号输出线,即驱动信号OUT为高电平。

[0086] 第四时间段

[0087] 触发信号STV和第一时钟信号CK1为低电平,第二时钟信号CK2为高电平,第三晶体管T3打开,导通信号VP提供到第三节点C,使第三节点C为低电平;

[0088] 第一晶体管T1打开,触发信号STV提供到第一节点A,第一节点A为低电平,使得第六晶体管T6打开,并使高电平信号VGH提供到第二节点,使得第二节点B为高电平;

[0089] 第一节点A低电平使得第八晶体管T8打开,第二节点B的高电平使得第七晶体管T7关断,从而由第八晶体管T8使低电平信号VGL提供到驱动信号输出线,即驱动信号OUT为低电平。

[0090] 当然,对于不同的脉冲宽度的触发信号STV,其原理同上,因此可以随意改变触发信号STV的脉冲宽度,以适应目前更灵活的栅极扫描,需要说明的是,触发信号STV的连续的高电平脉冲宽度需要大于或等于2H。

[0091] 实施例二

[0092] 如图4所示,本发明实施例提供另一种移位寄存器,包括:

[0093] 输入模块101,与提供触发信号STV的触发信号线、提供第一时钟信号CK1的第一时钟信号线和第一节点A电连接,用于控制触发信号线提供的触发信号STV是否输出到第一节点A;

[0094] 控制模块102,与第一节点A、第二节点B、第一时钟信号线、提供第二时钟信号CK2的第二时钟信号线和提供导通信号VP的导通信号线电连接,用于控制导通信号线提供的导通信号VP是否输出到第二节点B;

[0095] 输出模块103,与第一节点A、第二节点B、提供高电平信号VGH的高电平信号线、提供低电平信号VGL的低电平信号线和输出驱动信号OUT的驱动信号输出线电连接,用于响应于第一节点A和第二节点B的信号,选择高电平信号线提供的高电平信号VGH或低电平信号线的低电平信号VGL作为驱动信号OUT并提供至驱动信号输出线。

[0096] 还包括稳压模块104,与所述第一节点A、所述第二节点B、提供第三时钟信号CK3的第三时钟信号线和所述高电平信号线电连接,用于响应所述第二节点B的信号和所述第三

时钟信号CK3,控制所述高电平信号线提供的高电平信号VGH是否输出到所述第一节点A。

[0097] 本实施例中,通过输入模块101控制触发信号STV是否输出到第一节点A、通过控制模块102控制导通信号VP是否输出到第二节点B,从而使输出模块103响应于第一节点A和第二节点B的信号选择高电平信号VGH或低电平信号VGL作驱动信号OUT并输出,以调节输出模块103的输出信号相比触发信号STV进行了移位并具有相同脉冲宽度,输出信号的脉冲宽度随触发信号STV的脉冲宽度改变而改变,实现移位寄存器的输出信号的脉冲宽度灵活调节;同时提供稳压模块104,以使移位寄存器工作过程中,能够确保第一节点A的电平在规定的时间内为高电平。

[0098] 输入模块101、控制模块102和输出模块103与实施一中的移位寄存器的相应模块具有相同的结构和功能,在此不再赘述;如图5所示,提供与图4移位寄存器结构图相应的电路结构图,其中:

[0099] 稳压模块104包括第九晶体管T9和第十晶体管T10;

[0100] 第九晶体管T9的栅极电连接第二节点,第九晶体管T9的源极电连接高电平信号线,第九晶体管T9的漏极电连接第十晶体管T10的源极;

[0101] 第十晶体管T10的栅极电连接第三时钟信号线,第十晶体管T10的漏极电连接第一节点。

[0102] 优选的,第一晶体管T1至第十晶体管T10均为P型晶体管,导通信号VP则为低电平信号。

[0103] 稳压模块104在对空间要求较高时,可以省略,其功能仅限于对第一节点A的电平的稳定,因此图4和图5所示的移位寄存器与图实施例一所示功能相同,其不同时间段的时序和工作原理均参考实施例一,在触发信号STV的脉冲宽度为2H时,包括第三时钟信号的时序图如图6所示;其于本发明的思想,可以对触发信号STV的脉冲宽度进行调整,例如图7所示的触发信号STV的脉冲宽度为5H时的时序图,在此不再赘述。

[0104] 本发明实施例有益效果如下:通过所述输入模块控制所述触发信号是否输出到所述第一节点、通过所述控制模块控制导通信号是否输出到所述第二节点,从而使所述输出模块响应于所述第一节点和所述第二节点的信号选择高电平信号或低电平信号作所述驱动信号并输出,以调节所述输出模块的输出信号相比所述触发信号进行了移位并具有相同脉冲宽度,所述输出信号的脉冲宽度随所述触发信号的脉冲宽度改变而改变,实现移位寄存器的输出信号的脉冲宽度灵活调节。

[0105] 本发明实施例提供一种栅极驱动电路,包括多个级联的、如上实施例所述的移位寄存器。

[0106] 本发明实施例有益效果如下:通过所述输入模块控制所述触发信号是否输出到所述第一节点、通过所述控制模块控制导通信号是否输出到所述第二节点,从而使所述输出模块响应于所述第一节点和所述第二节点的信号选择高电平信号或低电平信号作所述驱动信号并输出,以调节所述输出模块的输出信号相比所述触发信号进行了移位并具有相同脉冲宽度,所述输出信号的脉冲宽度随所述触发信号的脉冲宽度改变而改变,实现移位寄存器的输出信号的脉冲宽度灵活调节。

[0107] 本发明实施例提供一种移位寄存器的驱动方法,方法包括:

[0108] 触发阶段,控制所述输入模块将触发信号输出到所述第一节点;

[0109] 移位阶段,控制所述输入模块无输出以使所述第一节点保持高电平,并控制所述控制模块使导通信号输出到所述第二节点或使所述第二节点保持低电平,使所述输出模块响应于所述控制模块输出的导通信号将与触发信号相同脉冲宽度的高电平信号输出至所述驱动信号端;

[0110] 结束阶段,控制所述输入模块将触发信号输出到使所述第一节点,使所述控制模块响应于所述输入模块输出的触发信号将所述高电平信号提供至所述第二节点,使所述输出模块响应于所述输入模块输出的触发信号将低电平信号提供至驱动信号输出线。

[0111] 本发明实施例有益效果如下:通过所述输入模块控制所述触发信号是否输出到所述第一节点、通过所述控制模块控制导通信号是否输出到所述第二节点,从而使所述输出模块响应于所述第一节点和所述第二节点的信号选择高电平信号或低电平信号作所述驱动信号并输出,以调节所述输出模块的输出信号相比所述触发信号进行了移位并具有相同脉冲宽度,所述输出信号的脉冲宽度随所述触发信号的脉冲宽度改变而改变,实现移位寄存器的输出信号的脉冲宽度灵活调节。

[0112] 显然,本领域的技术人员可以对本发明进行各种改动和变型而不脱离本发明的精神和范围。这样,倘若本发明的这些修改和变型属于本发明权利要求及其等同技术的范围之内,则本发明也意图包含这些改动和变型在内。

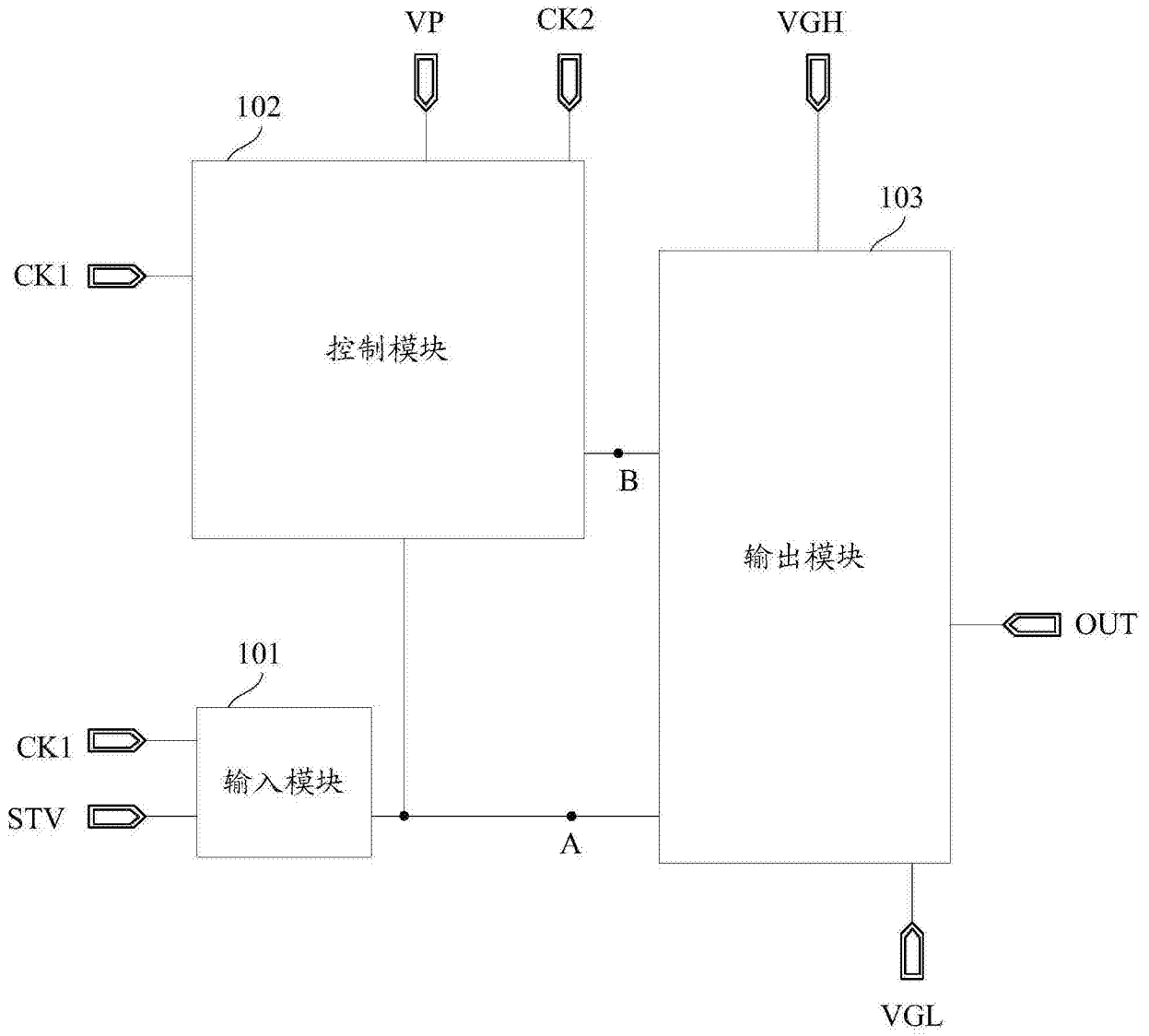


图1

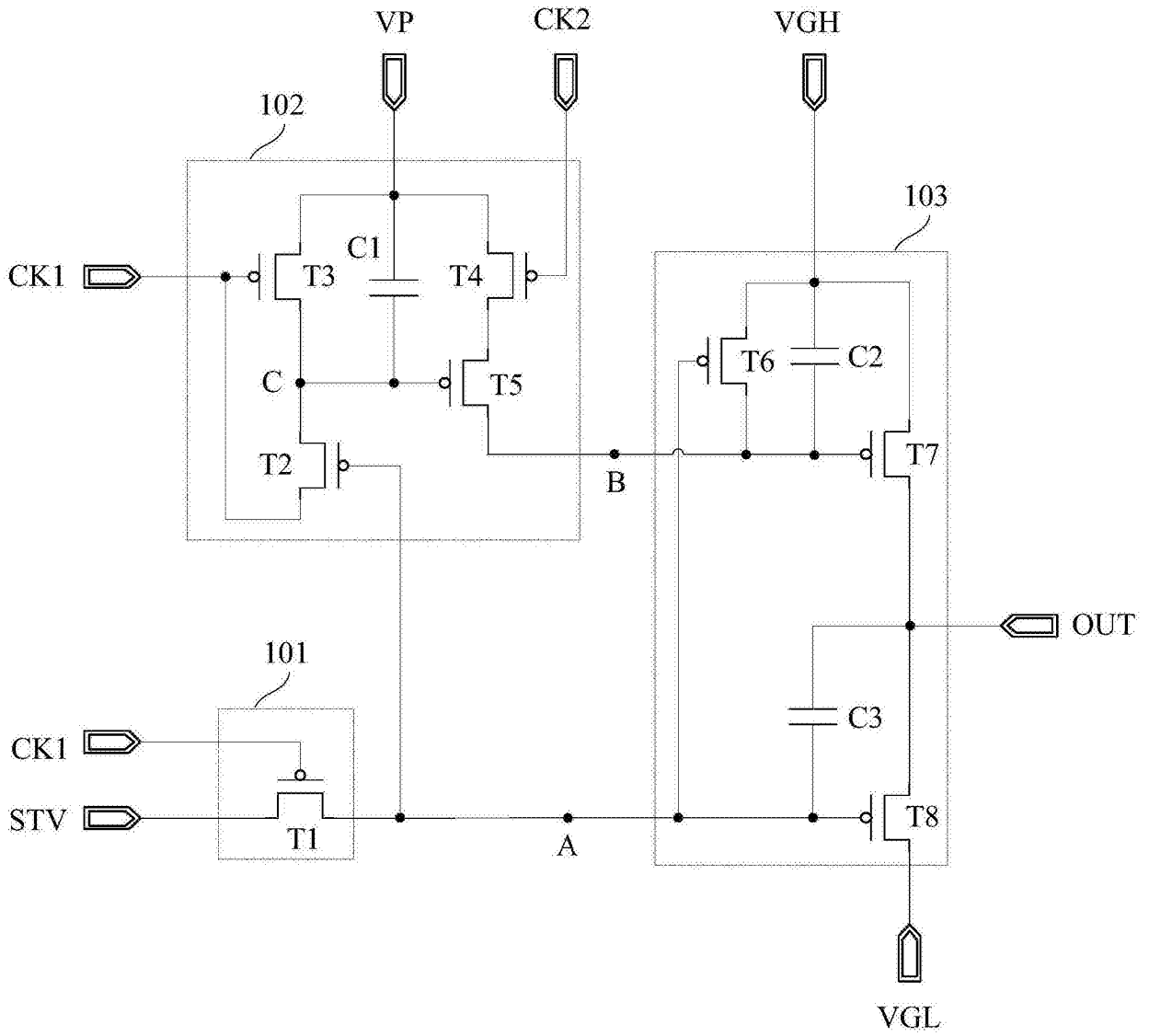


图2

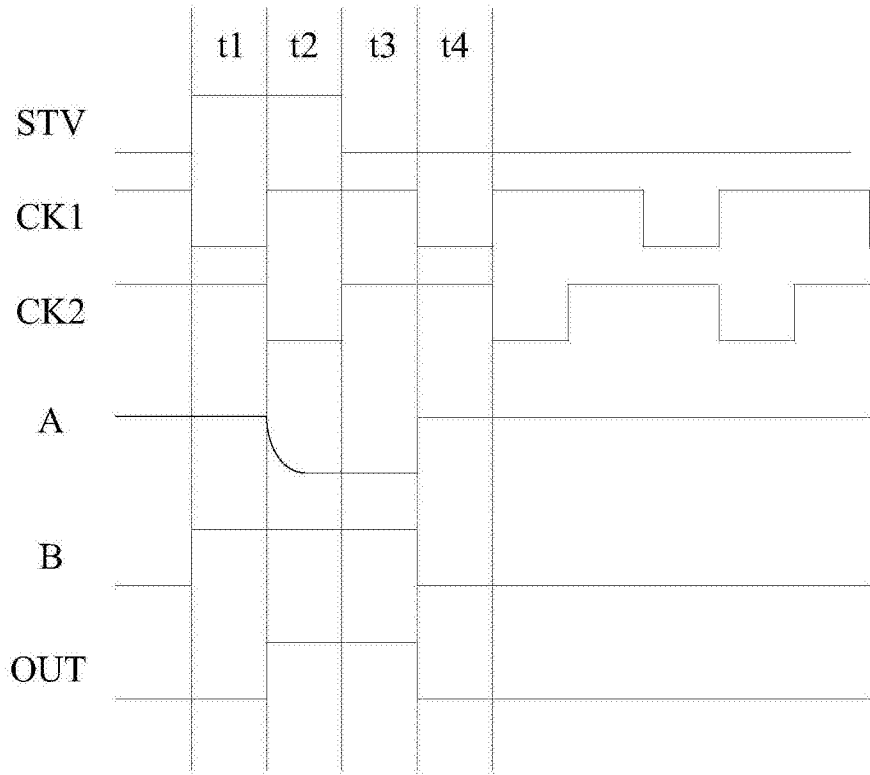


图3

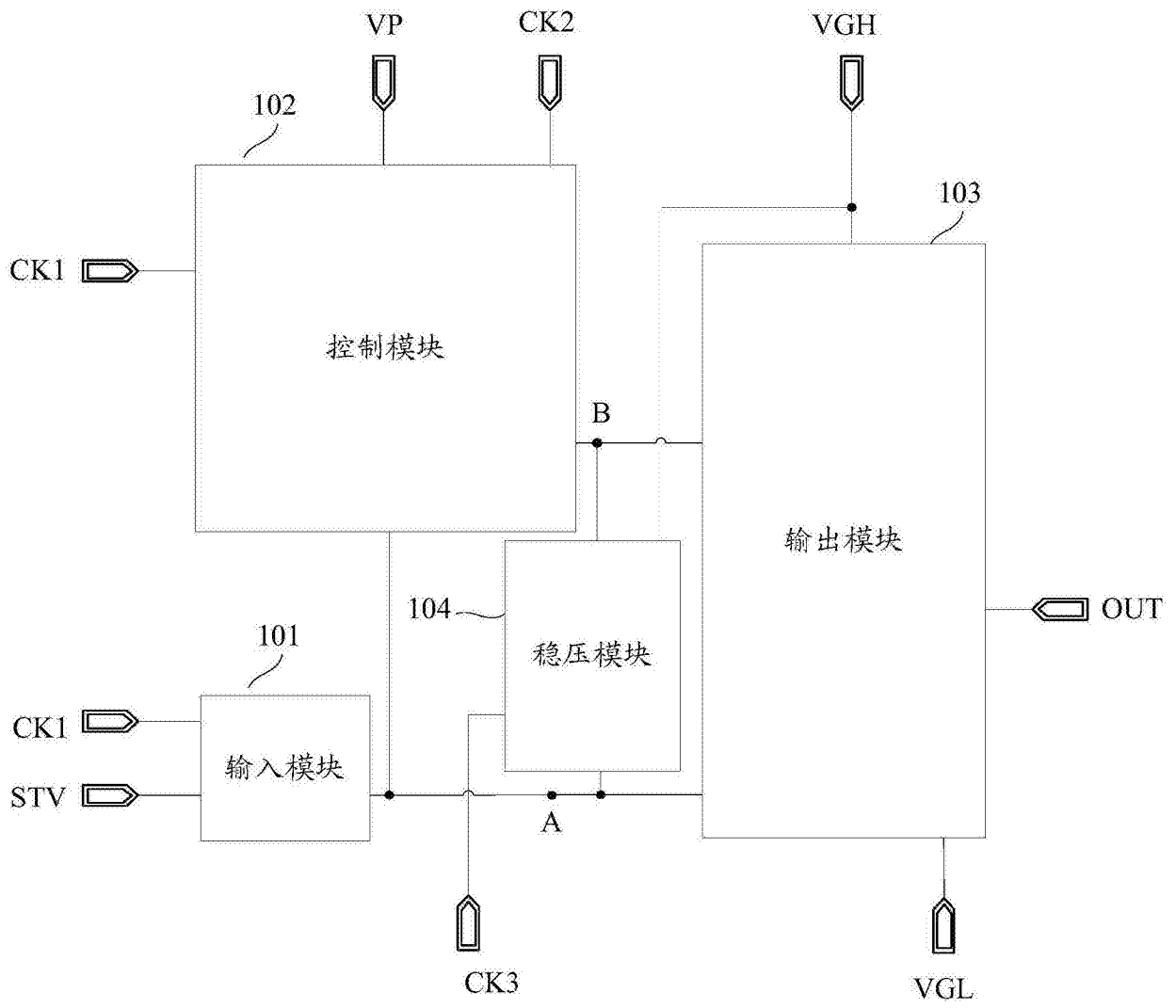


图4

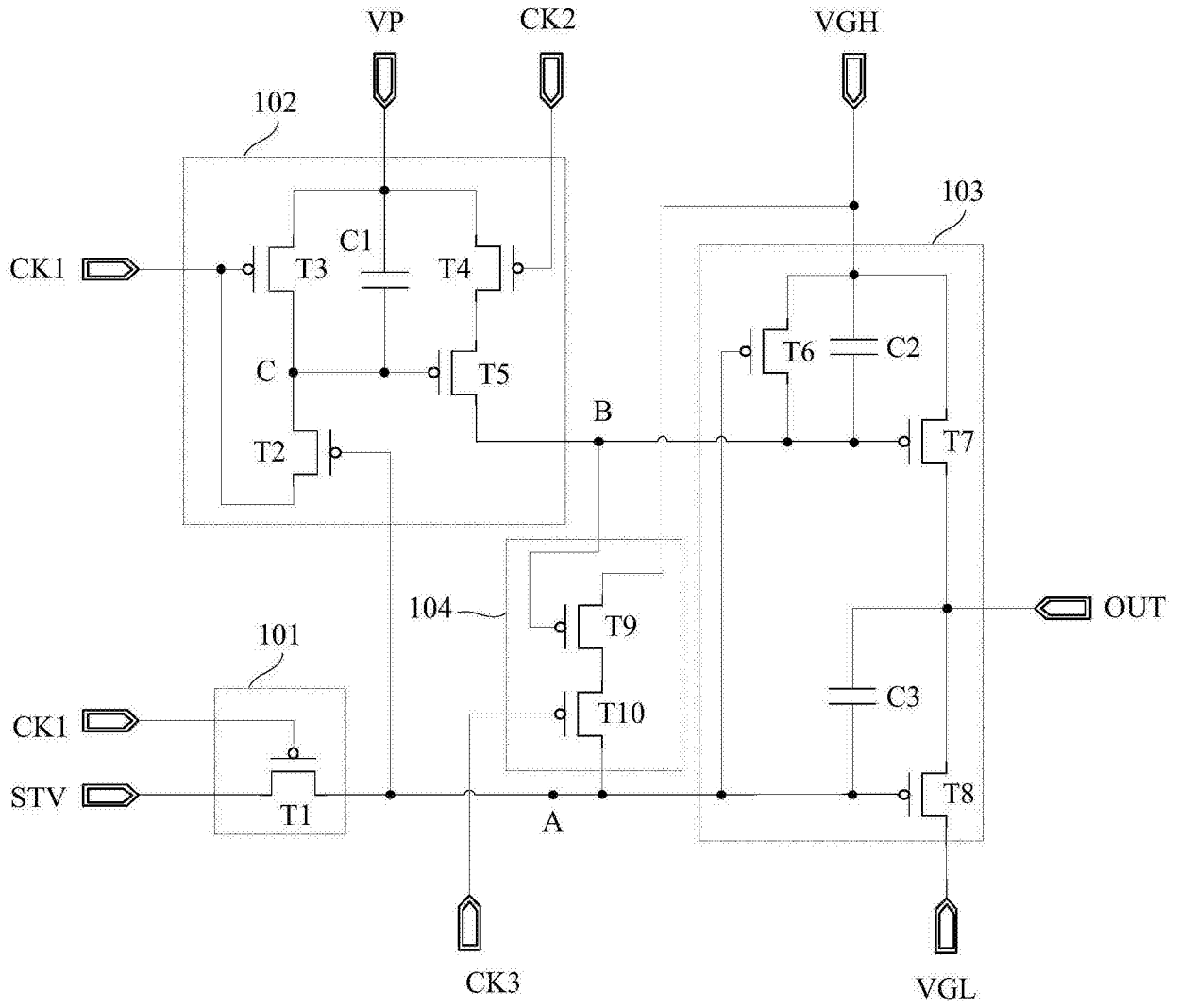


图5

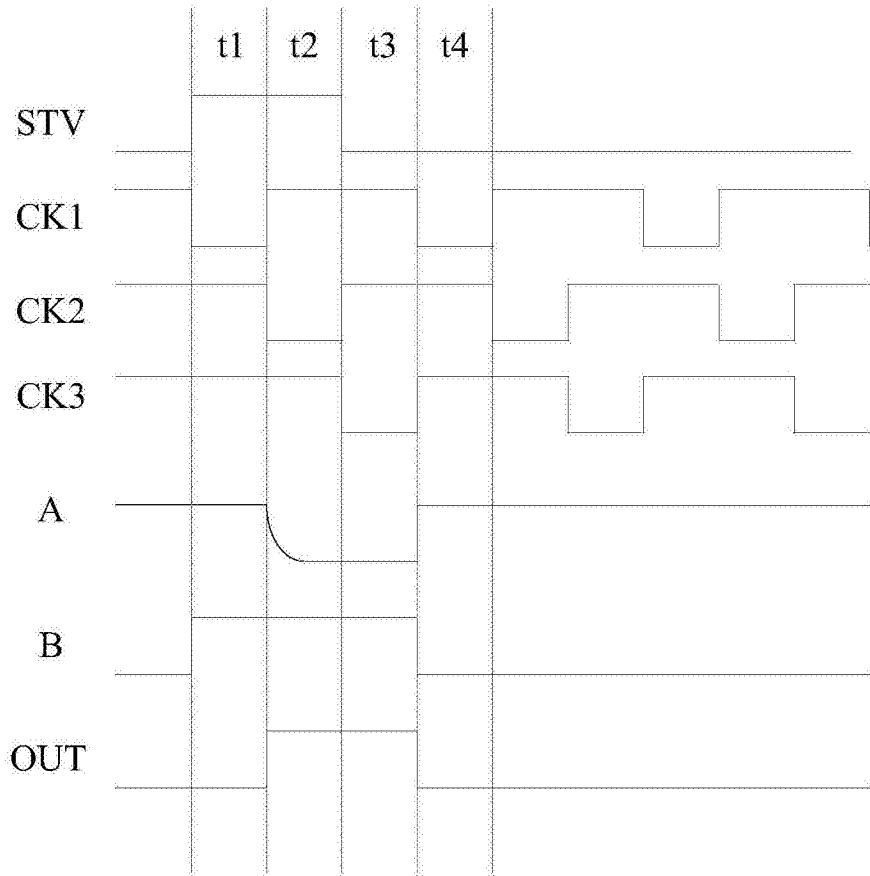


图6

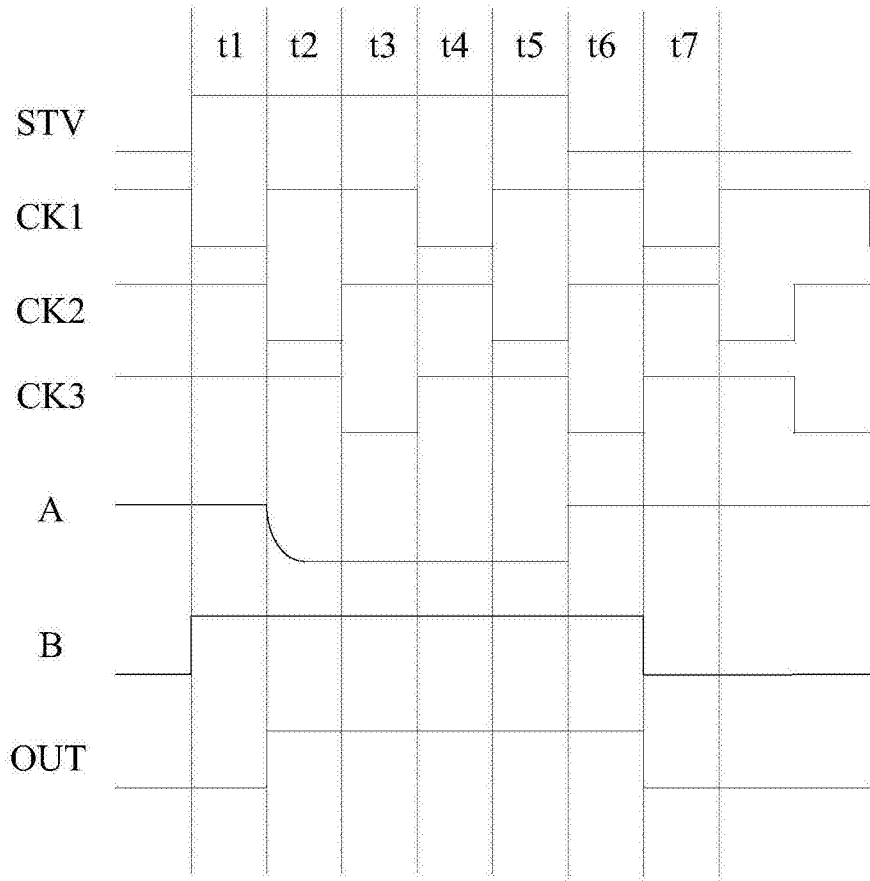


图7