



(19) 대한민국특허청(KR)

(12) 등록특허공보(B1)

(45) 공고일자 2015년12월24일

(11) 등록번호 10-1580196

(24) 등록일자 2015년12월18일

(51) 국제특허분류(Int. Cl.)

G11C 16/22 (2006.01)

(21) 출원번호 10-2014-0180544

(22) 출원일자 2014년12월15일

심사청구일자 2014년12월15일

(56) 선행기술조사문헌

KR1020120112246 A

KR1020140059485 A

KR1020120026974 A

KR1020110111661 A

(73) 특허권자

고려대학교 산학협력단

서울특별시 성북구 안암로 145, 고려대학교 (안암동5가)

(72) 발명자

박종선

서울특별시 서초구 신반포로 9, 85동 403호 (반포동, 반포아파트)

이상규

충청북도 청주시 청원구 오창읍 오창중앙로 94, 809동 401호 (한라비발디아파트)

(74) 대리인

특허법인엠에이피에스

전체 청구항 수 : 총 12 항

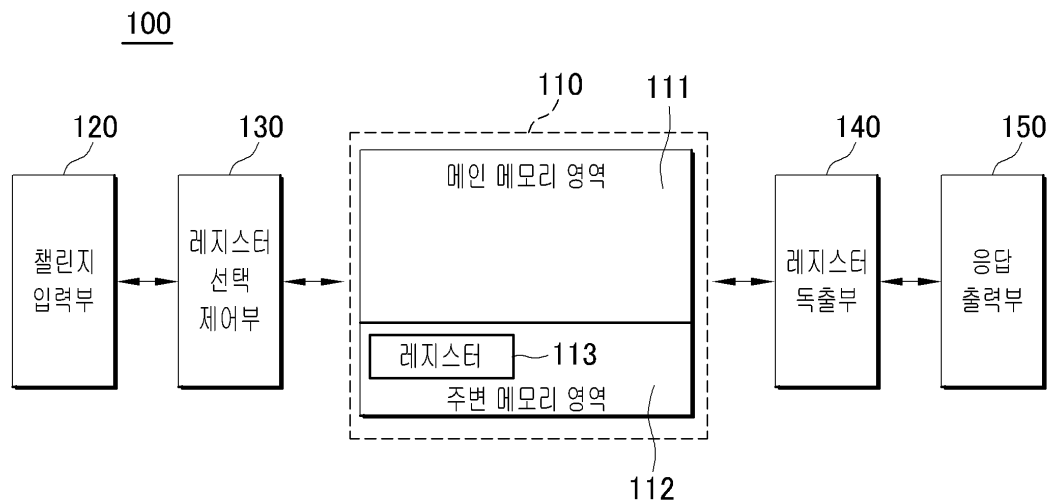
심사관 : 한선경

(54) 발명의 명칭 물리적 복제 방지 기능을 갖는 플래시 메모리 장치 및 그 구현 방법

(57) 요약

플래시 메모리 장치를 통한 물리적 복제 방지 기능 구현 시, 플래시 메모리 장치는 메인 메모리 영역 및 플래시 메모리의 동작에 필요한 설정 데이터가 저장되는 주변 메모리 영역을 구비하는 플래시 메모리부를 포함하되, 챌린지값을 입력받고, 챌린지값에 따른 주변 메모리 영역 내 기설정된 레지스터의 주소를 선택하고, 선택한 주소의 레지스터에 기설정된 제 1 전압을 인가하여 데이터를 저장하고, 기설정된 제 2 전압을 상기 선택한 주소의 레지스터에 인가하여 데이터를 독출하고, 독출한 데이터를 챌린지값에 대응된 응답값으로서 출력한다.

대표도 - 도1



이 발명을 지원한 국가연구개발사업
 과제고유번호 1711011647
 부처명 미래창조과학부
 연구관리전문기관 한국연구재단
 연구사업명 중견연구자지원
 연구과제명 저면적 저전력 임베디드 메모리 설계
 기 여 율 1/1
 주관기관 고려대학교 산학협력단
 연구기간 2014.05.01 ~ 2015.04.30

명세서

청구범위

청구항 1

물리적 복제 방지 기능(Physical Unclonable Function, PUF)을 갖는 플래시 메모리 장치에 있어서,
메인 메모리 영역 및 플래시 메모리의 동작에 필요한 설정 데이터가 저장되는 주변 메모리 영역을 구비하는 플래시 메모리부;
챌린지값을 입력받는 챌린지 입력부;
상기 입력받은 챌린지값에 기초하여 상기 주변 메모리 영역 내 기설정된 레지스터의 주소를 선택하고, 상기 선택한 주소의 레지스터에 기설정된 제 1 전압을 인가하여 데이터를 저장하는 레지스터 선택 제어부;
기설정된 제 2 전압을 상기 선택한 주소의 레지스터에 인가하여 데이터를 독출하는 레지스터 독출부; 및
상기 독출한 데이터를 상기 챌린지값에 대응된 응답값으로서 출력하는 응답 출력부를 포함하는 물리적 복제 방지 기능을 갖는 플래시 메모리 장치.

청구항 2

제 1 항에 있어서,
상기 레지스터는,
상이한 문턱 전압을 갖는 트랜지스터를 각각 포함하는 두 쌍의 인버터로 이루어진 래치(latch)를 포함하는 물리적 복제 방지 기능을 갖는 플래시 메모리 장치.

청구항 3

제 1 항에 있어서,
상기 챌린지 입력부는,
상기 설정 데이터에 대한 초기 독출 동작을 처리하기 이전에 상기 챌린지값을 입력받는 물리적 복제 방지 기능을 갖는 플래시 메모리 장치.

청구항 4

제 1 항에 있어서,
상기 레지스터 선택 제어부는,
기설정된 복수의 챌린지값 별로 대응된 레지스터 주소 중 상기 입력받은 챌린지값에 따른 레지스터 주소를 검출하여 상기 레지스터의 주소로 선택하되,
상기 레지스터의 주소는,
복수의 레지스터를 포함하는 블록 단위로 선택되는 물리적 복제 방지 기능을 갖는 플래시 메모리 장치.

청구항 5

제 1 항에 있어서,
기설정된 인증 처리 장치와 약속된 복수의 챌린지값을 순차적으로 상기 챌린지 입력부에 입력하고, 상기 입력에 대응된 결과로서 상기 응답 출력부로부터 출력되는 응답값을 상기 입력한 챌린지값과 매칭한 복수의 챌린지-응답 페어(pair)를 생성하는 챌린지-응답 페어 생성부; 및
상기 복수의 챌린지-응답 페어를 상기 인증 처리 장치로 제공하는 챌린지-응답 페어 전송부를 더 포함하며,

상기 챌린지-응답 페어는 상기 인증 처리 장치에 저장되는 물리적 복제 방지 기능을 갖는 플래시 메모리 장치.

청구항 6

제 5 항에 있어서,

상기 인증 처리 장치로부터 수신된 챌린지값 또는 상기 플래시 메모리 장치 자체에서 발생된 챌린지값을 인증 요청으로서 입력받는 인증 요청부; 및

상기 챌린지-응답 페어로부터 상기 인증 요청부가 입력한 챌린지값에 매칭된 응답값을 검출하여 상기 인증 처리 장치로 전송하여 인증 처리하는 인증 처리부를 더 포함하며,

상기 인증 처리 장치로 전송한 응답값은,

상기 인증 처리 장치에 기저장되어 있던 챌린지-응답 페어 중 상기 인증 요청으로서 입력된 챌린지값에 매칭된 응답값과의 비교를 통한 인증 처리에 사용되는 것인 물리적 복제 방지 기능을 갖는 플래시 메모리 장치.

청구항 7

플래시 메모리 장치를 통한 물리적 복제 방지 기능(Physical Unclonable Function, PUF) 구현 방법에 있어서,

상기 플래시 메모리 장치는 메인 메모리 영역 및 플래시 메모리의 동작에 필요한 설정 데이터가 저장되는 주변 메모리 영역을 구비하는 플래시 메모리부를 포함하되,

챌린지값을 입력받는 단계;

상기 챌린지값에 따른 상기 주변 메모리 영역 내 기설정된 레지스터의 주소를 선택하는 단계;

상기 선택한 주소의 레지스터에 기설정된 제 1 전압을 인가하여 데이터를 저장하는 단계;

기설정된 제 2 전압을 상기 선택한 주소의 레지스터에 인가하여 데이터를 독출하는 단계; 및

상기 독출한 데이터를 상기 챌린지값에 대응된 응답값으로서 출력하는 단계를 포함하는 플래시 메모리 장치를 통한 물리적 복제 방지 기능 구현 방법.

청구항 8

제 7 항에 있어서,

상기 레지스터는,

상이한 문턱 전압을 갖는 트랜지스터를 각각 포함하는 두 쌍의 인버터로 이루어진 래치(latch)를 포함하는 플래시 메모리 장치를 통한 물리적 복제 방지 기능 구현 방법.

청구항 9

제 7 항에 있어서,

상기 독출한 데이터를 상기 챌린지값에 대응된 응답값으로서 출력하는 단계 이후에,

상기 설정 데이터에 대한 기설정된 초기 독출 동작을 처리하는 단계를 더 포함하는 플래시 메모리 장치를 통한 물리적 복제 방지 기능 구현 방법.

청구항 10

제 7 항에 있어서,

상기 레지스터의 주소를 선택하는 단계는,

기설정된 복수의 챌린지값 별로 대응된 레지스터 주소 중 상기 입력받은 챌린지값에 따른 레지스터 주소를 검출하여 상기 레지스터의 주소로 선택하되,

상기 레지스터의 주소는,

복수의 레지스터를 포함하는 블록 단위로 선택되는 플래시 메모리 장치를 통한 물리적 복제 방지 기능 구현 방

법.

청구항 11

제 7 항에 있어서,

상기 챌린지값을 입력받는 단계는, 기설정된 인증 처리 장치와 사전에 약속된 복수의 챌린지값을 순차적으로 입력받으며,

상기 챌린지값에 대응된 응답값으로 출력하는 단계는, 상기 챌린지값을 순차적으로 입력받은 결과로서, 상기 챌린지값 별로 대응하는 응답값을 순차적으로 출력하되,

상기 응답값이 순차적으로 출력된 이후에,

상기 챌린지값 별로 상기 응답값을 매칭하여 복수의 챌린지-응답 페어(pair)를 생성하는 단계; 및

상기 복수의 챌린지-응답 페어를 상기 인증 처리 장치로 제공하는 단계를 더 포함하는 플래시 메모리 장치를 통한 물리적 복제 방지 기능 구현 방법.

청구항 12

제 11 항에 있어서,

상기 복수의 챌린지-응답 페어를 상기 인증 처리 장치로 제공하는 단계 이후에,

상기 인증 처리 장치로부터 수신된 챌린지값 또는 상기 플래시 메모리 장치 자체에서 발생된 챌린지값을 인증 요청으로서 입력받는 단계; 및

상기 챌린지-응답 페어로부터 상기 입력받은 챌린지값에 매칭된 응답값을 검출하여 상기 인증 처리 장치로 전송하는 단계를 더 포함하되,

상기 인증 처리 장치로 전송한 응답값은,

상기 인증 처리 장치에 기저장되어 있던 챌린지-응답 페어 중 상기 인증 요청으로서 입력받은 챌린지값에 매칭된 응답값과의 비교를 통한 인증 처리에 사용되는 것인 플래시 메모리 장치를 통한 물리적 복제 방지 기능 구현 방법.

발명의 설명

기술 분야

[0001] 본 발명은 레지스터를 이용하여 물리적 복제 방지 기능(Physical Unclonable Function, PUF)을 처리하는 플래시 메모리 장치 및 그 구현 방법에 관한 것이다.

배경 기술

[0002] 물리적 복제 방지 기능(Physical Unclonable Function, PUF)은 인증 및 보안에 관련하여 물리적으로 고유한 코드(code)를 발생시키는 기술로서, 종래에는 링오실레이터(Ring Oscillator), 래치(Latch)등을 이용하여 각각의 고유한 키(Key)를 생성하는 기술들이 제안되었다.

[0003] 이와 관련하여, 대한민국 등록특허 제1408619호(발명의 명칭: 커패시터 용량 편차 기반 물리적 복제 방지 기능 시스템)에는, 2 이상의 물리적 복제 방지 기능(Physical Unclonable Function, PUF) 셀(Cell) 및 각 물리적 복제 방지 기능 셀의 동작을 제어하는 제어 신호를 발생시키기 위한 제어신호 발생부를 포함하되, 각 물리적 복제 방지 기능 셀은, 상기 제어신호에 따라 동작하며, 2 이상의 커패시터가 병렬로 배치된 회로를 포함하는 전하 공유 회로, 상기 전하 공유 회로에서 커패시터들 중에서 일부 커패시터의 용량 차이를 검출하기 위한 비교기 및 입력 신호(Challenge)와 상기 비교기에서 출력된 신호에 대하여 논리적 배타 합(exclusive-OR) 연산을 수행하고, 그 결과인 출력신호(Response)를 출력하기 위한 논리적 배타 합(exclusive-OR) 게이트를 포함하는 구성이 개시되어 있다.

[0004] 한편, 거의 모든 장치에서 사용하고 있는 메모리 장치를 이용한 PUF의 키(key) 생성 방식에 대해서는 제안된 기술이 없는 바, 메모리 장치 내 별도의 큰 수정 없이도 PUF를 구현할 수 있는 방안이 필요하다.

발명의 내용

해결하려는 과제

- [0005] 본 발명의 실시예는 플래시 메모리를 이용하여 챌린지값에 따른 고유한 응답값을 생성하는 물리적 복제 방지 기능(PUF)을 갖는 플래시 메모리 장치 및 그 구현 방법을 제공하고자 한다.
- [0006] 다만, 본 실시예가 이루고자 하는 기술적 과제는 상기된 바와 같은 기술적 과제로 한정되지 않으며, 또 다른 기술적 과제들이 존재할 수 있다.

과제의 해결 수단

- [0007] 상술한 기술적 과제를 달성하기 위한 기술적 수단으로서, 본 발명의 일 측면에 따른 물리적 복제 방지 기능(Physical Unclonable Function, PUF)을 갖는 플래시 메모리 장치는, 메인 메모리 영역 및 플래시 메모리의 동작에 필요한 설정 데이터가 저장되는 주변 메모리 영역을 구비하는 플래시 메모리부; 챌린지값을 입력받는 챌린지 입력부; 상기 입력받은 챌린지값에 기초하여 상기 주변 메모리 영역 내 기설정된 레지스터의 주소를 선택하고, 상기 선택한 주소의 레지스터에 기설정된 제 1 전압을 인가하여 데이터를 저장하는 레지스터 선택 제어부; 기설정된 제 2 전압을 상기 선택한 주소의 레지스터에 인가하여 데이터를 독출하는 레지스터 독출부; 및 상기 독출한 데이터를 상기 챌린지값에 대응된 응답값으로서 출력하는 응답 출력부를 포함한다.
- [0008] 또한, 본 발명의 다른 측면에 따른 플래시 메모리 장치를 통한 물리적 복제 방지 기능(Physical Unclonable Function, PUF) 구현 방법은, 상기 플래시 메모리 장치는 메인 메모리 영역 및 플래시 메모리의 동작에 필요한 설정 데이터가 저장되는 주변 메모리 영역을 구비하는 플래시 메모리부를 포함하되, 챌린지값을 입력받는 단계; 상기 챌린지값에 따른 상기 주변 메모리 영역 내 기설정된 레지스터의 주소를 선택하는 단계; 상기 선택한 주소의 레지스터에 기설정된 제 1 전압을 인가하여 데이터를 저장하는 단계; 기설정된 제 2 전압을 상기 선택한 주소의 레지스터에 인가하여 데이터를 독출하는 단계; 및 상기 독출한 데이터를 상기 챌린지값에 대응된 응답값으로서 출력하는 단계를 포함한다.

발명의 효과

- [0009] 전술한 본 발명의 과제 해결 수단에 의하면, 플래시 메모리의 메모리 셀 별로 고유한 물리적 특성을 이용하여 복제가 불가능한(Unclonable) 키(key)를 생성함으로써 보안성을 크게 높일 수 있다.
- [0010] 그리고 본 발명의 과제 해결 수단에 의하면, 챌린지값에 따라 선택된 플래시 메모리의 레지스터를 이용하여 복제가 불가능한 키를 생성함으로써, 플래시 메모리 내에서 별도의 큰 수정 없이도 물리적 복제 방지 기능(PUF)을 구현할 수 있어 간편하다.
- [0011] 또한, 본 발명의 과제 해결 수단에 의하면, 플래시 메모리의 주변 메모리 영역에 설정 데이터가 저장되는 레지스터(register)를 이용하되, 레지스터에 구성된 래치(latch) 트랜지스터의 물리적 특성에 따른 고유한 값을 응답값을 생성함으로써, 해당 플래시 메모리만의 고유한 PUF 키를 생성할 수 있다.

도면의 간단한 설명

- [0012] 도 1은 본 발명의 일 실시예에 따른 플래시 메모리 장치의 구성을 나타낸 도면이다.
- 도 2는 본 발명의 일 실시예에 따른 레지스터의 래치 구성을 설명하기 위한 도면이다.
- 도 3은 본 발명의 다른 실시예에 따른 플래시 메모리 장치의 구성을 나타낸 도면이다.
- 도 4는 본 발명의 일 실시예에 따른 플래시 메모리 장치를 통한 물리적 복제 방지 기능 구현 방법을 설명하기 위한 순서도이다.

발명을 실시하기 위한 구체적인 내용

- [0013] 아래에서는 첨부한 도면을 참조하여 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자가 용이하게 실시할 수 있도록 본 발명의 실시예를 상세히 설명한다. 그러나 본 발명은 여러 가지 상이한 형태로 구현될 수 있으며 여기에서 설명하는 실시예에 한정되지 않는다. 그리고 도면에서 본 발명을 명확하게 설명하기 위해서 설명과 관계없는 부분은 생략하였으며, 명세서 전체를 통하여 유사한 부분에 대해서는 유사한 도면 부호를 붙였다.

- [0014] 명세서 전체에서, 어떤 부분이 다른 부분과 "연결"되어 있다고 할 때, 이는 "직접적으로 연결"되어 있는 경우뿐 아니라, 그 중간에 다른 소자를 사이에 두고 "전기적으로 연결"되어 있는 경우도 포함한다. 또한 어떤 부분이 어떤 구성요소를 "포함"한다고 할 때, 이는 특별히 반대되는 기재가 없는 한 다른 구성요소를 제외하는 것이 아니라 다른 구성요소를 더 포함할 수 있는 것을 의미한다.
- [0015] 도 1은 본 발명의 일 실시예에 따른 플래시 메모리 장치의 구성을 나타낸 도면이다.
- [0016] 본 발명의 일 실시예에 따른 플래시 메모리 장치(100)는 플래시 메모리부(110), 셀런지 입력부(120), 레지스터 선택 제어부(130), 레지스터 독출부(140) 및 응답 출력부(150)를 포함한다.
- [0017] 본 발명의 실시예에서는 플래시 메모리부(110)가, 1개의 비트 라인(bit line)에 2개 이상의 셀(cell) 트랜지스터가 직렬로 연결된 형태의 낸드(NAND)형 플래시 메모리이되, 하나의 메모리 셀에 1 비트 데이터를 저장하는 SLC(Single Level Cell) 플래시 메모리인 것을 예로서 설명하도록 한다. 그러나 본 발명에 적용될 수 있는 플래시 메모리는 이에 한정되는 것이 아니며, 1개의 비트 라인에 2개 이상의 셀 트랜지스터가 병렬로 연결된 노어(NOR) 형태 또는 하나의 메모리 셀에 2비트의 데이터를 저장하는 MLC(Multi-level cell, MLC) 형태 등 다양한 형태의 플래시 메모리일 수 있다.
- [0018] 도 1에 도시한 바와 같이 본 발명의 일 실시예에 따른 플래시 메모리부(110)는 사용자 데이터(user data) 등의 데이터가 저장되는 메인 메모리 영역(main memory area)(111)과 플래시 메모리의 동작에 필요한 각종 환경 정보(이하, '설정 데이터'라고 지칭함)가 저장되는 주변 메모리 영역(peripheral memory area)(112)을 포함한다. 그리고, 주변 메모리 영역(112) 내에는 기설정된 시점에 독출된 설정 데이터가 저장되는 레지스터(113)가 포함된다.
- [0019] 또한, 본 발명의 일 실시예에 따른 플래시 메모리부(110)는 플래시 메모리의 전반적인 동작에 필요한 설정 데이터의 독출을 제어하는 제어 신호를 생성하는 제어 회로(미도시), 레지스터(113)에 저장된 설정 데이터의 비트 값에 의해 동작하는 각종 스위치부(예를 들어, DC 트림 회로 및 리페어 회로 등) 등의 구성을 더 포함한다.
- [0020] 구체적으로, 주변 메모리 영역(112)에는 플래시 메모리에서 데이터의 프로그램(program), 소거(erase) 및 독출(read) 동작을 구현하기 위한 논리 제어(logic control) 및 전압 생성(voltage generator) 등을 처리하는 각각의 주변부(peripheral)들이 구성된다. 이러한 주변부 별로 설정된 값을 설정 데이터라고 하며, 설정 데이터는 플래시 메모리가 동작하는데 필요한 각종 전압 정보, 전류 정보, 속도 정보, 트림(trim) 정보, 옵션 정보, 리페어(repair) 정보 및 배드 블록(bad block) 정보 중 적어도 하나를 포함한다. 참고로, 본 발명의 일 실시예에서 설정 데이터는 E-Fuse 방식을 통해 저장되는 데이터로서, E-Fuse 방식은 플래시 메모리 장치에서 레이저 퓨즈(laser fuse) 대신에 특정 메모리 셀에 각종 정보를 저장해두고 플래시 메모리부(110)가 동작할 때에 특정 메모리 셀을 읽어 들어 해당하는 스위치를 온/오프 시켜서 정보를 전달하는 방식이다.
- [0021] 이때, 설정 데이터는 주변 메모리 영역(112)의 특정 메모리 셀 영역에 저장되며, 플래시 메모리부(110)로의 전원 인가 시마다 상기 특정 메모리 셀 영역에 저장된 설정 데이터가 독출되어 레지스터(113)에 저장된다. 그리고 레지스터(113)에 저장된 설정 데이터는 전원이 오프(OFF)될 때까지 플래시 메모리의 동작에 사용된다.
- [0022] 예를 들어, 플래시 메모리부(110)의 공정상의 변수(process variation)에 의해 플래시 메모리의 동작에 필요한 전압, 속도, 전류 및 타이밍 등이 변하게 된다. 이에, 플래시 메모리부(110)는 주변부의 값들을 플래시 메모리의 동작에 적합한 값으로 맞추기 위해 트리밍(trimming)한다. 이에 따른 트리밍 코드들은 플래시 메모리부(110)의 특정 메모리 셀 영역에 저장된 후 플래시 메모리부(110)의 전원 인가 시마다 독출되어 레지스터(113)에 저장된다.
- [0023] 또 다른 예로서, 플래시 메모리부(110)는 초기 테스트를 통해 전체 메모리 셀을 읽기 처리하여 결함이 발생된 비트 라인 및 메모리 셀 블록을 확인할 수 있다. 이에 따라, 결함이 확인된 결함 비트 라인 및 결함 블록의 메모리 셀을 대체할 수 있는 중복 셀(redundancy cell)의 주소 정보가 상기 특정 메모리 셀 영역에 저장된 후 플래시 메모리부(110)의 전원 인가 시마다 독출되어 레지스터(113)에 저장된다.
- [0024] 한편, 본 발명의 일 실시예에 따른 레지스터(113)는 PUF 응답값이 프로그램 및 독출되는 특정 영역으로서, 각각 래치(latch)로 구성된 복수 개의 메모리 셀로 구성된다. 참고로, 각 래치는 문턱 전압이 상이한 적어도 둘 이상의 트랜지스터로 구성된다.
- [0025] 도 2는 본 발명의 일 실시예에 따른 레지스터의 래치 구성을 설명하기 위한 도면이다.
- [0026] 본 발명의 일 실시예에 따른 레지스터(113)는 복수의 메모리 셀을 포함하되, 각 메모리 셀은 도 2의 (a)에서와

같은 래치(P113)로 구성된다. 이때, 래치(P113)는 PMOS 트랜지스터(A, B) 및 NMOS 트랜지스터(C, D, E, F)를 포함할 수 있다.

[0027] 구체적으로, 본 발명의 일 실시예에 따른 래치(P113)는 제 1 PMOS 트랜지스터(A)와 제 1 NMOS 트랜지스터(C)로 구현된 제 1 인버터, 및 제 2 PMOS 트랜지스터(B)와 제 2 NMOS 트랜지스터(D)로 구현된 제 2 인버터를 포함한다. 이때, 제 1 인버터의 출력이 제 2 인버터로 입력되며, 제 2 인버터의 출력은 제 1 인버터로 입력된다. 이와 같은 래치(P113)의 제 1 및 제 2 PMOS 트랜지스터(A 및 B) 간의 문턱 전압(V_{th})의 베리에이션(variation)과, 제 1 및 제 2 NMOS 트랜지스터(C 및 D) 간의 문턱 전압의 베리에이션에 의해, 동일 전압 조건에서 래치(P113) 별로 상이한 데이터가 저장될 수 있다.

[0028] 또한, 도 2의 (b)에서와 같이, 제 1 및 제 2 인버터 간 PMOS 및 NMOS의 문턱 전압의 차(즉, ' $V_{th_A} - V_{th_B}$ ' 및 ' $V_{th_C} - V_{th_D}$ ')가 클수록 래치(P113)에 저장될 데이터의 랜덤성이 증가된다. 즉, 특정 전압 인가 시 래치(P113)에 저장될 데이터가 "1" 또는 "0" 중 어느 하나로 랜덤하게 결정되는 랜덤성이 증가한다. 이러한 래치(P113)의 데이터 저장 시 랜덤성을 이용하여, 복수의 래치(P113)에 저장되는 데이터들을 PUF 응답값으로 사용할 수 있다. 참고로, 래치(P113)들에 데이터를 저장하기 위해 인가되는 기설정된 전압(이하, '제 1 전압'이라고 지칭함)은, 플래시 메모리부(110)의 일반적인 프로그램 동작을 위해 인가되는 프로그램 전압과는 상이한 레벨일 수 있다. 즉, 플래시 메모리부(110)의 일반적인 프로그램 전압이 모든 메모리 셀에 "1" 또는 "0" 중 기설정된 어느 하나를 프로그램될 수 있을 정도로 충분한 레벨 크기일 수 있다. 이에 비해, 제 1 전압은 일반적인 프로그램 전압의 레벨보다 낮은 레벨로 설정되어, 레지스터(113) 내 둘 이상의 래치(P113)가 서로 상이한 데이터 값이 저장되도록 할 수 있다. 또한, 제 1 전압은 동일 래치(P113)에서 "1" 또는 "0" 중 어느 하나가 랜덤하게 저장되도록 하는 크기의 전압 레벨로 설정될 수 있다.

[0029] 다시 도 1로 돌아가서, 챌린지 입력부(120)는 챌린지값을 입력받아 레지스터 선택 제어부(130)로 전달한다. 이때, 챌린지 입력부(120)는 기설정된 복수의 챌린지값을 순차적으로 입력받아 레지스터 선택 제어부(130)로 순차적으로 전달한다. 이때, 챌린지 입력부(120)는 플래시 메모리부(110)에 전원이 인가된 후 초기 독출 처리 이전에 복수의 챌린지값을 입력받아 레지스터 선택 제어부(130)로 전달한다.

[0030] 챌린지값은, 사전에 연동하도록 설정된 외부 인증 처리 장치(또는 서버)(미도시)와 사전에 약속된 챌린지값으로서, 플래시 메모리 장치(100)의 챌린지 블록(미도시)으로부터 자체적으로 발생되거나 인증 처리 장치(미도시)로부터 수신하여 입력될 수 있다.

[0031] 레지스터 선택 제어부(130)는 입력받은 챌린지값에 기초하여 주변 메모리 영역 내 기설정된 레지스터의 주소를 선택하고, 상기 선택한 주소의 레지스터에 기설정된 제 1 전압을 인가하여 데이터를 저장한다. 이때, 레지스터 선택 제어부(130)는 앞서 설명한 플래시 메모리부(110)의 초기 독출 처리 이전에 챌린지값 별로 기설정된 레지스터 블록을 선택하고, 각각 제 1 전압을 인가한다.

[0032] 구체적으로, 레지스터 선택 제어부(130)는 기설정된 복수의 챌린지값 별로 대응된 레지스터 주소 중 상기 입력받은 챌린지값에 따른 레지스터 주소를 검출하고, 검출된 레지스터 주소를 제 1 전압을 인가할 레지스터의 주소로 선택한다. 참고로, 레지스터의 주소는 복수의 레지스터를 포함하는 블록 단위로 선택될 수 있다.

[0033] 레지스터 독출부(140)는 기설정된 전압(이하, '제 2 전압'이라고 지칭함)을 상기 입력된 챌린지값에 따라 설정된 주소의 레지스터(113)에 인가하여, 해당 레지스터(113)에 저장된 데이터를 독출한다. 이때, 레지스터 독출부(140)는 앞서 설명한 플래시 메모리부(110)의 초기 독출 처리 이전에 챌린지값 별로 기선택된 레지스터 블록에 제 2 전압을 인가하여 저장된 데이터를 독출한다.

[0034] 또한, 레지스터 독출부(140)는 레지스터(113)에 포함된 복수의 메모리 셀 전체 또는 적어도 하나의 메모리 셀을 포함하는 블록(block)(또는 페이지) 단위로 제 2 전압을 인가할 수 있다. 그리고, 레지스터 독출부(140)는 플래시 메모리부(110)의 일반적인 독출 동작으로 설정된 노멀 독출 전압과 동일 또는 상이한 전압을 제 2 전압으로 설정할 수 있다.

[0035] 응답 출력부(150)는 레지스터 독출부(140)를 통해 독출한 데이터를 입력된 챌린지값에 대응된 응답값으로서 출력한다. 이때, 응답 출력부(150)는 앞서 설명한 플래시 메모리부(110)의 초기 독출 처리 이전에 챌린지값 별로 대응된 응답값을 출력한다.

[0036] 참고로, 이상 도 1 내지 도 4에서 설명한 플래시 메모리 장치(100)에서, 챌린지 입력부(120), 레지스터 선택 제어부(130), 레지스터 독출부(140) 및 응답 출력부(150) 중 적어도 하나의 구성은 플래시 메모리부(110)의 주변

메모리 영역(112) 내에 포함될 수 있다.

- [0037] 한편, 본 발명의 일 실시예에 따른 플래시 메모리 장치(100)가 구현하는 물리적 복제 방지 기능(PUF)은 인증 처리에 사용될 수 있다. 이에 따라, 본 발명의 다른 실시예에 따른 플래시 메모리 장치는 플래시 메모리부 메모리 셀의 데이터를 이용하여 생성한 챌린지값-응답값 페어(pair)를 사전에 설정된 인증 처리 장치(예를 들어, 인증 서버 등)와 약속해두고, 추후 인증 처리 시 플래시 메모리 장치를 통해 생성된 챌린지값에 대응된 응답값과 인증 처리 장치에 기저장되어 있는 해당 챌린지값에 매칭된 응답값을 비교하여 인증 처리를 수행할 수 있다.
- [0038] 구체적으로, 도 3은 본 발명의 다른 실시예에 따른 플래시 메모리 장치의 구성을 나타낸 도면이다.
- [0039] 본 발명의 다른 실시예에 따른 플래시 메모리 장치(100')는 플래시 메모리부(110), 챌린지 입력부(120), 레지스터 선택 제어부(130), 레지스터 독출부(140), 응답 출력부(150), 챌린지-응답 페어 생성부(160), 챌린지-응답 페어 전송부(170), 인증 요청부(180) 및 인증 처리부(190)을 포함한다.
- [0040] 이하, 본 발명의 다른 실시예에 따른 플래시 메모리 장치(100')의 구성 중 도 1 및 도 2를 통해 설명한 구성들과 동일한 구성 및 동작에 대한 중복된 설명은 생략하도록 한다.
- [0041] 챌린지-응답 페어 생성부(160)는 기설정된 인증 처리 장치(예를 들어, 인증 서버)(미도시)와 사전에 약속된 복수의 챌린지값을 순차적으로 챌린지 입력부(120)에 입력한다. 그리고 챌린지-응답 페어 생성부(160)는 상기 입력에 대응된 결과로서 응답 출력부(150)로부터 출력되는 응답값을 상기 순차적으로 입력한 챌린지값과 각각 매칭하여 복수의 챌린지-응답 페어를 생성한다. 이때, 챌린지-응답 페어 생성부(160)는 플래시 메모리부(110)의 일 영역에 해당 챌린지-응답 페어를 데이터베이스화하여 저장할 수 있다.
- [0042] 챌린지-응답 페어 전송부(170)는 챌린지-응답 페어 생성부(160)를 통해 생성된 복수의 챌린지-응답 페어를 인증 처리 장치(미도시)로 제공하여, 챌린지-응답 페어가 인증 처리 장치에 저장되도록 한다.
- [0043] 인증 요청부(180)는 인증 처리 장치(미도시)로부터 수신된 챌린지값 또는 플래시 메모리 장치(100') 자체에서 발생된 챌린지값을 인증 요청으로서 입력받는다.
- [0044] 인증 처리부(190)는 챌린지-응답 페어 생성부(160)를 통해 생성된 챌린지-응답 페어 중 인증 요청부(180)가 입력받은 챌린지값에 대응하는 응답값을 검출하고, 검출된 응답값을 인증 처리 장치로 전송하여 인증 처리한다.
- [0045] 이때, 인증 처리 장치(미도시)는, 플래시 메모리 장치(100')의 인증 처리부(190)가 전송한 응답값과, 인증 처리 장치에 저장되어 있던 챌린지-응답 페어 중 동일한 챌린지값(즉, 인증 요청으로서 입력된 챌린지값)에 매칭된 응답값을 검출하여 인증 처리한다. 즉, 인증 처리부(190)가 전송한 응답값과, 인증 처리 장치에 사전에 저장되어 있던 동일 챌린지값에 매칭된 응답값을 비교하여 일치할 경우 인증을 성공 처리할 수 있다.
- [0046] 다음으로, 하기 도 4를 참조하여 본 발명의 일 실시예에 따른 플래시 메모리 장치를 통한 물리적 복제 방지 기능 구현 방법에 대해서 상세히 설명하도록 한다.
- [0047] 도 4는 본 발명의 일 실시예에 따른 플래시 메모리 장치를 통한 물리적 복제 방지 기능 구현 방법을 설명하기 위한 순서도이다.
- [0048] 먼저, 플래시 메모리 장치(100)가 인증 처리 장치 간에 사전에 약속되었던 챌린지값을 입력받으면(S410), 입력된 챌린지값에 따른 주변 메모리 영역 내 레지스터의 선택 범위를 설정한다(S420).
- [0049] 이때, 상기 단계(S410)는 플래시 메모리부(110)에 전원이 인가된 후 초기 독출 동작이 처리 되기 이전에 수행된다.
- [0050] 또한, 상기 단계(S410) 이전에 복수의 챌린지값 별로 상이한 레지스터 주소가 매칭되어 있는 상태이며, 상기 단계(S420)에서는 사전에 설정된 복수의 레지스터 주소 중 입력된 챌린지값에 매칭된 레지스터 주소를 검출하여 데이터를 저장할 레지스터의 주소로 설정한다.
- [0051] 그런 다음, 상기 설정된 레지스터의 주소에 기설정된 전압(즉, 제 1 전압)을 인가하여 데이터를 저장하고, 설정된 범위의 레지스터로부터 저장된 데이터를 독출한다(S430).
- [0052] 그런 후, 독출된 데이터를 상기 입력된 챌린지값에 대응된 응답값으로서 출력하여 PUF를 구현한다(S440).
- [0053] 상기 단계 ((S410) ~ (S440))는 플래시 메모리부(110)의 초기 독출 동작을 처리하기 이전에 수행되되, 순차적으로 입력된 챌린지값 별로 응답값을 출력한다.

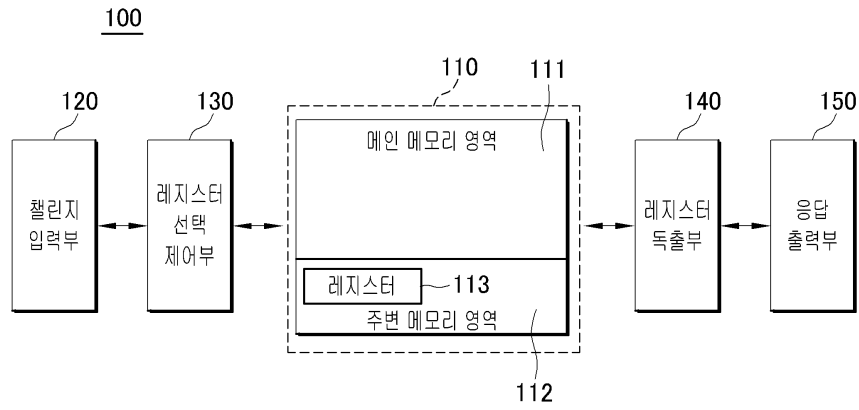
- [0054] 한편, 본 발명의 다른 실시예에 따른 플래시 메모리 장치의 물리적 복제 방지 기능 구현 방법에서는, 플래시 메모리 장치가 인증 처리 장치로 서로 약속된 챌린지-응답 페어를 전송하여 저장되도록 하는 단계를 더 수행할 수 있다.
- [0055] 구체적으로, 상기 단계 (S410)에서 인증 처리 장치와 사전에 약속된 복수의 챌린지값을 순차적으로 입력받고, 이에 따라 상기 단계 (S440)에서 상기 순차적으로 입력된 챌린지값 별로 대응하는 응답값을 순차적으로 출력한다.
- [0056] 그런 후, 복수의 챌린지값 별로 대응하는 응답값을 매칭하여 복수의 챌린지-응답 페어를 생성하는 단계, 생성된 챌린지-응답 페어를 인증 처리 장치로 제공하여 저장되도록 하는 단계를 수행한다.
- [0057] 그런 다음, 인증 처리 장치로부터 수신된 챌린지값 또는 플래시 메모리 장치 자체에서 발생된 챌린지값을 인증 요청으로서 입력받는 단계, 및 챌린지-응답 페어로부터 상기 입력받은 챌린지값에 매칭된 응답값을 검출하여 인증 처리 장치로 전송하는 단계를 수행한다.
- [0058] 이와 같이 인증 처리 장치로 전송된 응답값은, 인증 처리 장치에 기저장되어 있던 챌린지-응답 페어 중 상기 인증 요청으로서 입력된 챌린지값에 매칭된 응답값과의 비교를 통해 인증 처리에 사용된다.
- [0059] 본 발명의 실시예는 컴퓨터에 의해 실행되는 프로그램 모듈과 같은 컴퓨터에 의해 실행가능한 명령어를 포함하는 기록 매체의 형태로도 구현될 수 있다. 컴퓨터 판독 가능 매체는 컴퓨터에 의해 액세스될 수 있는 임의의 가용 매체일 수 있고, 휘발성 및 비휘발성 매체, 분리형 및 비분리형 매체를 모두 포함한다. 또한, 컴퓨터 판독가능 매체는 컴퓨터 저장 매체 및 통신 매체를 모두 포함할 수 있다. 컴퓨터 저장 매체는 컴퓨터 판독가능 명령어, 데이터 구조, 프로그램 모듈 또는 기타 데이터와 같은 정보의 저장을 위한 임의의 방법 또는 기술로 구현된 휘발성 및 비휘발성, 분리형 및 비분리형 매체를 모두 포함한다. 통신 매체는 전형적으로 컴퓨터 판독가능 명령어, 데이터 구조, 프로그램 모듈, 또는 반송파와 같은 변조된 데이터 신호의 기타 데이터, 또는 기타 전송 매커니즘을 포함하며, 임의의 정보 전달 매체를 포함한다.
- [0060] 전술한 본 발명의 설명은 예시를 위한 것이며, 본 발명이 속하는 기술분야의 통상의 지식을 가진 자는 본 발명의 기술적 사상이나 필수적인 특징을 변경하지 않고서 다른 구체적인 형태로 쉽게 변형이 가능하다는 것을 이해할 수 있을 것이다. 그러므로 이상에서 기술한 실시예들은 모든 면에서 예시적인 것이며 한정적이 아닌 것으로 이해해야만 한다. 예를 들어, 단일형으로 설명되어 있는 각 구성 요소는 분산되어 실시될 수도 있으며, 마찬가지로 분산된 것으로 설명되어 있는 구성 요소들도 결합된 형태로 실시될 수 있다.
- [0061] 본 발명의 범위는 상기 상세한 설명보다는 후술하는 특허청구범위에 의하여 나타내어지며, 특허청구범위의 의미 및 범위 그리고 그 균등 개념으로부터 도출되는 모든 변경 또는 변형된 형태가 본 발명의 범위에 포함되는 것으로 해석되어야 한다.

부호의 설명

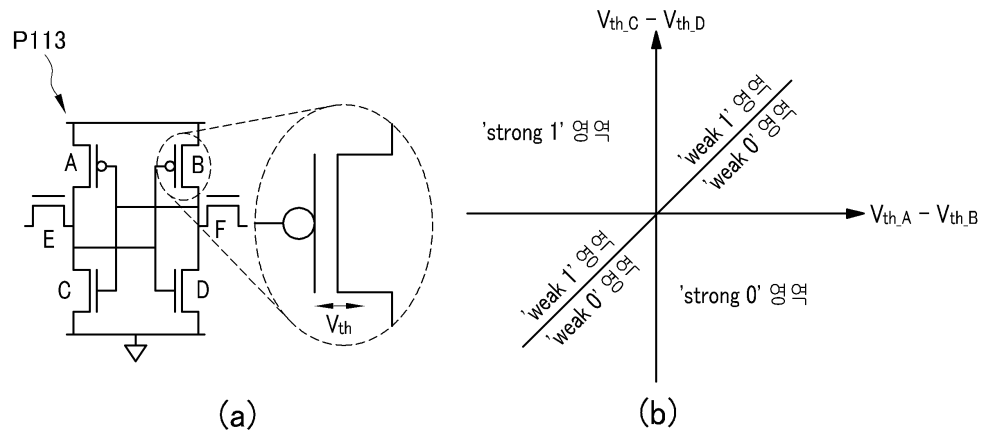
- [0062] 100: 플래시 메모리 장치
110: 플래시 메모리부
120: 챌린지 입력부
130: 레지스터 선택 제어부
140: 레지스터 독출부
150: 응답 출력부

도면

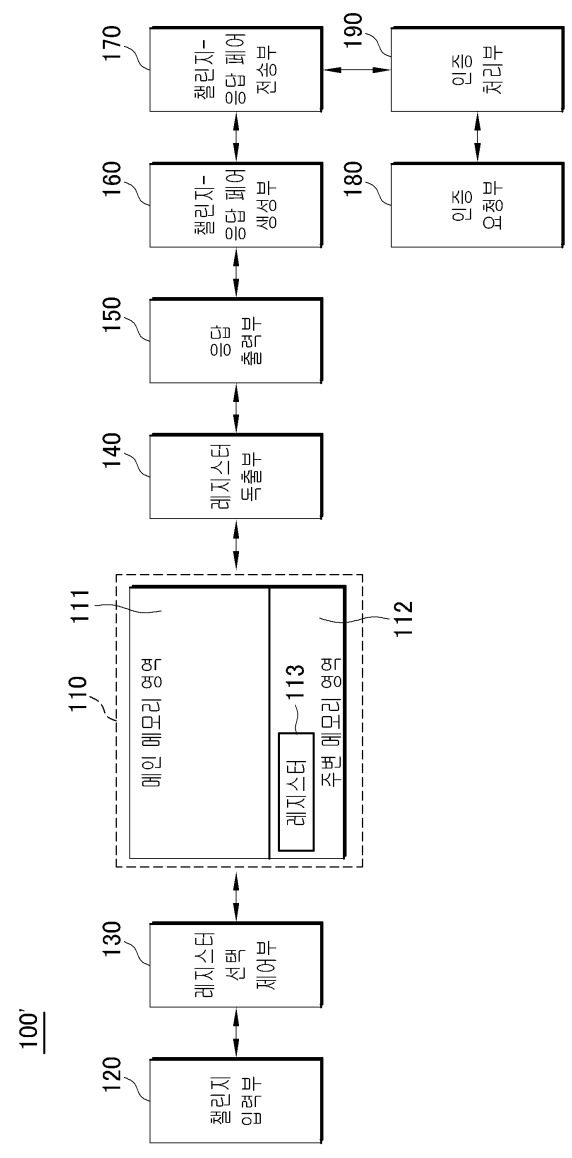
도면1



도면2



도면3



도면4

