

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2012年7月26日(26.07.2012)



(10) 国際公開番号
WO 2012/099080 A1

- (51) 国際特許分類:
H01L 21/336 (2006.01) H01L 29/739 (2006.01)
H01L 21/265 (2006.01) H01L 29/78 (2006.01)
H01L 21/76 (2006.01)
- (21) 国際出願番号: PCT/JP2012/050760
- (22) 国際出願日: 2012年1月16日(16.01.2012)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2011-007801 2011年1月18日(18.01.2011) JP
- (71) 出願人(米国を除く全ての指定国について): 富士電機株式会社(FUJI ELECTRIC CO., LTD.) [JP/JP]; 〒2100856 神奈川県川崎市川崎区田辺新田1番1号 Kanagawa (JP).
- (72) 発明者; および
- (75) 発明者/出願人(米国についてのみ): 中澤 治雄 (NAKAZAWA, Haruo) [JP/JP]; 〒2100856 神奈川県

川崎市川崎区田辺新田1番1号 富士電機株式会社内 Kanagawa (JP).

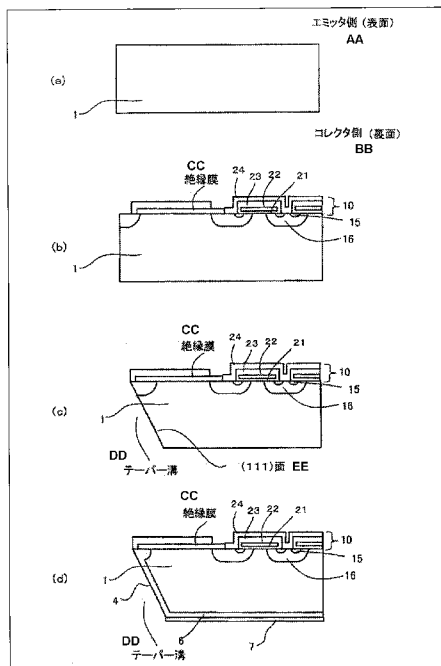
- (74) 代理人: 酒井 昭徳(SAKAI, Akinori); 〒1006020 東京都千代田区霞が関3丁目2番5号 霞が関ビルディング20階 酒井総合特許事務所 Tokyo (JP).
- (81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシ

[続葉有]

(54) Title: METHOD FOR MANUFACTURING REVERSE-BLOCKING SEMICONDUCTOR ELEMENT

(54) 発明の名称: 逆阻止型半導体素子の製造方法

[図1]



AA Emitter side (front surface)
BB Collector side (back surface)
CC Insulating film
DD Tapered channel
EE (111) surface

(57) Abstract: The present invention is a method for manufacturing a reverse-blocking semiconductor element wherein a tapered channel is formed. A back surface collector layer is formed and a discrete layer (4) is formed on the side edge surfaces of the tapered channel by furnace annealing and laser annealing following ion implantation in the back surface and tapered channel. Thus, even in a manufacturing method having a manufacturing step wherein a diffusion layer, which is formed by forming the tapered channel, ion implantation, and annealing on the side edge surfaces thereof, is formed into a discrete layer (4) for twisting and extending the end edge of a reverse-voltage resistant pn junction on the surface, reverse voltage resistance can be assured and reverse bias leak current can be reduced.

(57) 要約: 逆阻止型半導体素子の製造方法であって、テーパ溝を形成し、裏面とテーパ溝へのイオン注入後、炉アニール処理およびレーザーアニール処理をおこなうことにより、裏面コレクタ層およびテーパ溝の側辺面に分離層(4)を形成するようにした。これにより、テーパ溝を形成し、その側辺面にイオン注入とアニール処理により形成した拡散層を、逆耐圧pn接合の終端を湾曲させて表面に延在させるための分離層(4)とする製造工程を有する製造方法であっても、逆耐圧の確保と逆バイアス時のリーク電流の低減とを可能にする。

WO 2012/099080 A1



ア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨー 添付公開書類:

ロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, — 国際調査報告 (条約第 21 条(3))
ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV,
MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK,
SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ,
GW, ML, MR, NE, SN, TD, TG).

明 細 書

発明の名称：逆阻止型半導体素子の製造方法

技術分野

[0001] 本発明は、通常は順電圧阻止能力だけの信頼性を確保することが一般的である絶縁ゲート型バイポーラトランジスタ（以降、ＩＧＢＴと略記する）に、逆電圧阻止能力（以降逆阻止能力と略記）にも順電圧阻止能力（順阻止能力と略記）と同等の信頼性を保持させる逆阻止型半導体素子の製造方法の改良、特には逆阻止型ＩＧＢＴの製造方法の改良に関する。

背景技術

[0002] 逆阻止型半導体素子においては、順阻止能力と同等の逆阻止能力が必要となる。この逆阻止能力の信頼性を高くするために、通常フラットに形成される裏面側の逆耐圧ｐｎ接合をチップの側辺面近傍で湾曲させて、半導体チップの裏面側から表面に、その接合終端を延在させる必要がある。このように裏面側から表面へ湾曲させることにより延在させたｐｎ接合を形成するための拡散層を、以下の説明では分離層と称することにする。

[0003] 図１２は、従来の塗布拡散による分離層形成方法を示す半導体基板の要部断面図である。図１２（（ａ）～（ｃ））においては、従来の逆阻止型ＩＧＢＴの分離層を形成する主要な製造プロセスを工程順に示す半導体基板の要部断面図を示している。図１３は、従来の塗布拡散により形成された分離層を有する逆阻止型ＩＧＢＴの端部近傍の断面図である。図１３に示した製造方法のポイントを簡単に言うと、分離層を塗布拡散によって形成する方法である。従来の逆阻止型ＩＧＢＴの分離層の形成に際しては、まず、ドーパントマスクとして用いるために、６インチ径で厚さ６２５μｍ程度の厚い半導体基板１上に、膜厚がおおよそ２．５μｍ程度の熱酸化で形成した酸化膜２を形成する（図１２（ａ））。

[0004] つぎに、半導体基板１上に形成した酸化膜２に、分離層４を形成するための開口部３を、パターニング・エッチングによって形成する（図１２（ｂ））

）。酸化膜 2 に形成された開口部 3 にボロンソース 5 を塗布し、その後、拡散炉により高温、長時間の熱処理を行い、おおよそ数百 μm 程度の深さの p 型の拡散層 4 a を形成する（図 1 2（c））。この p 型の拡散層は、後述する後工程における処理により、分離層 4 として利用できるようになる。

[0005] その後、図 1 3 の逆阻止型 IGBT の端部断面図に示すように、MOS 型半導体デバイスとして必要な表面構造 1 0 を形成した後、裏面を分離層 4 の底部に達する程度（図 1 2（c）の破線）に研磨して半導体基板 1 を薄くし、この研磨面に p コレクタ層 6 とコレクタ電極 7 で構成される裏面構造を形成し、分離層 4 の中心部に位置するスクライブライン 8 で半導体基板 1 を切断する。これにより、図 1 4 に示す逆阻止型 IGBT チップができる。

[0006] 図 1 4 は、従来のトレンチを利用する分離層形成方法を示す半導体基板の要部断面図である。図 1 5 は、従来のトレンチを利用した分離層を有する逆阻止型 IGBT の端部近傍の断面図である。図 1 4（（a）～（c））においては、前記図 1 2 とは異なる従来の逆阻止型 IGBT の分離層の形成プロセスを工程順に示す半導体基板の要部断面を示している。この形成プロセスは、半導体基板 1 の表面からトレンチ（溝）1 1 を掘って、その側辺面に拡散層 4 a を形成して分離層 4 とする方法である。

[0007] 図 1 4 に示したように、従来のトレンチを利用する分離層形成方法を示す半導体基板 1 の形成プロセスに際しては、まず、半導体基板 1 の一面側に、数 μm の厚い酸化膜 2 を形成する（図 1 4（a））。つぎに、酸化膜 2 に開口 3 を形成した後、半導体基板 1 に対して異方性のドライエッチングをおこない、開口 3 を形成した酸化膜 2 側から数百 μm 程度の深さのトレンチ 1 1 を形成する（図 1 4（b））。

[0008] そして、気相拡散にてトレンチ 1 1 の側辺面へ不純物を導入して、図 1 4（c）に示した拡散層 4 a、すなわち分離層 4 を形成する（図 1 4（c）、図 1 5）。その後、トレンチ 1 1 にポリシリコンや絶縁膜などの補強材を充填した後、スクライブライン 8 に沿ってダイシングして半導体基板 1 から IGBT チップを切り出すと、図 1 6 に示す逆阻止型 IGBT ができあがる。

[0009] このような、トレンチ 11 を掘ってその側辺面に分離層 4 を形成する方法は、たとえば、下記特許文献 1 ～ 3 に開示されている。特許文献 1 によれば、半導体素子のデバイス領域を取り巻くようにデバイスチップの上面から下面側の p n 接合に達する程度の深い垂直トレンチを形成し、このトレンチの側面に p 型拡散層（分離層）を形成して、デバイスの下側の p 型拡散層と接続させることで、デバイス下面側の p n 接合を分離層によって湾曲させて接合終端をデバイスの上面に延在させる製造方法が示されている。特許文献 2、3 によれば、特許文献 1 と同様に、デバイス上面から下面側の p n 接合に達するトレンチを形成し、このトレンチの側面に拡散層を形成することで、逆阻止能力のあるデバイスとしている。

[0010] 前述した図 12 (a) ～ (c) に示す逆阻止型 IGBT の分離層を塗布拡散法により形成する方法では、表面からボロンソース（ボロンの液状の拡散源）を塗布し、熱処理にてボロンを拡散する。数百 μm 程度の拡散深さの分離層を形成するためには、高温、長時間の拡散処理を必要とする。このため、図 12 (a) ～ (c) に示した、逆阻止型 IGBT の分離層を塗布拡散法により形成する方法では、拡散炉を構成する石英ボード、石英管（石英チューブ）、石英ノズルなど石英治具のへたりや、ヒータからの汚染、石英治具の失透現象による強度低下などの不具合の発生が避けられない。

[0011] また、この塗布拡散法による分離層の形成では、マスク酸化膜（酸化膜）の形成が必要となる。このマスク酸化膜は長時間のボロン拡散に耐えるようにするためには良質で厚い酸化膜が必要となる。この耐マスク性が高い、つまり良質なシリコン酸化膜を得る方法としては熱酸化膜が用いられる。

[0012] しかし、上記のように、塗布拡散法によって分離層を形成する場合、高温で長時間（たとえば 1300℃、200 時間）のボロンによる分離層の拡散処理においてボロンがマスク酸化膜を突き抜けないためには、膜厚が約 2.5 μm の熱酸化膜を形成させる必要がある。この膜厚 2.5 μm の熱酸化膜形成のためには、たとえば 1150℃ の酸化温度において必要な酸化時間は、良質な酸化膜が得られるドライ（乾燥酸素雰囲気）酸化では、約 200 時

間必要である。

[0013] 膜質がやや劣るものの、ドライ酸化に比べて酸化時間が短くて済むウェットもしくはパイロジェニック酸化でも、約15時間と長い酸化時間を必要とする。さらにこれらの酸化処理中には、大量の酸素がシリコン半導体基板中に導入されるために、酸素析出物や酸化誘起積層欠陥などの結晶欠陥が導入されたり、酸素ドナーが発生したりすることによるデバイス特性劣化や信頼性低下の弊害が生じる。

[0014] さらに、ボロンソース塗布後の拡散でも、通常は酸化雰囲気下で、前述の高温長時間の拡散処理が行われるため、半導体基板内に格子間酸素が導入され、この工程でも酸素析出物や酸素ドナー化現象、酸化誘起積層欠陥（O S F : O x i d a t i o n I n d u c e d S t a c k i n g F a u l t ）や、スリップ転位など結晶欠陥が導入される。これら結晶欠陥が導入されると、半導体基板中のp n接合でリーク電流が高くなることや半導体基板上に形成された絶縁膜の耐圧、信頼性が大幅に劣化することが知られている。さらには、拡散中に取り込まれた酸素がドナー化し、耐圧が低下するという弊害を生じさせることもある。

[0015] さらに、前述の図12（a）～（c）に示す分離層の形成方法では、ボロンによる拡散はマスク酸化膜の開口部から、シリコンバルクへとほぼ等方的に進行するため、深さ方向に200 μ mのボロン拡散を行う場合、必然的に横方向にもボロンは160 μ m拡散される。その結果、デバイスピッチやチップサイズが大きくなりチップコストの上昇という弊害を生じさせる。

[0016] また、前述の図14（a）～（c）に示す分離層の形成方法では、ドライエッチングにてトレンチを形成し、形成したトレンチ側壁にボロンを導入して分離層を形成した後、トレンチを絶縁膜などの補強材で充填し、高アスペクト比のトレンチを形成する。その結果、この図14（a）～（c）の形成方法は前記図12（a）～（c）の形成方法と比べて、分離層の横方向の広がりが少ないので、デバイスピッチの縮小という点に関して有利となる。

[0017] しかし、深さ200 μ m程度のエッチングに要する時間は、典型的なドラ

イエッチング装置を用いた場合、1枚あたり、100分程度の処理時間が必要であり、リードタイムの増加、メンテナンス回数の増加などの弊害については避けられない。また、ドライエッチングによって深いトレンチを形成する場合、マスクとしてシリコン酸化膜 (SiO_2) を用いた場合、選択比が50以下なので、数 μm 程度の厚いシリコン酸化膜を必要とする。このため、コストの上昇や酸化誘起積層欠陥や酸素析出物などのプロセス誘起結晶欠陥導入による良品率低下という弊害も生じさせる。

[0018] 図16は、従来のトレンチを利用した分離層を有する逆阻止型IGBTの問題点を示す端部近傍の断面図である。さらに、図16に示すように、ドライエッチングによる高アスペクト比の深堀りトレンチを利用した分離層形成プロセスでは、トレンチ11内で薬液残渣12やレジスト残渣13などの除去方法に関する技術的課題が十分に解消されていない。このため、歩留まりの低下や信頼性の低下など弊害を生じさせる問題がある。

[0019] 通常、トレンチ側壁に対してリンやボロンなどのドーパントを導入する場合、トレンチ側壁が垂直となっているので、半導体基板を斜めにしてイオン注入することによってトレンチ側壁へのドーパント導入を行っている。しかし、アスペクト比の高いトレンチ側壁へのドーパント導入は、実効ドーズ量の低下（それに伴う注入時間の増加）、実効投影飛程の低下、スクリーン酸化膜によるドーズ量ロス、注入均一性の低下などの弊害を生じさせる。

[0020] このため、アスペクト比の高いトレンチ内へ不純物を導入するための手法として、従来、たとえば、イオン注入の代わりに PH_3 （ホスフィン）や B_2H_6 （ジボラン）などのガス化させたドーパント雰囲気中に、半導体基板を暴露させる気相拡散法が用いられる場合があった。しかし、気相拡散法は、イオン注入法に比べてドーズ量の精密制御性に劣る。

[0021] また、アスペクト比の高いトレンチに絶縁膜を充填させる場合、トレンチ内にボイドと呼ばれる隙間ができ、信頼性などの問題が発生するおそれがある。また、前記特許文献1～3の製造方法では、ウエハ割れを少なくするためトレンチ内に補強材を充填して半導体基板をスクライブラインで切断して

半導体チップ化する工程が必要となることが想定され、補強材充填工程の追加分の製造コストが高くなる。

[0022] 従来、以上のような諸々の問題を解決する方法も既に発表されている。たとえば、エミッタ側またはコレクタ側の表面積が他方の側の表面積より小さくなる方向に傾斜するテーパ溝（溝の側面が主面に対して所定の傾斜角を有するように形成される溝）が形成された側辺面を持つチップ対し、このチップの側辺面にウエハ状態でイオン注入し、アニール処理することで分離層 4 b を形成する方法である。

[0023] 図 1 7 は、異方性エッチングを利用したテーパ面に分離層を有する逆阻止型 IGBT の断面図である。図 1 7 (a) に示すように、エミッタ側の表面積がコレクタ側の表面積より小さくなる方向に傾斜するテーパ溝を有するチップについて、このテーパ溝を選択的異方性エッチングで形成する方法が知られている（たとえば、下記特許文献 4、5 を参照。）。

[0024] 図 1 7 に示した逆阻止型 IGBT とは逆に、エミッタ側よりコレクタ側の表面積が小さくなるような方向に傾斜するテーパ状の側辺面を持つ逆阻止型 IGBT（図 1 7 (b)、下記特許文献 6 を参照。）は、前述の図 1 7 (a) の逆阻止型 IGBT に比べ、エミッタ側の面を広く利用することができる。すなわち、エミッタ側表面近傍に形成される、n エミッタ領域 1 5、p ベース領域 1 6 に利用できる領域が大きくなるため、電流密度を大きくすることができ、同じ電流定格に対してはチップ面積を小さくできる利点がある。

[0025] なお、図 1 7 において、符号 1 は半導体基板、6 はコレクタ層、7 はコレクタ電極をあらわす。これらのテーパ溝を持つ逆阻止型 IGBT では、いずれも分離層 4 b をイオン注入、アニール処理工程により形成するため、前述のような長時間の熱拡散による結晶欠陥や酸素起因の欠陥の問題、また、炉のダメージの問題を解決できる。そして、前述の図 1 4 のようなトレンチ深堀による製造方法に比べてアスペクト比が低いため、テーパ溝の形成の際に、前記図 1 6 で説明したような薬液残渣やレジスト残渣のような問題の

発生もなく、また、傾斜した側辺面へのイオン注入によってドーパントを簡単に導入できる。

- [0026] また、従来、たとえば、半導体基板を、 400°C ～ 500°C に加熱した状態で、イオン注入をすることにより活性化率が向上する技術が知られている（特許文献7）。

先行技術文献

特許文献

- [0027] 特許文献1：特開平2-22869号公報
特許文献2：特開2001-185727号公報
特許文献3：特開2002-76017号公報
特許文献4：特開2006-156926号公報
特許文献5：特願2004-336008号
特許文献6：特開2006-303410号公報
特許文献7：特開2005-268487号公報

発明の概要

発明が解決しようとする課題

- [0028] しかしながら、前記特許文献4～6に示すようなテーパー溝を持つ逆阻止型IGBTでは、長時間拡散を用いない方法のため、分離層が薄く（または浅く）形成される。その結果、イオン注入に伴う結晶欠陥がアニール処理で十分に回復されずに残ってしまうと、この結晶欠陥は分離層のpn接合近傍に残ることになるので、逆バイアス時のリーク電流が大きくなり易く、所定の阻止電圧が得られるように設計した逆耐圧が低下することがある。
- [0029] また、公知のレーザーアニール処理やフラッシュランプによる活性化のためのアニール処理においても、焦点位置（ランプアニール処理時にテーパー溝の分離層の活性化に有効に寄与する位置）をきちんと制御しないと、同様に分離層の活性化が不十分になり結晶欠陥が残る問題がある。
- [0030] 本発明は、以上述べた点に鑑みてなされたものであり、テーパー溝を形成

し、その側辺面にイオン注入とアニール処理により形成した拡散層を、逆耐圧 p n 接合の終端を湾曲させて表面に延在させるための分離層とする製造工程を有する製造方法であっても、逆耐圧の確保と逆バイアス時のリーク電流の低減とが可能な逆阻止型半導体素子の製造方法を提供することを目的とする。

課題を解決するための手段

[0031] 本発明は、前記課題を解決するために、第 1 導電型の半導体基板の一方の主面に MOS ゲート構造を含む主要表面構造を形成する工程と、他方の主面に第 2 導電型コレクタ層を形成する工程と、前記主要表面構造を取り巻く外周にあって、いずれか一方の主面から他方の主面にかけてエッチング形成されるテーパ溝の側辺面に沿って、前記両主面間を連結するとともに前記他方の主面の第 2 導電型コレクタ層に接続される第 2 導電型分離層を形成する工程とを有する逆阻止型半導体素子の製造方法において、前記第 2 導電型コレクタ層と前記第 2 導電型分離層とを形成する工程がそれぞれ前記半導体基板を 400℃乃至 500℃のいずれかの温度に保持した状態で第 2 導電型不純物元素をイオン注入し、レーザーアニール処理と 350℃乃至 500℃のいずれかの温度による炉アニール処理との両方のアニール処理を行って前記第 2 導電型コレクタ層と前記第 2 導電型分離層とをそれぞれ形成する工程である逆阻止型半導体素子の製造方法とする。

[0032] また、本発明は、上記の発明において、前記両方のアニール処理を、レーザーアニール処理を先にして、その後、350℃乃至 500℃のいずれかの温度による炉アニール処理の順に行う処理とすることができる。

[0033] また、本発明は、上記の発明において、前記両方のアニール処理を、350℃乃至 500℃のいずれかの温度による炉アニール処理を先にして、その後、レーザーアニール処理の順に行う処理とすることも好ましい。

[0034] また、本発明は、上記の発明において、前記第 2 導電型コレクタ層と前記第 2 導電型分離層とを形成する工程が同時に行われることも好ましい。

[0035] また、本発明は、上記の発明において、炉アニール処理の保持時間を 1 時

間乃至 10 時間とすることができる。

発明の効果

[0036] 本発明によれば、テーパ溝を形成し、その側辺面にイオン注入とアニール処理により形成した拡散層を、逆耐圧 p n 接合の終端を湾曲させて表面に延在させるための分離層とする製造工程を有する製造方法であっても、逆耐圧の確保と逆バイアス時のリーク電流の低減とが可能な逆阻止型半導体素子の製造方法を提供することができる。

図面の簡単な説明

[0037] [図1]図 1 は、本発明の逆阻止型半導体素子の製造方法にかかる主要な製造工程を示す半導体基板の断面図である。

[図2]図 2 は、本発明の実施の形態 1 にかかるコレクタ層および分離層の不純物濃度プロファイル図である。

[図3]図 3 は、本発明の実施の形態 2 にかかるコレクタ層および分離層の不純物濃度プロファイル図である。

[図4-1]図 4 - 1 は、テーパ面に分離層を形成するためのイオン注入する方向を示した半導体基板の断面図（その 1）である。

[図4-2]図 4 - 2 は、テーパ面に分離層を形成するためのイオン注入する方向を示した半導体基板の断面図（その 2）である。

[図5]図 5 は、テーパ面にイオン注入した領域を従来のレーザーアニール処理により活性化して形成した分離層の不純物濃度プロファイル図（従来例）である。

[図6]図 6 は、テーパ面にイオン注入した領域を従来のレーザーアニール処理により活性化した場合の結晶欠陥の残存状態を示す断面図（従来例）であり、（a）はコレクタ層、（b）は分離層の結晶欠陥状態を示す断面図である。

[図7]図 7 は、本発明と比較例と従来の逆阻止型 I G B T（比較例）の逆方向電流－電圧波形図である。

[図8]図 8 は、比較例 1 にかかるコレクタ層および分離層の不純物濃度プロフ

ファイル図であり、(a)、(b)はイオン注入時の基板温度400℃+炉アニールの場合、(c)、(d)はイオン注入時の基板温度500℃+炉アニールの場合、のそれぞれコレクタ層(a)、(c)および分離層(b)、(d)の不純物濃度プロファイル図である。

[図9]図9は、比較例1にかかる、結晶欠陥の残存状態を示す断面図であり、(a)、(b)は400℃のイオン注入時の基板温度の場合、(c)、(d)は500℃のイオン注入時の基板温度のプロセスの場合の、それぞれコレクタ層および分離層の結晶欠陥状態を示す断面図である。

[図10]図10は、比較例1にかかる、結晶欠陥の残存状態を示す断面図であり、(a)、(b)は400℃のイオン注入時の基板温度の場合、(c)、(d)は500℃のイオン注入時の基板温度のプロセスの場合の、それぞれコレクタ層および分離層の結晶欠陥状態を示す断面図である。

[図11]図11は、比較例2にかかる、結晶欠陥の残存状態を示す分離層部分の断面図であり、(a)、(b)は400℃のイオン注入時の基板温度の場合、(c)、(d)は500℃のイオン注入時の基板温度のプロセスの場合の、それぞれコレクタ層および分離層の結晶欠陥状態を示す断面図である。

[図12]図12は、従来の塗布拡散による分離層形成方法を示す半導体基板の要部断面図である。

[図13]図13は、従来の塗布拡散により形成された分離層を有する逆阻止型IGBTの端部近傍の断面図である。

[図14]図14は、従来のトレンチを利用する分離層形成方法を示す半導体基板の要部断面図である。

[図15]図15は、従来のトレンチを利用した分離層を有する逆阻止型IGBTの端部近傍の断面図である。

[図16]図16は、従来のトレンチを利用した分離層を有する逆阻止型IGBTの問題点を示す端部近傍の断面図である。

[図17]図17は、異方性エッチングを利用したテーパ一面に分離層を有する逆阻止型IGBTの断面図である。

[図18]図 18 は、分離層の側辺面で結晶欠陥の残りやすい領域 A を示すテーパー溝の拡大断面図である。

発明を実施するための形態

[0038] 以下、本発明にかかる逆阻止型半導体素子の製造方法の実施例について、図面を参照して詳細に説明する。本発明はその要旨を超えない限り、以下に説明する実施例の記載に限定されるものではない。以下の説明では、第 1 導電型として n 型を、第 2 導電型として p 型をそれぞれ用いる。また、一方の主面を IGBT のエミッタ側または表面、他方の主面を IGBT のコレクタ側または裏面とする。

[0039] 以下、本発明に関する逆阻止型半導体素子として n 型逆阻止型 IGBT を採りあげ、特にコレクタ側の表面積がエミッタ側の表面積に比べて小さくなるような方向のテーパー溝に由来する側辺面が形成された逆阻止型 IGBT の製造方法について全般的な説明をする。従来技術と同様の製造工程については、できるだけ簡単な説明に留めることとする。

[0040] 後述の実施例 1、2 における説明は、本発明の特徴部分の説明とその特徴部分に係わる発明の効果にかかる詳細な説明とする。特に、本発明の特徴部分にかかる p 型コレクタ層と分離層のイオン注入による形成、続いてレーザーアニール処理および炉アニール処理の両方を行うアニール処理方法については、従来例、比較例 1、2 によるそれぞれの効果との相互比較により、本発明が優れた効果を有することを明らかにしながら説明する。

[0041] 図 1 は、本発明の逆阻止型半導体素子の製造方法にかかる主要な製造工程を示す半導体基板の断面図である。まず、図 1 に示すように、公知技術に従って、図 1 (a) に示す FZ-n 半導体基板（以下「半導体基板」という）1 の (001) 面を主面とする表面層であって、デバイス領域内の主電流の流れる素子活性領域に、図 1 (b) に示すように、p ベース領域 16 および n エミッタ領域 15 を形成する。n エミッタ領域 15 は、p ベース領域 16 内に形成する。

[0042] 半導体基板 1 の表面部と前記 n エミッタ領域 15 に挟まれる前記 p ベース

領域 16 の表面上に、ゲート絶縁膜 21 を介してゲート電極 22 を形成し、MOS ゲート構造を形成する。ゲート電極 22 上を覆う層間絶縁膜 23 を形成した後、さらに、前記 p ベース領域 16 および n エミッタ領域 15 に共通に接するエミッタ電極 24 を設け、逆阻止型 IGBT の表面構造 10 とする。エミッタ電極 24 は、たとえば Al / Si 膜をスパッタなどで被覆した後、当該 Al / Si 膜を 400℃～500℃で熱処理して形成される。

[0043] つぎに、図 1 (c) に示すように、前記 FZ - n 半導体基板 1 の裏面から、公知のアルカリエッチング液 (KOH 水溶液や TMAH (Tetra Methyl Ammonium Hydroxide) の 5% 溶液など) を用いた異方性エッチングにより、絶縁膜 (図示せず) をマスクにして {111} 面を主要な面方位とする 4 側辺面を有するテーパ溝を形成する。

[0044] この際、テーパ溝に囲まれた領域の表面側に、前述の逆阻止型 IGBT の MOS ゲート構造が配置されるように、エッチングマスクパターンが形成される。この異方性エッチングの際には、エッチングの終了後にもデバイスチップがばらばらに分散しないように、表面側に支持板 (図示せず) を貼り付けることも好ましい。また、テーパ溝の深さを、半導体基板 1 の厚さより浅くして、支持板無しのプロセスとすることもできる。

[0045] 図 1 (d) に示すように、半導体基板 1 の裏面側から形成する p 型コレクタ層 6 と分離層 4 のイオン注入は、所望の領域に低温酸化膜を開口した酸化膜マスク (図示せず) を形成した後、テーパ溝の側辺面や主面に対して行われる。本発明では、分離層 4 へのイオン注入時の基板温度をそれぞれ 400℃～500℃とすることを要件の一つにしている。

[0046] イオン注入条件を、ボロンのドーズ量を $1 \times 10^{15} \text{ cm}^{-2}$ 、加速電圧を 150 keV として行ない、その後、アニール処理として炉アニールおよびレーザーアニールをこの順または逆順で行う。YAG 2 ω レーザー (波長 532 nm ; パルス幅 100 ns) の照射エネルギー密度、3 J / cm^2 の条件であり、炉アニール条件は 350℃～500℃で 1～10 時間の処理とする。

[0047] 図 4 - 1 および図 4 - 2 は、テーパ一面に分離層を形成するためのイオン

注入する方向を示した半導体基板の断面図である。矩形状チップの場合、たとえば、図4-1に示すように、主面上にマスク2を形成して4側辺面に一度にイオン注入することが可能である。また、矩形状チップの場合、たとえば、4側辺面へのそれぞれのイオン注入は側辺面が主面に対して傾斜を成すテーパ状であるが故に、図4-2に示すように、主面上にマスク2を形成した後、半導体基板の傾きを変え、4側辺面ごとに基板を90度回転させて4回注入することでテーパの角度と別の傾きからのドーピングを行うこともできる。

[0048] レーザーアニール処理は、SUS（ステンレス）等のマスクやシャッター（遮蔽版）による制御等を用いて、照射したいところだけを選択的に走査照射することが好ましい。恒温に保持された電気炉を用いる炉アニール処理は、先行プロセスで形成されているnエミッタ領域15、pベース領域16、ゲート絶縁膜21、ゲート電極22、エミッタ電極24などの、エミッタ側の表面構造に悪影響を及ぼさない程度の低温であって、活性化のためのアニール効果も有効である350℃～500℃の温度範囲でおこなう。

[0049] その後、コレクタ層6の表面に、Al/Ti/Ni/Auなどの積層からなるスパッタ金属膜を蒸着することにより、コレクタ電極7とする。コレクタ層6の表面にコレクタ電極7を設けた後、表面にテーパ状の側辺面上の金属電極を除去し、テーパ溝の中央で切断するかまたは支持板を除去することにより、逆阻止型IGBTチップができる。

[0050] 以上説明したようなデバイスチップの4側辺面のみに拡散層（分離層4）を形成する工程を備える製造方法は、コレクタ側の表面積よりエミッタ側の表面積が小さくなるような方向にテーパ状の側辺面が形成される逆阻止型IGBTにも同様に適用できる。コレクタ側の表面積がエミッタ側の表面積に比べて小さくなる逆阻止型IGBTでは、コレクタ層6と分離層4を別々にイオン注入、アニール処理することなく、同時に行なうことができる。これにより、逆阻止型IGBTでは、コレクタ層6と分離層4を別々にイオン注入、アニール処理する場合に比べて、マスク形成のためのリソグラフィエ

程およびイオン注入工程を一回省くことができ、製造コストを抑えることができるので好ましい。

[0051] また、イオン注入では、図4-1、図4-2に示すように、デバイスチップの表面積が小さいコレクタ側から、ボロンをチルト角度 0° でイオン注入する場合、側辺面に対する実効的なドーズ量と注入飛程は、異方性エッチングによって面方位で決まるテーパーの角度の余弦を乗じた、 $\cos 54.7^\circ = 0.58$ 倍となる。

[0052] 分離層形成時のテーパー面へのレーザーアニール処理でのエネルギー密度も、コレクタ面へのアニール処理で照射されるエネルギー密度の 0.58 倍になる。従って、これらの 0.58 倍を予め考慮に入れたイオン注入とレーザーアニール処理の条件設定を行う必要がある。

[0053] (従来例についての製造方法の説明)

裏面からのボロンのイオン注入により分離層4を形成する際に、イオン注入時の基板温度を室温とし、イオン注入を、ボロンのドーズ量を $1 \times 10^{15} \text{ cm}^{-2}$ 、加速電圧を 150 keV として行なう。続くアニール処理は、レーザーアニール処理のみとする。レーザーアニール処理条件は、YAG 2ω レーザー(波長 532 nm ; パルス幅 100 ns)の照射エネルギー密度、 3 J/cm^2 の条件で行なう。

[0054] ここで、形成されたコレクタ層6および同時形成の分離層4のSR濃度プロファイルの測定結果(広がり抵抗測定結果)を、図5に示す。図5は、テーパー面にイオン注入した領域を従来のレーザーアニール処理により活性化して形成した分離層の不純物濃度プロファイル図(従来例)である。

[0055] 図6は、テーパー面にイオン注入した領域を従来のレーザーアニール処理により活性化した場合の結晶欠陥の残存状態を示す断面図(従来例)であり、(a)はコレクタ層、(b)は分離層の結晶欠陥状態を示す断面図である。図6においては、この従来例のイオン注入、レーザーアニール処理条件で照射した場合の、コレクタ層6および分離層5(側辺面)の結晶欠陥 20 (点欠陥)を示している。

[0056] 図7は、本発明と比較例と従来の逆阻止型IGBT（比較例）の逆方向電流－電圧波形図である。図7においては、この従来例と以下説明する比較例1、2および本発明にかかる実施の形態1、2の各逆阻止型IGBTの逆バイアス時の漏れ電流（以下、逆漏れ電流）をそれぞれ比較して示している。図7において、（a）は従来例の電流－電圧波形、（b）は比較例1、（c）は比較例2、（d）は実施の形態1、（e）は実施の形態2のそれぞれ電流－電圧波形を示す。

[0057] ここで、比較例1と比較例2は、分離層へのイオン注入時の基板温度を、それぞれ、400℃、500℃（前記従来例では室温）とし、アニール処理は炉アニール処理（比較例1）またはレーザーアニール処理（比較例2）をそれぞれ単独で行うプロセスである。一方、実施の形態1、2は前述のように、分離層へのイオン注入時の温度をそれぞれ400℃、500℃とする点は比較例1、2と同じであるが、アニール処理をレーザーアニール処理と炉アニール処理の順か、またはその逆の順のアニール処理のように2種類のアニールを組み合わせたアニール処理としたプロセスを特徴とする。

[0058] このように比較例1、2を本発明の説明に取り入れた理由は、実施の形態1、2ではアニール処理をレーザーアニール処理と炉アニール処理との2種類の組み合わせとしているところに特徴があるが、発明の効果については、イオン注入時の基板温度上昇と本発明のアニール処理とで、活性化や結晶欠陥の低減という部分については重なっていて不明確になるので、これを明確にするためである。

[0059] 従来例についての説明に話を戻す。従来例にかかる前記図5の縦軸（不純物濃度）を見ると、従来例にかかるデバイスでもピーク濃度は、コレクタ層と分離層ともに $1 \times 10^{19} \text{ cm}^{-3}$ を超えて、十分に活性化されていることがわかる。これは、レーザーアニール処理の効果である。

[0060] しかし、図5の横軸に示す拡散深さは、後述する実施の形態1、2のSR濃度プロファイル（図2、3）に比べて浅い結果になっている。また、図6では、（a）に示すようにコレクタ層には結晶欠陥20は残存しないが、（

b) に示すように、側辺面（分離層）にはイオン注入時に付随的に形成された結晶欠陥 20（点欠陥）が残存していることを示している。

[0061] この残存結晶欠陥に起因して、前記図 7（a）の従来例にかかるデバイスの電流－電圧波形（a）に示すように、逆方向電流（逆漏れ電流）は、後述の残存結晶欠陥が分離層に無い実施の形態 1、2 の波形を示す（d）、（e）よりも、逆方向電流（逆漏れ電流）が大きくなるのである。このように側辺面（分離層）に残存結晶欠陥があるということは、分離層の側辺面へのイオン注入に伴って形成された結晶欠陥が、レーザーアニール処理では十分に回復され難いことを反映した結果である。

[0062] 基板の裏面から行われるレーザーアニール処理は、短時間（数十 ns ～数 μ s）のレーザー照射であり、照射の焦点位置が分離層と一致せずズレが生じ易い。すなわち、基板の裏面から行われるレーザーアニール処理は、照射領域が分離層全体ではなく、一部に留まり易いので、デバイスの表面構造に悪影響を及ぼさない点にメリットがあるが、逆に、アニールによる結晶欠陥を回復させる効果の領域も限定され、テーパー部に形成される分離層のうち、表面側に近い領域の欠陥回復が不十分になり易く、逆漏れ電流が大きくなったのだと考えられる。

[0063] （比較例 1 についての製造方法の説明）

比較例 1 では、前述の従来例と異なり、基板の裏面側プロセスで p コレクタ層を形成する際に、FZ－n 基板を 400℃～500℃に加熱した状態で、その裏面にボロンを注入し、アニール処理は炉アニール処理を行うプロセスである。たとえば、ヒータ等の基板加熱機構を備えた試料台の上に FZ－n 基板をその表面側（表面電極が形成されている側）を下にして載置し、これを所定温度（400℃～500℃）で加熱するとともに、半導体基板（FZ－n 半導体基板）1 の裏面側（p コレクタ層を形成する側）から、ボロンのイオン注入を行うプロセスとする。炉アニール処理の条件は、400℃で、5 時間とした。

[0064] つぎに、半導体基板 1 を 400℃～500℃に加熱しながらボロンのイオ

ン注入を行ったときの濃度プロファイル（広がり抵抗法（SR法））について説明する。図8は、比較例1にかかるコレクタ層および分離層の不純物濃度プロファイル図であり、（a）、（b）はイオン注入時の基板温度400℃+炉アニールの場合、（c）、（d）はイオン注入時の基板温度500℃+炉アニールの場合、のそれぞれコレクタ層（a）、（c）および分離層（b）、（d）の不純物濃度プロファイル図である。

[0065] 図8において、横軸はボロンのイオン注入領域のFZ-n基板の裏面からの深さ（ μm ）を表し、縦軸はボロンのイオン注入領域のボロンの濃度（ cm^{-3} ）を表している。ボロンのイオン注入条件は、半導体基板1を400℃、500℃で加熱した状態で、裏面にボロンをドーズ量 $1 \times 10^{15} \text{cm}^{-2}$ 、加速エネルギー150keVでイオン注入することである。

[0066] ボロンイオン注入層について、半導体基板1を加熱しながらイオン注入を行った場合、ボロンイオン注入層の活性化率は、基板加熱によるイオン注入温度が400℃のときには約2%、500℃のときには約5%である。イオン注入温度を500℃以上にすることは、Al/Siからなるエミッタ電極が溶解する恐れがあるので、好ましくない。

[0067] 図8より、ピーク濃度は $1 \times 10^{17} \text{cm}^{-3} \sim 7 \times 10^{18} \text{cm}^{-3}$ であり、前記図5より濃度も低い。濃度が低いということは、活性化の程度が図5の従来例のアニール処理（レーザーアニール処理）より低い炉アニールのためである。しかし、ボロンイオン注入層の深さはイオン注入時の基板温度加熱および400℃の炉アニール処理のため、従来例の図6に比べて、コレクタ層および分離層共、少し深くなっていることを示している。

[0068] さらに、コレクタ層および分離層内の結晶欠陥の分布状態について説明する。図9は、比較例1にかかる、結晶欠陥の残存状態を示す断面図であり、（a）、（b）は400℃のイオン注入時の基板温度の場合、（c）、（d）は500℃のイオン注入時の基板温度のプロセスの場合の、それぞれコレクタ層および分離層の結晶欠陥状態を示す断面図である。この図9より、炉アニール処理の400℃と500℃を比較すると、500℃の方が結晶欠陥

が少なくなっていることから、イオン注入時の基板加熱が結晶欠陥の低減に寄与していることを示している。

[0069] また、従来例にかかる前記図 6 (b) に示す分離層内の結晶欠陥分布状態と比較すると、図 9 にかかる比較例 1 の方が、結晶欠陥が少ないことが分かる。このように結晶欠陥が少なくなったので、逆漏れ電流について、図 7 (a) と (b) に示すように、従来例 (図 7 (a)) よりこの比較例 1 (図 7 (b)) のが小さくなるのである。

[0070] (比較例 2 についての製造方法の説明)

比較例 2 は前記比較例 1 のプロセスのうち、アニール処理を炉アニール処理からレーザーアニール処理に変更したことが異なり、その他のプロセスは同じである。レーザーアニール処理の条件は、前述の従来例のレーザーアニール処理条件と同じ、YAG 2 ω レーザー (波長 532 nm ; パルス幅 100 ns) の照射エネルギー密度、3 J / cm²の条件である。

[0071] つぎに、コレクタ層および分離層の SR 濃度プロファイルの測定結果 (広がり抵抗測定結果) について説明する。図 10 は、比較例 1 にかかる、結晶欠陥の残存状態を示す断面図であり、(a)、(b) は 400℃ のイオン注入時の基板温度の場合、(c)、(d) は 500℃ のイオン注入時の基板温度のプロセスの場合の、それぞれコレクタ層および分離層の結晶欠陥状態を示す断面図である。比較例 2 では、イオン注入時に 400℃、500℃ の加熱およびレーザーアニールをしているためコレクタ層および分離層の不純物濃度は前記比較例 1 より上昇しているだけでなく、従来例の前記図 6 の不純物濃度よりも若干高いことが読み取れる。

[0072] このことから、比較例 2 では、従来例、比較例 1 よりもさらに活性化が図られていることが考えられる。拡散深さに関しても、加熱しながらイオン注入することにより、加熱のない従来例 (図 5) のイオン注入に比べてコレクタ層および分離層ともに拡散効果がありやや深くなっていることがわかる。この比較例 2 の図 12 の結晶欠陥についても、図 6 (従来例) と図 11 (比較例 2) の比較から、深い側の結晶欠陥低減にイオン注入時の加熱が寄与し

ていると考えられる。

[0073] さらに、特に図11(a)、(c)は、コレクタ層(裏面)には結晶欠陥が存在しないことを示している。また、従来例(図6(b))および比較例1(図9(b)、(d))に比べて、比較例2の図11(b)、(d)は点欠陥はやや残るものの少なくなっていることは、分離層のある側辺面上部から中央部の結晶欠陥が回復しているためと考えられる。イオン注入時の加熱および炉アニールの効果が現れているものと思われる。

[0074] また、逆方向電流(逆漏れ電流)について、図7(a)のレーザーアニール処理の従来例および比較例1(図7(b))と比べると、比較例2(図7(c))の方が小さくなっていることがわかる。これは、分離層の側辺面へのイオン注入に伴う結晶欠陥の回復が有効に効いているため、逆バイアス時のリーク電流が小さくなったと考えられる。

[0075] (実施の形態1)

本発明の逆阻止型IGBTにかかる実施の形態1について説明する。コレクタ層6および分離層4におけるイオン注入層を活性化するために、イオン注入時に半導体基板1を加熱しながらイオン注入をおこなう。そして、さらに、活性化のためにレーザーアニール処理と炉アニール処理との両方のアニール処理を、この順に、行うところが実施の形態1にかかる逆阻止型半導体素子の製造方法の特徴部分である。

[0076] 図2は、本発明の実施の形態1にかかるコレクタ層および分離層の不純物濃度プロファイル図である。図2においては、ボロンのドーズ量を $1 \times 10^{15} \text{ cm}^{-2}$ 、加速電圧を 150 keV として、イオン注入時の半導体基板温度を 400°C ((a)、(b))および 500°C ((c)、(d))とした場合のコレクタ層((a)、(c))および分離層((b)、(d))の側辺面のSR濃度プロファイルの測定結果(広がり抵抗測定結果)を示している。レーザーアニール処理条件は、YAG2 ω レーザー(波長 532 nm ; パルス幅 100 ns)を用い、照射エネルギー密度を 3.0 J/cm^2 とする。炉アニール処理条件は、温度 $400^\circ\text{C}/5$ 時間とした。前述のように、レーザー

アニール処理を先に行い、その後、炉アニール処理を前述の条件で行った。

[0077] 図2より、ピーク濃度は裏面（コレクタ層6）、分離層4ともに $1 \times 10^{19} \text{ cm}^{-3}$ を超える高濃度となり、十分に活性化されていることがわかる。ピーク濃度は比較例2（図11）と同レベルである。拡散深さはイオン注入時の基板加熱、レーザーアニール処理および炉アニール処理を用いることによる拡散効果が加わるため従来例、比較例1、2に比べて深い側、特に $0.6 \mu\text{m}$ 付近の深さが深くなっていることを示している。

[0078] 実施の形態1では、残存結晶欠陥がないので、実施の形態1にかかる逆漏れ電流を示す図7（d）のように、図7（a）の従来例および比較例1、2（図7（a）～（c））よりも逆方向電流（逆漏れ電流）がさらに小さくなっていることがわかる。このことは、分離層の側辺面へのイオン注入に伴う結晶欠陥が十分に回復していることを表している。

[0079] （実施の形態2）

つぎに、本発明の逆阻止型IGBTにかかる実施の形態2について説明する。コレクタ層6および分離層4のイオン注入層を活性化するためにイオン注入時に半導体基板1を $400^\circ\text{C} \sim 500^\circ\text{C}$ に加熱しながらイオン注入をおこなう。そして、更に活性化のために先に炉アニール処理、その後、レーザーアニール処理を行う。

[0080] 図3は、本発明の実施の形態2にかかるコレクタ層および分離層の不純物濃度プロファイル図である。図3においては、ボロンのドーズ量を $1 \times 10^{15} \text{ cm}^{-2}$ 、加速電圧を 150 keV として、イオン注入時温度を 400°C （（a）、（b））および 500°C （（c）、（d））とした場合のコレクタ層（（a）、（c））および分離層（（b）、（d））の側辺面のSR濃度プロファイルの測定結果（広がり抵抗測定結果）を示している。

[0081] 炉アニール処理条件は、 $400^\circ\text{C} / 5$ 時間とする。レーザーアニール処理条件は、YAG2 ω レーザー（波長 532 nm ；パルス幅 100 ns ）を用いてレーザーアニール処理の照射エネルギー密度を $3.0 \text{ J} / \text{cm}^2$ とした。さらに、炉アニール処理を先に行い、その後レーザーアニール処理を前述の

条件で行った。

[0082] 前記図3から、ピーク濃度はコレクタ層、分離層ともに $1 \times 10^{19} \text{ cm}^{-3}$ 以上の高濃度となり十分に活性化されていることがわかる。ピーク濃度は比較例2（図11）、実施例1（図2）と同レベルである。拡散深さはイオン注入時の基板加熱、炉アニール処理およびレーザーアニール処理を用いることによる拡散効果が加わるので、前述の従来例、比較例1、2、実施例1に比べて深い側、特に $0.6 \mu\text{m}$ 付近の深さが特に深くなっていることがわかる。

[0083] 本実施の形態2の方が、前記実施の形態1よりも拡散深さが深くなるのは、前記実施の形態1の場合にはレーザーアニール処理を先に行っていることにより照射最表面が固相溶融状態になり、レーザー光の反射が大きくなり深さ方向にドーパントが拡散し難くなるからである。

[0084] 実施の形態1、2から、先に、炉アニールを行って低温拡散により奥にドーパントを入れてから、その後レーザーアニール処理をした方が深い側の層の活性化には有効性が高いことも分かる。なお、ピーク濃度の位置が実施の形態1よりも深い方へ入っているのは、先に炉アニール処理をおこなっていて拡散しやすい状態になっているのでレーザー照射により固相溶融状態でボックスプロファイルになり易いからである。

[0085] 実施の形態1、2において、コレクタ層および分離層にはいずれにも結晶欠陥が存在していなかった。この結果、実施例2の逆漏れ電流（図7（e））は、図7（a）の従来例および比較例1、2および実施の形態1（図7（b）～図7（d））よりも逆方向電流（逆漏れ電流）が小さくなるのである。これらの結果は、実施の形態2では分離層の側辺面へのイオン注入に伴う結晶欠陥が十分に回復されていることを表している。

[0086] ここでは、ボロンイオンを分離層に拡散させたn型逆阻止型IGBTについて、説明したが、不純物イオンとしてボロンに代えてアルミニウムを用いることもできる。また、p型逆阻止型IGBTではリンイオンを分離層のドーパントに用いるとよい。

[0087] さらに、以上説明した実施の形態 1、2 でアニール処理に用いたレーザーアニール処理については、全固体レーザーとして、YAG 2ω レーザーで説明したが、YLF 2ω 、YVO $4(2\omega)$ 、YAG 3ω 、YLF 3ω 、YVO $4(3\omega)$ 等のレーザーでもよい。全固体レーザーの代わりに、XeCl(308nm)、KrF、XeF等のエキシマレーザーを用いてもよい。また、シリコン半導体基板への侵入長の大きい半導体レーザーを用いると、さらに深い側の注入層の欠陥回復に有効である。

[0088] 以上説明したように、テーパ溝に由来する側辺面に沿って形成されるイオン注入層（分離層）に伴って生じる結晶欠陥を回復させ活性化するための従来のアニール処理方法では、前記図4-1の破線の円で囲まれた領域の拡大図である図18に示すテーパ溝近傍の拡大断面図に示すように、レーザーアニール処理を用いても欠陥が十分に回復しない領域Aが存在するため、漏れ電流が大きくなり、逆耐圧の低下も見られた。

[0089] そこで、本発明では、イオン注入時に半導体基板を加熱して半導体基板温度を上昇させた状態でイオン注入を行ない、さらに $350^{\circ}\text{C}\sim 500^{\circ}\text{C}$ で1時間～10時間の炉アニール処理およびレーザーアニール処理をこの順またはその逆順で施すことにより、さらに再結晶化（結晶欠陥の回復）を促進するとともに、活性化も実現することができる。

[0090] その結果、イオン注入時に発生する結晶欠陥の低減も図ることができるようになり、前述のようなレーザーアニール処理を用いても欠陥が十分に回復しない領域Aが存在する構造のテーパを備えた逆阻止型半導体素子の製造方法であっても、逆耐圧の低下が無くなり、良品率が向上し、チップコストを安価にすることができる。

産業上の利用可能性

[0091] 以上のように、この発明にかかる逆阻止型半導体素子の製造方法は、通常は順電圧阻止能力だけの信頼性を確保することが一般的である絶縁ゲート型バイポーラトランジスタ（以降、IGBTと略記する）に、逆電圧阻止能力（以降逆阻止能力と略記）にも順電圧阻止能力（順阻止能力と略記）と同等

の信頼性を保持させる逆阻止型半導体素子の製造方法に有用であり、特に、逆阻止型 I G B T の製造方法に適している。

符号の説明

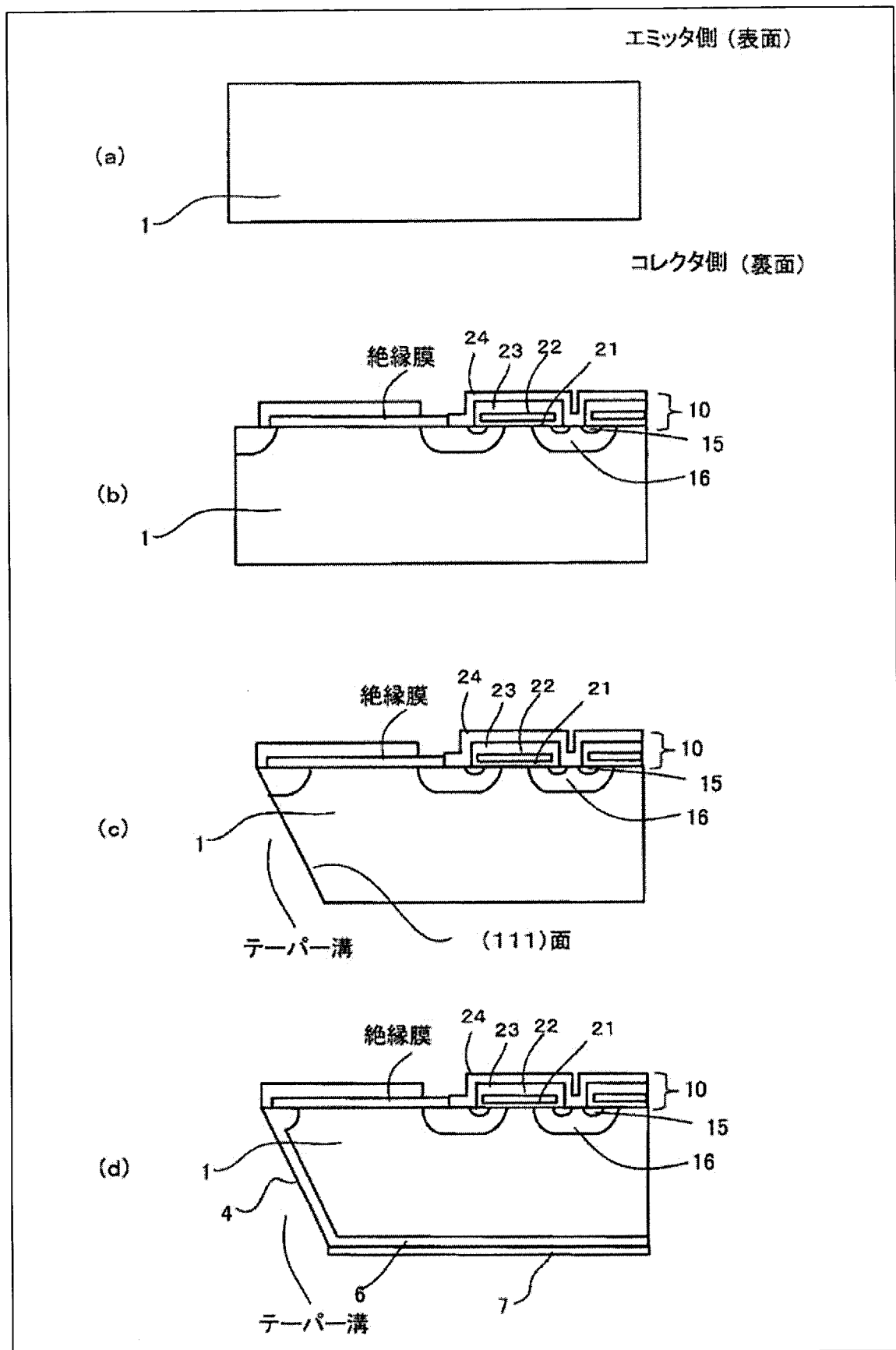
[0092]	1	半導体基板
	2	酸化膜マスク
	3	開口部
	4、4 b	分離層
	4 a	拡散層
	5	ボロンソース
	6	p コレクタ層
	7	コレクタ電極
	8	スクライブライン
	1 0	表面構造
	1 1	トレンチ
	1 2	薬液残渣
	1 3	レジスト残渣
	1 5	n エミッタ領域
	1 6	p ベース領域
	2 0	結晶欠陥
	2 1	ゲート絶縁膜
	2 2	ゲート電極
	2 3	層間絶縁膜
	2 4	エミッタ電極

請求の範囲

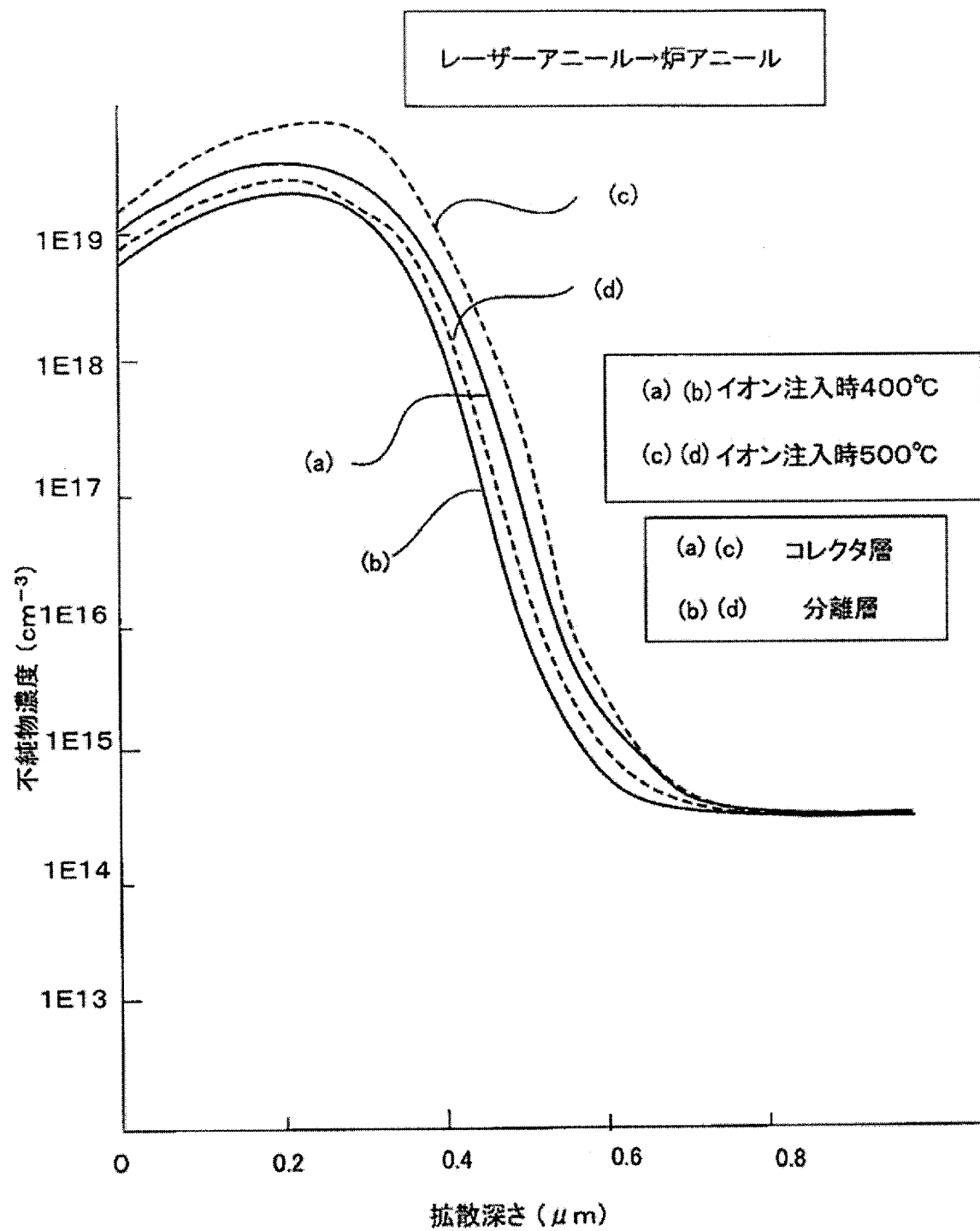
- [請求項1] 第1導電型の半導体基板の一方の主面にMOSゲート構造を含む主要表面構造を形成する工程と、他方の主面に第2導電型コレクタ層を形成する工程と、前記主要表面構造を取り巻く外周にあって、いずれか一方の主面から他方の主面にかけてエッチング形成されるテーパー溝の側辺面に沿って、前記両主面間を連結するとともに前記他方の主面の第2導電型コレクタ層に接続される第2導電型分離層を形成する工程とを有する逆阻止型半導体素子の製造方法において、前記第2導電型コレクタ層と前記第2導電型分離層とを形成する工程がそれぞれ前記半導体基板を400℃乃至500℃のいずれかの温度に保持した状態で第2導電型不純物元素をイオン注入し、レーザーアニール処理と350℃乃至500℃のいずれかの温度による炉アニール処理との両方のアニール処理を行って前記第2導電型コレクタ層と前記第2導電型分離層とをそれぞれ形成する工程であることを特徴とする逆阻止型半導体素子の製造方法。
- [請求項2] 前記両方のアニール処理を、レーザーアニール処理を先にして、その後、350℃乃至500℃のいずれかの温度による炉アニール処理の順に行うことを特徴とする請求項1記載の逆阻止型半導体素子の製造方法。
- [請求項3] 前記両方のアニール処理を、350℃乃至500℃のいずれかの温度による炉アニール処理を先にして、その後、レーザーアニール処理の順に行うことを特徴とする請求項1記載の逆阻止型半導体素子の製造方法。
- [請求項4] 前記第2導電型コレクタ層と前記第2導電型分離層とを形成する工程が同時に行われることを特徴とする請求項1乃至3のいずれか一項に記載の逆阻止型半導体素子の製造方法。
- [請求項5] 前記350℃乃至500℃のいずれかの温度による炉アニール処理の保持時間を1時間乃至10時間とすることを特徴とする請求項1記

載の逆阻止型半導体素子の製造方法。

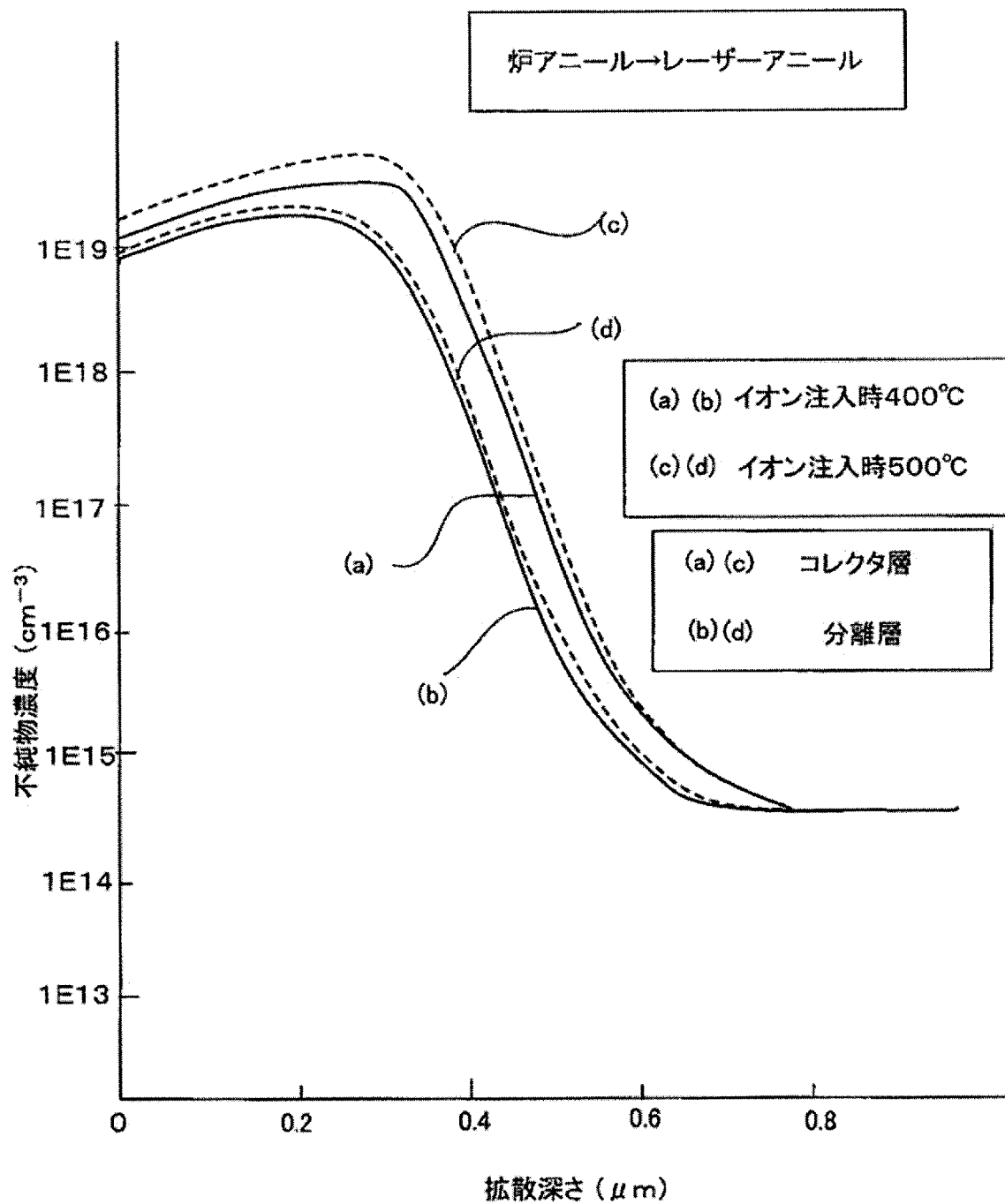
[図1]



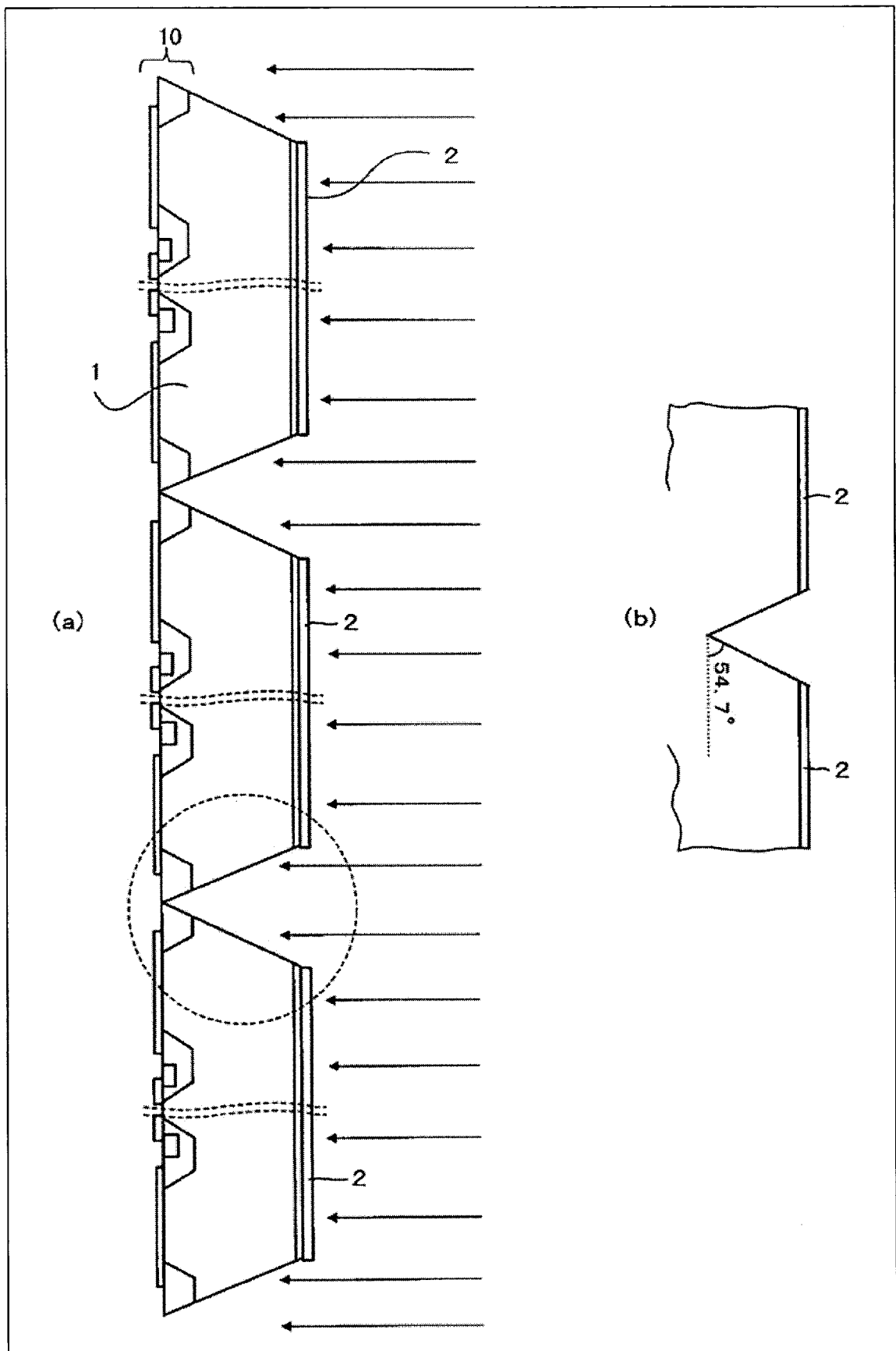
[図2]



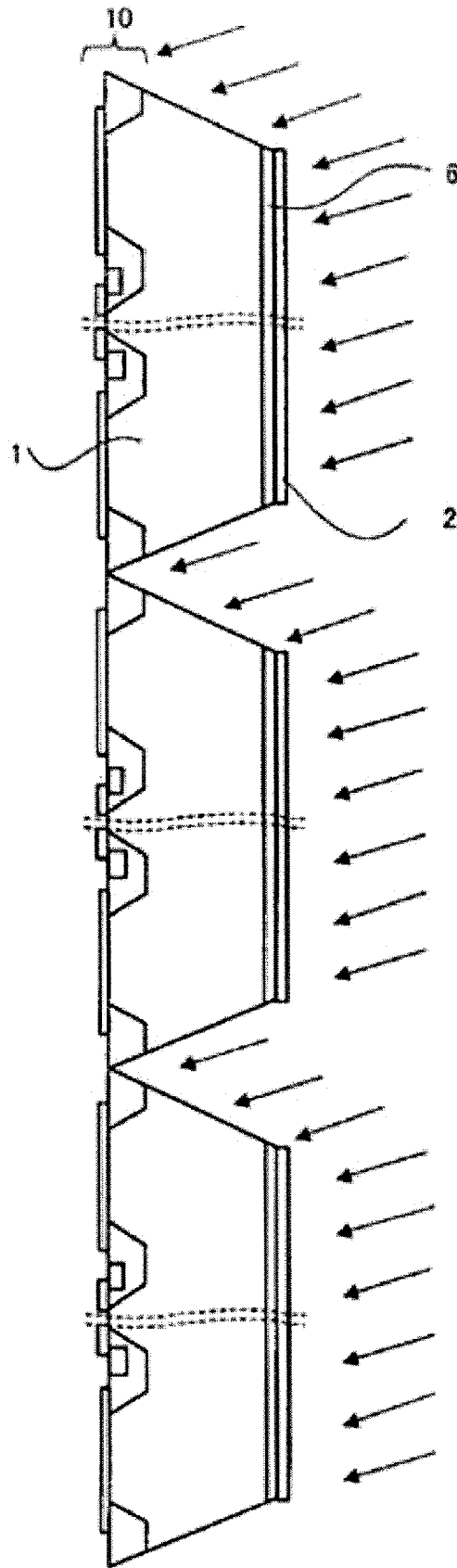
[図3]



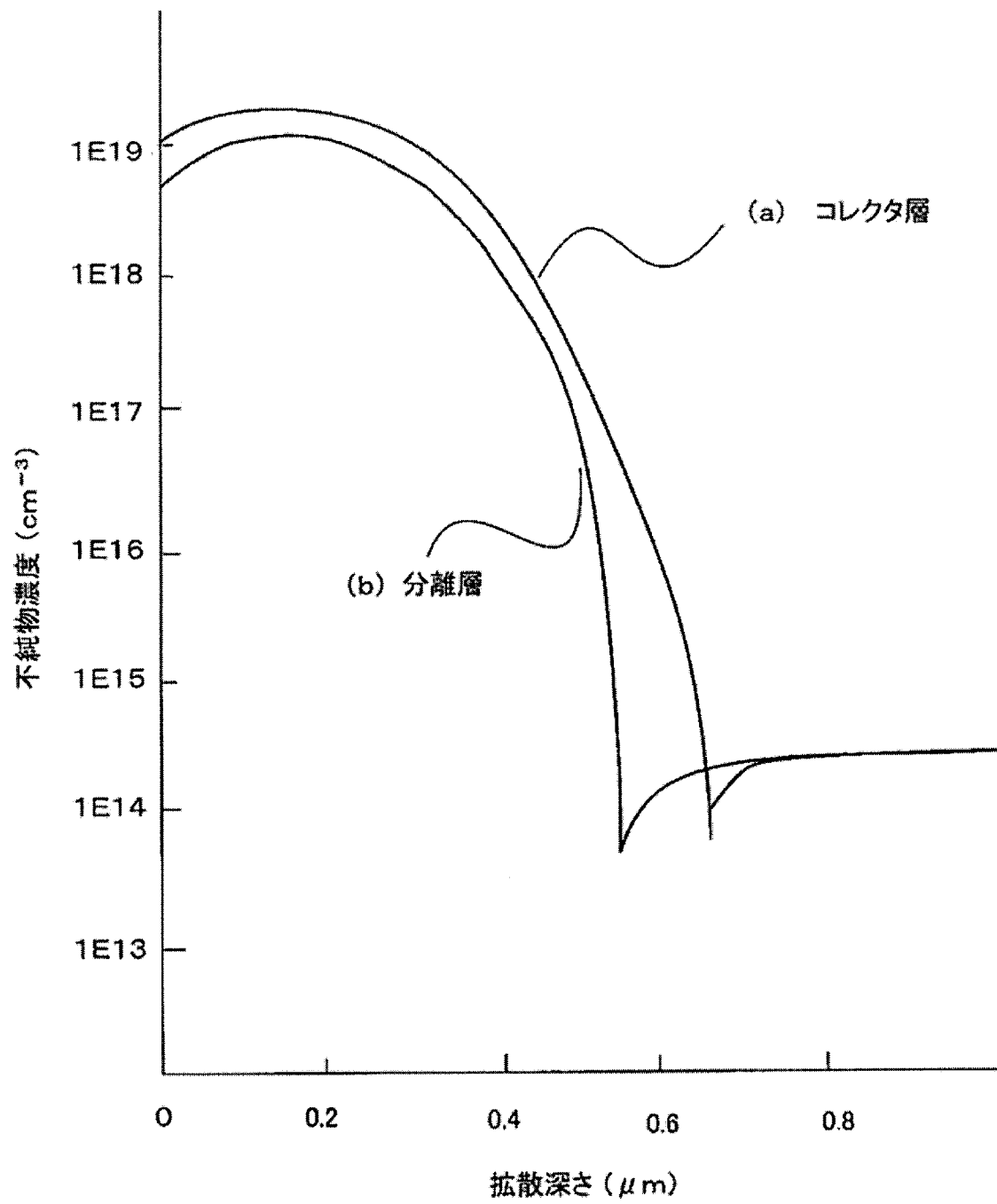
[図4-1]



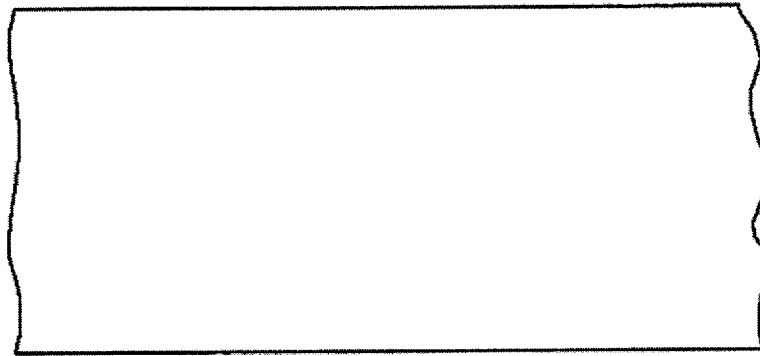
[図4-2]



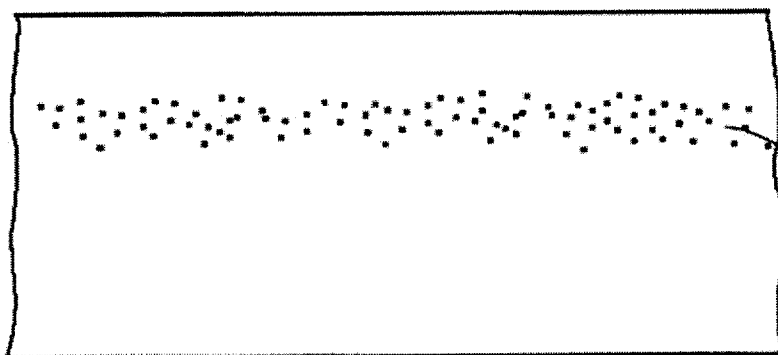
[図5]



[図6]



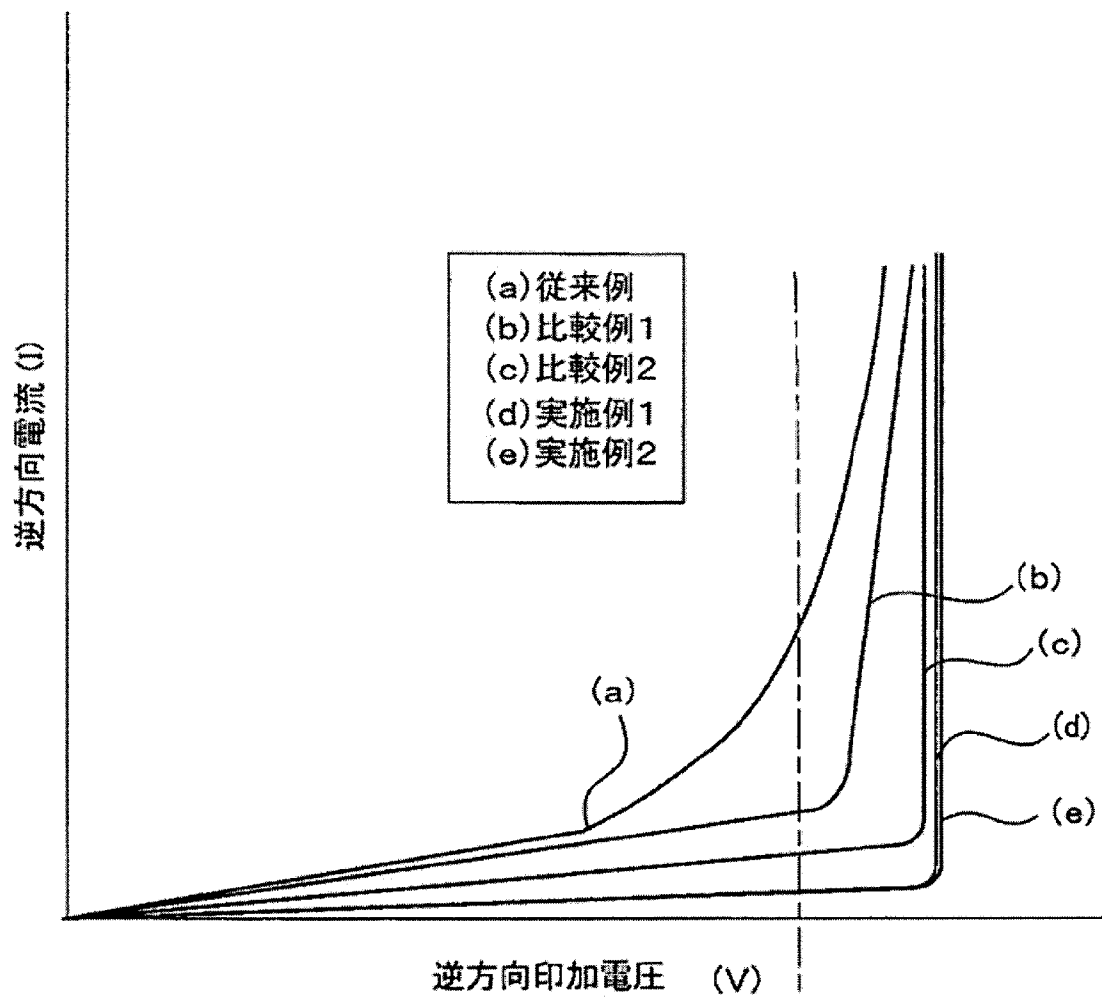
(a)



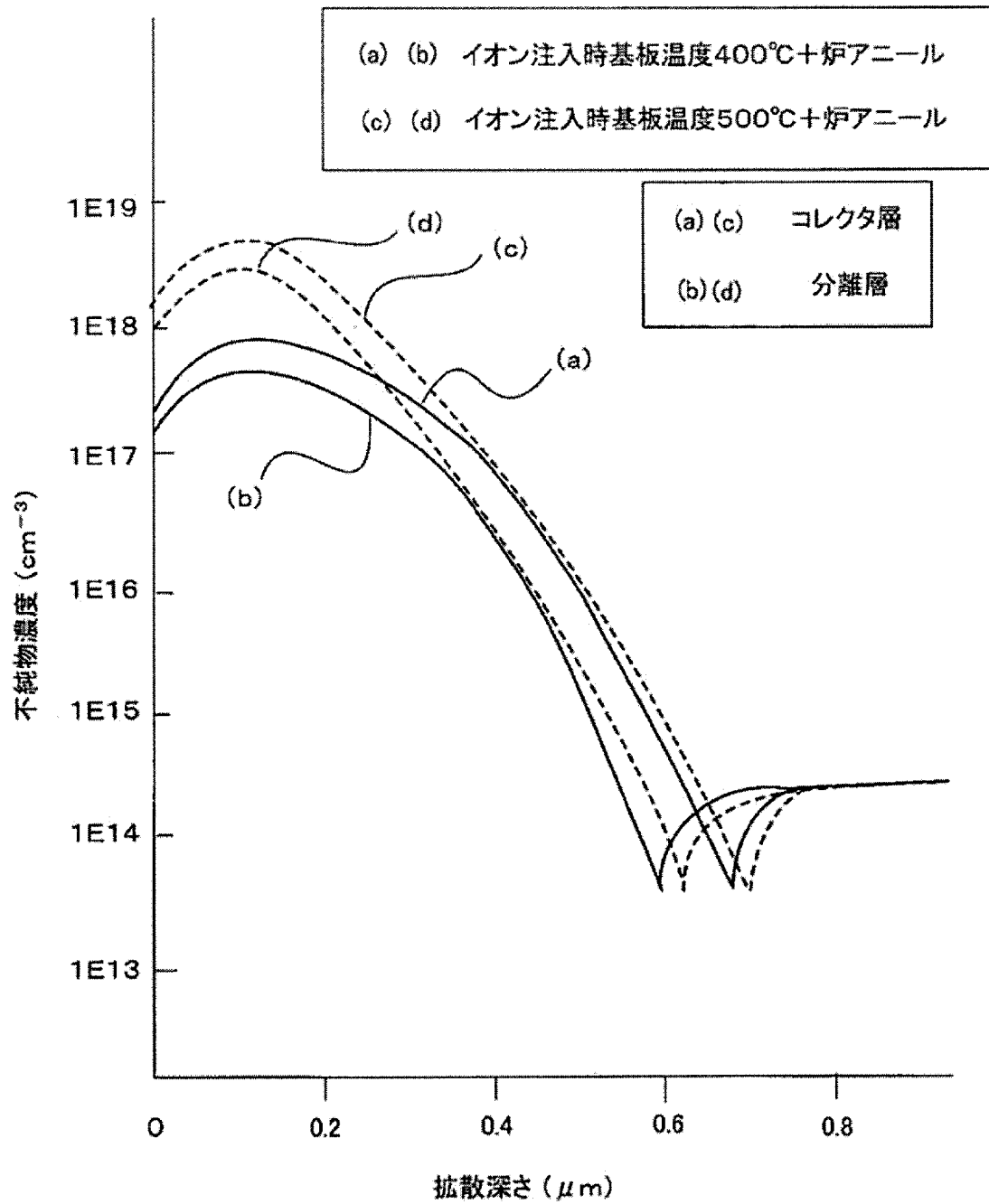
20

(b)

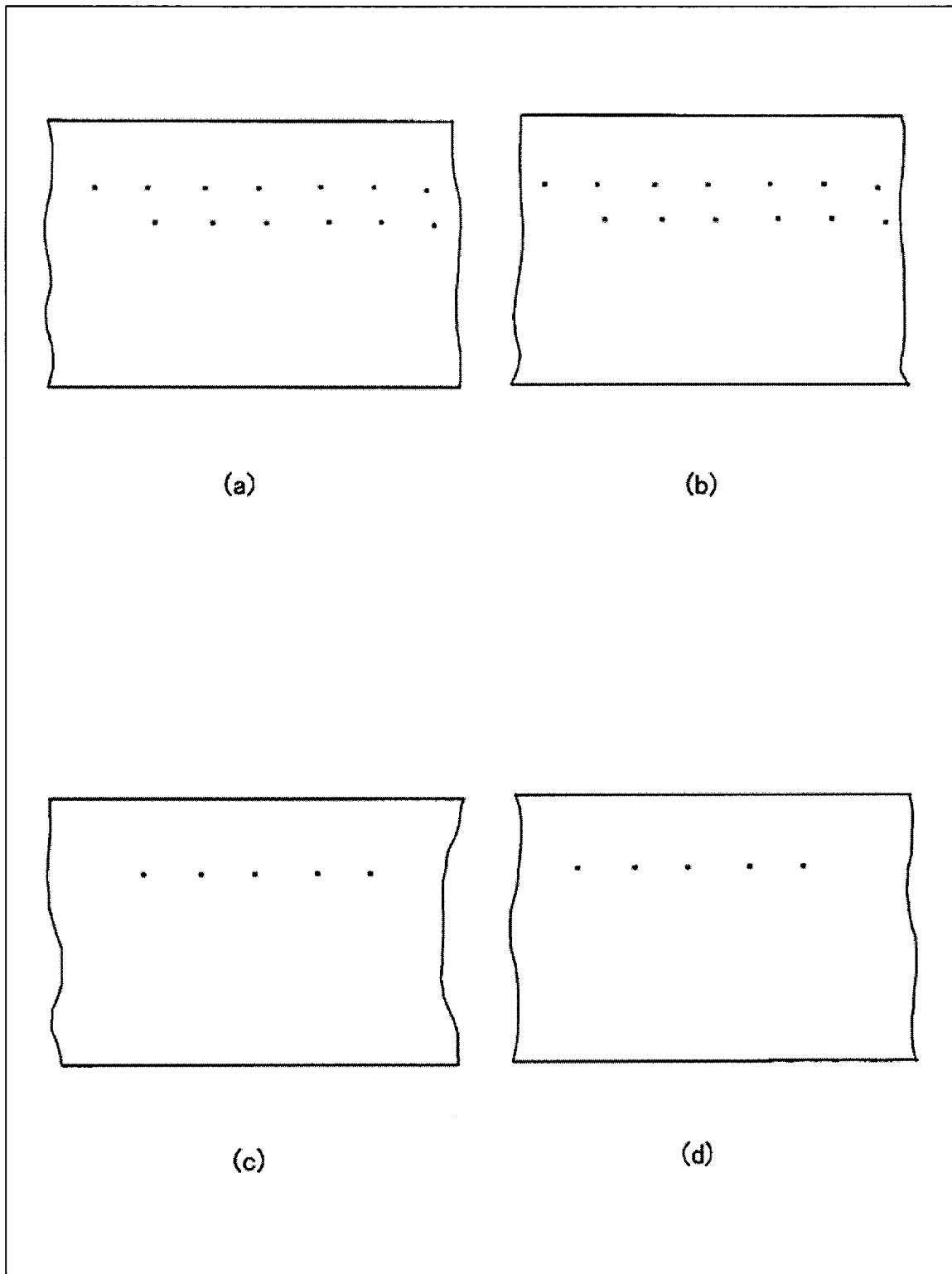
[図7]



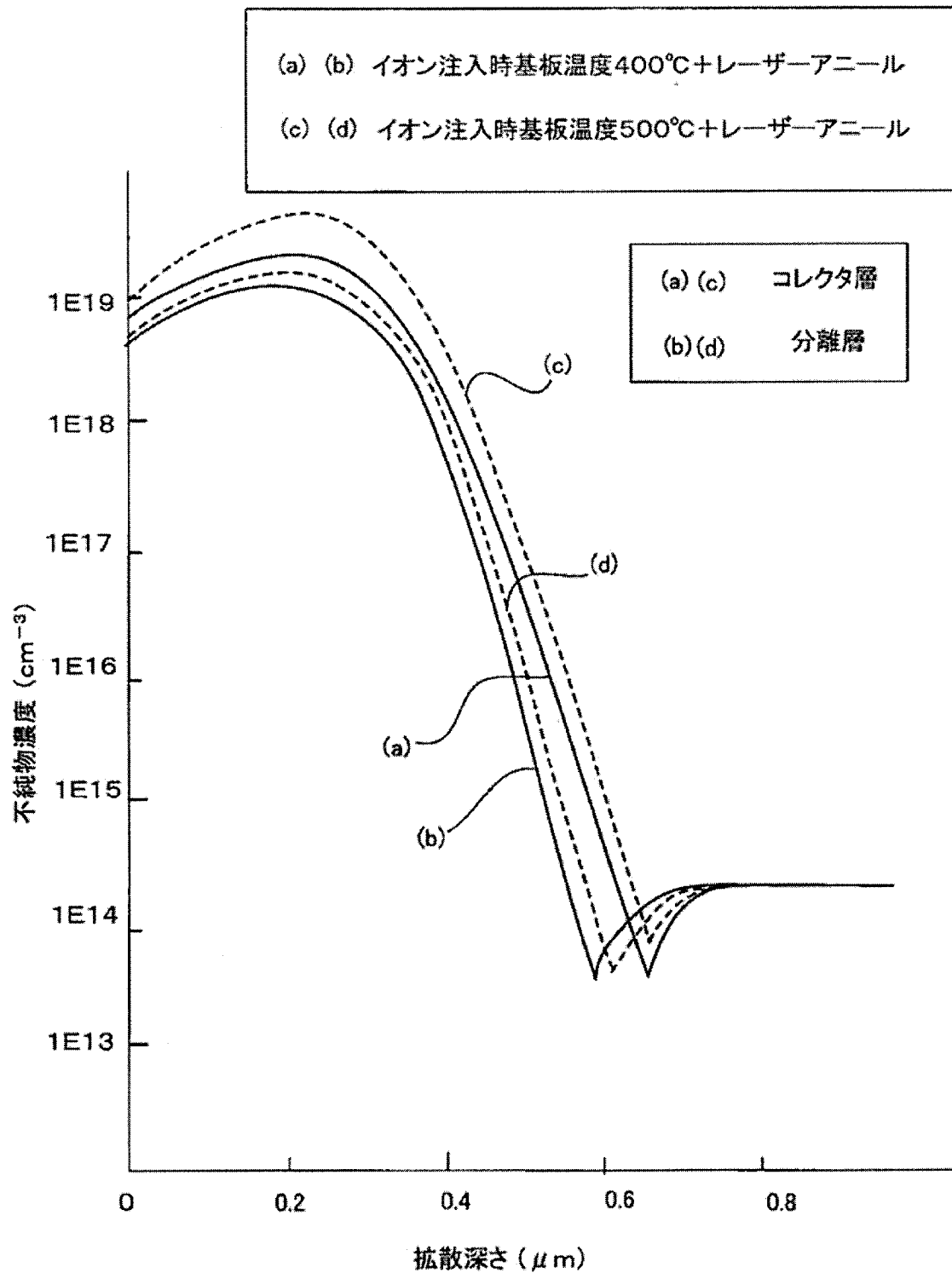
[図8]



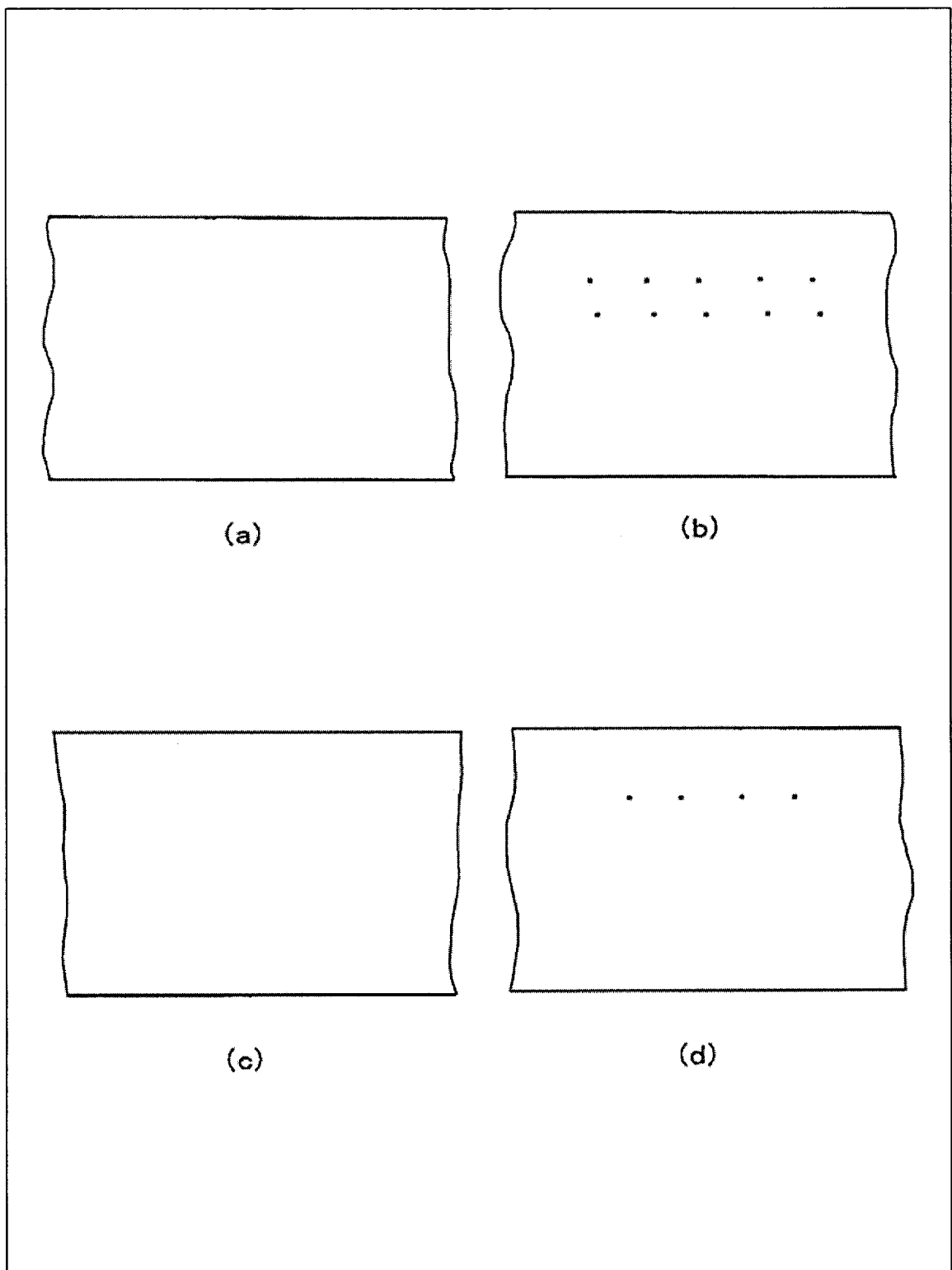
[図9]



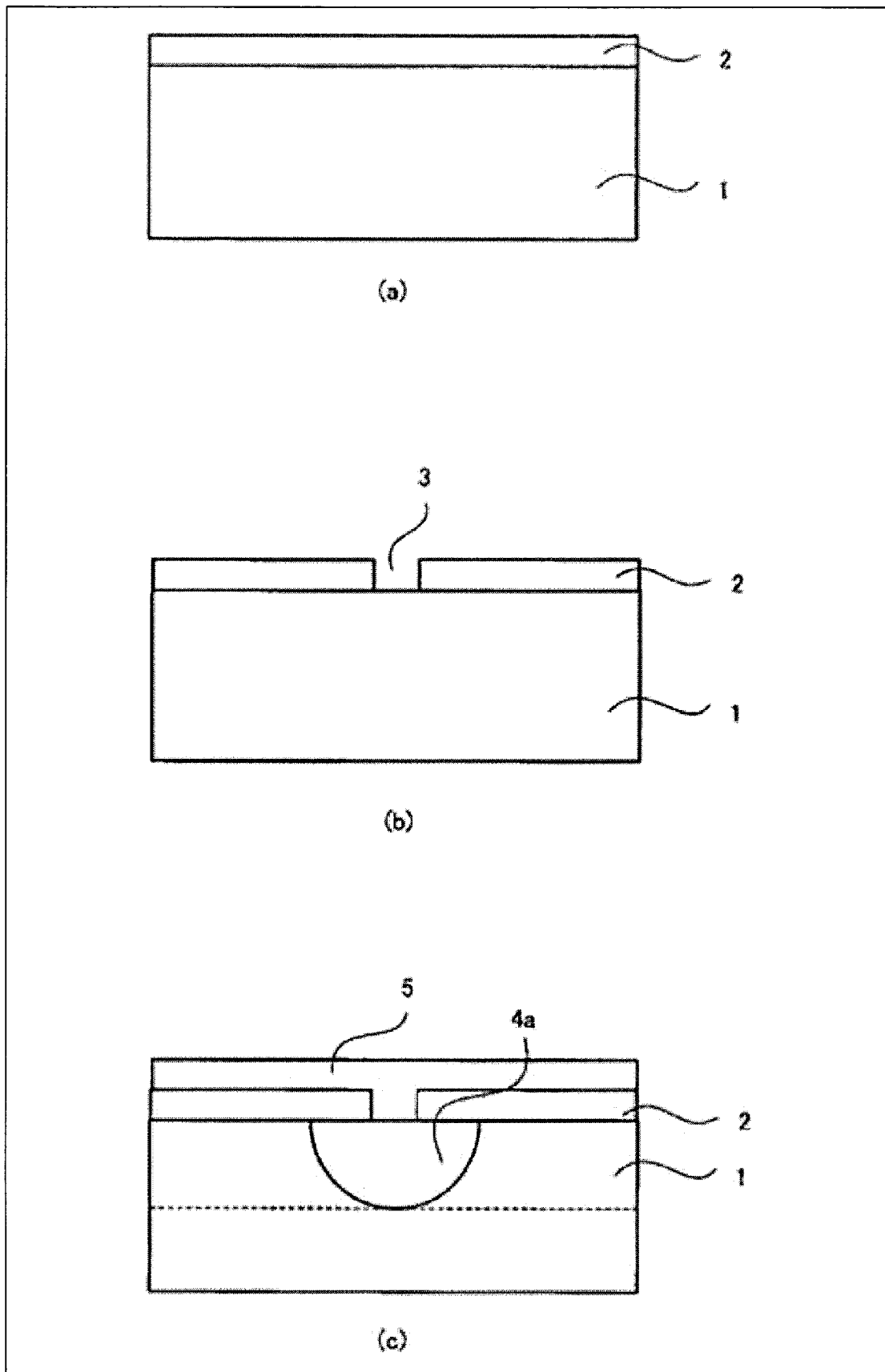
[図10]



[図11]



[図12]



[図13]

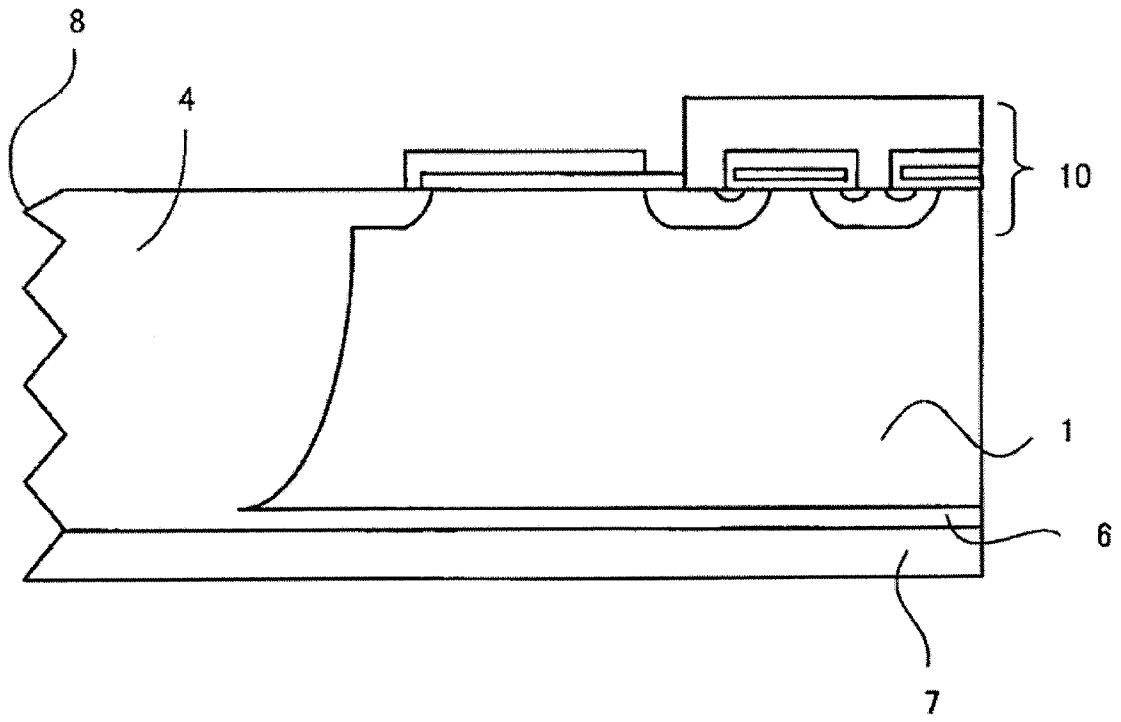
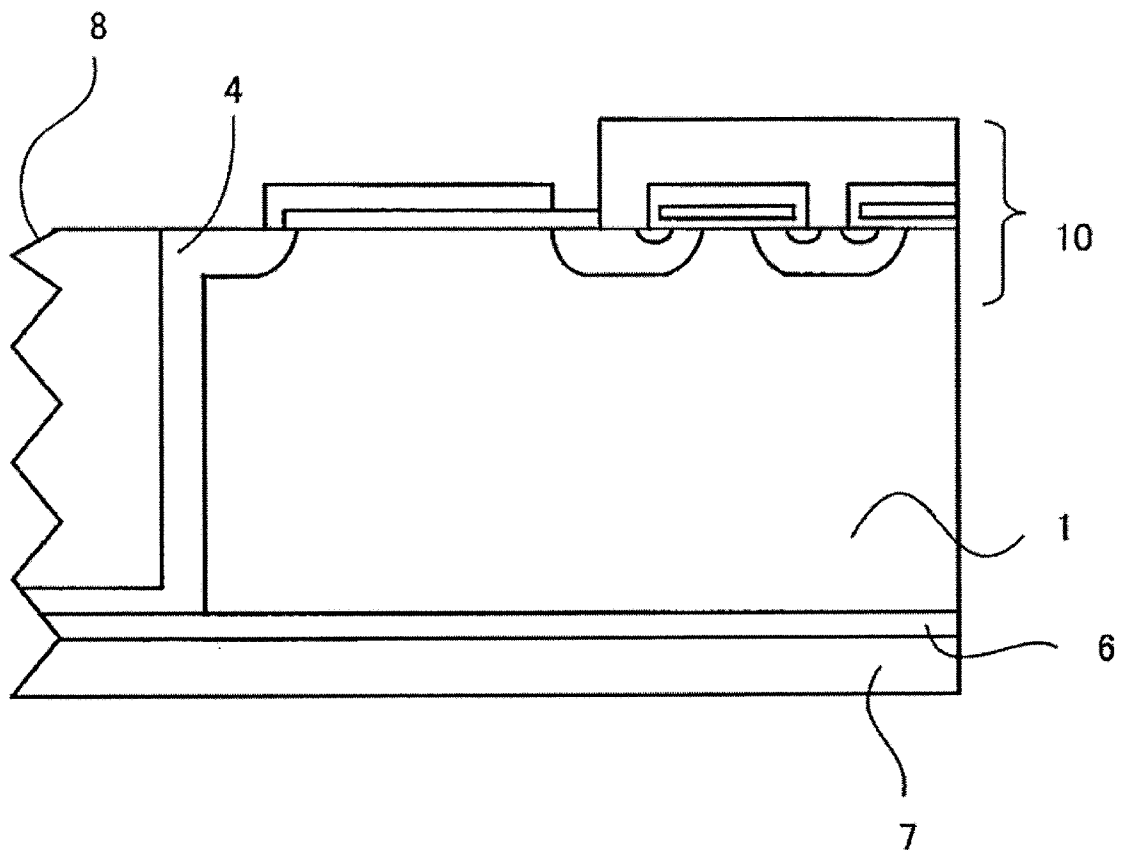


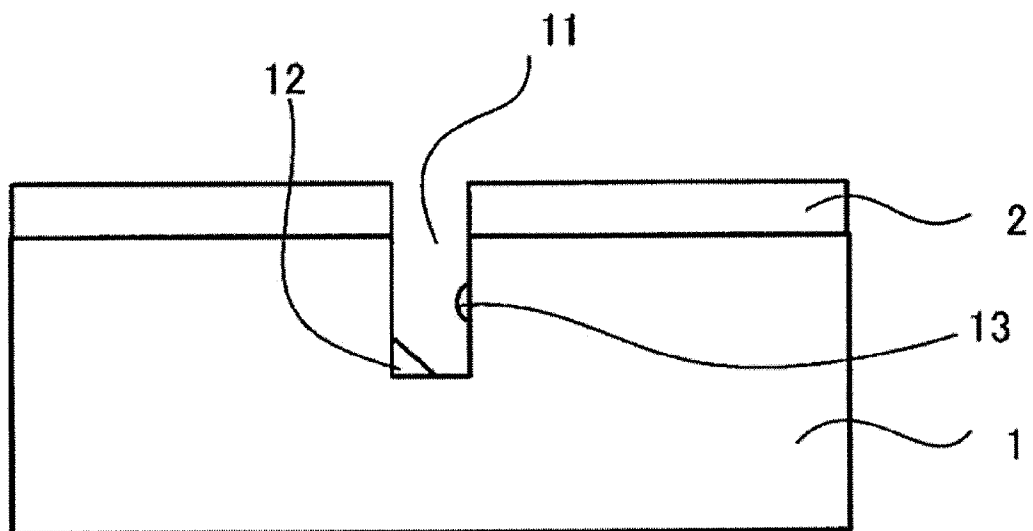
Figure 1 consists of three cross-sectional views of a device, labeled (a), (b), and (c).

- (a) shows a substrate 1 with a thin layer 2 on its top surface.
- (b) shows a notch 11 formed in the top surface of layer 2.
- (c) shows the device with a fluid 4a filling the notch 11. Arrows indicate pressure being applied to the fluid from above and below the notch.

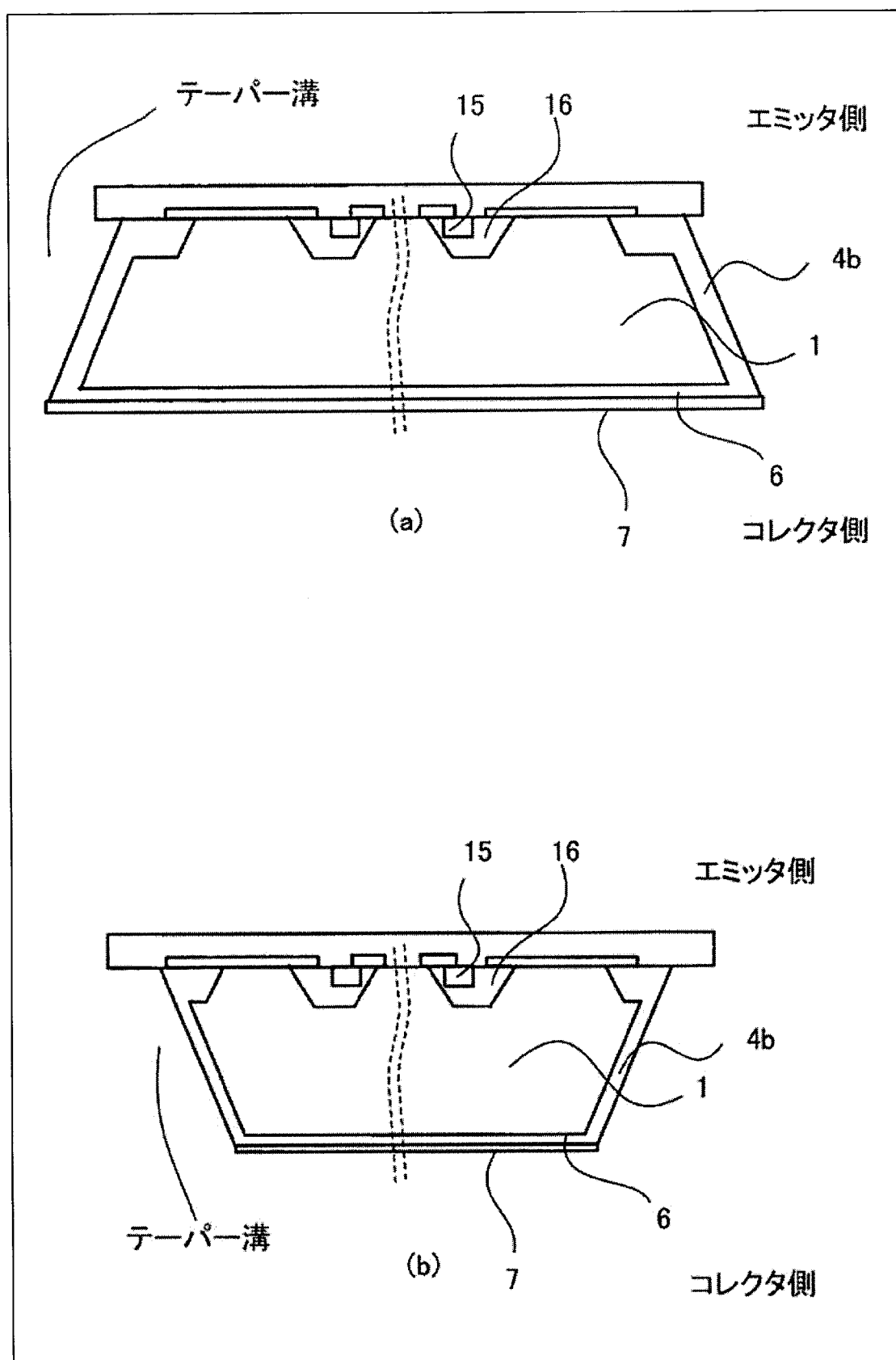
[図15]



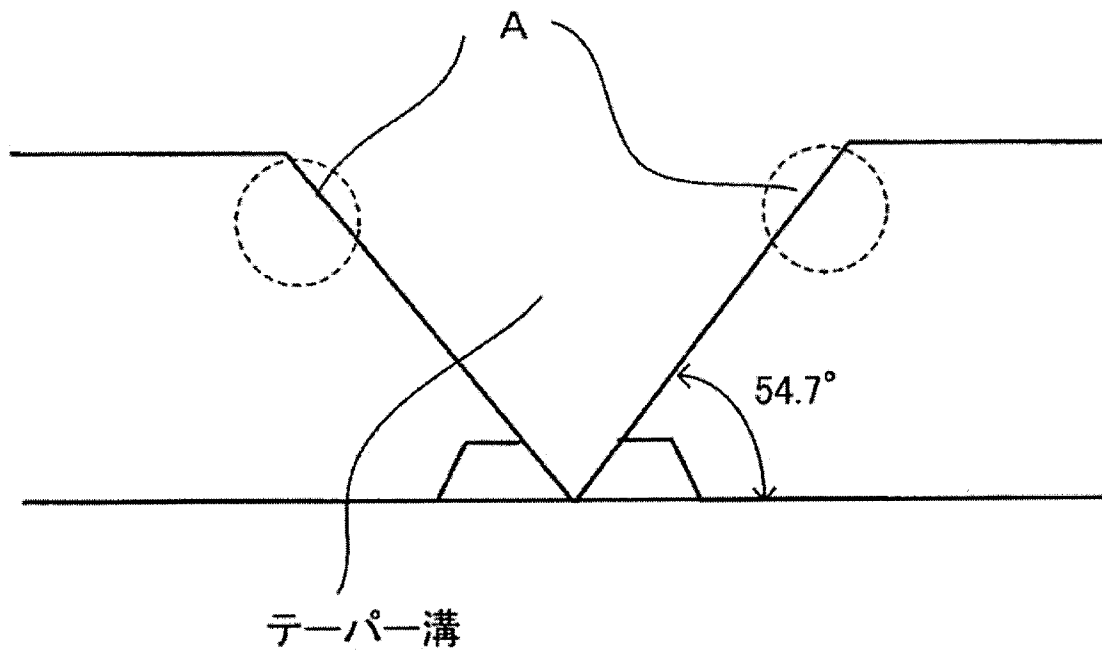
[図16]



[図17]



[図18]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2012/050760

A. CLASSIFICATION OF SUBJECT MATTER

H01L21/336(2006.01)i, H01L21/265(2006.01)i, H01L21/76(2006.01)i,
H01L29/739(2006.01)i, H01L29/78(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L21/336, H01L21/265, H01L21/76, H01L29/739, H01L29/78

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2012
Kokai Jitsuyo Shinan Koho	1971-2012	Toroku Jitsuyo Shinan Koho	1994-2012

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2006-303410 A (Fuji Electric Holdings Co., Ltd.), 02 November 2006 (02.11.2006), entire text; all drawings & US 2006/0249797 A1 & DE 102006009961 A1	1-5
Y	JP 2005-268487 A (Fuji Electric Device Technology Co., Ltd.), 29 September 2005 (29.09.2005), entire text; all drawings (Family: none)	1-5
Y	JP 2003-59856 A (Fuji Electric Co., Ltd.), 28 February 2003 (28.02.2003), entire text; all drawings (Family: none)	1-5



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search
30 January, 2012 (30.01.12)

Date of mailing of the international search report
07 February, 2012 (07.02.12)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

A. 発明の属する分野の分類 (国際特許分類 (I P C))

Int.Cl. H01L21/336(2006.01)i, H01L21/265(2006.01)i, H01L21/76(2006.01)i, H01L29/739(2006.01)i, H01L29/78(2006.01)i

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (I P C))

Int.Cl. H01L21/336, H01L21/265, H01L21/76, H01L29/739, H01L29/78

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 1 2 年
日本国実用新案登録公報	1 9 9 6 - 2 0 1 2 年
日本国登録実用新案公報	1 9 9 4 - 2 0 1 2 年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 2006-303410 A (富士電機ホールディングス株式会社) 2006.11.02, 全文、全図 & US 2006/0249797 A1 & DE 102006009961 A1	1-5
Y	JP 2005-268487 A (富士電機デバイステクノロジー株式会社) 2005.09.29, 全文、全図 (ファミリーなし)	1-5
Y	JP 2003-59856 A (富士電機株式会社) 2003.02.28, 全文、全図 (ファミリーなし)	1-5

☐ C 欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

3 0 . 0 1 . 2 0 1 2

国際調査報告の発送日

0 7 . 0 2 . 2 0 1 2

国際調査機関の名称及びあて先

日本国特許庁 (I S A / J P)
郵便番号 1 0 0 - 8 9 1 5
東京都千代田区霞が関三丁目 4 番 3 号

特許庁審査官 (権限のある職員)

瀧内 健夫

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 4 9 8

4 L

9 0 5 4