I825698

(19)中華民國智慧財產局

(12)發明說明書公告本 **(11)證書號數：TW I825698 B**

(45)公告日： 中華民國 112 (2023) 年 12 月 11 日

(21)申請案號：111116557 (22)申請日： 中華民國 111 (2022) 年 04 月 29 日

(51)Int. Cl.： ***G05F1/46 (2006.01)*** ***H03F3/45 (2006.01)***

(71)申請人：瑞昱半導體股份有限公司 (中華民國) REALTEK SEMICONDUCTOR CORPORATION (TW)

30076 新竹科學園區創新二路 2 號

(72)發明人：高立龍 KAO, LI-LUNG (TW)

(74)代理人：李世章；秦建譜

(56)參考文獻：

TW	200643675A	TW	200736875A
TW	200844706A	TW	201727424A
CN	101609345A	CN	114326890A
JP	2019-160010A	US	2015/0212530A1

審查人員：李志偉

申請專利範圍項數：8 項 圖式數：9 共 35 頁

(54)名稱

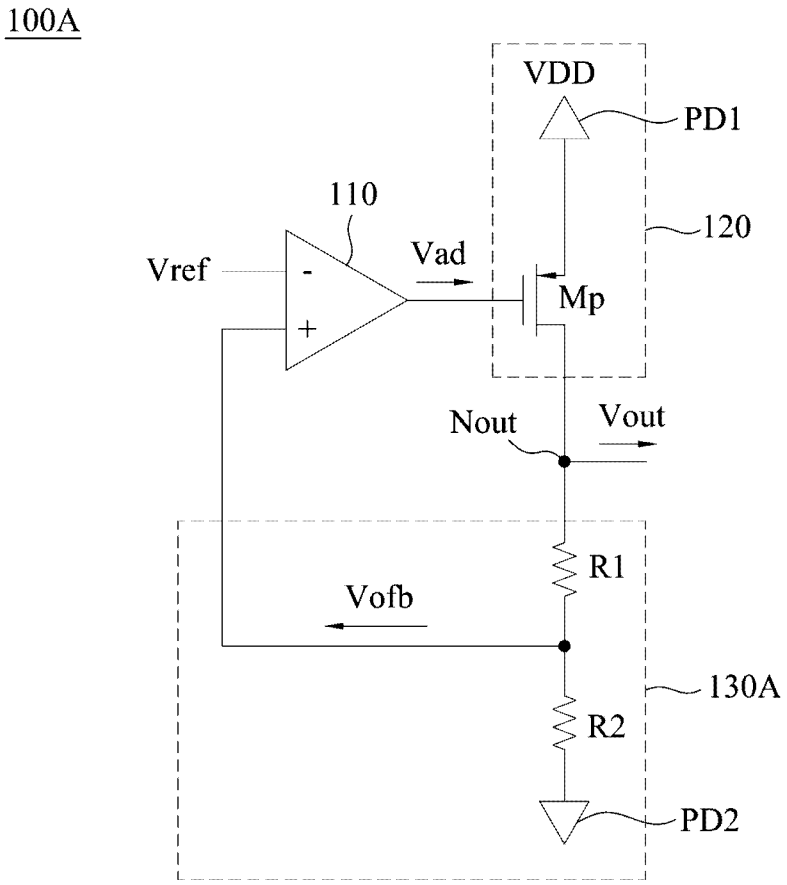
電壓調整器與訊號放大電路

(57)摘要

一種電壓調整器，其包含誤差放大電路、輸出級電路和輸出回授路徑。誤差放大電路包含第一級放大器和第二級放大器。第一級放大器用於放大輸出回授訊號和參考訊號之差值而產生第一差動訊號和第二差動訊號。第二級放大器用於放大第一差動訊號和第二差動訊號之差值以產生輸出控制訊號。輸出級電路耦接於第一電源端且包含開關。開關用於依據輸出控制訊號於輸出節點產生輸出訊號。輸出回授路徑耦接於輸出節點與誤差放大電路，用於依據輸出訊號產生輸出回授訊號。

A voltage regulator including an error amplifying circuit, an output stage circuit and an output feedback path is provided. The error amplifying circuit includes a first stage amplifier and a second stage amplifier. The first stage amplifier is configured to amplify a difference between an output feedback signal and a reference signal to generate a first differential signal and a second differential signal. The second stage amplifier is configured to amplify a difference between the first differential signal and the second differential signal to generate an output control signal. The output stage circuit is coupled with a first power node and includes a switch. The switch is configured to generate an output signal at an output node according to the output control signal. The output feedback path is coupled with the output node and the error amplifying circuit, and configured to generate the output feedback signal according to the output signal.

指定代表圖：



第 1A 圖

符號簡單說明：

100A:電壓調整器

110:誤差放大電路

120:輸出級電路

130A:輸出回授路徑

Vref:參考訊號

Vofb:輸出回授訊號

Vad:輸出控制訊號

Vout:輸出訊號

VDD:輸入電源

Mp:開關

Nout:輸出節點

PD1:第一電源端

PD2:第二電源端

R1,R2:分壓電阻

公告本

I825698

【發明摘要】

【中文發明名稱】電壓調整器與訊號放大電路

【英文發明名稱】VOLTAGE REGULATOR AND SIGNAL AMPLIFYING CIRCUIT

【中文】

一種電壓調整器，其包含誤差放大電路、輸出級電路和輸出回授路徑。誤差放大電路包含第一級放大器和第二級放大器。第一級放大器用於放大輸出回授訊號和參考訊號之差值而產生第一差動訊號和第二差動訊號。第二級放大器用於放大第一差動訊號和第二差動訊號之差值以產生輸出控制訊號。輸出級電路耦接於第一電源端且包含開關。開關用於依據輸出控制訊號於輸出節點產生輸出訊號。輸出回授路徑耦接於輸出節點與誤差放大電路，用於依據輸出訊號產生輸出回授訊號。

【英文】

A voltage regulator including an error amplifying circuit, an output stage circuit and an output feedback path is provided. The error amplifying circuit includes a first stage amplifier and a second stage amplifier. The first stage amplifier is configured to amplify a difference between an output feedback signal and a reference signal to generate a first differential signal and a second differential signal. The second stage amplifier is configured to amplify a difference between the first differential signal and

the second differential signal to generate an output control signal. The output stage circuit is coupled with a first power node and includes a switch. The switch is configured to generate an output signal at an output node according to the output control signal. The output feedback path is coupled with the output node and the error amplifying circuit, and configured to generate the output feedback signal according to the output signal.

【指定代表圖】第（1A）圖。

【代表圖之符號簡單說明】

100A：電壓調整器

110：誤差放大電路

120：輸出級電路

130A：輸出回授路徑

Vref：參考訊號

Vofb：輸出回授訊號

Vad：輸出控制訊號

Vout：輸出訊號

VDD：輸入電源

Mp：開關

Nout：輸出節點

PD1：第一電源端

PD2：第二電源端

R1，R2：分壓電阻

【發明說明書】

【中文發明名稱】電壓調整器與訊號放大電路

【英文發明名稱】VOLTAGE REGULATOR AND SIGNAL AMPLIFYING CIRCUIT

【技術領域】

【0001】 本揭示文件有關電壓調整器，尤指一種能改善振鈴現象的電壓調整器與訊號放大電路。

【先前技術】

【0002】 傳統的線性穩壓電路由誤差放大電路、功率電晶體及回授電路構成。誤差放大電路根據回授訊號與參考訊號之間的比較結果，控制功率電晶體的導通程度，以產生穩定的輸出電壓。在傳統的線性穩壓電路中，誤差放大電路通常具有較大尺寸的電晶體以降低雜訊，但這種設計會造成較大的寄生元件而使相位邊限(phase margin)降低，進而使得輸出電壓在負載變化時容易產生振鈴(ringing)現象而需要較長的穩定時間。然而，基於高品質的通訊與影音串流等需求，電子裝置不斷往高速與高解析度的方向發展，使得傳統的線性穩壓電路無法滿足現今的電路設計需求。

【發明內容】

【0003】 本揭示文件提供一種電壓調整器，其包含誤差放大電路、輸出級電路和輸出回授路徑。誤差放大電路包含第一級放大器和第二級放大器。第一級放大器用於放大輸出回授訊號和參考訊號之差值而產生第一差動訊號和第二差動訊號。第二級放大器用於放大第一差動訊號和第二差動訊號之差值以產生輸出控制訊號。輸出級電路耦接於第一電源端且包含開關。開關用於依據輸出控制訊號於輸出節點產生輸出訊號。輸出回授路徑耦接於輸出節點與誤差放大電路，用於依據輸出訊號產生輸出回授訊號。

【0004】 本揭示文件提供一種訊號放大電路，其包含誤差放大電路和輸出級電路。誤差放大電路包含第一級放大器和第二級放大器。第一級放大器用於放大第一輸入訊號和第二輸入訊號之差值而產生第一差動訊號和第二差動訊號。第二級放大器用於放大第一差動訊號和第二差動訊號之差值以產生輸出控制訊號。輸出級電路耦接於第一電源端且包含開關。開關用於依據輸出控制訊號於輸出節點產生輸出訊號。

【0005】 上述電壓調整器和訊號放大電路的優點，在於雜訊低且能改善振鈴現象。

【圖式簡單說明】

【0006】

第 1A 圖為依據本揭示文件一實施例的電壓調整器的功

能方塊圖。

第 1B 圖為依據本揭示文件一實施例的電壓調整器的功能方塊圖。

第 2 圖為依據本揭示文件一實施例的誤差放大電路的示意圖。

第 3 圖為依據本揭示文件一實施例的共模回授電路的示意圖。

第 4 圖為先前技術的電壓調整器的頻率響應曲線。

第 5 圖為依據本揭示文件一實施例的電壓調整器的頻率響應曲線。

第 6 圖為依據本揭示文件一實施例的誤差放大電路的示意圖。

第 7 圖為依據本揭示文件一實施例的誤差放大電路的示意圖。

第 8 圖為依據本揭示文件一實施例的訊號放大電路的功能方塊圖。

【實施方式】

【0007】 以下將配合相關圖式來說明本揭示文件的實施例。在圖式中，相同的標號表示相同或類似的元件或方法流程。

【0008】 第 1A 圖為依據本揭示文件一實施例的電壓調整器 100A 的功能方塊圖。電壓調整器 100A 包含誤差放大電路 110、輸出級電路 120 與輸出回授路徑 130A。誤差

放大電路 110 用於比較輸出回授訊號 Vofb 和參考訊號 Vref，並基於兩者的差值產生輸出控制訊號 Vad。在一實施例中，誤差放大電路 110 以其反相輸入端接收參考訊號 Vref，且以其非反相輸入端接收輸出回授訊號 Vofb。輸出級電路 120 耦接於第一電源端 PD1 和輸出節點 Nout 之間，並用於依據輸出控制訊號 Vad 轉換第一電源端 PD1 的輸入電源 VDD，以在輸出節點 Nout 提供輸出訊號 Vout。另外，輸出回授路徑 130A 耦接於輸出節點 Nout 和第二電源端 PD2(例如接地端)之間，且耦接於誤差放大電路 110(例如非反相輸入端)。輸出回授路徑 130A 用於依據輸出訊號 Vout 產生輸出回授訊號 Vofb。在一些實施例中，電壓調整器 100A 可被實施為低壓降穩壓器(Low-dropout regulator，LDO regulator)。

【0009】 輸出級電路 120 包含開關 Mp，開關 Mp 耦接於第一電源端 PD1 和輸出節點 Nout 之間，且其控制端用於接收輸出控制訊號 Vad。輸出控制訊號 Vad 用於控制開關 Mp 的導通情形，以將輸入電源 VDD 轉換為輸出訊號 Vout。在本實施例中，開關 Mp 可以用功率 P 型金屬-氧化物-半導體(MOS)場效電晶體來實現。

【0010】 在一些實施例中，輸出回授路徑 130A 為分壓電路，且包含串聯的分壓電阻 R1 與 R2，其中分壓電阻 R1 與 R2 用於分壓輸出訊號 Vout 以產生輸出回授訊號 Vofb。

【0011】 第 1B 圖為依據本揭示文件一實施例的電壓調整

器 100B 的功能方塊圖。電壓調整器 100B 相似於第 1A 圖的電壓調整器 100A，故以下僅說明差異之處。電壓調整器 100B 包含誤差放大電路 110、輸出級電路 120 與輸出回授路徑 130B。輸出回授路徑 130B 耦接於輸出節點 Nout 和誤差放大電路 110(例如非反相輸入端)。輸出回授路徑 130B 用於將輸出訊號 Vout 作為輸出回授訊號 Vofb 傳遞至誤差放大電路 110。在一些實施例中，輸出回授路徑 130B 為耦接於輸出節點 Nout 和誤差放大電路 110(例如非反相輸入端)之間的金屬走線。在一些實施例中，電壓調整器 100B 可被實施為低壓降穩壓器。

【0012】 第 2 圖為依據本揭示文件一實施例的誤差放大電路 200 的示意圖。誤差放大電路 200 可用於實現第 1A 圖和第 1B 圖的誤差放大電路 110，且包含第一級放大器 210 和第二級放大器 220。第一級放大器 210 的第一輸入端 Ia1(例如非反相輸入端)用於接收輸出回授訊號 Vofb，其第二輸入端 Ia2(例如反相輸入端)則用於接收參考訊號 Vref。第一級放大器 210 用於放大輸出回授訊號 Vofb 和參考訊號 Vref 之差值而產生第一差動訊號 Vdf1 和第二差動訊號 Vdf2，亦即第一級放大器 210 是全差動放大器(fully differential amplifier)。另一方面，第二級放大器 220 的第一輸入端 Ib1(例如非反相輸入端)用於接收第二差動訊號 Vdf2，其第二輸入端 Ib2(例如反相輸入端)用於接收第一差動訊號 Vdf1。第二級放大器 220 用於放大第一差動訊號 Vdf1 和第二差動訊號 Vdf2 之差值

以產生誤差放大訊號 Vea，亦即第二級放大器 220 是差動至單端放大器(differential to single ended amplifier)。在一實施例中，誤差放大訊號 Vea 會作為輸出控制訊號 Vad 輸出至輸出級電路 120。

【0013】 以下首先說明第一級放大器 210 的電路結構與運作。第一級放大器 210 包含第一電流源 Sa、全差動放大電路 212 和共模回授電路 214。第一電流源 Sa 耦接於第一電源端 PD1。全差動放大電路 212 耦接於第一電流源 Sa 和第二電源端 PD2 之間，並用於放大輸出回授訊號 Vofb 和參考訊號 Vref 之差值，以在第一差動節點 Ndf1 和第二差動節點 Ndf2 分別輸出第一差動訊號 Vdf1 和第二差動訊號 Vdf2。共模回授電路 214 耦接於第一差動節點 Ndf1 和第二差動節點 Ndf2，用於依據第一差動訊號 Vdf1 和第二差動訊號 Vdf2 提供共模回授訊號 Vcmfb 至全差動放大電路 212。共模回授訊號 Vcmfb 用於控制全差動放大電路 212 中電晶體的導通程度，以穩定第一差動訊號 Vdf1 和第二差動訊號 Vdf2 的直流共模電壓。

【0014】 例如，當第一差動訊號 Vdf1 和第二差動訊號 Vdf2 的直流共模電壓上升時，共模回授訊號 Vcmfb 會令全差動放大電路 212 降低直流共模電壓，反之亦然。換言之，共模回授電路 214 與全差動放大電路 212 形成一電壓負回授路徑 NFP。

【0015】 在一實施例中，全差動放大電路 212 包含第一電晶體 M1、第二電晶體 M2、第三電晶體 M3 與第四電晶體

M4。第一電晶體 M1 耦接於第一電流源 Sa 和第一差動節點 Ndf1 之間，且其控制端用於接收輸出回授訊號 Vofb，使得第一電晶體 M1 在輸出回授訊號 Vofb 的控制下於第一差動節點 Ndf1 產生第一差動訊號 Vdf1。第二電晶體 M2 耦接於第一電流源 Sa 和第二差動節點 Ndf2 之間，且其控制端用於接收參考訊號 Vref，使得第二電晶體 M2 在參考訊號 Vref 的控制下於第二差動節點 Ndf2 產生第二差動訊號 Vdf2。第三電晶體 M3 耦接於第一差動節點 Ndf1 和第二電源端 PD2 之間，第四電晶體 M4 耦接於第二差動節點 Ndf2 和第二電源端 PD2 之間，其中第三電晶體 M3 的控制端和第四電晶體 M4 的控制端用於接收共模回授訊號 Vcmfb。換言之，共模回授訊號 Vcmfb 用於控制第三電晶體 M3 和第四電晶體 M4 的導通程度，以穩定前述直流共模電壓。

【0016】 在一實施例中，第一電晶體 M1 和第二電晶體 M2 可以是由 P 型 MOS 場效電晶體實現的差動輸入對，而第三電晶體 M3 和第四電晶體 M4 可以由 N 型 MOS 場效電晶體來實現。

【0017】 請先參考第 3 圖，第 3 圖為依據本揭示文件一實施例的共模回授電路 214 的示意圖。在本實施例中，共模回授電路 214 用於將第一差動訊號 Vdf1 和第二差動訊號 Vdf2 與共模控制訊號 Vccm 進行比較，並依據比較結果產生共模回授訊號 Vcmfb。共模回授電路 214 包含第一放大電路 310 和第二放大電路 320。第一放大電路 310

的第一和第二輸入端分別用於接收共模控制訊號 Vccm 與第一差動訊號 Vdf1。第一放大電路 310 用於放大第一差動訊號 Vdf1 與共模控制訊號 Vccm 的差異以產生第一輸出電流 Io1。第二放大電路 320 的第一和第二輸入端分別用於接收第二差動訊號 Vdf2 與共模控制訊號 Vccm。第二放大電路 320 用於放大第二差動訊號 Vdf2 與共模控制訊號 Vccm 的差異以產生第二輸出電流 Io2。共模回授電路 214 用於依據第一輸出電流 Io1 和第二輸出電流 Io2 產生共模回授訊號 Vcmfb。

【0018】 在結構上，第一放大電路 310 包含第二電流源 Sb、第五電晶體 M5、第六電晶體 M6、第七電晶體 M7 以及第八電晶體 M8。第二電流源 Sb 耦接於第一電源端 PD1。第五電晶體 M5 耦接於第二電流源 Sb 和第一節點 N1 之間，且其控制端用於接收第一差動訊號 Vdf1。第六電晶體 M6 耦接於第二電流源 Sb 和第二節點 N2 之間，用於提供第一輸出電流 Io1 至第二節點 N2，且其控制端用於接收共模控制訊號 Vccm。第七電晶體 M7 的第一端和控制端耦接於第一節點 N1 和第三節點 N3，第七電晶體 M7 的第二端則耦接於第二電源端 PD2。第八電晶體 M8 的第一端和控制端耦接於第二節點 N2 和第四節點 N4，且第八電晶體 M8 的第二端耦接於第二電源端 PD2。

【0019】 第二放大電路 320 包含第三電流源 Sc、第七電晶體 M7、第八電晶體 M8、第九電晶體 M9 以及第十電晶體 M10。第三電流源 Sc 耦接於第一電源端 PD1。第九電晶

體 M9 耦接於第三電流源 Sc 和第四節點 N4 之間，用於提供第二輸出電流 Io2 至第四節點 N4，且其控制端用於接收共模控制訊號 Vccm。第十電晶體 M10 耦接於第三電流源 Sc 和第三節點 N3 之間，且其控制端用於接收第二差動訊號 Vdf2。

【0020】 藉由二極體連接結構，第八電晶體 M8 能在其控制端將第一輸出電流 Io1 和第二輸出電流 Io2 轉換為共模回授訊號 Vcmfb。在一實施例中，第八電晶體 M8 的控制端耦接於第 2 圖的第三電晶體 M3 的控制端和第四電晶體 M4 的控制端。

【0021】 在一些實施例中，第五電晶體 M5、第六電晶體 M6、第九電晶體 M9 和第十電晶體 M10 可以用 P 型 MOS 場效電晶體來實現，而第七電晶體 M7 和第八電晶體 M8 則可以用 N 型 MOS 場效電晶體來實現。在一實施例中，第八電晶體 M8 可由耦接於第二節點 N2 和第二電源端 PD2 之間的電阻來實現。

【0022】 在運作上，當第一差動訊號 Vdf1 和第二差動訊號 Vdf2 的直流共模電壓大於共模控制訊號 Vccm 時，第一輸出電流 Io1 和第二輸出電流 Io2 會隨之上升。因此，共模回授訊號 Vcmfb 之電壓會上升而增加第 2 圖的第三電晶體 M3 和第四電晶體 M4 的導通程度，進而降低直流共模電壓。反之，當第一差動訊號 Vdf1 和第二差動訊號 Vdf2 的直流共模電壓小於共模控制訊號 Vccm 時，共模回授訊號 Vcmfb 之電壓會下降以增加直流共模電壓。

【0023】 請再參考第 2 圖，以下將說明第二級放大器 220 的電路結構與運作。第二級放大器 220 包含第四電流源 Sd 和差動至單端放大電路 222。第四電流源 Sd 耦接於差動至單端放大電路 222 和第二電源端 PD2 之間。差動至單端放大電路 222 耦接於第一電源端 PD1，且用於放大第一差動訊號 Vdf1 和第二差動訊號 Vdf2 之差值以輸出誤差放大訊號 Vea。

【0024】 結構上，差動至單端放大電路 222 包含形成電流鏡的第十一電晶體 M11 和第十二電晶體 M12，且包含形成差動輸入對的第十三電晶體 M13 和第十四電晶體 M14。第十一電晶體 M11 耦接於第一電源端 PD1 和反相節點 Nnp 之間，且其控制端也耦接於反相節點 Nnp。第十二電晶體 M12 耦接於第一電源端 PD1 和增益節點 Ng 之間，且其控制端耦接於反相節點 Nnp。增益節點 Ng 用於提供誤差放大訊號 Vea 作為輸出控制訊號 Vad。第十三電晶體 M13 耦接於反相節點 Nnp 和第四電流源 Sd 之間，且其控制端用於接收第二差動訊號 Vdf2。第十四電晶體 M14 耦接於增益節點 Ng 和第四電流源 Sd 之間，且其控制端用於接收第一差動訊號 Vdf1。在一些實施例中，差動至單端放大電路 222 中的電流鏡可置換為其他種類的電流鏡，例如疊接電流鏡，經由本揭示文件的教示，所屬技術領域具有通常知識者當可推知。

【0025】 在某些電壓調整器中，誤差放大電路的第一級放大器包含電流鏡，且因為第一級放大器對於雜訊貢獻較多，

第一級放大器的電晶體被設計為具有較大尺寸(或寬長比)以降低雜訊。然而，電流鏡在尺寸較大時會具有顯著的寄生元件，使得這種設置方式會降低電壓調整器的相位邊限，進而使得電壓調整器的輸出電壓容易有振鈴現象。

【0026】 相較之下，第 2 圖的誤差放大電路 200 將電流鏡(第十一電晶體 M11 和第十二電晶體 M12)設置在第二級放大器 220。第二級放大器 220 對於輸入參照雜訊(input-referred noise)之貢獻遠小於第一級放大器 210，因而第二級放大器 220 中的電晶體即使設計為具有相當小的尺寸也不會增加雜訊。如此一來，電流鏡的尺寸得以縮小以減少寄生元件，進而有助於提升第 1A 圖的電壓調整器 100A 和第 1B 圖的電壓調整器 100B 的相位邊限以抑制振鈴現象。

【0027】 第 4 圖為先前技術的電壓調整器的頻率響應曲線，其對應於將電流鏡設置於第一級放大器中的電壓調整器。第 5 圖為依據本揭示文件一實施例的電壓調整器 100A 的頻率響應曲線。相位邊限的定義為增益為 0dB 時，輸出訊號的相位與-180°之間的差異。第 4 圖的實施例的相位邊限約為 230°，第 5 圖的實施例的相位邊限約為 260°，故電壓調整器 100A 的相位邊限相較於先前技術提升了約 30°。第 1B 圖的電壓調整器 100B 相似於電壓調整器 100A，也具有寬相位邊限的優點，為簡潔起見，在此不重複贅述。

【0028】 第 6 圖為依據本揭示文件一實施例的誤差放大電

路600的示意圖。誤差放大電路600可用於實現第1A圖和第1B圖的誤差放大電路110，且包含第一級放大器210、第二級放大器220與緩衝電路630。第一級放大器210和第二級放大器220的電路結構與運作相似於前述配合第2～3圖說明的內容，為簡潔起見，在此不重複贅述。

【0029】 緩衝電路630耦接於增益節點Ng，並用於調整誤差放大訊號Vea而產生調整後誤差放大訊號Vea’。在一實施例中，前述調整可以是緩衝電路630對誤差放大訊號Vea施加單位增益或更高的增益。在此情況下，調整後誤差放大訊號Vea’作為輸出控制訊號Vad被提供至第1圖的輸出級電路120。在結構上，緩衝電路630包含第十五電晶體M15、第五電流源Se和第六電流源Sf。第五電流源Se耦接於第一電源端PD1和驅動節點Nd之間，其中驅動節點Nd用於提供調整後誤差放大訊號Vea’。第六電流源Sf耦接於第二電源端PD2，第十五電晶體M15則耦接於驅動節點Nd和第六電流源Sf之間，且第十五電晶體M15的控制端用於接收誤差放大訊號Vea。在一些實施例中，第十五電晶體M15可以由P型MOS場效電晶體來實現。

【0030】 值得一提的是，緩衝電路630會使電壓調整器100A和100B的頻率響應曲線中的極點進一步往高頻移動，因而有助於進一步提高電壓調整器100A和100B的相位邊限。

【0031】 第7圖為依據本揭示文件一實施例的誤差放大電

路700的示意圖。誤差放大電路700可用於實現第1A圖和第1B圖的誤差放大電路110，且包含第一級放大器710、第二級放大器720與緩衝電路730。第一級放大器710相似於第2圖的第一級放大器210，差異在於，第一級放大器710的第一電流源Sa包含第十六電晶體M16，且第十六電晶體M16耦接於第一電源端PD1和全差動放大電路212之間。第二級放大器720相似於第2圖的第二級放大器220，差異在於，第二級放大器720的第四電流源Sd包含第十七電晶體M17，且第十七電晶體M17耦接於差動至單端放大電路222和第二電源端PD2之間。緩衝電路730相似於第6圖的緩衝電路630，差異在於，緩衝電路730的第五電流源Se和第六電流源Sf分別包含第十八電晶體M18和第十九電晶體M19。第十八電晶體M18耦接於第一電源端PD1和驅動節點Nd之間，第十九電晶體M19則耦接於第十五電晶體M15和第二電源端PD2之間。在一實施例中，第十六電晶體M16的控制端和第十八電晶體M18的控制端用於接收相同的第一偏置訊號Vb1，而第十七電晶體M17的控制端和第十九電晶體M19的控制端用於接收相同的第二偏置訊號Vb2。

【0032】 在一些實施例中，第十六電晶體M16和第十八電晶體M18可以由P型MOS場效電晶體來實現，而第十七電晶體M17和第十九電晶體M19可以由N型MOS場效電晶體來實現。

【0033】 第8圖為依據本揭示文件一實施例的訊號放大電

路800的功能方塊圖。訊號放大電路800是通用型訊號放大電路，且包含誤差放大電路110和輸出級電路120。誤差放大電路110用於放大第一輸入訊號Vi1和第二輸入訊號Vi2的差值而產生輸出控制訊號Vad。輸出級電路120耦接於第一電源端PD1和輸出節點Nout之間，並用於依據輸出控制訊號Vad轉換第一電源端PD1的輸入電源VDD，以在輸出節點Nout提供輸出訊號Vout。輸出級電路120包含開關Mp，開關Mp耦接於第一電源端PD1和輸出節點Nout之間，且其控制端用於接收輸出控制訊號Vad。第8圖的誤差放大電路110可以由第2、6或7圖中的誤差放大電路200、600或700來實現。在此情況下，第一級放大器(例如第一級放大器210或710)的第一輸入端Ia1和第二輸入端Ia2分別用於接收第一輸入訊號Vi1和第二輸入訊號Vi2。第8圖的誤差放大電路110中其餘對應的元件、連接方式和運作，皆相似於前述配合第2、6或7圖說明之內容，為簡潔起見，在此不重複贅述。

【0034】 在說明書及申請專利範圍中使用了某些詞彙來指稱特定的元件。然而，所屬技術領域中具有通常知識者應可理解，同樣的元件可能會用不同的名詞來稱呼。說明書及申請專利範圍並不以名稱的差異做為區分元件的方式，而是以元件在功能上的差異來做為區分的基準。在說明書及申請專利範圍所提及的「包含」為開放式的用語，故應解釋成「包含但不限定於」。另外，「耦接」在此包含任何直接及間接的連接手段。因此，若文中描述第一元件耦

接於第二元件，則代表第一元件可通過電性連接或無線傳輸、光學傳輸等信號連接方式而直接地連接於第二元件，或者通過其他元件或連接手段間接地電性或信號連接至該第二元件。

【0035】 另外，除非說明書中特別指明，否則任何單數格的用語都同時包含複數格的涵義。

【0036】 以上僅為本揭示文件的較佳實施例，凡依本揭示文件請求項所做的均等變化與修飾，皆應屬本揭示文件的涵蓋範圍。

【符號說明】

【0037】

100A,100B：電壓調整器

110：誤差放大電路

120：輸出級電路

130A,130B：輸出回授路徑

200,600,700：誤差放大電路

210,710：第一級放大器

212：全差動放大電路

214：共模回授電路

220,720：第二級放大器

222：差動至單端放大電路

310：第一放大電路

320：第二放大電路

630,730：緩衝電路

800：訊號放大電路

Ia1,Ib1：第一輸入端

Ia2,Ib2：第二輸入端

Sa：第一電流源

Sb：第二電流源

Sc：第三電流源

Sd：第四電流源

Se：第五電流源

Sf：第六電流源

M1：第一電晶體

M2：第二電晶體

M3：第三電晶體

M4：第四電晶體

M5：第五電晶體

M6：第六電晶體

M7：第七電晶體

M8：第八電晶體

M9：第九電晶體

M10：第十電晶體

M11：第十一電晶體

M12：第十二電晶體

M13：第十三電晶體

M14：第十四電晶體

M15：第十五電晶體

M16：第十六電晶體

M17：第十七電晶體

M18：第十八電晶體

M19：第十九電晶體

Vref：參考訊號

Vofb：輸出回授訊號

Vad：輸出控制訊號

Vb1：第一偏置訊號

Vb2：第二偏置訊號

Vout：輸出訊號

VDD：輸入電源

Vdf1：第一差動訊號

Vdf2：第二差動訊號

Vea：誤差放大訊號

Vea'：調整後誤差放大訊號

Vcmfb：共模回授訊號

Vccm：共模控制訊號

Vi1：第一輸入訊號

Vi2：第二輸入訊號

Io1：第一輸出電流

Io2：第二輸出電流

NFP：負回授路徑

Mp：開關

Nout：輸出節點

Ndf1：第一差動節點

Ndf2：第二差動節點

Nnp：反相節點

Ng：增益節點

N1：第一節點

N2：第二節點

N3：第三節點

N4：第四節點

PD1：第一電源端

PD2：第二電源端

R1，R2：分壓電阻

【發明申請專利範圍】

【請求項1】一種電壓調整器，包含：

一誤差放大電路，包含：

一第一級放大器，用於放大一輸出回授訊號和一參考訊號之差值而產生一第一差動訊號和一第二差動訊號；以及

一第二級放大器，用於放大該第一差動訊號和該第二差動訊號之差值以產生一輸出控制訊號；

一輸出級電路，耦接於一第一電源端且包含一開關，其中該開關用於依據該輸出控制訊號於一輸出節點產生一輸出訊號；以及

一輸出回授路徑，耦接於該輸出節點與該誤差放大電路，用於依據該輸出訊號產生該輸出回授訊號，

其中，該第一級放大器包含：

一第一電流源，耦接於該第一電源端；

一全差動放大電路，耦接於該第一電流源和一第二電源端之間，用於放大該輸出回授訊號和該參考訊號之差值以輸出該第一差動訊號和該第二差動訊號；以及

一共模回授電路，用於依據該第一差動訊號和該第二差動訊號提供一共模回授訊號至該全差動放大電路以穩定該第一差動訊號和該第二差動訊號的一直流共模電壓，

其中，該共模回授電路包含：

一第一放大電路，用於放大該第一差動訊號與一共模

控制訊號的差異以產生一第一輸出電流；以及

一第二放大電路，用於放大該第二差動訊號與該共模控制訊號的差異以產生一第二輸出電流，

其中該共模回授電路用於依據該第一輸出電流和該第二輸出電流產生該共模回授訊號。

【請求項2】如請求項1所述之電壓調整器，其中，該全差動放大電路包含：

一第一電晶體，耦接於該第一電流源和一第一差動節點之間，用於由該輸出回授訊號控制而於該第一差動節點產生該第一差動訊號；

一第二電晶體，耦接於該第一電流源和一第二差動節點之間，用於由該參考訊號控制而於該第二差動節點產生該第二差動訊號；

一第三電晶體，耦接於該第一差動節點和該第二電源端之間，且由該共模回授訊號控制；以及

一第四電晶體，耦接於該第二差動節點和該第二電源端之間，且由該共模回授訊號控制。

【請求項3】如請求項1所述之電壓調整器，其中，該第一放大電路包含：

一第二電流源，耦接於該第一電源端；

一第五電晶體，耦接於該第二電流源和一第一節點之間，且由該第一差動訊號控制；

一第六電晶體，耦接於該第二電流源和一第二節點之間，用於在該共模控制訊號的控制下提供該第一輸出電流至該第二節點；

一第七電晶體，其中該第七電晶體的一第一端和一控制端耦接於該第一節點和一第三節點，該第七電晶體的一第二端耦接於該第二電源端；以及

一第八電晶體，其中該第八電晶體的一第一端和一控制端耦接於該第二節點和一第四節點，且該第八電晶體的一第二端耦接於該第二電源端，

其中，該第二放大電路包含：

一第三電流源，耦接於該第一電源端；

該第七電晶體；

該第八電晶體；

一第九電晶體，耦接於該第三電流源和該第四節點之間，用於在該共模控制訊號的控制下提供該第二輸出電流至該第四節點；以及

一第十電晶體，耦接於該第三電流源和該第三節點之間，且由該第二差動訊號控制。

【請求項 4】如請求項 1 所述之電壓調整器，其中，該第二級放大器包含：

一差動至單端放大電路，耦接於該第一電源端，用於放大該第一差動訊號和該第二差動訊號之差值以輸出一誤差放大訊號，其中該電壓調整器依據該誤差放大訊號產生該

輸出控制訊號；以及

一第四電流源，耦接於該差動至單端放大電路和該第二電源端之間。

【請求項5】如請求項4所述之電壓調整器，其中，該差動至單端放大電路包含：

一第十一電晶體，耦接於該第一電源端和一反相節點之間；

一第十二電晶體，耦接於該第一電源端和一增益節點之間，其中該增益節點用於提供該誤差放大訊號，該第十一電晶體的一控制端和該第十二電晶體的一控制端耦接於該反相節點；

一第十三電晶體，耦接於該反相節點和該第四電流源之間，且由該第二差動訊號控制；以及

一第十四電晶體，耦接於該增益節點和該第四電流源之間，且由該第一差動訊號控制。

【請求項6】如請求項1所述之電壓調整器，其中，該輸出回授路徑包含：

一第一分壓電阻，用於接收該輸出訊號；以及

一第二分壓電阻，串聯耦接於該第一分壓電阻，其中該第一分壓電阻和該第二分壓電阻用於分壓該輸出訊號以產生該輸出回授訊號。

【請求項7】如請求項1所述之電壓調整器，其中，該輸出回授路徑用於將該輸出訊號作為該輸出回授訊號傳遞至該誤差放大電路。

【請求項8】一種訊號放大電路，包含：

一誤差放大電路，包含：

一第一級放大器，用於放大一第一輸入訊號和一第二輸入訊號之差值而產生一第一差動訊號和一第二差動訊號；以及

一第二級放大器，用於放大該第一差動訊號和該第二差動訊號之差值以產生一輸出控制訊號；以及

一輸出級電路，耦接於一第一電源端且包含一開關，其中該開關用於依據該輸出控制訊號於一輸出節點產生一輸出訊號，

其中，該第一級放大器包含：

一第一電流源，耦接於該第一電源端；

一全差動放大電路，耦接於該第一電流源和一第二電源端之間，用於放大該第一輸入訊號和該第二輸入訊號之差值以輸出該第一差動訊號和該第二差動訊號；以及

一共模回授電路，用於依據該第一差動訊號和該第二差動訊號提供一共模回授訊號至該全差動放大電路以穩定該第一差動訊號和該第二差動訊號的一直流共模電壓，

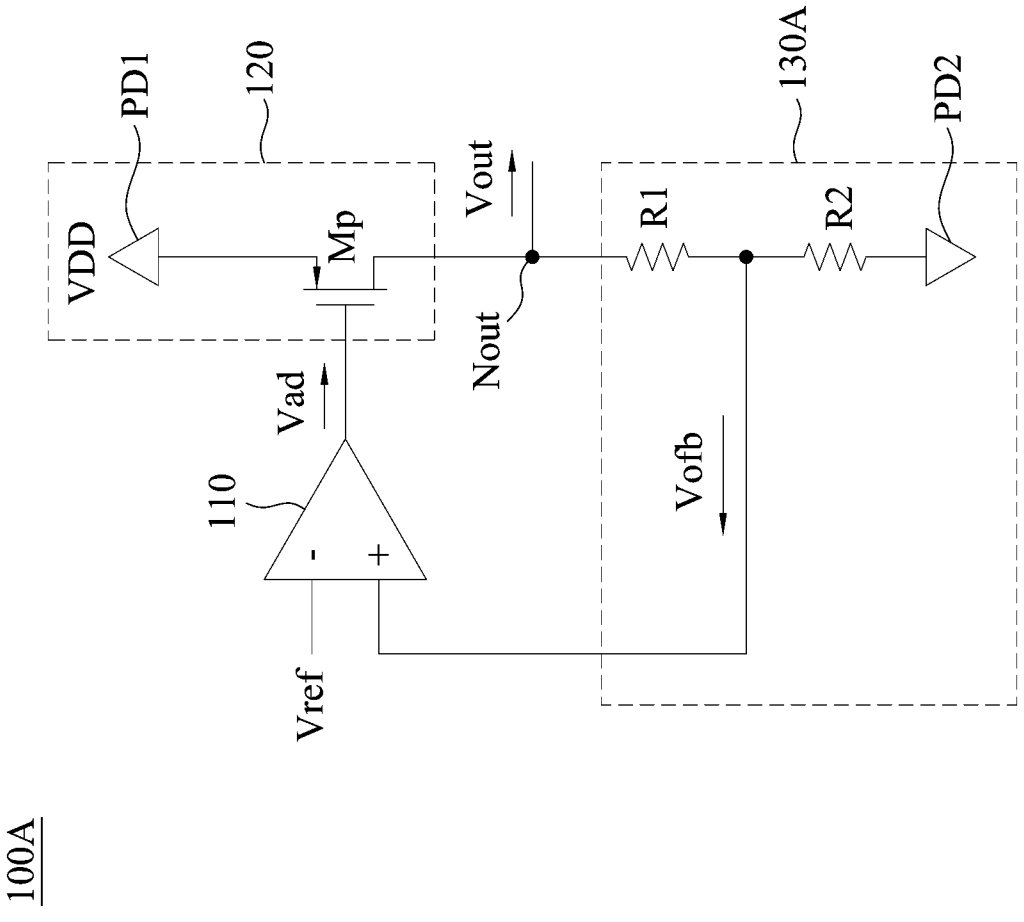
其中，該共模回授電路包含：

一第一放大電路，用於放大該第一差動訊號與一共模控制訊號的差異以產生一第一輸出電流；以及

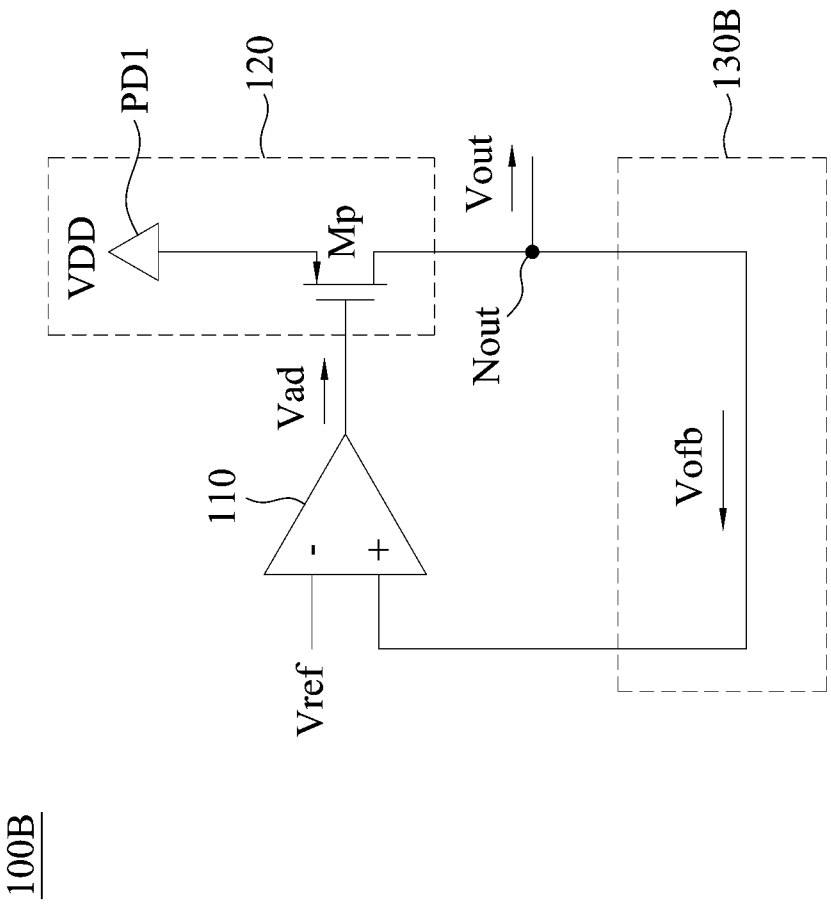
一第二放大電路，用於放大該第二差動訊號與該共模控制訊號的差異以產生一第二輸出電流，

其中該共模回授電路用於依據該第一輸出電流和該第二輸出電流產生該共模回授訊號。

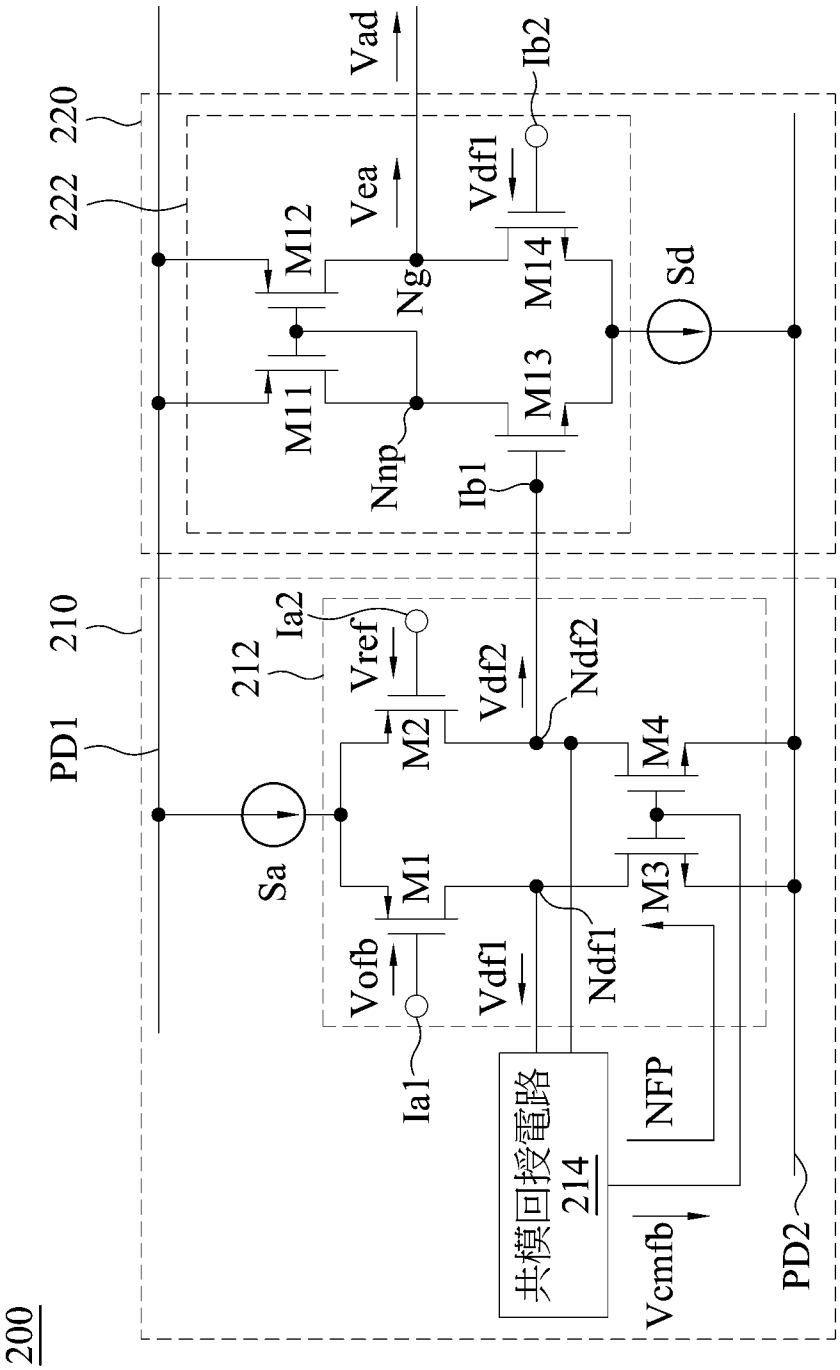
【發明圖式】



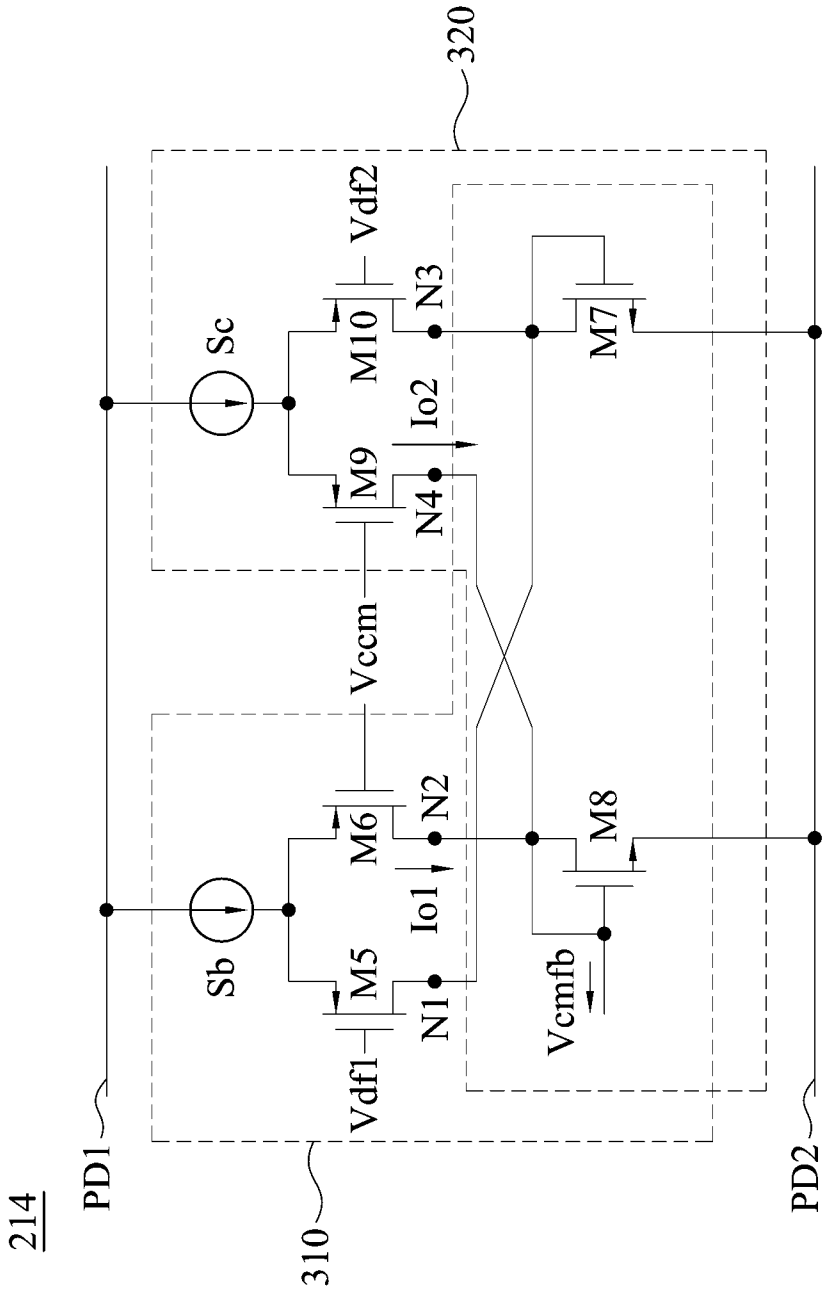
第 1A 圖



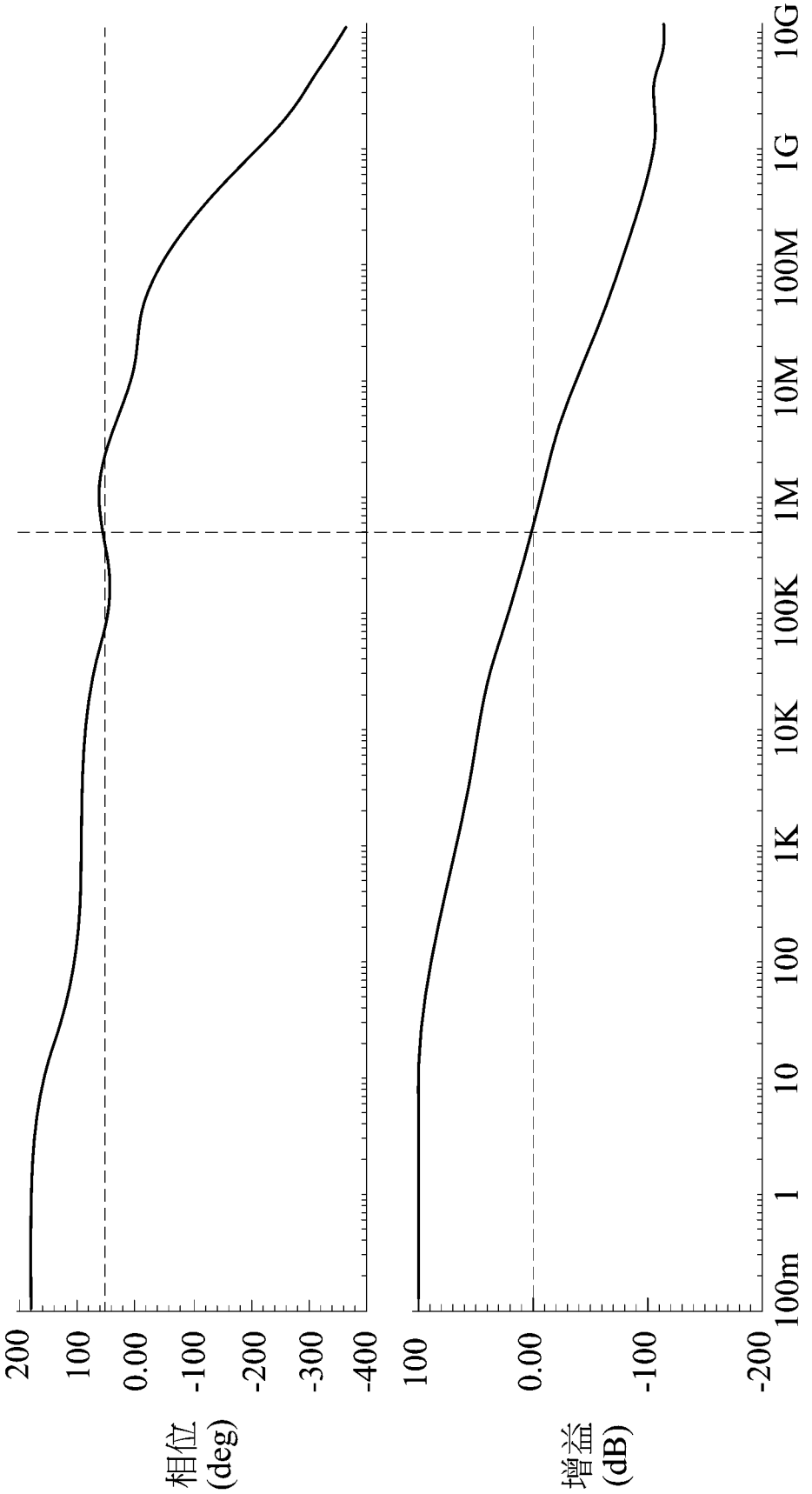
第 1B 圖


200
PD1
210
212
Ia2
Vref
M2
Vdf2
Ndf2
M4
Sa
M1
M3
Vofb
Vdf1
Ndf1
Ia1
共模回授電路
214
NFP
Vcmfb
PD2
220
222
Vad
Ib2
Vea
Vdf1
M12
M14
Sd
Ng
M11
M13
Nnp
Ib1

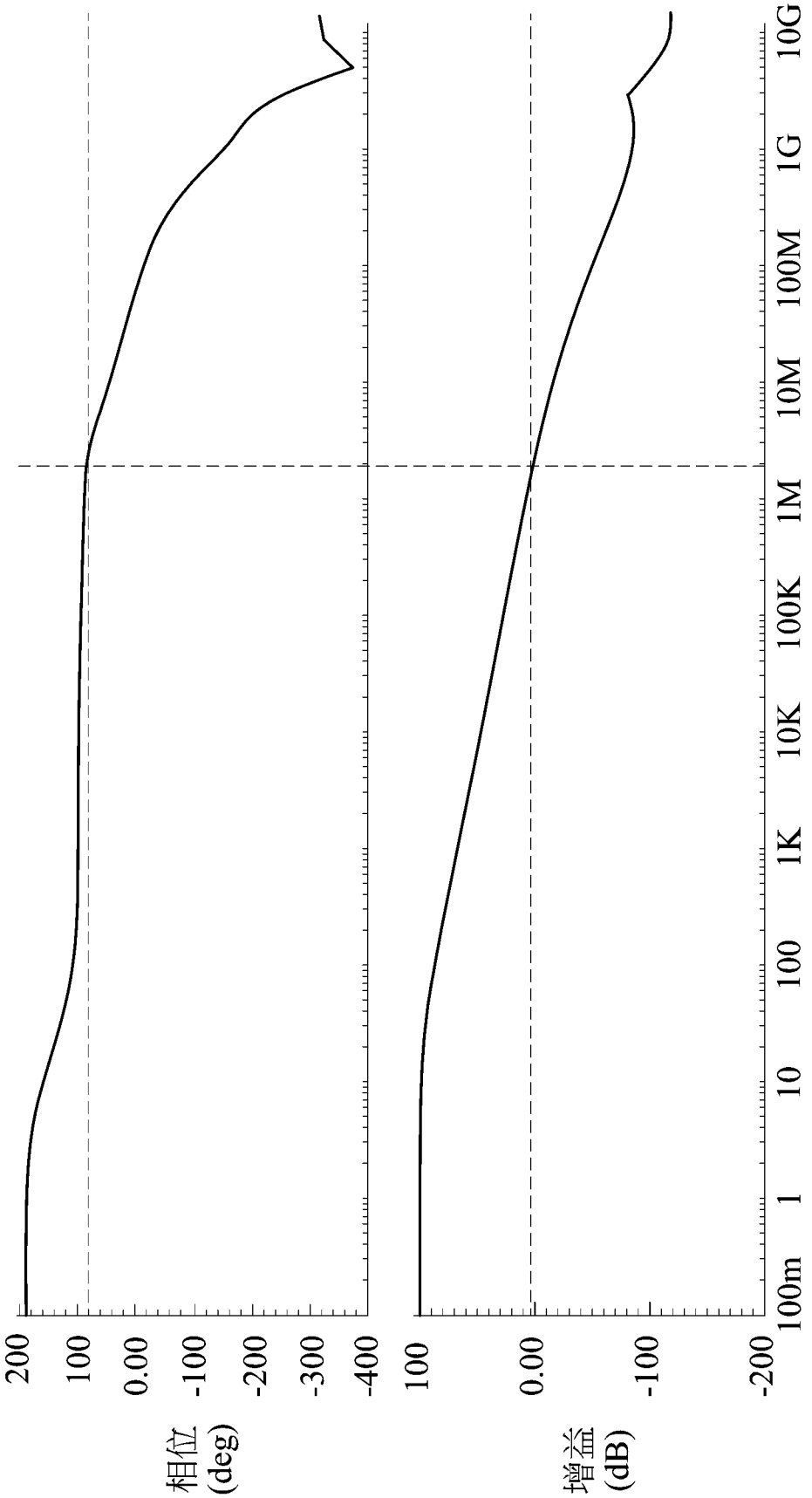
第 2 圖


214
PD1
310
320
Vdf1
M5
N1
Sb
Io1
M6
N2
Vccm
M9
N4
Sc
Io2
M10
N3
Vdf2
Vcmfb
M8
M7
PD2

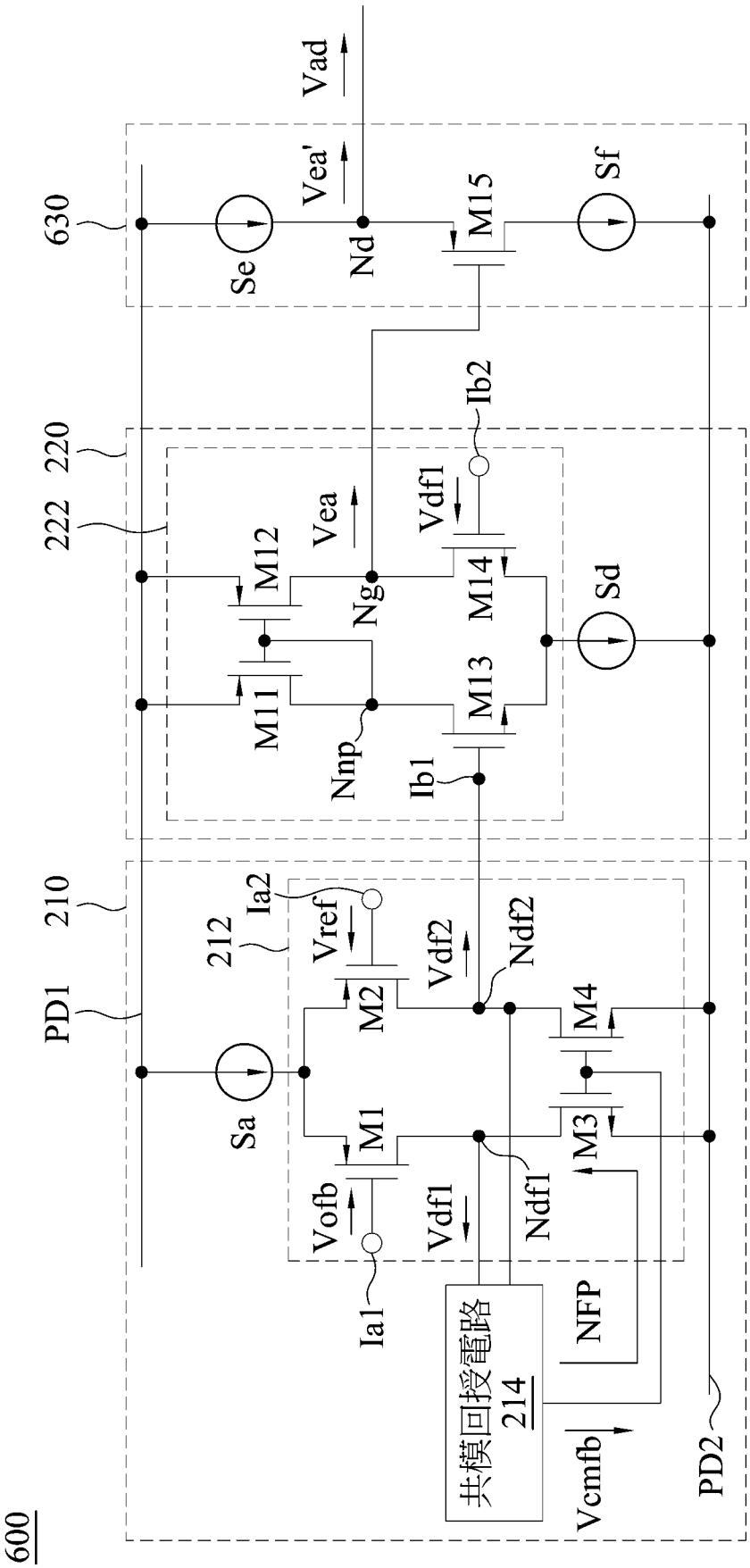
第 3 圖


200
100
0.00
-100
-200
-300
-400
相位
(deg)
100
0.00
-100
-200
增益
(dB)
100m
1
10
100
1K
10K
100K
1M
10M
100M
1G
10G
頻率(Hz)

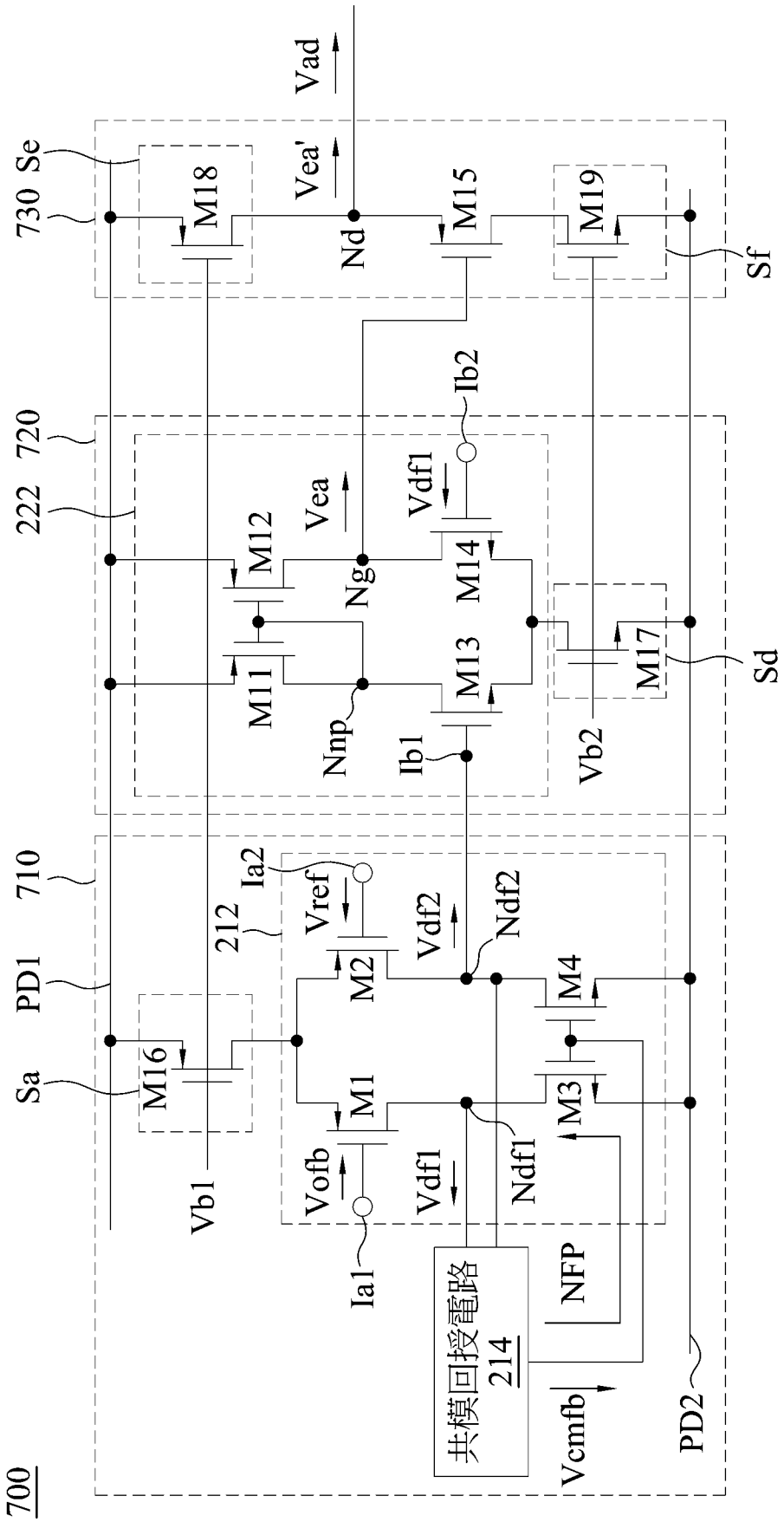
第 4 圖


200
100
0.00
-100
-200
-300
-400
相位
(deg)
100
0.00
-100
-200
增益
(dB)
100m
1
10
100
1K
10K
100K
1M
10M
100M
1G
10G
頻率(Hz)

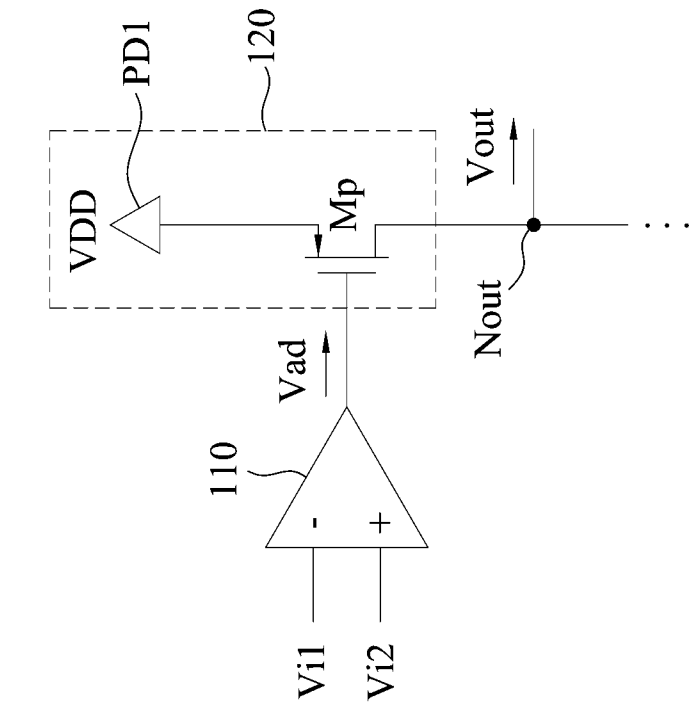
第 5 圖


600
PD1
210
212
Ia2
Vref
M2
Vdf2
Ndf2
M4
Sa
M1
M3
Vofb
Vdf1
Ndf1
Ia1
共模回授電路
214
NFP
Vcmfb
PD2
222
220
M12
Vea
Vdf1
Ib2
M14
Ng
Sd
M11
M13
Nnp
Ib1
630
Se
Vea'
Nd
M15
Sf
Vad

第 6 圖


700
730
Se
M18
Vad
Vea'
Nd
M15
M19
Sf
720
222
Ib2
Vdf1
Vea
M12
M14
Ng
M11
M13
Nnp
Ib1
Vb2
M17
Sd
710
PD1
212
Ia2
Vref
Vdf2
Ndf2
M2
M4
Sa
M16
M1
M3
Vofb
Vdf1
Ndf1
Vb1
Ia1
共模回授電路
214
NFP
Vcmfb
PD2

第 7 圖



第 8 圖