(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。Int. Cl.[7]
H01L 21/28

(45) 공고일자 2004년06월05일
(11) 등록번호 10-0434511
(24) 등록일자 2004년05월25일

(21) 출원번호 10-2002-0047588
(22) 출원일자 2002년08월12일
(65) 공개번호 10-2004-0014840
(43) 공개일자 2004년02월18일

(73) 특허권자 삼성전자주식회사
경기도 수원시 영통구 매탄동 416

(72) 발명자 박제민
경기도수원시팔달구매탄동810-4성일아파트206-702

(74) 대리인 이영필

심사관 : 김종찬

(54) 다마신 배선을 이용한 반도체 소자의 제조방법

요약

배선과 콘택홀의 오정렬 마진을 확보할 수 있는 반도체 소자의 제조방법을 개시한다. 본 발명에서는, 다마신 배선들을 형성할 홈들을 정의하는 몰드용 절연막 패턴들을 형성한 다음 절연막 패턴들 사이에 제1 콘택홀들을 식각하고 나서, 제1 콘택홀들과 홈들을 동시에 도전물질로 매립한다. 에치백을 수행하여 도전물질을 홈들 안으로 밀어 넣으면서 절연막 패턴들도 식각하여, 다마신 배선들을 형성하는 동시에 제2 콘택홀들이 형성될 영역만 절연막 패턴들로 덮어둔다. 절연막 패턴들과 나란한 높이로 마스크막을 채운 다음, 마스크막에 대하여 절연막 패턴들을 선택적으로 제거함으로써 배선들과 자동으로 정렬되는 위치에 제2 콘택홀들을 형성한다. 포토리소그래피 공정에 의하지 않고 제2 콘택홀들을 형성하므로, 공정 마진을 고려하지 않아도 제2 콘택홀들을 제 위치에 정확하게 정렬하여 형성할 수 있다.

대표도

도 3d

명세서

도면의 간단한 설명

도 1은 본 발명의 실시예에서 구현하려고 하는 DRAM 셀의 레이아웃이다.
도 2a, 도 3a, 도 4a, 도 5a, 도 6a, 도 7a 및 도 8a는 도 1의 a-a' 단면에 대응되는 것으로, 본 발명의 실시예에 따른 반도체 소자의 제조방법의 공정을 순차적으로 보여주는 단면도들이다.
도 2b, 도 3b, 도 4b, 도 5b 및 도 6b는 도 1의 b-b' 단면에 대응되는 것으로, 본 발명의 실시예에 따른 반도체 소자의 제조방법의 공정을 순차적으로 보여주는 단면도들이다.
도 2c, 도 3c, 도 4c, 도 5c 및 도 6c는 도 1의 c-c' 단면에 대응되는 것으로, 본 발명의 실시예에 따른 반도체 소자의 제조방법의 공정을 순차적으로 보여주는 단면도들이다.
도 3d는 도 3a 내지 도 3c의 상면도이다.
도 4d는 도 4a 내지 도 4c의 상면도이다.
도 5d는 도 5a 내지 도 5c의 상면도이다.

도 6d는 도 6a 내지 도 6c의 상면도이다.
도 7b는 도 7a의 상면도이다.
도 8b는 도 8a의 상면도이다.
<도면의 주요 부분에 대한 부호의 설명>
105...기판 120...게이트 스택
125a...소오스 125b...드레인
130...제1 산화막 135a...제1 셀패드
135b...제2 셀패드 140...제2 산화막
142...식각저지막 144...비트라인 콘택홀
145...비트라인 콘택플러그 150...제3 산화막
150a, 150b, 150c...산화막 패턴 170...비트라인
176...마스크막 192...스토리지 노드 콘택홀
195...스토리지 노드 콘택플러그

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체 소자 제조방법에 관한 것으로, 보다 상세하게는 다마신 배선을 형성함으로써 포토리소그래피 공정에 의하지 않고 콘택홀을 형성하여 반도체 소자를 제조하는 방법에 관한 것이다.
잘 알려진 바와 같이, 지금까지의 반도체 공정은 원하는 패턴을 구현하기 위하여 포토리소그래피 공정을 이용하여 왔다. 그러나, 디자인 룰이 감소함에 따라 포토리소그래피 공정에서의 정렬 여유도(alignment margin)도 감소하여, 포토리소 그래피로 원하는 패턴을 형성하기는 점점 더 어려워지고 있다.
DRAM과 같은 반도체 소자의 비트라인을 형성할 때에도 이러한 어려움이 있다. 예를 들어, 비트라인 크기가 100nm라고 가정하고 오정렬 마진 40nm를 고려하면 스토리지 노드 콘택홀의 크기는 40nm가 되어야 한다. 이 정도는 노광장비의 한계이기 때문에 콘택 패턴을 형성하지 못한다. 그렇다고 스토리지 노드 콘택홀의 크기를 증가시키면 오정렬 마진을 그만큼 손해봐야 하므로 스토리지 노드 콘택플러그와 비트라인간의 단락에 취약한 공정이 된다.
따라서, 비트라인과 스토리지 노드 콘택홀을 형성할 때, 나아가 어떤 임의의 배선과 그 옆을 지나는 콘택홀을 형성할 때에, 포토리소그래피 공정의 한계 극복 및 오정렬 마진의 확보가 보다 중요한 문제로 대두되고 있다.

발명이 이루고자 하는 기술적 과제

본 발명이 이루고자 하는 기술적 과제는, 어떤 배선과 콘택홀을 형성하는 데에 있어서, 오정렬 마진을 충분히 확보할 수 있는 반도체 소자의 제조방법을 제공하는 것이다.
본 발명이 이루고자 하는 다른 기술적 과제는, DRAM의 비트라인과 스토리지 노드 콘택홀을 형성하는 데에 있어서, 오정렬 마진을 충분히 확보할 수 있는 반도체 소자의 제조방법을 제공하는 것이다.

발명의 구성 및 작용

상기 기술적 과제를 달성하기 위하여, 본 발명에 따른 반도체 소자 제조방법에서는, 기판 상에 하부절연막과 상부절연막을 순차 적층한 다음, 상기 상부절연막 을 식각함으로써 서로 평행한 다마신 배선들을 형성하기 위한 몰드용 절연막 패턴들을 형성한다. 이 때, 각 절연막 패턴은 제1 폭을 갖도록 형성한다. 다음에, 상기 절연막 패턴들 사이의 하부절연막을 소정 부분 식각하여 제1 콘택홀들을 형성하면서, 상기 제1 콘택홀들 양측 절연막 패턴들의 측벽 일부 높이도 식각한다. 이에 따라, 상기 절연막 패턴들은 제1 폭보다 좁은 제2 폭 부분들도 갖게 된다. 상기 제1 콘택홀들을 도전물질로 채워 제1 콘택플러그들을 형성하면서 상기 절연막 패턴들 사이에도 도전물질을 일부 높이 매립하여 다마신 배선들을 형성하고, 상기 절연막 패턴들에서 제1 폭인 부분만 상기 배선들보다 위쪽에 남도록 상기 배선들 위쪽의 절연막 패턴들을 식각한다. 계속하여, 상기 배선들 위로 마스크막을 덮고 앞의 단계에서 남겨진 절연막 패턴들의 상면이 드러날 때까지 평탄화시킨다. 상기 마스크막에 대하여, 상기 남겨진 절연막 패턴들과 그 아래의 하부절연막을 선택적으로 제거함으로써, 상기 남겨진 절연막 패턴들이 있던 자리에 상기 배선들과 자동으로 정렬된 제2 콘택홀들을 형성한다. 상기 제2 콘택홀들에 도전물질을 채워 제2 콘택플러그들을 형성한다.
위와 같은 방법에 의하면, 포토리소그래피에 의하지 않고 제2 콘택홀들을 형성할 수 있으므로, 공정 마진을 고려하지 않아도 제2 콘택홀들을 제 위치에 정확하게 정렬하여 형성할 수 있다.
상기 다른 기술적 과제를 달성하기 위하여, 본 발명에 따른 다른 반도체 소자 제조방법에서는, 비트라인을 다마신 방법으로 형성하면서 스토리지 노드 콘택홀의 영역을 미리 확보하는 방법으로, 포토리소그래피에 의하지 않고 스토리지

노드 콘택홀을 형성한다. 이 방법에서는, 기판 상에 게이트 절연막, 게이트 도전층 및 캡핑막의 적층체와 그 측벽을 둘러싸는 게이트 스페이서를 포함하는 게이트 스택들과, 소오스/드레인들을 형성한다. 상기 게이트 스택들 사이의 공간을 채우는 제1 산화막을 덮고 평탄화시킨다. 상기 제1 산화막을 관통하여 상기 각 소오스에 연결되는 제1 셀패드들과 상기 각 드레인에 연결되는 제2 셀패드들을 형성한다. 상기 제1 산화막과 제1 및 제2 셀패드들 상에 제2 산화막을 형성한다. 상기 제2 산화막 상에 식각저지막과 제3 산화막을 순차 적층한 다음, 상기 제3 산화막을 식각함으로써 상기 제2 산화막 상에 서로 평행한 다마신 비트라인들을 형성하기 위한 몰드용 산화막 패턴들을 형성한다. 여기서, 각 산화막 패턴은 제1 폭을 갖도록 형성한다. 다음에, 상기 산화막 패턴들 사이의 식각저지막과 제2 산화막을 소정 부분 식각하여 상기 각 제2 셀패드 상면을 노출시키는 비트라인 콘택홀들을 형성하면서, 상기 비트라인 콘택홀들 양측 산화막 패턴들의 측벽 일부 높이도 식각하여 상기 산화막 패턴들이 제1 폭보다 좁은 제2 폭 부분들을 갖도록 만든다. 상기 비트라인 콘택홀들을 도전물질로 채워 비트라인 콘택플러그들을 형성하면서 상기 산화막 패턴들 사이에도 도전물질을 일부 높이 매립하여 상기 비트라인 콘택플러그들 상부에 다마신 비트라인들을 형성하고, 상기 산화막 패턴들에서 제1 폭인 부분만 상기 비트라인들보다 위쪽에 남도록 상기 비트라인들 위쪽의 산화막 패턴들을 식각한다. 상기 비트라인들 위로 마스크막을 덮고 앞의 단계 이후 남겨진 산화막 패턴들의 상면이 드러날 때까지 평탄화시킨다. 상기 마스크막에 대하여 선택적으로, 상기 남겨진 산화막 패턴들과 그 아래의 식각저지막과 제2 산화막을 제거하여 상기 제1 셀패드들 상면 을 노출시킴으로써, 상기 남겨진 산화막 패턴들이 있던 자리에 상기 비트라인들과 자동으로 정렬된 스토리지 노드 콘택홀들을 형성하고 나서, 상기 스토리지 노드 콘택홀들에 도전물질을 채워 스토리지 노드 콘택플러그들을 형성한다.
여기서, 상기 마스크막은 상기 제3 산화막 및 제2 산화막과 식각선택비가 있는 막질로 형성하는 것이 바람직한데, 예컨대 질화막 또는 산화질화막으로 형성하는 것이 바람직하다.
상기 마스크막을 평탄화시키는 단계는 에치백 또는 CMP(Chemical Mechanical Polishing)를 이용할 수 있고, 상기 제3 산화막의 두께는 500 내지 6000Å가 되도록 형성하며, 상기 식각저지막의 두께는 10 내지 500Å가 되도록 형성할 수 있다.
위와 같은 방법에 의하면, 다마신법으로 비트라인들을 형성하면서 스토리지 노드 콘택홀들이 형성될 영역을 비교적 오정렬 문제없이 미리 확보한 다음에, 확보하여 둔 영역에 비트라인들과 자기정렬적으로 스토리지 노드 콘택홀들을 형성한다. 비트라인들을 형성한 다음에 포토리소그래피에 의하여 스토리지 노드 콘택홀들을 형성하는 경우보다 스토리지 노드 콘택홀들을 원하는 위치에 정확하게 정렬하여 형성할 수 있다. 따라서, 비트라인과 스토리지 노드 콘택플러그간에 단락될 염려없이 반도체 소자를 제조할 수 있다.
이하, 첨부한 도면들을 참조하여 본 발명의 바람직한 실시예를 설명한다. 그러나, 본 발명의 실시예는 여러 가지 다른 형태로 변형될 수 있으며, 본 발명의 범위가 아래에서 상술하는 실시예로 인해 한정되어지는 것으로 해석되어져서는 안된다. 본 발명의 실시예는 당업계에서 평균적인 지식을 가진 자에게 본 발명을 보다 완전하게 설명하기 위해서 제공되어지는 것이다. 도면에서의 요소의 형상 등은 보다 명확한 설명을 강조하기 위해서 과장되어진 것이며, 도면 상에서 동일한 부호로 표시된 요소는 동일한 요소를 의미한다.
본 실시예에서는 DRAM의 비트라인을 다마신법으로 형성한 다음 스토리지 노드 콘택홀을 형성하는 경우를 설명한다. 도 1은 본 발명의 실시예에서 구현하려고 하는 DRAM 셀의 레이아웃이다. 도 2a, 도 3a, 도 4a, 도 5a, 도 6a, 도 7a 및 도 8a는 도 1의 a-a' 단면에 대응되는 것으로, 본 발명의 실시예에 따른 반도체 소자의 제조방법의 공정을 순차적으로 보여주는 단면도들이다. 도 2b, 도 3b, 도 4b, 도 5b 및 도 6b는 도 1의 b-b' 단면에 대응되고, 도 2c, 도 3c, 도 4c, 도 5c 및 도 6c는 도 1의 c-c' 단면에 대응된다. 도 3d는 도 3a 내지 도 3c의 상면도이고, 도 4d는 도 4a 내지 도 4c의 상면도이고, 도 5d는 도 5a 내지 도 5c의 상면도이고, 도 6d는 도 6a 내지 도 6c의 상면도이고, 도 7b는 도 7a의 상면도이며, 도 8b는 도 8a의 상면도이다.
우선 도 1의 레이아웃을 살펴보면, 단축과 장축을 갖는 활성영역(115)들이 기판 상에 행 및 열을 따라 반복적으로 배치되어 있다. 활성영역(115) 이외의 부분은 절연물질로 이루어진 소자분리막(110)이다. 활성영역(115)의 단축 방향으로 신장하는 게이트 스택(120)들이 활성영역(115)과 직교하며 활성영역(115)당 두 개씩 배치된다. 게이트 스택(120) 양측의 활성영역(115)에는 소오스(125a)/드레인(125b)이 형성된다. 소오스(125a)/드레인(125b)에는 각각 셀패드(135a, 135b)에 의한 콘택영역이 마련된다. 드레인(125b)에 접하는 셀패드(135b) 위에는 비트라인 콘택플 러그(145)가 형성되고, 비트라인 콘택플러그(145)들 위로는 게이트 스택(120) 연장 방향에 수직하게 비트라인(170)이 배치된다. 소오스(125a)에 접하는 셀패드(135a) 위에는 스토리지 노드 콘택플러그(195)에 의한 콘택영역이 마련된다.
이제 도 2a 내지 도 2c를 참조하면, 실리콘 단결정과 같은 기판(105) 상에 도 1에서와 같은 활성영역(115)들을 한정하는 소자분리막(110)을 STI(Shallow Trench Isolation) 방법 등으로 형성한다. 소자분리막(110)이 형성된 기판(105) 상에 게이트 스택(120)들과 소오스(125a)/드레인(125b)들을 형성한다.
먼저 게이트 스택(120)은 게이트 절연막(112), 게이트 도전층(114) 및 캡핑막(116)을 형성하고 이를 패터닝한 다음, 그 측벽에 게이트 스페이서(118)를 형성하여 얻어진다. 게이트 도전층(114)은 폴리실리콘 상에 실리사이드가 증착된 폴리사이드 구조로 형성할 수 있다. 캡핑막(116) 및 게이트 스페이서(118)는 질화막으로 형성할 수 있다. 다음에, 게이트 스택(120) 양측의 기판(105) 내에 불순물을 이온주입하여, 소오스(125a)/드레인(125b)을 형성한다. 소오스(125a)/드레인(125b)은 LDD(Lightly Doped Drain) 구조를 가지도록 형성할 수도 있다.
이어서, 게이트 스택(120)들 사이의 공간을 채우는 제1 산화막(130)을 덮고 캡핑막(116)을 스토퍼로 하는 CMP(Chemical Mechanical Polishing) 공정에 의하여 평탄화시킨 다음, 소오스(125a)/드레인(125b)이 노출되도록 제1 산화막(130)을 소정 부분 식각한다. 이 때, 캡핑막(116) 및 게이트 스페이서(118)에 대한 제1 산화막(130)의 식각선택비가 높도록 C_4F_8 또는 C_5F_8 등의 가스를 사용한다. 게이트 도전 층(114)은 캡핑막(116)과 게이트 스페이서(118)에 의하여 둘러싸여져 있고, 제1 산화막(130)이 캡핑막(116) 및 게이트 스페이서(118)와 식각선택비가 상이하므로

, 캡핑막(116)과 게이트 스페이서(118)의 측면을 따라 자기정렬방식으로 홀들이 형성된다. 이 홀들에 도프트 폴리실리콘과 같은 도전층을 메꾸어 소오스(125a)에 연결되는 제1 셀패드(135a)와, 드레인(125b)에 연결되는 제2 셀패드(135b)를 형성한다.
계속하여 제1 산화막(130)과 제1 및 제2 셀패드(135a, 135b) 상에 제2 산화막(140)을 형성한 다음, 식각저지막(142)과 제3 산화막(150)을 순차 적층한다. 제3 산화막(150)은 다마신 비트라인들을 형성하기 위한 몰드용으로, 형성하려는 비트라인들보다 큰 두께, 예를 들면 500~7000Å 정도 두께로 형성한다. 제3 산화막(150)으로서 증착될 수 있는 막으로는, BPSG(Boron Phosphorus Silicate Glass)막, SOG(Spin On Glass)막, USG(Undoped Silicate Glass)막, HDP-CVD(High Density Plasma-Chemical Vapor Deposition)법을 이용하여 형성한 실리콘산화막, 및 PE-CVD(Plasma Enhanced-CVD)법 이용하여 형성한 TEOS(tetraethylorthosilicate)막 등이 있다.
다음에 도 3a 내지 도 3d에 도시한 것처럼, 제3 산화막(150)을 식각함으로써 제2 산화막(140) 상에 서로 평행한 다마신 비트라인들을 형성하기 위한 몰드용 산화막 패턴(150a)들을 형성한다. 각 산화막 패턴(150a)은 제1 폭(W1)을 갖도록 형성한다. 산화막 패턴(150a)들 사이는 다마신 비트라인용 홈(152)들로 정의된다.
도 4a 내지 도 4d를 참조하면, 산화막 패턴(150a)들 사이의 식각저지막(142)과 제2 산화막(140)을 소정 부분 식각하여 제2 셀패드(135b) 상면을 노출시키는 비 트라인 콘택홀(144)들을 형성한다. 이와 동시에, 비트라인 콘택홀(144)들 양측 산화막 패턴(150a)들의 측벽 일부 높이도 식각하여 산화막 패턴(150a)들이 제1 폭(W1)보다 좁은 제2 폭(W2) 부분들을 갖도록 한다. 이는 곧, 비트라인 콘택홀(144)이 다마신 비트라인용 홈(152)에 채워질 비트라인과 충분히 오버랩될 수 있는 큰 모양으로 패터닝되는 것을 의미하기도 한다. 참조번호 '150b'는 제1 폭(W1) 부분들과 제2 폭(W2) 부분들을 갖게 변형된 산화막 패턴을 가리킨다.
도 4d에 잘 나타나 있듯이, 이를 위해서는, 형성하려는 비트라인 콘택홀(144)의 크기보다 넓은 개구부(A)를 갖는 포토레지스트 패턴(143)을 마스크로 하여 개구부(A) 안에 드러나 있는 산화막 패턴(150a)들, 식각저지막(142) 및 제2 산화막(140)을 선택비 없이 식각하면 된다.
다음에 도 5a 내지 도 5d를 참조하면, 비트라인 콘택홀(144)들을 도전물질로 채워 비트라인 콘택플러그(145)들을 형성하면서, 변형된 산화막 패턴(150b)들 사이, 즉 다마신 비트라인용 홈(152)들에도 도전물질을 일부 높이 매립하여 비트라인 콘택플러그(145)들 상부에 연결되는 다마신 비트라인(170)들을 형성한다. 이와 동시에, 변형된 산화막 패턴(150b)들에서 제1 폭(W1)인 부분만 비트라인(170)들보다 위쪽에 남도록 비트라인(170)들 위쪽의 변형된 산화막 패턴(150b)들을 식각한다.
참조번호 '150c'는 이와 같은 식각 후에 남겨진 산화막 패턴을 가리킨다. 도 5a 내지 도 5d와 도 1을 함께 참조하여 보면, 남겨진 산화막 패턴(150c) 중에서 비트라인(170)보다 위쪽에 있는 부분은 스토리지 노드 콘택홀을 형성하려는 위치에만 놓여있음을 알 수 있다. 즉, 스토리지 노드 콘택홀이 형성될 부분에만 주변보다 높 은 높이의 산화막을 남겨두어 영역을 미리 확보하여 두는 것이다.
이러한 단계를 구체적으로 살펴보면, 먼저 비트라인 콘택홀(144)들을 도전물질로 채워 비트라인 콘택플러그(145)들을 형성하는 동시에, 변형된 산화막 패턴(150b)들 사이도 완전히 채우도록 도전물질을 증착한다. 도전물질은 예를 들어 도프트 폴리실리콘 또는 금속(예컨대 텅스텐)으로 형성한다. 도전물질로서 금속을 형성하는 경우에는 그 전에 Ti/TiN막 등의 배리어막(미도시)을 더 형성하여 금속의 확산을 방지하도록 한다. 다음에, 도전물질이 증착된 결과물 상면을 에치백하여, 변형된 산화막 패턴(150b)들 상면으로부터 도전물질을 리세스시킨다. 즉, 비트라인 다마신용 홈(152)들 안으로 도전물질을 밀어 넣어 비트라인(170)들을 형성한다. 에치백에 의하므로, 비트라인(170)들이 형성되는 동시에 변형된 산화막 패턴(150b)들도 식각된다. 이에 따라, 변형된 산화막 패턴(150b)들의 전체 높이도 낮아지면서 변형된 산화막 패턴(150b)들에서 상대적으로 얇았던 제2 폭(W2)의 부분들은 식각되어 없어지고, 상대적으로 두터웠던 제1 폭(W1)인 부분들만 비트라인(170)들보다 위쪽에 남게 된다.
앞의 방법 대신에 다음의 방법을 이용하여도 된다. 비트라인 콘택홀(144)들과 변형된 산화막 패턴(150b)들 사이를 완전히 채우도록 도전물질을 증착한 다음, 변형된 산화막 패턴(150b)들로부터 도전물질을 리세스시켜 비트라인(170)들을 형성하는 동시에 비트라인(170)들보다 위쪽에 있는 변형된 산화막 패턴(150b)들의 폭을 전체적으로 감소시키도록, 도전물질이 증착된 결과물 상면을 에치백한다. 그런 다음, 폭이 감소된 산화막 패턴들을 건식각, 습식각 또는 플라즈마 식각에 의하여 식 각한다. 이에 따라, 변형된 산화막 패턴(150b)들에서 상대적으로 얇았던 제2 폭(W2)의 부분들은 식각되어 없어지고, 제1 폭(W1)을 가졌던 부분만 비트라인(170)들보다 위쪽에 남게 된다.
그리고, 앞의 방법들을 이용하되, 그 전에, 변형된 산화막 패턴(150b)들 측벽에 비트라인 스페이서를 형성하는 단계를 더 포함하여 비트라인 스페이서가 형성된 비트라인(170)을 형성할 수도 있다.
계속하여 도 6a 내지 도 6d에서와 같이, 비트라인(170)들 위로 마스크막(176)을 덮고 앞의 단계 이후 남겨진 산화막 패턴(150c)들의 상면이 드러날 때까지 평탄화시킨다. 마스크막(176)을 덮는 두께는 100~5000Å일 수 있고, 마스크막(176)을 평탄화시키는 방법은 에치백 또는 CMP일 수 있다. 마스크막(176)은 남겨진 산화막 패턴(150c)과 식각선택비가 다른 막질, 예컨대 질화막 또는 산화질화막으로 형성하는 것이 바람직하다.
이제 도 7a와 도 7b를 참조하면, 마스크막(176)에 대하여 선택적으로, 남겨진 산화막 패턴(150c)들과 그 아래의 식각저지막(142)과 제2 산화막(140)을 제거하여 제1 셀패드(135a)들 상면을 노출시킨다. 이로써, 남겨진 산화막 패턴(150c)들이 있던 자리에 비트라인(170)들과 자동으로 정렬된 스토리지 노드 콘택홀(192)들이 형성된다.
먼저, 남겨진 산화막 패턴(150c)을 마스크막(176)에 대하여 선택적으로 제거할 수 있는 HF나 BOE(Buffered Oxide Etchant)를 이용하도록 한다. HF는 H_2O에 희석 한 것을 이용하는데, 그 온도는 보통 실온의 것으로 한다. HF와 H_2O의 비율은 1:10-1:1000으로 할 수 있다. HF를 적용하는 방법도 딥(dip) 방식 또는 스프레이(spray) 방식을 이용할 수 있다. HF를 NH_4F와 혼합하면 BOE가 된다. 남겨진 산화막 패턴(150c)들을 선택적으로 제거하면, 식각저지막(142)이 드러나는 오프닝이 형성되는데, 식각저지막(142)과 제2 산화막(140)의 식각선택비 없는 건식 식각을 수행

하면, 오프닝 모양을 따라 자동으로 제2 절연막(140)이 식각되어 제1 셀패드(135a)들 상면을 노출시키면서 비트라인(170)에 대하여 바르게 얼라인된 스토리지 노드 콘택홀(192)이 형성된다. 따라서, 어려운 포토리소그래피에 의하지 않고도 스토리지 노드 콘택홀(192)들을 원하는 위치에 바르게 형성할 수 있다.

다음에, 스토리지 노드 콘택홀(192)들을 완전히 채우는 도전물질을 증착한 다음, 마스크막(176)을 종료점으로 하여 CMP 등의 평탄화 공정을 수행하면, 도 8a와 도 8b에 도시된 바와 같이, 스토리지 노드 콘택플러그(195)들이 형성된다. 스토리지 노드 콘택홀(192)들을 완전히 채우는 도전물질로는 도프트 폴리실리콘막을 증착할 수 있다. 그리고, 스토리지 노드 콘택홀(192)들을 채우기 전에 그 내벽에 절연막으로 스페이서를 형성하는 단계를 더 포함하여 스토리지 노드 콘택플러그(195)를 절연할 수도 있다.

이와 같이 본 실시예에서는, 다마신 비트라인들을 매립할 홈들을 정의하는 몰드 산화막 패턴들을 형성한 후, 그 사이에 비트라인 콘택홀들을 식각하고 나서, 비트라인 콘택홀들과 홈들을 동시에 매립하고 에치백으로 밀어 넣으면서 산화막 패 턴들을 식각하여 스토리지 노드 콘택홀들이 형성될 영역을 산화막 패턴들로 덮어 미리 확보한다. 나머지 부분은 마스크막으로 덮은 다음, 마스크막에 대하여 선택적으로 산화막 패턴을 제거함으로써 비트라인과 자동으로 정렬되는 스토리지 노드 콘택홀을 포토리소그래피 공정에 의하지 않고 형성한다. 비트라인을 형성한 다음에 포토리소그래피로 스토리지 노드 콘택홀을 형성하는 종래의 방법에 비하여 충분한 오정렬 마진이 확보된다. 따라서, 스토리지 노드 콘택플러그와 비트라인간에 단락되는 문제없이 공정을 진행할 수 있으며, 종래에 비하여 스토리지 노드 콘택홀의 오픈 사이즈가 커지므로 접촉저항이 개선된다.

앞의 실시예에서는 DRAM의 비트라인과 스토리지 노드 콘택홀을 형성하는 경우를 예로 들어 설명하였으나, 본 발명은 어떤 임의의 배선과 그 옆을 지나는 콘택홀을 형성하는 경우에도 적용된다. 즉, 기판 상에 하부절연막과 상부절연막을 순차 적층한 다음, 상부절연막을 식각함으로써 서로 평행한 다마신 배선들을 형성하기 위한 몰드용 절연막 패턴들을 형성한다. 이 때, 각 절연막 패턴은 제1 폭을 갖도록 형성한다. 다음에, 절연막 패턴들 사이의 하부절연막을 소정 부분 식각하여 제1 콘택홀들을 형성하면서, 제1 콘택홀들 양측 절연막 패턴들의 측벽 일부 높이도 식각한다. 예를 들어, 제1 콘택홀들과 절연막 패턴들 사이를 완전히 채우도록 도전물질을 증착한 다음, 절연막 패턴들로부터 도전물질을 리세스시켜 배선들을 형성하는 동시에 절연막 패턴들에서 제1 폭인 부분만 배선들보다 위쪽에 남도록, 도전물질이 증착된 결과물 상면을 에치백한다. 이에 따라, 절연막 패턴들은 제1 폭보다 좁은 제2 폭 부분들도 갖게 된다. 제1 콘택홀들을 도전물질로 채워 제1 콘택플러그들을 형성하면서 절연막 패턴들 사이에도 도전물질을 일부 높이 매립하여 다마신 배선들을 형성하고, 절연막 패턴들에서 제1 폭인 부분만 배선들보다 위쪽에 남도록 배선들 위쪽의 절연막 패턴들을 식각한다. 계속하여, 배선들 위로 상부절연막 및 하부절연막과 식각선택비가 있는 막질로 된 마스크막을 덮고 앞의 단계에서 남겨진 절연막 패턴들의 상면이 드러날 때까지 에치백 또는 CMP로 평탄화시킨다. 마스크막에 대하여, 남겨진 절연막 패턴들과 그 아래의 하부절연막을 선택적으로 제거함으로써, 남겨진 절연막 패턴들이 있던 자리에 배선들과 자동으로 정렬된 제2 콘택홀들을 형성한다. 제2 콘택홀들에 도전물질을 채워 제2 콘택플러그들을 형성한다.

위와 같은 방법에 의하면, 포토리소그래피에 의하지 않고 제2 콘택홀들을 형성할 수 있으므로, 공정 마진을 고려하지 않아도 제2 콘택홀들을 제 위치에 정확하게 정렬하여 형성할 수 있다.

이상, 본 발명을 바람직한 실시예를 들어 상세하게 설명하였으나, 본 발명은 상기 실시예에 한정되지 않으며, 본 발명의 기술적 사상 내에서 당 분야에서 통상의 지식을 가진 자에 의하여 여러 가지 많은 변형이 가능함은 명백하다. 본 발명에 따르면 공정 후 따로 패드 형성을 위한 포토리소그래피 공정이 필요없으나, 만약 코어/페리영역에 원하지 않는 콘택이 형성될 시에는 셀영역만 따로 형성할 수도 있다. 그런데, DRAM의 제조 공정에서는 일반적으로는 셀영역과 코어/페리영역을 동시에 형성한다. 따라서, 셀영역과 코어/페리영역에 본 발명을 동시적용하는 경우에는 코어/페리영역에 원하지 않는 콘택이 형성될 수도 있다. 이러한 경우를 대비하여 페리영역을 보호할 수 있는 별도의 식각정지막을 추가하는 방법을 이용할 수 있다.

발명의 효과

상술한 본 발명에 의하면, 임의의 콘택홀 또는 스토리지 노드 콘택홀을 형성하는 것과 같이 오정렬 마진이 부족한 공정을 다마신 배선 또는 다마신 비트라인을 형성하는 동안에 확보하여 둔 영역에 후속적으로 형성하므로, 오정렬 마진이 더욱 확보되는 장점이 있다. 따라서, 콘택의 사이즈를 키울 수 있게 되므로 접촉저항을 개선할 수 있다.

포토리소그래피를 생략하고 하부층의 패턴을 따라 그대로 식각하면 저절로 콘택홀 또는 스토리지 노드 콘택홀이 형성되어 배선 또는 비트라인과의 오정렬 마진을 생각할 필요가 없이 콘택홀 또는 스토리지 노드 콘택홀을 형성할 수 있다. 따라서, 임의의 콘택플러그와 배선간, 스토리지 노드 콘택플러그와 비트라인간에 단락되는 문제없이 공정을 진행할 수 있다.

공정이 단순화되고 오정렬 마진을 고려하지 않아도 되므로 급속한 디자인 룰 감소가 가능하여, 반도체 소자의 집적도를 높이는 데에 기여할 수 있다. 충분한 콘택 마진을 확보할 수 있어서 공정의 복잡성을 피할 수 있고 반도체 소자의 수율을 개선할 수 있다.

(57) 청구의 범위

청구항 1.

(a) 기판 상에 하부절연막과 상부절연막을 순차 적층하는 단계;

(b) 상기 상부절연막을 식각함으로써 상기 하부절연막 상에 서로 평행한 다마신 배선들을 형성하기 위한 몰드용 절연막 패턴들을 형성하는 단계로, 각 절연막 패턴은 제1 폭을 갖도록 형성하는 단계;

(c) 상기 절연막 패턴들 사이의 하부절연막을 소정 부분 식각하여 제1 콘택홀들을 형성하면서, 상기 제1 콘택홀들 양측 절연막 패턴들의 측벽 일부 높이도 식각하여 상기 절연막 패턴들이 제1 폭보다 좁은 제2 폭 부분들을 갖도록 하는 단계;
(d) 상기 제1 콘택홀들을 도전물질로 채워 제1 콘택플러그들을 형성하면서 상기 절연막 패턴들 사이에도 도전물질을 일부 높이 매립하여 상기 제1 콘택플러그들 상부에 다마신 배선들을 형성하고, 상기 절연막 패턴들에서 제1 폭인 부분만 상기 배선들보다 위쪽에 남도록 상기 배선들 위쪽의 절연막 패턴들을 식각하는 단계;
(e) 상기 배선들 위로 마스크막을 덮고 상기 (d) 단계 이후 남겨진 절연막 패턴들의 상면이 드러날 때까지 평탄화시키는 단계;
(f) 상기 마스크막에 대하여 선택적으로, 상기 남겨진 절연막 패턴들과 그 아래의 하부절연막을 제거함으로써, 상기 남겨진 절연막 패턴들이 있던 자리에 상기 배선들과 자동으로 정렬된 제2 콘택홀들을 형성하는 단계; 및
(g) 상기 제2 콘택홀들에 도전물질을 채워 제2 콘택플러그들을 형성하는 단계를 포함하는 것을 특징으로 하는 반도체 소자의 제조방법.

청구항 2.

제1항에 있어서, 상기 (d) 단계는,
상기 제1 콘택홀들과 상기 절연막 패턴들 사이를 완전히 채우도록 도전물질을 증착하는 단계; 및
상기 절연막 패턴들로부터 상기 도전물질을 리세스시켜 상기 배선들을 형성 하는 동시에 상기 절연막 패턴들에서 제1 폭인 부분만 상기 배선들보다 위쪽에 남도록, 상기 도전물질이 증착된 결과물 상면을 에치백하는 단계를 포함하는 것을 특징으로 하는 반도체 소자의 제조방법.

청구항 3.

제1항에 있어서, 상기 (d) 단계는,
상기 제1 콘택홀들과 상기 절연막 패턴들 사이를 완전히 채우도록 도전물질을 증착하는 단계;
상기 절연막 패턴들로부터 상기 도전물질을 리세스시켜 상기 배선들을 형성하는 동시에 상기 배선들보다 위쪽에 있는 절연막 패턴들의 폭을 전체적으로 감소시키도록, 상기 도전물질이 증착된 결과물 상면을 에치백하는 단계; 및
상기 절연막 패턴들에서 제1 폭을 가졌던 부분만 상기 배선들보다 위에 남도록, 폭이 감소된 상기 절연막 패턴들을 식각하는 단계를 포함하는 것을 특징으로 하는 반도체 소자의 제조방법.

청구항 4.

제3항에 있어서, 폭이 감소된 상기 절연막 패턴들을 식각하는 단계는 건식각, 습식각 또는 플라즈마 식각에 의하는 것을 특징으로 하는 반도체 소자의 제조방법.

청구항 5.

제1항에 있어서, 상기 마스크막은 상기 상부절연막 및 하부절연막과 식각선택비가 있는 막질로 형성하는 것을 특징으로 하는 반도체 소자의 제조방법.

청구항 6.

제1항에 있어서, 상기 마스크막은 질화막 또는 산화질화막으로 형성하고, 상기 상부절연막 및 하부절연막은 산화막으로 형성하는 것을 특징으로 하는 반도체 소자의 제조방법.

청구항 7.

제1항에 있어서, 상기 하부절연막과 상부절연막 사이에 식각저지막을 더 형성하는 것을 특징으로 하는 반도체 소자의 제조방법.

청구항 8.

제1항에 있어서, 상기 마스크막을 평탄화시키는 단계는 에치백 또는 CMP(Chemical Mechanical Polishing)를 이용하는 것을 특징으로 하는 반도체 소자의 제조방법.

청구항 9.

(a) 기판 상에 게이트 절연막, 게이트 도전층 및 캡핑막의 적층체와 그 측벽을 둘러싸는 게이트 스페이서를 포함하는 게이트 스택들과, 소오스/드레인들을 형성하는 단계;
(b) 상기 게이트 스택들 사이의 공간을 채우는 제1 산화막을 덮고 평탄화시키는 단계;
(c) 상기 제1 산화막을 관통하여 상기 각 소오스에 연결되는 제1 셀패드들과 상기 각 드레인에 연결되는 제2 셀패드들을 형성하는 단계;
(d) 상기 제1산화막과 제1및 제2셀패드들 상에 제2 산화막을 형성하는 단계;
(e) 상기 제2 산화막 상에 식각저지막과 제3 산화막을 순차 적층하는 단계;
(f) 상기 제3 산화막을 식각함으로써 상기 제2 산화막 상에 서로 평행한 다마신 비트라인들을 형성하기 위한 몰드용 산화막 패턴들을 형성하는 단계로, 각 산화막 패턴은 제1 폭을 갖도록 형성하는 단계;
(g) 상기 산화막 패턴들 사이의 식각저지막과 제2 산화막을 소정 부분 식각하여 상기 각 제2 셀패드 상면을 노출시키는 비트라인 콘택홀들을 형성하면서, 상기 비트라인 콘택홀들 양측 산화막 패턴들의 측벽 일부 높이도 식각하여 상기 산화막 패턴들이 제1 폭보다 좁은 제2 폭 부분들을 갖도록 하는 단계;
(h) 상기 비트라인 콘택홀들을 도전물질로 채워 비트라인 콘택플러그들을 형성하면서 상기 산화막 패턴들 사이에도 도전물질을 일부 높이 매립하여 상기 비트라인 콘택플러그들 상부에 다마신 비트라인들을 형성하고, 상기 산화막 패턴들에서 제1 폭인 부분만 상기 비트라인들보다 위쪽에 남도록 상기 비트라인들 위쪽의 산화막 패턴들을 식각하는 단계;

(i) 상기 비트라인들 위로 마스크막을 덮고 상기 (h) 단계 이후 남겨진 산화막 패턴들의 상면이 드러날 때까지 평탄화시키는 단계;
(j) 상기 마스크막에 대하여 선택적으로, 상기 남겨진 산화막 패턴들과 그 아래의 식각저지막과 제2 산화막을 제거하여 상기 제1 셀패드들 상면을 노출시킴으로써, 상기 남겨진 산화막 패턴들이 있던 자리에 상기 비트라인들과 자동으로 정렬된 스토리지 노드 콘택홀들을 형성하는 단계; 및
(k) 상기 스토리지 노드 콘택홀들에 도전물질을 채워 스토리지 노드 콘택플 러그들을 형성하는 단계를 포함하는 것을 특징으로 하는 반도체 소자의 제조방법.

청구항 10.

제9항에 있어서, 상기 (h) 단계는,
상기 비트라인 콘택홀들과 상기 산화막 패턴들 사이를 완전히 채우도록 도전물질을 증착하는 단계; 및
상기 산화막 패턴들로부터 상기 도전물질을 리세스시켜 상기 비트라인들을 형성하는 동시에 상기 산화막 패턴들에서 제1 폭인 부분만 상기 비트라인들보다 위쪽에 남도록, 상기 도전물질이 증착된 결과물 상면을 에치백하는 단계를 포함하는 것을 특징으로 하는 반도체 소자의 제조방법.

청구항 11.

제9항에 있어서, 상기 (h) 단계는,
상기 비트라인 콘택홀들과 상기 산화막 패턴들 사이를 완전히 채우도록 도전물질을 증착하는 단계;
상기 산화막 패턴들로부터 상기 도전물질을 리세스시켜 상기 비트라인들을 형성하는 동시에 상기 비트라인들보다 위쪽에 있는 산화막 패턴들의 폭을 전체적으로 감소시키도록, 상기 도전물질이 증착된 결과물 상면을 에치백하는 단계; 및
상기 산화막 패턴들에서 제1 폭을 가졌던 부분만 상기 비트라인들보다 위에 남도록, 폭이 감소된 상기 산화막 패턴들을 식각하는 단계를 포함하는 것을 특징으로 하는 반도체 소자의 제조방법.

청구항 12.

제11항에 있어서, 폭이 감소된 상기 산화막 패턴들을 식각하는 단계는 건식각, 습식각 또는 플라즈마 식각에 의하는 것을 특징으로 하는 반도체 소자의 제조방법.

청구항 13.

제9항에 있어서, 상기 마스크막은 상기 제3 산화막 및 제2 산화막과 식각선택비가 있는 막질로 형성하는 것을 특징으로 하는 반도체 소자의 제조방법.

청구항 14.

제13항에 있어서, 상기 마스크막은 질화막 또는 산화질화막으로 형성하는 것을 특징으로 하는 반도체 소자의 제조방법.

청구항 15.

제9항에 있어서, 상기 마스크막을 평탄화시키는 단계는 에치백 또는 CMP(Chemical Mechanical Polishing)를 이용하는 것을 특징으로 하는 반도체 소자의 제조방법.

청구항 16.

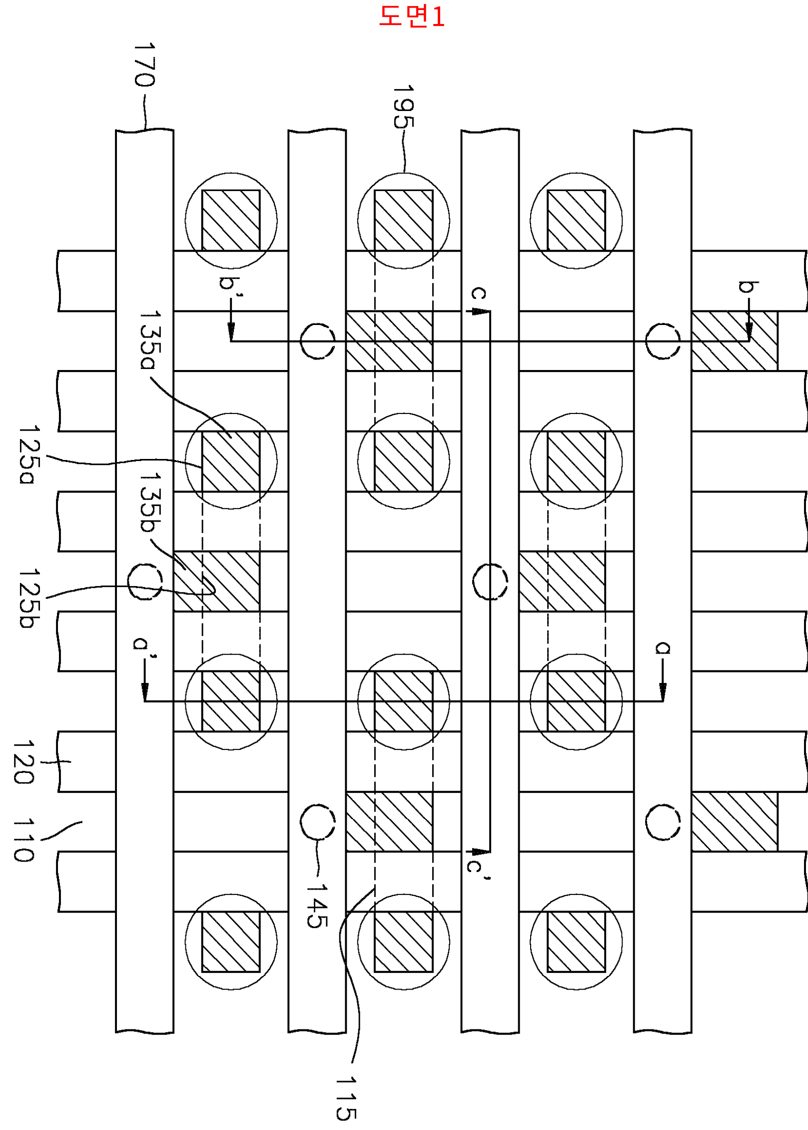
제9항에 있어서, 상기 제3 산화막의 두께는 500 내지 6000Å가 되도록 형성하는 것을 특징으로 하는 반도체 소자의 제조방법.

청구항 17.

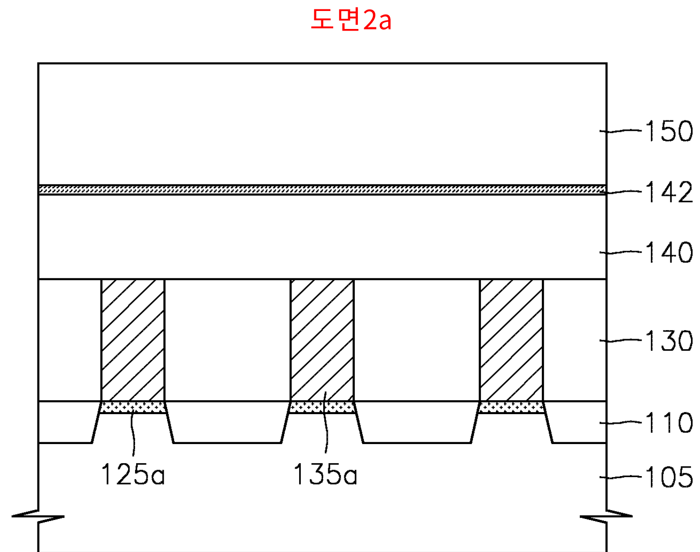
제9항에 있어서, 상기 식각저지막의 두께는 10 내지 500Å가 되도록 형성하는 것을 특징으로 하는 반도체 소자의 제조방법.

도면

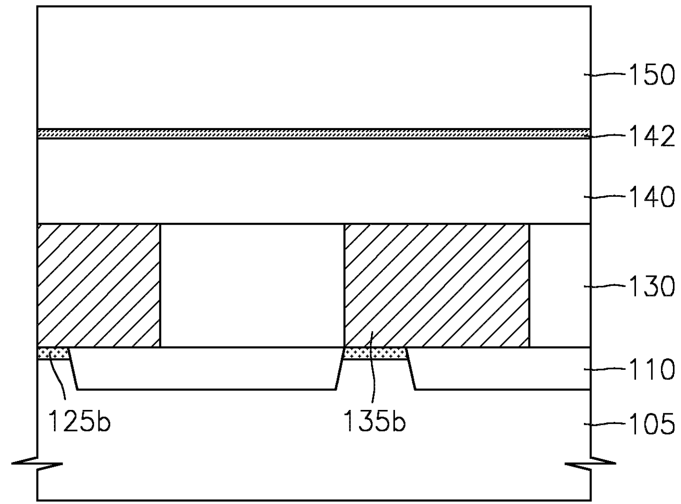
도면1



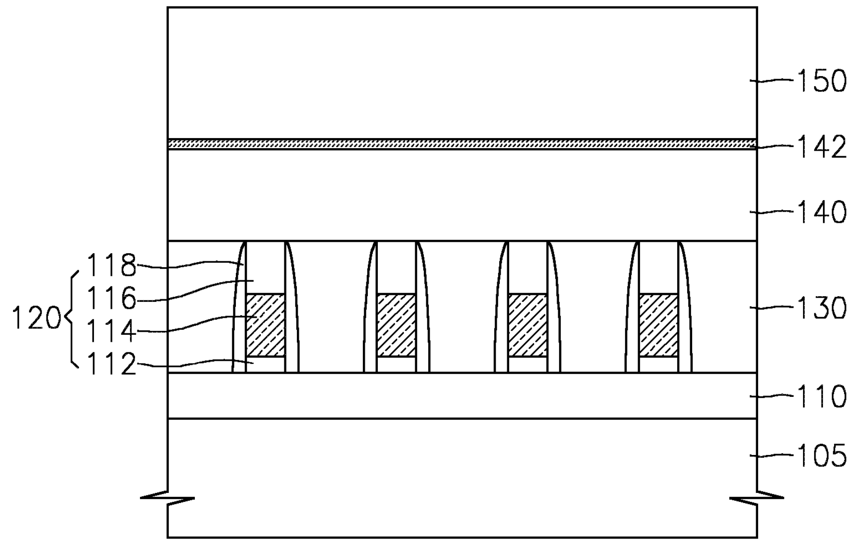
도면2a



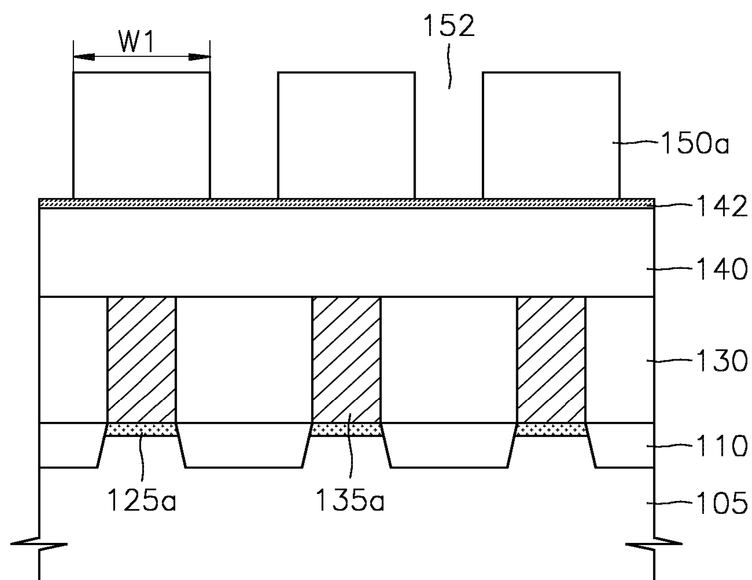
도면2b



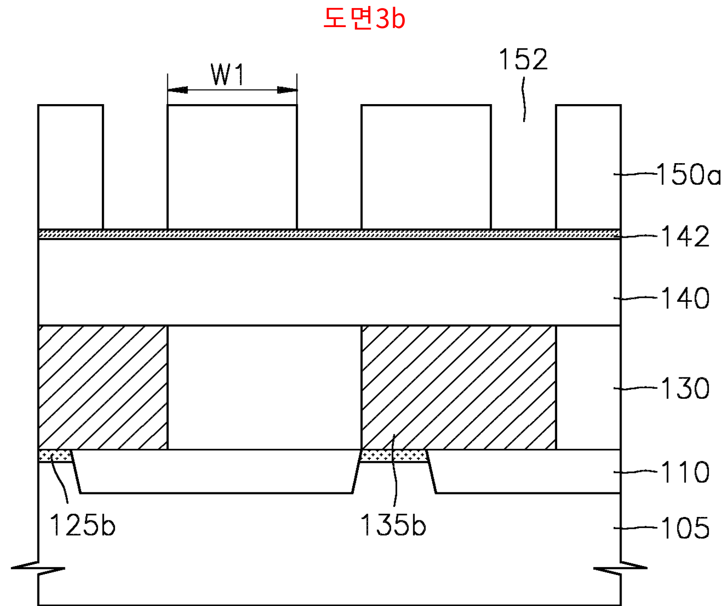
도면2c



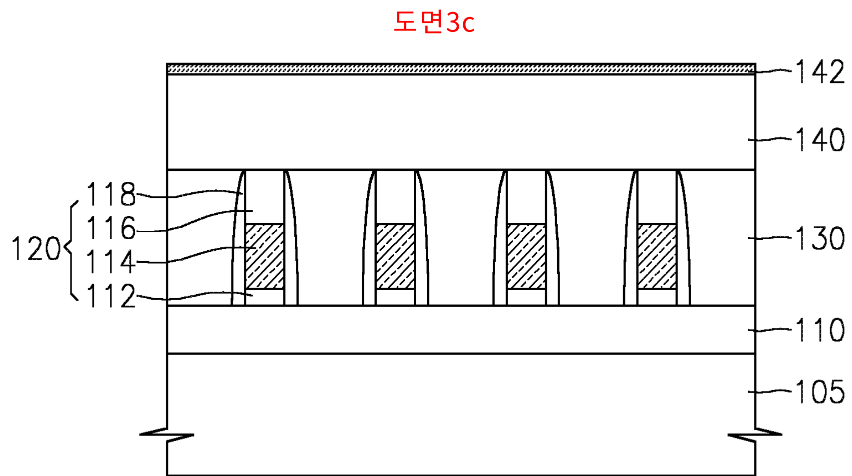
도면3a



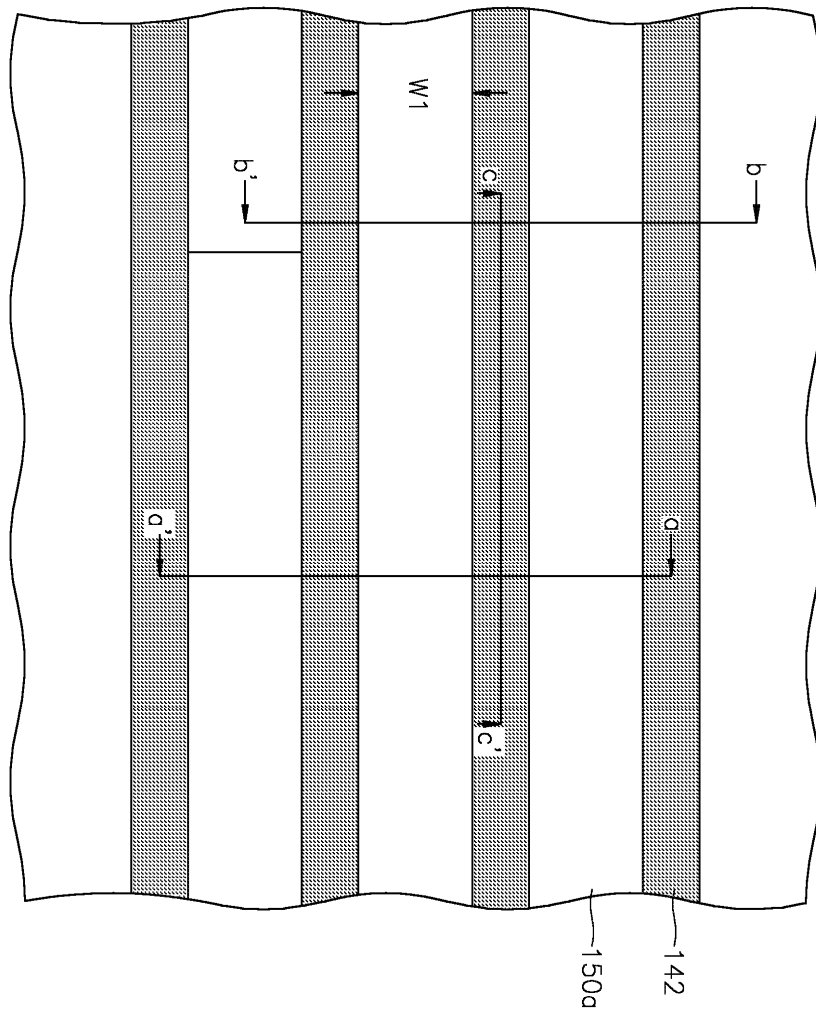
도면3b



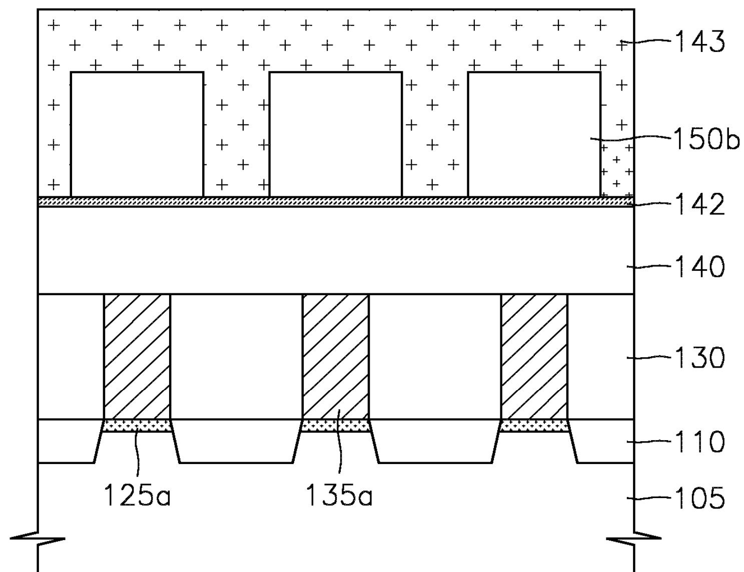
도면3c



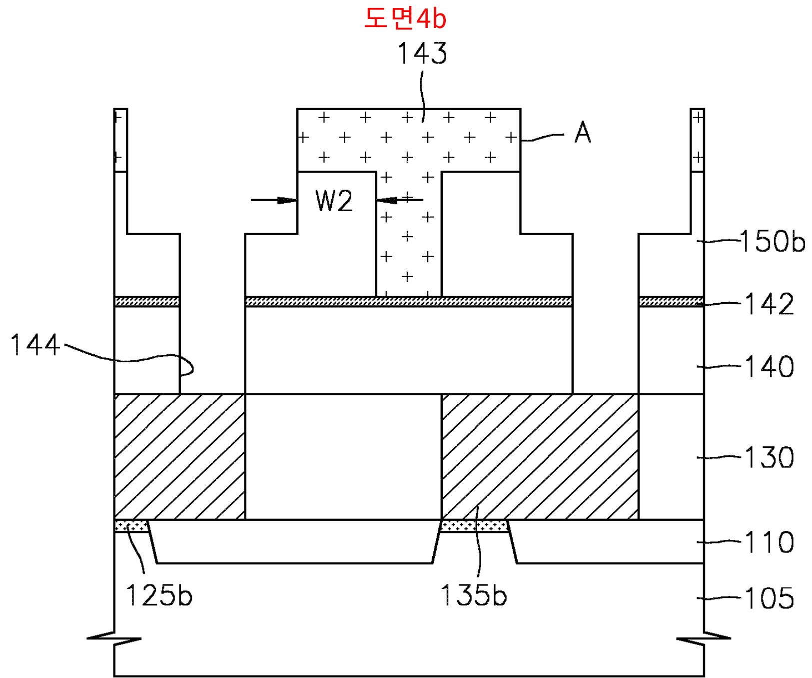
도면3d



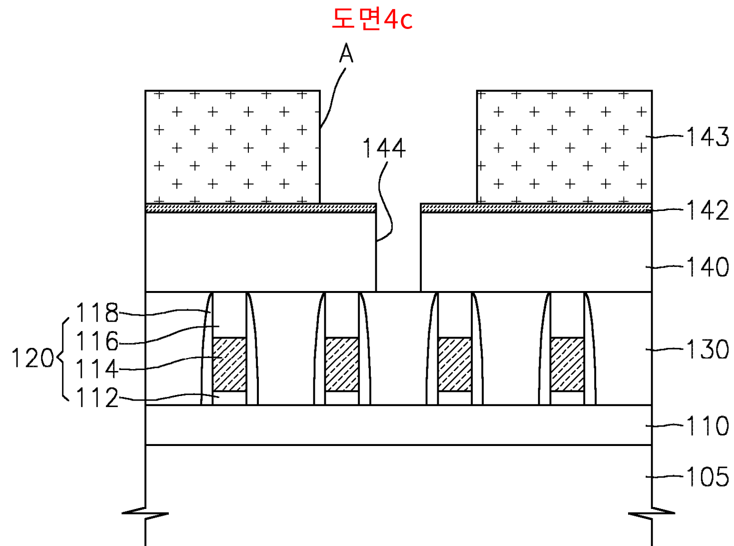
도면4a



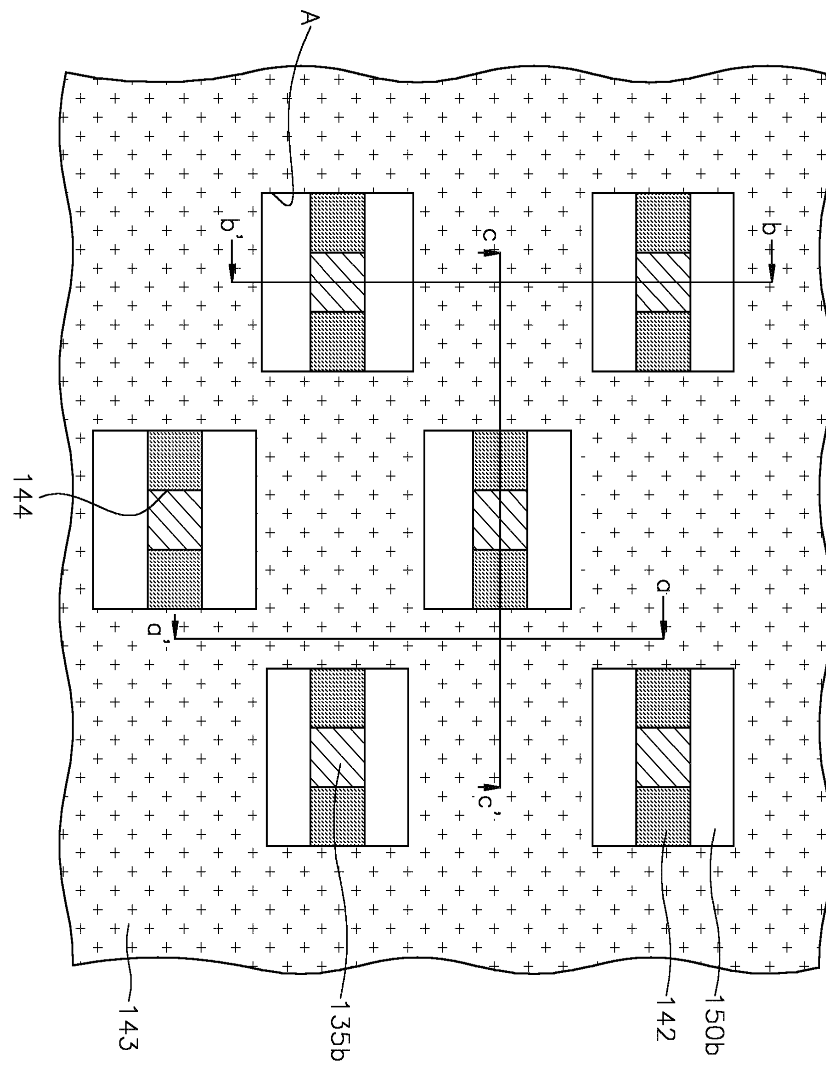
도면4b



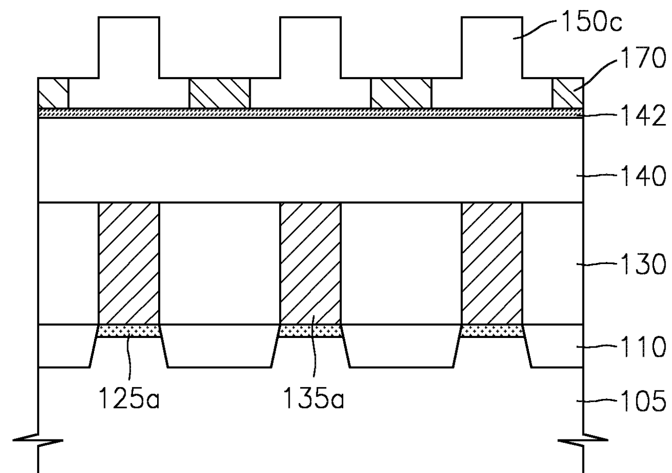
도면4c



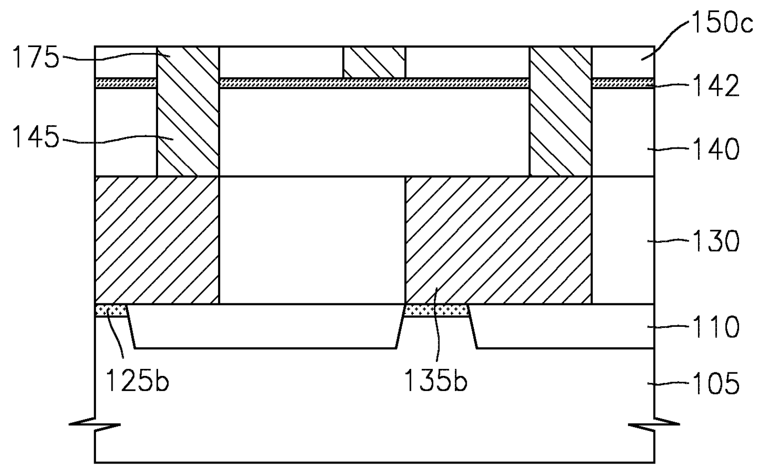
도면4d



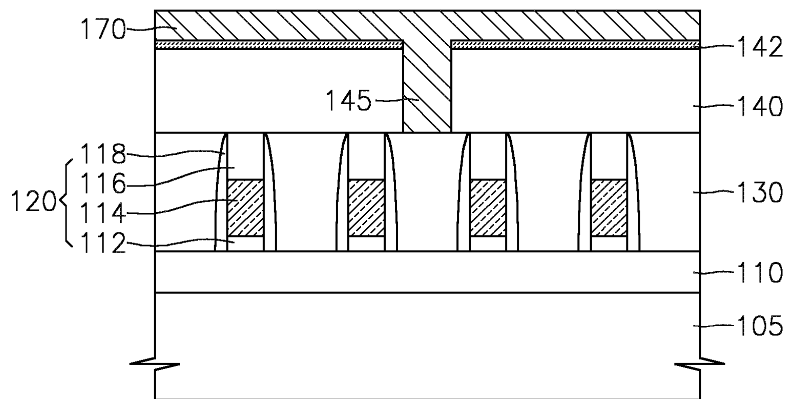
도면5a



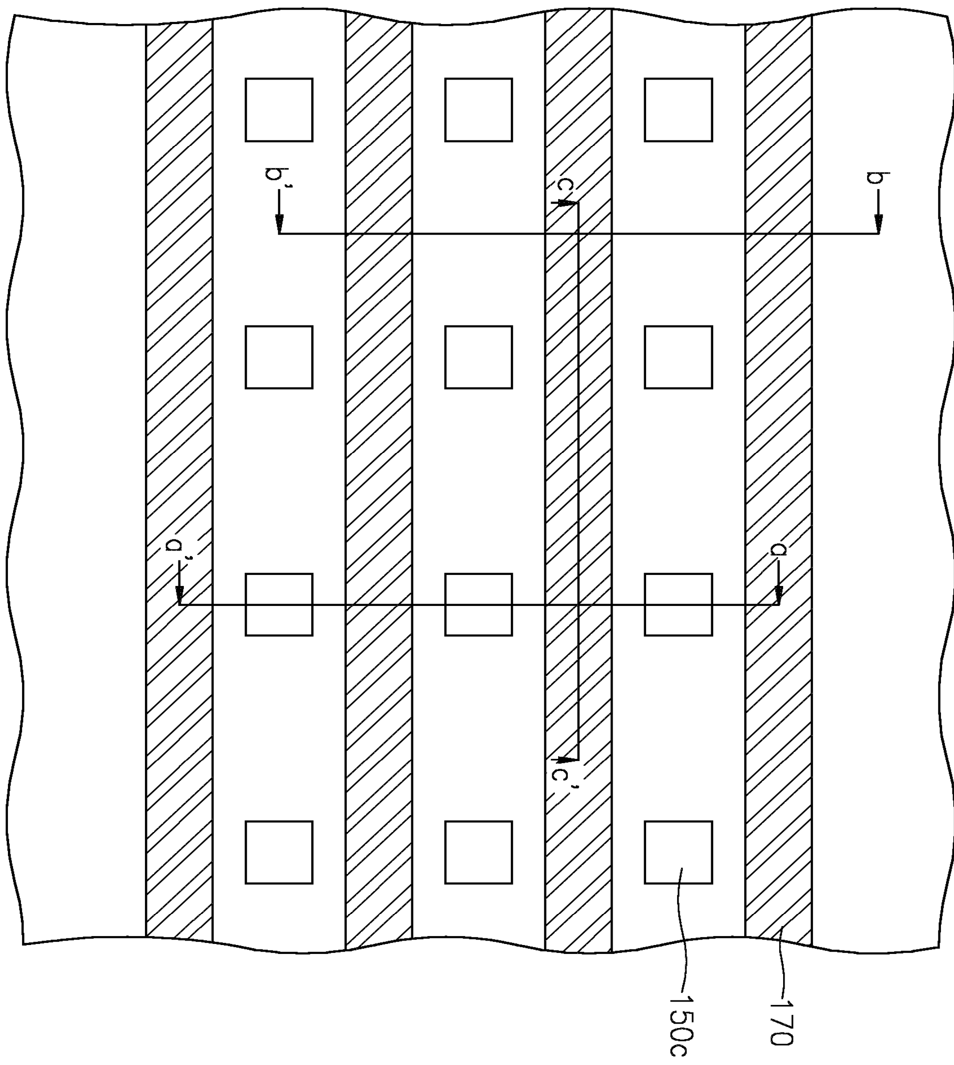
도면5b



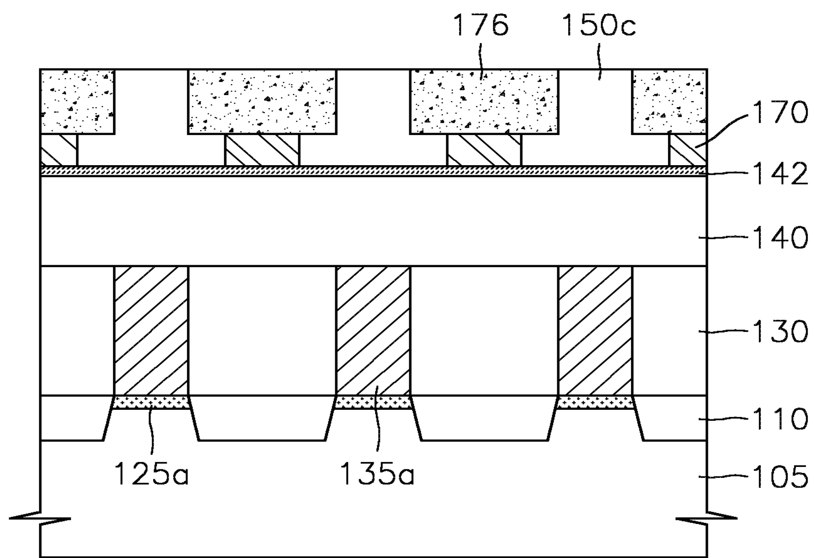
도면5c



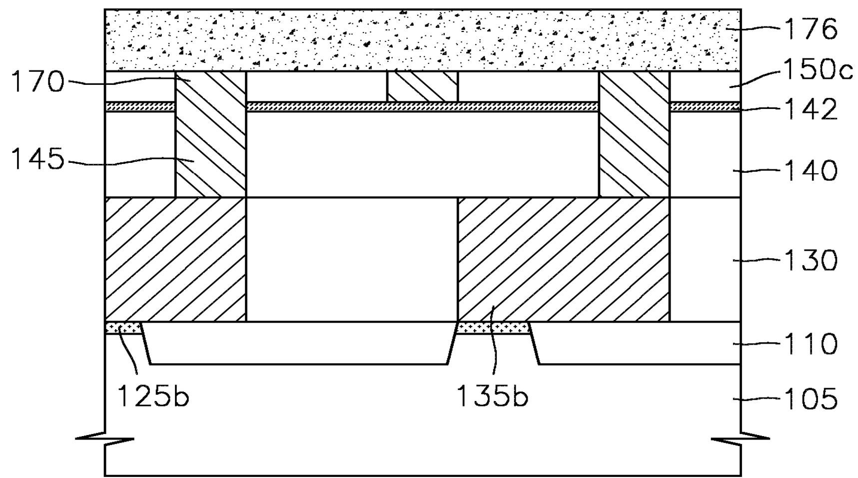
도면5d



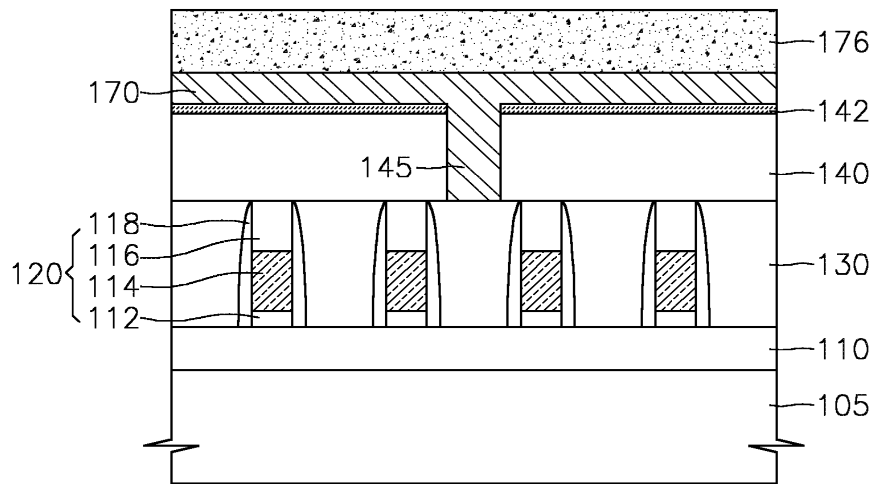
도면6a



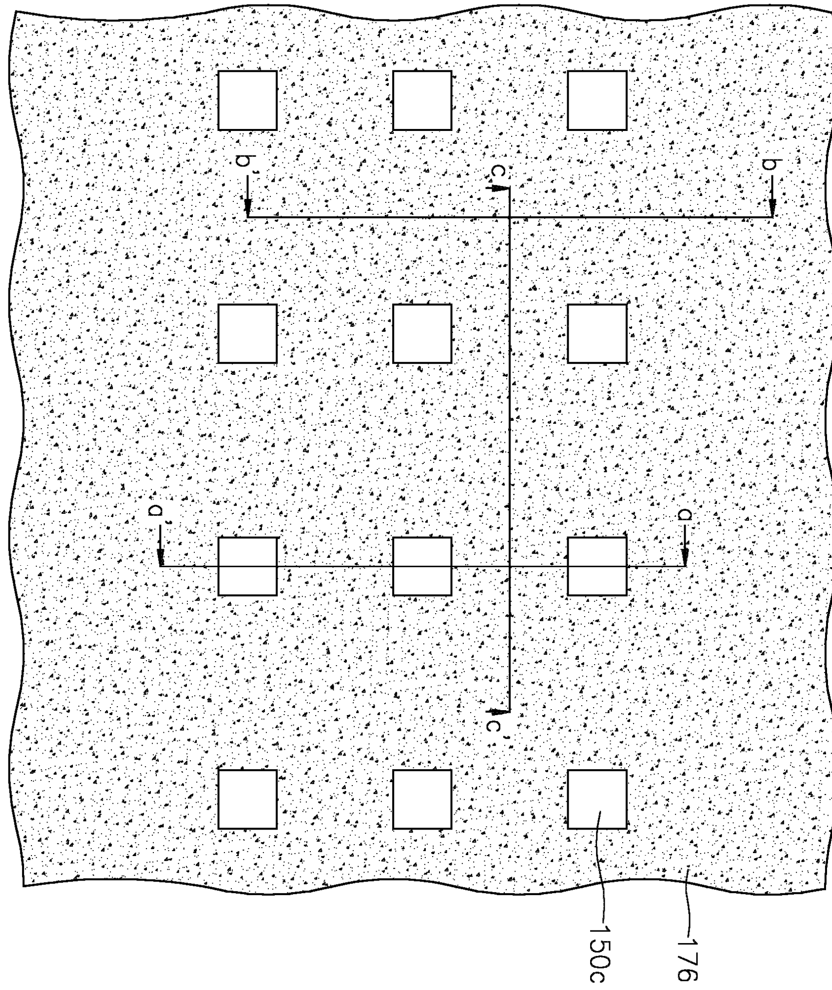
도면6b



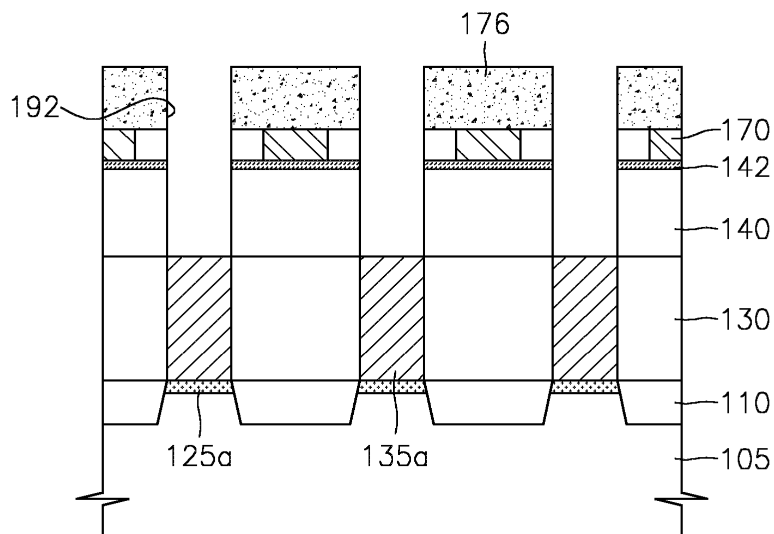
도면6c



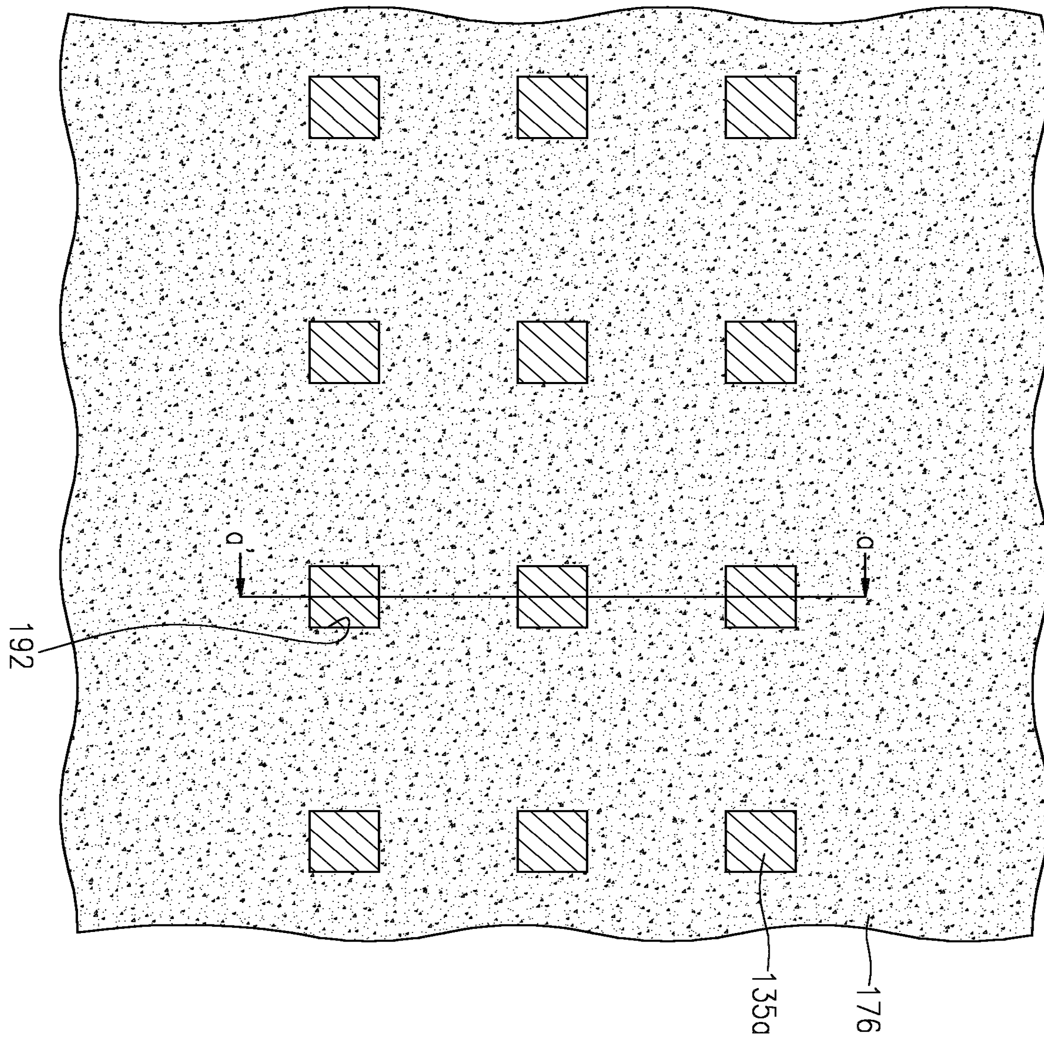
도면6d



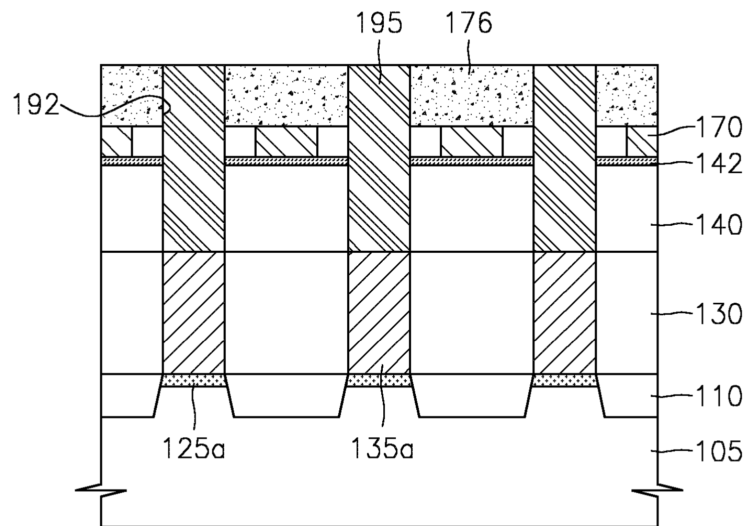
도면7a



도면7b



도면8a



도면8b