

【公報種別】特許法第 17 条の 2 の規定による補正の掲載
 【部門区分】第 6 部門第 2 区分
 【発行日】平成 19 年 4 月 5 日 (2007.4.5)

【公開番号】特開 2000-310980 (P2000-310980A)
 【公開日】平成 12 年 11 月 7 日 (2000.11.7)
 【出願番号】特願 2000-39258 (P2000-39258)

【国際特許分類】

G 0 9 G 3/36 (2006.01)
G 0 2 F 1/133 (2006.01)
G 0 9 F 9/30 (2006.01)
G 0 9 G 3/20 (2006.01)
G 0 2 F 1/1368 (2006.01)

【F I】

G 0 9 G 3/36
 G 0 2 F 1/133 5 5 0
 G 0 2 F 1/133 5 7 5
 G 0 9 F 9/30 3 3 8
 G 0 9 G 3/20 6 4 1 K
 G 0 9 G 3/20 6 4 1 A
 G 0 9 G 3/20 6 4 1 C
 G 0 9 G 3/20 6 4 1 E
 G 0 2 F 1/1368

【手続補正書】

【提出日】平成 19 年 2 月 9 日 (2007.2.9)

【手続補正 1】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

複数の画素 トランジスタ がマトリクス状に配置されたアクティブマトリクス回路と、
 前記アクティブマトリクス回路を駆動するソースドライバおよびゲートドライバと、を
 有する表示装置であって、

外部から入力される m ビットの デジタルビデオデータのうち、上位 n ビットを階調電圧
 の情報として、かつ下位 $(m - n)$ ビットを時間階調の情報として用いて 1 フレームの映
 像を形成し、

m 、 n は共に 2 以上の正数であり、かつ $m > n$ であることを特徴とする表示装置。

【請求項 2】

複数の画素 トランジスタ がマトリクス状に配置されたアクティブマトリクス回路と、
 前記アクティブマトリクス回路を駆動するソースドライバおよびゲートドライバと、
処理回路とを有し、

前記処理回路は、外部から入力される m ビットのデジタルビデオデータのうち n ビット
 を階調電圧のための n ビットのデジタルビデオデータに変換し、前記ソースドライバに当
 該 n ビットのデジタルビデオデータを供給する回路 (m 、 n は共に 2 以上の正数、 $m > n$
) であり、

1 フレームの映像は、当該 n ビットのデジタルビデオデータと $2^{m - n}$ 個のサブフレー
 ムによる時間階調表示とを用いて形成されることを特徴とする表示装置。

【請求項 3】

複数の画素トランジスタがマトリクス状に配置されたアクティブマトリクス回路と、
前記アクティブマトリクス回路を駆動するソースドライバおよびゲートドライバと、
処理回路とを有し、

前記処理回路は、外部から入力される m ビットのデジタルビデオデータのうち n ビット
を階調電圧のための n ビットのデジタルビデオデータに変換し、前記ソースドライバに当
該 n ビットのデジタルビデオデータを供給する回路 (m 、 n は共に 2 以上の正数、 $m > n$
) であり、

当該 n ビットのデジタルビデオデータと $2^m - 2^n$ 個のサブフレームによる時間階調表示
とを用いて 1 フレームの映像を形成し、 $(2^m - (2^m - 2^n - 1))$ 通りの階調表示を得
ることを特徴とする表示装置。

【請求項 4】

複数の画素トランジスタがマトリクス状に配置されたアクティブマトリクス回路と、
前記アクティブマトリクス回路を駆動するソースドライバおよびゲートドライバと、を
有する表示装置であって、

外部から入力される m ビットのデジタルビデオデータのうち、上位 n ビットを階調電圧
の情報として、かつ下位 $(m - n)$ ビットを時間階調の情報 (m 、 n は共に 2 以上の正数
、 $m > n$) として用いて 1 フレームの映像を形成し、

前記ソースドライバは、前記 n ビットのデジタルビデオデータをアナログ階調電圧に変
換する D/A 変換回路を有していることを特徴とする表示装置。

【請求項 5】

複数の画素トランジスタがマトリクス状に配置されたアクティブマトリクス回路と、
前記アクティブマトリクス回路を駆動するソースドライバおよびゲートドライバと、
処理回路とを有し、

前記処理回路は、外部から入力される m ビットのデジタルビデオデータのうち n ビット
を階調電圧のための n ビットのデジタルビデオデータに変換し、前記ソースドライバに当
該 n ビットのデジタルビデオデータを供給する回路 (m 、 n は共に 2 以上の正数、 $m > n$
) であり、

前記ソースドライバは、当該 n ビットのデジタルビデオデータをアナログ階調電圧に変
換する D/A 変換回路を有しており、

1 フレームの映像は、前記アナログ階調電圧と $2^m - 2^n$ 個のサブフレームによる時間階
調表示とを用いて形成されることを特徴とする表示装置。

【請求項 6】

複数の画素トランジスタがマトリクス状に配置されたアクティブマトリクス回路と、
前記アクティブマトリクス回路を駆動するソースドライバおよびゲートドライバと、
処理回路とを有し、

前記処理回路は、外部から入力される m ビットのデジタルビデオデータのうち n ビット
を階調電圧のための n ビットのデジタルビデオデータに変換し、前記ソースドライバに当
該 n ビットのデジタルビデオデータを供給する回路 (m 、 n は共に 2 以上の正数、 $m > n$
) であり、

前記ソースドライバは、当該 n ビットのデジタルビデオデータをアナログ階調電圧に変
換する D/A 変換回路を有しており、

前記アナログ階調電圧と $2^m - 2^n$ 個のサブフレームによる時間階調表示とを用いて 1 フ
レームの映像を形成し、 $(2^m - (2^m - 2^n - 1))$ 通りの階調表示を得ることを特徴と
する表示装置。

【請求項 7】

複数の画素トランジスタがマトリクス状に配置されたアクティブマトリクス回路と、
前記アクティブマトリクス回路を駆動するソースドライバおよびゲートドライバと、
処理回路と、D/A 変換回路とを有し、

前記処理回路は、外部から入力される m ビットのデジタルビデオデータのうち n ビット

を階調電圧のための n ビットのデジタルビデオデータに変換し (m 、 n は共に 2 以上の正数、 $m > n$)、

前記 D / A 変換回路は、当該 n ビットのデジタルビデオデータをアナログビデオデータに変換し、かつ前記ソースドライバに前記アナログビデオデータを入力し、

1 フレームの映像は、当該アナログビデオデータと 2^{m-n} 個のサブフレームによる時間階調表示とを用いて形成されることを特徴とする表示装置。

【請求項 8】

複数の画素トランジスタがマトリクス状に配置されたアクティブマトリクス回路と、

前記アクティブマトリクス回路を駆動するソースドライバおよびゲートドライバと、

処理回路と、D / A 変換回路とを有し、

前記処理回路は、外部から入力される m ビットのデジタルビデオデータのうち n ビットを階調電圧のための n ビットのデジタルビデオデータに変換し (m 、 n は共に 2 以上の正数、 $m > n$)、

前記 D / A 変換回路は、当該 n ビットのデジタルビデオデータをアナログビデオデータに変換し、かつ前記ソースドライバに前記アナログビデオデータを入力し、

当該アナログビデオデータと 2^{m-n} 個のサブフレームによる時間階調表示とを用いて 1 フレームの映像を形成し、 $(2^m - (2^{m-n} - 1))$ 通りの階調表示を得ることを特徴とする表示装置。