(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国 际 局

(43) 国际公布日
2017 年 11 月 23 日 (23.11.2017)

WIPO | PCT

(10) 国际公布号
WO 2017/197683 A1

(51) 国际专利分类号:
G09G 3/36 (2006.01)

(21) 国际申请号: PCT/CN2016/085597

(22) 国际申请日: 2016 年 6 月 13 日 (13.06.2016)

(25) 申请语言: 中文

(26) 公布语言: 中文

(30) 优先权:
201610331102.0 2016年5月18日 (18.05.2016) CN

(71) 申请人: 武 汉 华 星 光 电 技 术 有 限 公 司 (WUHAN CHINA STAR OPTOELECTRONICS TECHNOLOGY CO., LTD) [CN/CN]; 中国湖北省武汉市东湖开发区高新大道666号生物城C5栋谭玉, Hubei 430079 (CN)。

(72) 发明人: 李亚锋 (LI, Yafeng); 中国湖北省武汉市东湖开发区高新大道666号生物城C5栋谭玉, Hubei 430079 (CN)。

(74) 代理人: 深圳翼盛智成知识产权事务所（普通合伙） (ESSEN PATENT & TRADEMARK AGENCY); 中国广东省深圳市福田区深南大道6021号喜年中心A座1709-1711, Guangdong 518040 (CN)。

(81) 指定国 (除另有指明，要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH,

WO 2017/197683 A1

(54) **Title:** LTPS SEMICONDUCTOR THIN-FILM TRANSISTOR-BASED GOA CIRCUIT

(54) 发明名称: 基于LTPS半导体薄膜晶体管的GOA电路

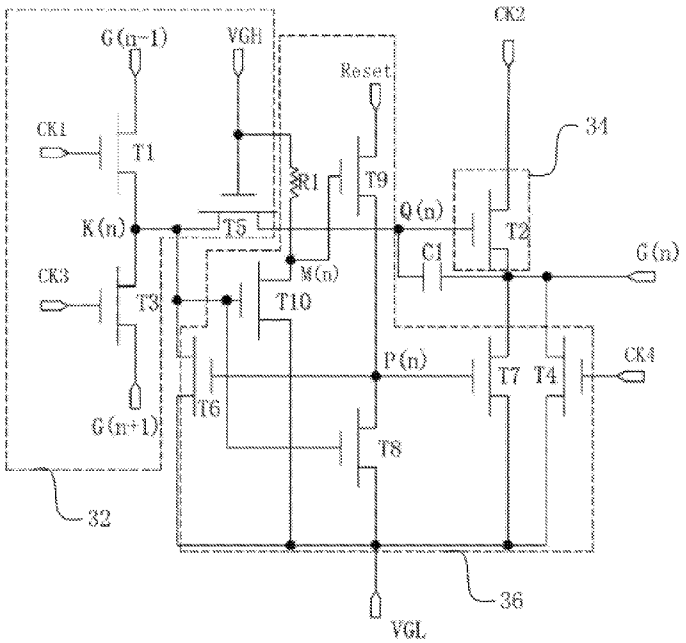


图 3

(57) **Abstract:** An LTPS semiconductor thin-film transistor-based GOA circuit. A resistor R1 and a timing signal Reset are introduced to adjust high and low levels and the frequency of a voltage corresponding to a second node P(n). The resistor R1 and a tenth thin-film transistor T10 are employed to replace a second capacitor C2 in the prior art. One terminal of the resistor R1 is connected to a constant voltage high level VGH; the other terminal is connected to a gate terminal of a ninth thin-film transistor T9; and a source terminal of the ninth thin-film transistor T9 is electrically connected to the timing signal Reset. When an output terminal G(n) is in a stage of

[见续页]

TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW。

(84) 指定国(除另有指明，要求每一种可提供的地区保护)：ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布:

— 包括国际检索报告(条约第21条(3))。

maintaining a low level, the level of the second node P(n) follows transitions of the timing signal Reset between high and low levels and make identical transitions between high and low levels, that is, the level of the second node P(n) is pulled down according to a certain frequency, thus effectively preventing the second node P(n) from being in the high level for an extended period of time, avoiding the problem of threshold voltage shift as a result of sixth and seventh thin-film transistors T6 and T7 working for an extended period of time, and increasing the stability of the GOA circuit.

(57) 摘要：一种基于LTPS半导体薄膜晶体管的GOA电路，引入了电阻R1与一时序信号Reset调整第二节点P(n)对应的电压的高低电平和频率。采用电阻R1与第十薄膜晶体管T10取代现有技术中的第二电容C2，将电阻R1的一端接恒压高电位VGH，另一端接第九薄膜晶体管T9的栅极，第九薄膜晶体管T9的源极电性连接于时序信号Reset；能够在输出端G(n)保持低电平的阶段，使第二节点P(n)的电平随着时序信号Reset在高、低电平之间跳变而发生同样的高、低电平跳变，即按一定频率拉低第二节点P(n)的电平，有效避免了第二节点P(n)长时间处于高电平，防止因第六与第七薄膜晶体管T6、T7长时间工作引起的阈值电压偏移问题，提升GOA电路的稳定性。

发明名称: 基于LTPS半导体薄膜晶体管的GOA电路

技术领域

[1] 本发明涉及液晶显示领域，尤其是涉及一种可以提升GOA电路稳定性的基于LTPS半导体薄膜晶体管的GOA电路。

背景技术

[2] GOA（Gate Driver on Array，集成在阵列基板上的行扫描）技术，是利用现有TFT-LCD（Thin Film Transistor-Liquid Crystal Display，薄膜晶体管液晶显示器）阵列制程将Gate行扫描驱动电路制作在阵列基板上，实现对Gate逐行扫描的驱动方式的一项技术。GOA技术能减少外接IC（Integrated Circuit，集成电路板）的焊接（bonding）工序，有机会提升产能并跳变产品成本，而且可以使液晶显示面板更适合制作窄边框或无边框的显示产品。

[3] 随着低温多晶硅（Low Temperature Poly-silicon，LTPS)半导体薄膜晶体管的发展，LTPS-TFT液晶显示器也越来越受关注，LTPS-TFT液晶显示器具有高分辨率、反应速度快、高亮度、高开口率等优点。而且由于LTPS半导体本身具有超高载流子迁移率的特性，可以采用GOA技术将栅极驱动器制作在薄膜晶体管阵列基板上，达到系统整合的目标、节省空间及驱动IC的成本。为了保证输出端G(n)点的稳定，都会引入Q(n)、P(n)两节点，Q(n)点为用于控制栅极驱动信号输出的点；P(n)点为用于维持Q(n)点及输出端G(n)点低电平的稳定点，而Q(n)、P(n)两节点之间多为相互牵制的关系。

[4] 参考图1，现有的基于LTPS半导体薄膜晶体管的GOA电路的示意图。所述的GOA电路包括级联的多个GOA单元，设n为正整数，第n级GOA单元包括：第一薄膜晶体管T1，其栅极电性连接于第一时钟信号CK1，源极电性连接于上一级第n-1级GOA单元的输出端G(n-1)，漏极电性连接于第三节点K(n)；第二薄膜晶体管T2，其栅极电性连接于第一节点Q(n)，源极电性连接于第二时钟信号CK2，漏极电性连接于输出端G(n)；第三薄膜晶体管T3，其栅极电性连接于第三时钟信号C

K3，源极电性连接于下一级第n+1级GOA单元的输出端G(n+1)，漏极电性连接于第三节点K(n)；第四薄膜晶体管T4，其栅极电性连接于第四时钟信号CK4，源极电性连接于恒压低电平VGL，漏极电性连接于输出端G(n)；第五薄膜晶体管T5，其栅极电性连接于恒压高电平VGH，源极电性连接于第三节点K(n)，漏极电性连接于第一节点Q(n)；第六薄膜晶体管T6，其栅极电性连接于第二节点P(n)，源极电性连接于恒压低电平VGL，漏极电性连接于第三节点K(n)；第七薄膜晶体管T7，其栅极电性连接于第二节点P(n)，源极电性连接于恒压低电平VGL，漏极电性连接于输出端G(n)；第八薄膜晶体管T8，其栅极电性连接于第三节点K(n)，源极电性连接于恒压低电平VGL，漏极电性连接于第二节点P(n)；第九薄膜晶体管T9，其栅极与源极均电性连接于第二时钟信号CK2，漏极电性连接于第二节点P(n)；自举电容C1，其一端电性连接于第一节点Q(n)，另一端电性连接于输出端G(n)；第二电容C2，其一端电性连接于第二节点P(n)，另一端电性连接于恒压低电平VGL。

[5] 图1所示的GOA电路既可以正向扫描也可以反向扫描，正、反向扫描的工作过程类似。结合图1与图2，以正向扫描为例进行说明，其中，图2为图1所示现有的基于LTPS半导体薄膜晶体管的GOA电路的正向扫描时序图。在正向扫描时，其工作过程为：阶段1，预充电：G(n-1)与CK1同时为高电平，T1导通，T5栅极接恒压高电平VGH因此T5一直处于导通的状态，第一节点Q(n)被预充电至高电平。阶段2，输出端G(n)输出高电平：G(n-1)与CK1跳变为低电平，CK2提供高电平，第一节点Q(n)因自举电容C1的存储作用保持高电平，T2导通，CK2的高电平输出到输出端G(n)，从而输出端G(n)输出高电平，并使得第一节点Q(n)被抬升至更高的电平，同时T8导通，第二节点P(n)被拉低，T6、T7截止。阶段3，输出端G(n)输出低电平：CK3与G(n+1)均提供高电平，第一节点Q(n)仍为高电平，CK2跳变为低电平，CK2的低电平输出到输出端G(n)，从而输出端G(n)输出低电平。阶段4，第一节点Q(n)拉低到恒压低电平VGL：CK1再次提供高电平，G(n-1)保持低电平，T1导通拉低第一节点Q(n)至恒压低电平VGL，T8截止。阶段5，第一节点Q(n)及输出端G(n)低电平维持阶段：CK2提供高电平，T9导通，第二节点P(n)被充电至高电平，T6、T7导通，分别继续拉低第一节点Q(n)及输出端G(n)至

恒压低电平VGL，在第二电容C2的存储作用下，第二节点P(n)持续保持高电平，T6、T7在一帧时间内一直导通，保持第一节点Q(n)及输出端G(n)的低电平。

[6] 从图2中不难看出，第二节点P(n)对应的高电平接近恒压高电平VGH（第二节点P(n)的高电平一定程度上可以通过T9的大小来调整），低电平为恒压低电平VGL（没有办法做改动）。在上述现有的GOA电路中，由于第二节点P(n)一直处于高电平的状态，也就是T6、T7一直处于导通的状态。T6、T7长时间工作，会造成T6、T7这两个关键薄膜晶体管阈值电压发生偏移（Vth Shift），造成电路的稳定能力下降，从而引起GOA电路输出异常。

[7] 因此，亟需提供一种新的GOA电路，以提升GOA电路的稳定性。

对发明的公开

技术问题

[8] 本发明的目的在于，提供一种基于LTPS半导体薄膜晶体管的GOA电路，与现有的基于LTPS半导体薄膜晶体管的GOA电路相比，可以避免第二节点P(n)长时间处于高电平，防止因第六与第七薄膜晶体管长T6、T7时间工作引起的阈值电压偏移问题，提升GOA电路的稳定性，提高液晶面板显示品质。

问题的解决方案

技术解决方案

[9] 为实现上述目的，本发明提供了一种基于LTPS半导体薄膜晶体管的GOA电路，其中，包括：级联的多个GOA单元，每一级GOA单元均包括扫描控制模块、输出模块、自举电容以及下拉模块；设n为正整数，除第一级与最后一级GOA单元以外，在第n级GOA单元中：所述扫描控制模块包括：第一薄膜晶体管、第三薄膜晶体管以及第五薄膜晶体管；所述第一薄膜晶体管的栅极电性连接于第一时钟信号，源极电性连接于上一级第n-1级GOA单元的输出端G(n-1)，漏极电性连接于第三节点；所述第三薄膜晶体管的栅极电性连接于第三时钟信号，源极电性连接于下一级第n+1级GOA单元的输出端G(n+1)，漏极电性连接于所述第三节点；所述第五薄膜晶体管的栅极电性连接于恒压高电平，源极电性连接于所述第三节点，漏极电性连接于第一节点；所述输出模块包括：第二薄膜晶体管，所述第二薄膜晶体管的栅极电性连接于所述第一节点，源极电性连接于第二

时钟信号，漏极电性连接于输出端G(n)；所述自举电容的一端电性连接于所述第一节点，另一端电性连接于所述输出端G(n)；所述下拉模块包括：第四薄膜晶体管、第六薄膜晶体管、第七薄膜晶体管、第八薄膜晶体管、第九薄膜晶体管、第十薄膜晶体管以及电阻；所述第四薄膜晶体管的栅极电性连接于第四时钟信号，源极电性连接于恒压低电平，漏极电性连接于所述输出端G(n)；所述第六薄膜晶体管的栅极电性连接于第二节点，源极电性连接于所述恒压低电平，漏极电性连接于所述第三节点；所述第七薄膜晶体管的栅极电性连接于所述第二节点，源极电性连接于所述恒压低电平，漏极电性连接于所述输出端G(n)；所述第八薄膜晶体管的栅极电性连接于所述第三节点，源极电性连接于所述恒压低电平，漏极电性连接于所述第二节点；所述第九薄膜晶体管的栅极电性连接于第四节点，源极电性连接于时序信号，漏极电性连接于所述第二节点；所述第十薄膜晶体管的栅极电性连接于所述第三节点，源极电性连接于所述恒压低电平，漏极电性连接于所述第四节点；所述电阻的一端电性连接于所述恒压高电平，另一端电性连接于所述第四节点；以及所有薄膜晶体管均为低温多晶硅半导体薄膜晶体管，所述第一时钟信号、所述第二时钟信号、所述第三时钟信号和所述第四时钟信号的脉冲是依序轮流输出，且互不重叠，在所述输出端G(n)保持低电平的阶段，所述第二节点的电平随着所述时序信号在高、低电平之间跳变而发生同样的高、低电平跳变。

[10] 为实现上述目的，本发明提供了一种基于LTPS半导体薄膜晶体管的GOA电路，包括：级联的多个GOA单元，每一级GOA单元均包括扫描控制模块、输出模块、自举电容以及下拉模块；设n为正整数，除第一级与最后一级GOA单元以外，在第n级GOA单元中：所述扫描控制模块包括：第一薄膜晶体管、第三薄膜晶体管以及第五薄膜晶体管；所述第一薄膜晶体管的栅极电性连接于第一时钟信号，源极电性连接于上一级第n-1级GOA单元的输出端G(n-1)，漏极电性连接于第三节点；所述第三薄膜晶体管的栅极电性连接于第三时钟信号，源极电性连接于下一级第n+1级GOA单元的输出端G(n+1)，漏极电性连接于所述第三节点；所述第五薄膜晶体管的栅极电性连接于恒压高电平，源极电性连接于所述第三节点，漏极电性连接于第一节点；所述输出模块包括：第二薄膜晶体管，所述

第二薄膜晶体管的栅极电性连接于所述第一节点，源极电性连接于第二时钟信号，漏极电性连接于输出端G(n)；所述自举电容的一端电性连接于所述第一节点，另一端电性连接于所述输出端G(n)；以及所述下拉模块包括：第四薄膜晶体管、第六薄膜晶体管、第七薄膜晶体管、第八薄膜晶体管、第九薄膜晶体管、第十薄膜晶体管以及电阻；所述第四薄膜晶体管的栅极电性连接于第四时钟信号，源极电性连接于恒压低电平，漏极电性连接于所述输出端G(n)；所述第六薄膜晶体管的栅极电性连接于第二节点，源极电性连接于所述恒压低电平，漏极电性连接于所述第三节点；所述第七薄膜晶体管的栅极电性连接于所述第二节点，源极电性连接于所述恒压低电平，漏极电性连接于所述输出端G(n)；所述第八薄膜晶体管的栅极电性连接于所述第三节点，源极电性连接于所述恒压低电平，漏极电性连接于所述第二节点；所述第九薄膜晶体管的栅极电性连接于第四节点，源极电性连接于时序信号，漏极电性连接于所述第二节点；所述第十薄膜晶体管的栅极电性连接于所述第三节点，源极电性连接于所述恒压低电平，漏极电性连接于所述第四节点；所述电阻的一端电性连接于所述恒压高电平，另一端电性连接于所述第四节点。

发明的有益效果

有益效果

[11] 本发明的优点在于，本发明提供的基于LTPS 半导体薄膜晶体管的GOA电路，引入了电阻与一时序信号调整第二节点P(n)对应的电压的高低电平和频率。采用电阻与第十薄膜晶体管取代现有技术中的第二电容，并改变现有技术中第九薄膜晶体管的二极体接法；将电阻的一端接恒压高电位，另一端接第九薄膜晶体管的栅极，第九薄膜晶体管的源极电性连接于时序信号；能够在输出端G(n)保持低电平的阶段，使第二节点P(n)的电平随着时序信号在高、低电平之间跳变而发生同样的高、低电平跳变，即按一定频率拉低第二节点P(n)的电平，有效避免了第二节点P(n)长时间处于高电平，防止因第六与第七薄膜晶体管长T6、T7时间工作引起的阈值电压偏移问题，提升GOA电路的稳定性，以适用高解析度的液晶面板设计。本发明所提供的GOA电路可应用于手机，显示器，电视的栅极驱动领域。

对附图的简要说明

附图说明

[12] 图1为现有的基于LTPS半导体薄膜晶体管的GOA电路的示意图；

[13] 图2为图1所示现有的基于LTPS半导体薄膜晶体管的GOA电路的正向扫描时序图；

[14] 图3，本发明所述的基于LTPS半导体薄膜晶体管的GOA电路的示意图；

[15] 图4为图3所示本发明的基于LTPS半导体薄膜晶体管的GOA电路的正向扫描时序图；

[16] 图5为图3所示本发明的基于LTPS半导体薄膜晶体管的GOA电路的反向扫描时序图。

实施该发明的最佳实施例

本发明的最佳实施方式

[17] 下面结合附图对本发明提供的基于LTPS半导体薄膜晶体管的GOA电路做详细说明。

[18] 参考图3，本发明所述的基于LTPS半导体薄膜晶体管的GOA电路的示意图。所述的GOA电路包括：级联的多个GOA单元，每一级GOA单元均包括扫描控制模块32、输出模块34、自举电容C1以及下拉模块36。

[19] 设n为正整数，除第一级与最后一级GOA单元以外，在第n级GOA单元中：所述扫描控制模块32包括：第一薄膜晶体管T1、第三薄膜晶体管T3以及第五薄膜晶体管T5；所述输出模块34包括：第二薄膜晶体管T2；所述下拉模块36包括：第四薄膜晶体管T4、第六薄膜晶体管T6、第七薄膜晶体管T7、第八薄膜晶体管T8、第九薄膜晶体管T9、第十薄膜晶体管T10以及电阻R1。

[20] 在所述扫描控制模块32中：第一薄膜晶体管T1的栅极电性连接于第一时钟信号CK1，源极电性连接于上一级第n-1级GOA单元的输出端G(n-1)，漏极电性连接于第三节点K(n)；第三薄膜晶体管T3的栅极电性连接于第三时钟信号CK3，源极电性连接于下一级第n+1级GOA单元的输出端G(n+1)，漏极电性连接于第三节点K(n)；第五薄膜晶体管T5的栅极电性连接于恒压高电平VGH，源极电性连接于第三节点K(n)，漏极电性连接于第一节点Q(n)。

[21] 在所述输出模块34中：第二薄膜晶体管T2的栅极电性连接于第一节点Q(n)，源极电性连接于第二时钟信号CK2，漏极电性连接于输出端G(n)。

[22] 所述自举电容C1的一端电性连接于第一节点Q(n)，另一端电性连接于输出端G(n)。

[23] 在所述下拉模块36中：第四薄膜晶体管T4的栅极电性连接于第四时钟信号CK4，源极电性连接于恒压低电平VGL，漏极电性连接于输出端G(n)；第六薄膜晶体管T6的栅极电性连接于第二节点P(n)，源极电性连接于恒压低电平VGL，漏极电性连接于第三节点K(n)；第七薄膜晶体管T7的栅极电性连接于第二节点P(n)，源极电性连接于恒压低电平VGL，漏极电性连接于输出端G(n)；第八薄膜晶体管T8的栅极电性连接于第三节点K(n)，源极电性连接于恒压低电平VGL，漏极电性连接于第二节点P(n)；第九薄膜晶体管T9的栅极电性连接于第四节点M(n)，源极电性连接于时序信号Reset，漏极电性连接于第二节点P(n)；第十薄膜晶体管T10的栅极电性连接于第三节点K(n)，源极电性连接于恒压低电平VGL，漏极电性连接于第四节点M(n)；电阻R1的一端电性连接于恒压高电平VGH，另一端电性连接于第四节点M(n)。

[24] 具体的，本发明所述的各个薄膜晶体管均为低温多晶硅半导体薄膜晶体管。

[25] 具体的，所述的GOA电路的四条时钟信号：所述第一时钟信号CK1、所述第二时钟信号CK2、所述第三时钟信号CK3和所述第四时钟信号CK4的脉冲是依序轮流输出，且互不重叠。

[26] 特别地，在第一级GOA 单元中，第一薄膜晶体管T1 的源极电性连接于电路起始信号STV；在最后一级GOA 单元中，第三薄膜晶体管T3 的源极电性连接于电路起始信号STV。本发明所述的基于LTPS 半导体薄膜晶体管的GOA电路既可以从第一级向最后一级逐级进行正向扫描，也可以从最后一级向第一级逐级进行反向扫描。其中，在正向扫描时，首先向第一级GOA
单元中的第一薄膜晶体管T1 提供第一条时钟信号（即CK1为高电平）和电路起始信号STV；也即正向扫描时，与所述第一薄膜晶体管T1电性连接的第一时钟信号CK1和上一级第n-1级GOA单元的输出端G(n-1) 同时提供高电平。反向扫描时，首先向最后一级GOA 单元中的第三薄膜晶体管T3

提供第一条时钟信号（即CK3为高电平）和电路起始信号STV；也即反向扫描时，与所述第三薄膜晶体管电性连接的第三时钟信号CK3和下一级第n+1级GOA单元的输出端G(n+1)同时提供高电平。

[27] 本发明所述的基于LTPS 半导体薄膜晶体管的GOA电路，无论是在正向扫描时还是反向扫描时，均能够按一定频率拉低所述第二节点P(n) 的电平。

[28] 参考图4，其为图3所示本发明的基于LTPS半导体薄膜晶体管的GOA电路的正向扫描时序图。在正向扫描时，其工作过程为：

[29] 阶段1、预充电：时钟信号CK1与输出端G(n-1)均提供高电平，时钟信号CK2、CK3、CK4均提供低电平，输出端G(n+1)也提供低电平；第一薄膜晶体管T1 受时钟信号CK1的控制导通，第三节点K(n)被预充电至高电平，受第三节点K(n)控制的第八、第十薄膜晶体管T8、T10 导通；第五薄膜晶体管T5
受恒压高电平VGH 的控制始终导通，故第三节点K(n)与第一节点Q(n)的电平始终相同，第一节点Q(n)被预充电至高电平；第二、第四节点P(n)、M(n)被拉低至恒压低电平VGL，受第二节点P(n)控制的第六、第七薄膜晶体管T6、T7 截止，受第四节点M(n)控制的第九薄膜晶体管T9 截止。

[30] 阶段2、输出端G(n)输出高电平：时钟信号CK1与输出端G(n-1)均跳变为低电平，时钟信号CK2提供高电平，时钟信号CK3、CK4和输出端G(n+1)仍提供低电平；第一节点Q(n)因自举电容C1 的存储作用保持高电平；第二薄膜晶体管T2 导通，时钟信号CK2的高电平输出到输出端G(n)，从而输出端G(n)输出高电平，并使得第一节点Q(n)被抬升至更高的电平，第八、第十薄膜晶体管T8、T10 仍导通；第二、第四节点P(n)、M(n)保持恒压低电平VGL，受第二节点P(n)控制的第六、第七薄膜晶体管T6、T7仍截止，受第四节点M(n)控制的第九薄膜晶体管T9仍截止。

[31] 阶段3、输出端G(n)输出低电平：时钟信号CK2跳变为低电平，时钟信号CK3与输出端G(n+1)均提供高电平，时钟信号CK1、CK4及输出端G(n-1)仍提供低电平；受时钟信号CK3控制的第三薄膜晶体管T3 导通；第一节点Q(n)仍为高电平，受第一节点Q(n)控制的第二、第八、第十薄膜晶体管T2、T8、T10 仍导通；第二、第四节点P(n)、M(n)仍保持恒压低电平VGL，受第二节点P(n)控制的第六、

第七薄膜晶体管T6、T7仍截止，受第四节点M(n)控制的第九薄膜晶体管T9仍截止；由于第二薄膜晶体管T2仍导通，时钟信号CK2的低电平输出到输出端G(n)，从而输出端G(n)输出低电平。

[32] 阶段4，第一节点Q(n)拉低到恒压低电平VGL：时钟信号CK1再次提供高电平，时钟信号CK2、CK3、CK4和输出端G(n-1)提供低电平；受时钟信号CK1控制的第一薄膜晶体管T1

导通，拉低第一节点Q(n)至恒压低电平VGL；受第一节点Q(n)控制的第二、第八、第十薄膜晶体管T2、T8、T10截止。

[33] 阶段5、第一节点Q(n)及输出端G(n)低电平维持阶段：第四节点M(n)由于电阻R1 的分压始终处于高电平，第九薄膜晶体管T9 始终导通，时序信号Reset会被传输到第二节点P(n)；随着时序信号Reset交替提供高、低电平，第二节点P(n)的电平随着发生同样的高、低电平跳变，即第二节点P(n)的高低电平跳变频率与时序信号Reset一致。当时序信号Reset为高电平时，第二节点P(n)会被充电到高电平，第六、第七薄膜晶体管T6、T7

导通；当时序信号Reset为低电平时，第二节点P(n)会被拉低到低电平，第六、第七薄膜晶体管T6、T7 截止；第一节点Q(n)及输出端G(n)保持低电平。即在输出端G(n)保持低电平的阶段，第二节点P(n)的电平随着时序信号Reset在高、低电平之间跳变而发生同样的高、低电平跳变。

[34] 具体地：时序信号Reset的高电平V2低于或等于恒压高电平VGH且高于第六、第七薄膜晶体管T6、T7的阈值电压VTH（即VTH＜V2≤VGH）；时序信号Reset的低电平V1低于0且高于或等于恒压低电平VGL（即VGL≤V1＜0）。时序信号Reset对应的占空比可以为25%、33%、50%等等，只要在某一占空比下，高电平V2造成阈值电压偏移（Vth shift向右）和低压V1造成的阈值电压偏移（Vth shift向左）一定程度上可以抵消即可。

[35] 相比于现有技术中第二节点P(n)长时间保持高电平，第六、第七薄膜晶体管T6、T7 在一帧时间内一直导通，本发明提供的基于LTPS 薄膜晶体管的GOA电路在阶段5中第二节点P(n)按一定频率被拉低，有效避免了第二节点P(n)长时间处于高电平，防止因第六与第七薄膜晶体管T6、T7 长时间工作引起的阈值电压偏移

问题，提升GOA电路的稳定性。

[36] 参考图5，其为图3所示本发明的基于LTPS半导体薄膜晶体管的GOA电路的反向扫描时序图；由于正、反向扫描的工作过程类似，以下简述反向扫描的工作过程。在反向扫描时，其工作过程为：

[37] 阶段1、预充电：时钟信号CK3与输出端G(n+1)均提供高电平，第三薄膜晶体管T3受时钟信号CK3的控制导通，第三节点K(n)被预充电至高电平，受第三节点K(n)控制的第八、第十薄膜晶体管T8、T10 导通；第五薄膜晶体管T5 受恒压高电平VGH 的控制始终导通，故第三节点K(n)与第一节点Q(n)的电平始终相同，第一节点Q(n)被预充电至高电平；第二、第四节点P(n)、M(n)被拉低至恒压低电平VGL，第六、第七、第九薄膜晶体管T6、T7、T9 截止。

[38] 阶段2、输出端G(n)输出高电平：时钟信号CK2提供高电平；第一节点Q(n)因自举电容C1 的存储作用保持高电平，第二薄膜晶体管T2 导通，时钟信号CK2的高电平输出到输出端G(n)，从而输出端G(n)输出高电平，并使得第一节点Q(n)被抬升至更高的电平。

[39] 阶段3、输出端G(n)输出低电平：时钟信号CK2跳变为低电平，时钟信号CK1与输出端G(n-1)均提供高电平，第一节点Q(n)仍为高电平，第二薄膜晶体管T2仍导通，时钟信号CK2的低电平输出到输出端G(n)，从而输出端G(n)输出低电平。

[40] 阶段4，第一节点Q(n)拉低到恒压低电平VGL：时钟信号CK3再次提供高电平，输出端G(n+1)提供低电平；第三薄膜晶体管T3导通，拉低第一节点Q(n)至恒压低电平VGL。

[41] 阶段5、第一节点Q(n)及输出端G(n)低电平维持阶段：当第一节点Q(n)被拉低至恒压低电平VGL后，第二、第八、第十薄膜晶体管T2、T8、T10截止，第一节点Q(n)及输出端G(n)保持低电平；第四节点M(n)由于电阻R1 的分压始终处于高电平，第九薄膜晶体管T9 始终导通，时序信号Reset会被传输到第二节点P(n)；随着时序信号Reset交替提供高、低电平，第二节点P(n)的电平随着发生同样的高、低电平跳变，即第二节点P(n)的高低电平跳变频率与时序信号Reset一致。当时序信号Reset为高电平时，第二节点P(n)会被充电到高电平，第六、第七薄膜晶体管T6、T7 导通；当时序信号Reset为低电平时，第二节点P(n)会被拉低到低电平，

第六、第七薄膜晶体管T6、T7 截止。即在输出端G(n)保持低电平的阶段，第二节点P(n)的电平随着时序信号Reset在高、低电平之间跳变而发生同样的高、低电平跳变。

[42] 具体地：时序信号Reset的高电平V2低于或等于恒压高电平VGH且高于第六、第七薄膜晶体管T6、T7的阈值电压VTH（即VTH＜V2≤VGH）；时序信号Reset的低电平V1低于0且高于或等于恒压低电平VGL（即VGL≤V1＜0）。时序信号Reset对应的占空比可以为25%、33%、50%等等，只要在某一占空比下，高电平V2造成阈值电压偏移（Vth shift向右）和低压V1造成的阈值电压偏移（Vth shift向左）一定程度上可以抵消即可。

[43] 相比于现有技术中第二节点P(n)长时间保持高电平，第六、第七薄膜晶体管T6、T7 在一帧时间内一直导通，本发明提供的基于LTPS 薄膜晶体管的GOA电路在阶段5中第二节点P(n)按一定频率被拉低，有效避免了第二节点P(n)长时间处于高电平，防止因第六与第七薄膜晶体管T6、T7 长时间工作引起的阈值电压偏移问题，提升GOA电路的稳定性。

[44] 综上所述，本发明提供的基于LTPS 半导体薄膜晶体管的GOA电路，引入了电阻与一时序信号，通过调整第二节点P(n)对应的电压的高低电平和频率，能够在输出端G(n)保持低电平的阶段，使第二节点P(n)的电平随着时序信号在高、低电平之间跳变而发生同样的高、低电平跳变，即按一定频率拉低第二节点P(n)的电平，有效避免了第二节点P(n)长时间处于高电平，防止因第六与第七薄膜晶体管长T6、T7时间工作引起的阈值电压偏移问题，提升GOA电路的稳定性，以适用高解析度的液晶面板设计。本发明所提供的电路可应用于手机，显示器，电视的栅极驱动领域。

[45] 以上所述仅是本发明的优选实施方式，应当指出，对于本技术领域的普通技术人员，在不脱离本发明原理的前提下，还可以做出若干改进和润饰，这些改进和润饰也应视为本发明的保护范围。

权利要求书

[权利要求 1] 一种基于LTPS半导体薄膜晶体管的GOA电路，其中，包括：级联的多个GOA单元，每一级GOA单元均包括扫描控制模块、输出模块、自举电容以及下拉模块；

设n为正整数，除第一级与最后一级GOA单元以外，在第n级GOA单元中：

所述扫描控制模块包括：第一薄膜晶体管、第三薄膜晶体管以及第五薄膜晶体管；所述第一薄膜晶体管的栅极电性连接于第一时钟信号，源极电性连接于上一级第n-1级GOA单元的输出端G(n-1)，漏极电性连接于第三节点；所述第三薄膜晶体管的栅极电性连接于第三时钟信号，源极电性连接于下一级第n+1级GOA单元的输出端G(n+1)，漏极电性连接于所述第三节点；所述第五薄膜晶体管的栅极电性连接于恒压高电平，源极电性连接于所述第三节点，漏极电性连接于第一节点；

所述输出模块包括：第二薄膜晶体管，所述第二薄膜晶体管的栅极电性连接于所述第一节点，源极电性连接于第二时钟信号，漏极电性连接于输出端G(n)；

所述自举电容的一端电性连接于所述第一节点，另一端电性连接于所述输出端G(n)；

所述下拉模块包括：第四薄膜晶体管、第六薄膜晶体管、第七薄膜晶体管、第八薄膜晶体管、第九薄膜晶体管、第十薄膜晶体管以及电阻；所述第四薄膜晶体管的栅极电性连接于第四时钟信号，源极电性连接于恒压低电平，漏极电性连接于所述输出端G(n)；所述第六薄膜晶体管的栅极电性连接于第二节点，源极电性连接于所述恒压低电平，漏极电性连接于所述第三节点；所述第七薄膜晶体管的栅极电性连接于所述第二节点，源极电性连接于所述恒压低电平，漏极电性连接于所述输出端G(n)；所述第八薄膜晶体管的栅极电性连接于所述第三节点，源极电性连接于所述恒

压低电平，漏极电性连接于所述第二节点；所述第九薄膜晶体管的栅极电性连接于第四节点，源极电性连接于时序信号，漏极电性连接于所述第二节点；所述第十薄膜晶体管的栅极电性连接于所述第三节点，源极电性连接于所述恒压低电平，漏极电性连接于所述第四节点；所述电阻的一端电性连接于所述恒压高电平，另一端电性连接于所述第四节点；以及

所有薄膜晶体管均为低温多晶硅半导体薄膜晶体管，所述第一时钟信号、所述第二时钟信号、所述第三时钟信号和所述第四时钟信号的脉冲是依序轮流输出，且互不重叠，在所述输出端G(n)保持低电平的阶段，所述第二节点的电平随着所述时序信号在高、低电平之间跳变而发生同样的高、低电平跳变。

[权利要求 2] 如权利要求1所述的GOA电路，其中，所述时序信号的高电平低于或等于所述恒压高电平且高于所述第六薄膜晶体管与所述第七薄膜晶体管的阈值电压；所述时序信号的低电平低于0且高于或等于所述恒压低电平。

[权利要求 3] 如权利要求1所述的GOA电路，其中，所述时序信号对应的占空比为25%、33%或50%的其中之一。

[权利要求 4] 如权利要求1所述的GOA电路，其中，正向扫描时，与所述第一薄膜晶体管电性连接的所述第一时钟信号和所述输出端G(n-1) 同时提供高电平；反向扫描时，与所述第三薄膜晶体管电性连接的所述第三时钟信号和所述输出端G(n+1)同时提供高电平。

[权利要求 5] 一种基于LTPS半导体薄膜晶体管的GOA电路，其中，包括：级联的多个GOA单元，每一级GOA单元均包括扫描控制模块、输出模块、自举电容以及下拉模块；

设n为正整数，除第一级与最后一级GOA单元以外，在第n级GOA单元中：

所述扫描控制模块包括：第一薄膜晶体管、第三薄膜晶体管以及第五薄膜晶体管；所述第一薄膜晶体管的栅极电性连接于第一时

钟信号，源极电性连接于上一级第n-1级GOA单元的输出端G(n-1)，漏极电性连接于第三节点；所述第三薄膜晶体管的栅极电性连接于第三时钟信号，源极电性连接于下一级第n+1级GOA单元的输出端G(n+1)，漏极电性连接于所述第三节点；所述第五薄膜晶体管的栅极电性连接于恒压高电平，源极电性连接于所述第三节点，漏极电性连接于第一节点；

所述输出模块包括：第二薄膜晶体管，所述第二薄膜晶体管的栅极电性连接于所述第一节点，源极电性连接于第二时钟信号，漏极电性连接于输出端G(n)；

所述自举电容的一端电性连接于所述第一节点，另一端电性连接于所述输出端G(n)；以及

所述下拉模块包括：第四薄膜晶体管、第六薄膜晶体管、第七薄膜晶体管、第八薄膜晶体管、第九薄膜晶体管、第十薄膜晶体管以及电阻；所述第四薄膜晶体管的栅极电性连接于第四时钟信号，源极电性连接于恒压低电平，漏极电性连接于所述输出端G(n)；所述第六薄膜晶体管的栅极电性连接于第二节点，源极电性连接于所述恒压低电平，漏极电性连接于所述第三节点；所述第七薄膜晶体管的栅极电性连接于所述第二节点，源极电性连接于所述恒压低电平，漏极电性连接于所述输出端G(n)；所述第八薄膜晶体管的栅极电性连接于所述第三节点，源极电性连接于所述恒压低电平，漏极电性连接于所述第二节点；所述第九薄膜晶体管的栅极电性连接于第四节点，源极电性连接于时序信号，漏极电性连接于所述第二节点；所述第十薄膜晶体管的栅极电性连接于所述第三节点，源极电性连接于所述恒压低电平，漏极电性连接于所述第四节点；所述电阻的一端电性连接于所述恒压高电平，另一端电性连接于所述第四节点。

[权利要求 6] 如权利要求5所述的GOA电路，其中，在所述输出端G(n)保持低电平的阶段，所述第二节点的电平随着所述时序信号在高、低电平

之间跳变而发生同样的高、低电平跳变。

[权利要求 7] 如权利要求6所述的GOA电路，其中，所述时序信号的高电平低于或等于所述恒压高电平且高于所述第六薄膜晶体管与所述第七薄膜晶体管的阈值电压；所述时序信号的低电平低于0且高于或等于所述恒压低电平。

[权利要求 8] 如权利要求5所述的GOA电路，其中，所述时序信号对应的占空比为25%、33%或50%的其中之一。

[权利要求 9] 如权利要求5所述的GOA电路，其中，所述第一时钟信号、所述第二时钟信号、所述第三时钟信号和所述第四时钟信号的脉冲是依序轮流输出，且互不重叠。

[权利要求 10] 如权利要求5所述的GOA电路，其中，正向扫描时，与所述第一薄膜晶体管电性连接的所述第一时钟信号和所述输出端G(n-1) 同时提供高电平；反向扫描时，与所述第三薄膜晶体管电性连接的所述第三时钟信号和所述输出端G(n+1)同时提供高电平。

[权利要求 11] 如权利要求5所述的GOA电路，其中，所有薄膜晶体管均为低温多晶硅半导体薄膜晶体管。

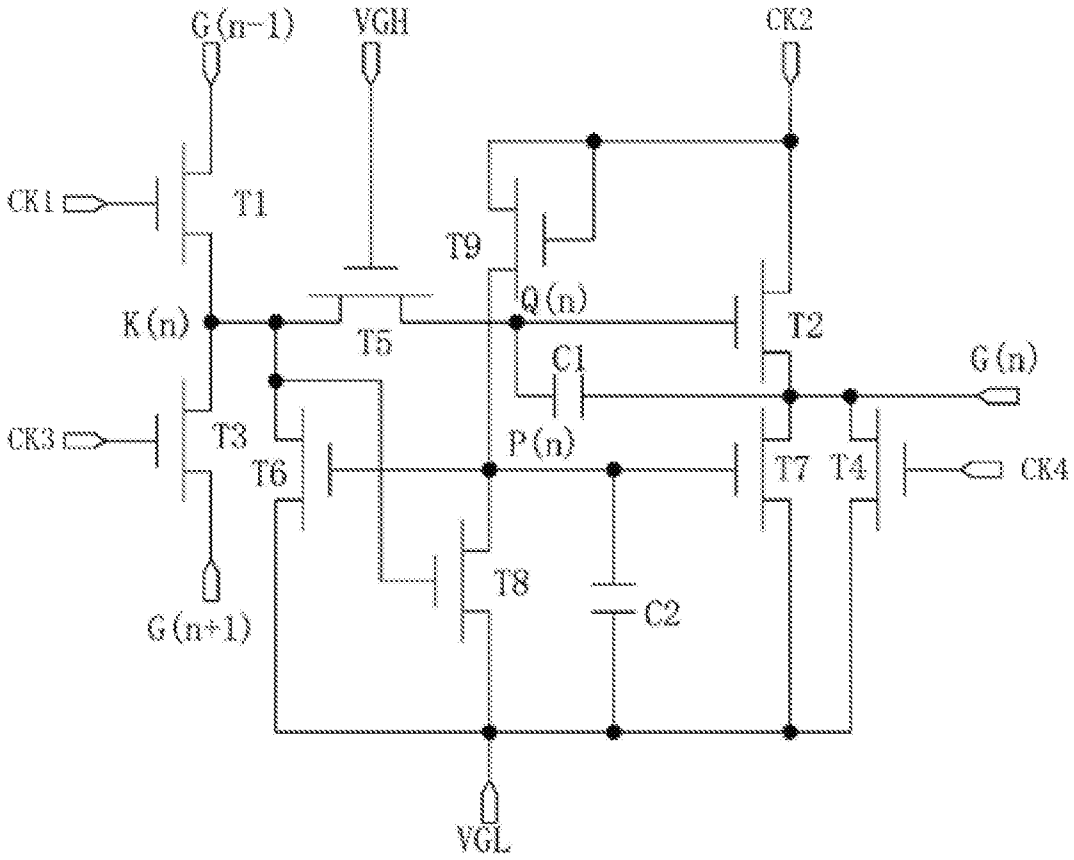

G(n-1)
VGH
CK2
CK1
T1
T9
Q(n)
K(n)
T5
T2
C1
G(n)
CK3
T3
P(n)
T6
T7
T4
CK4
T8
C2
G(n+1)
VGL

图 1

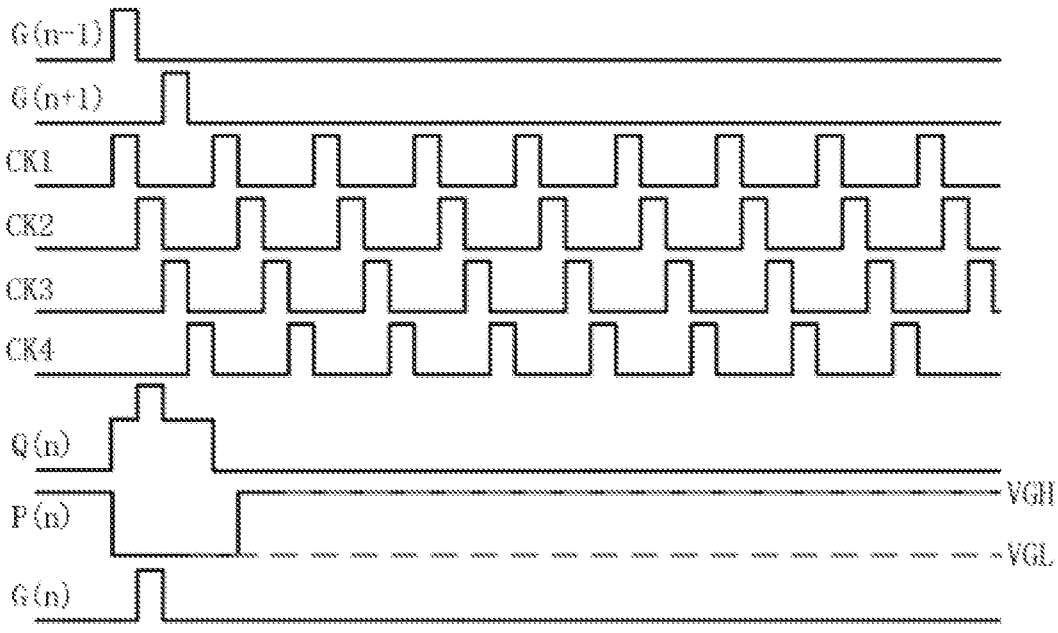

G(n-1)
G(n+1)
CK1
CK2
CK3
CK4
Q(n)
VGH
P(n)
VGL
G(n)

图 2

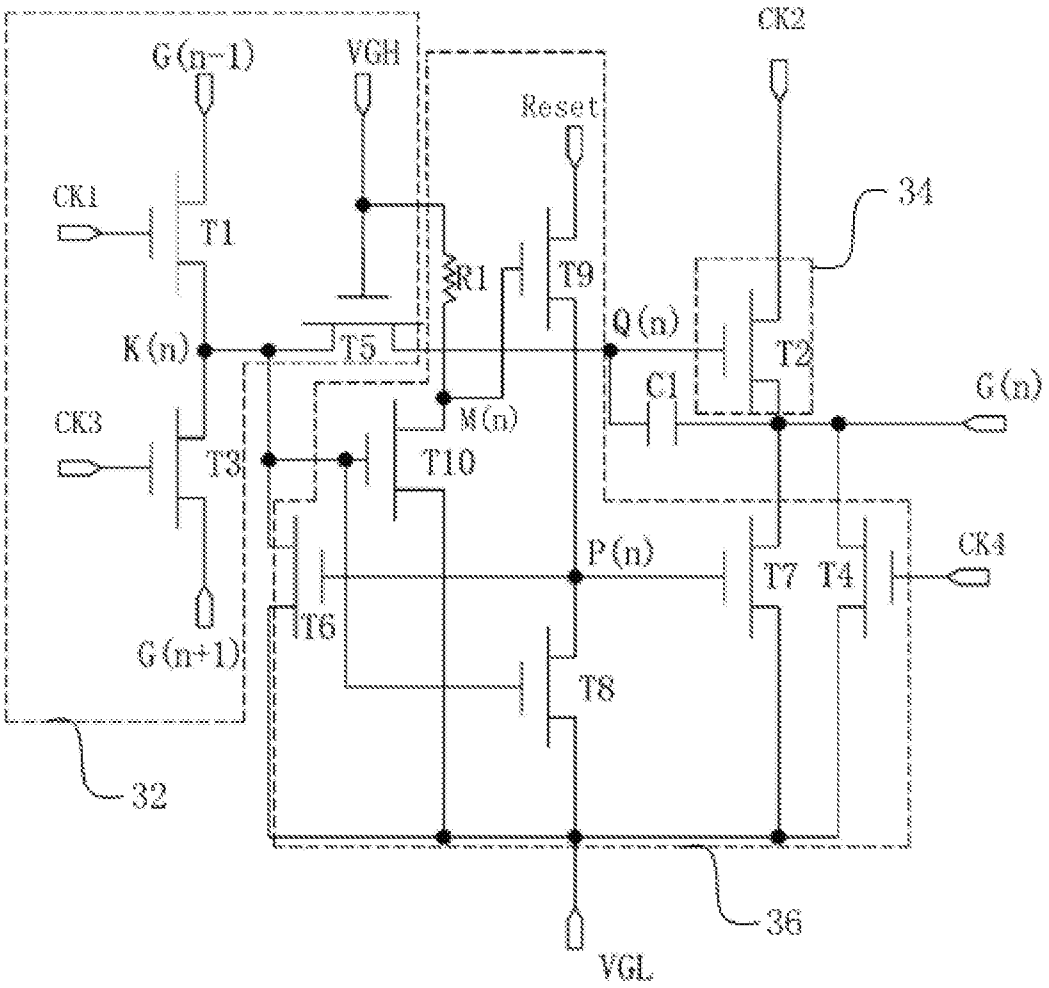

G(n-1)
VGH
Reset
CK2
CK1
T1
R1
T9
34
K(n)
T5
Q(n)
T2
C1
G(n)
CK3
M(n)
T3
T10
P(n)
T7
T4
CK4
T6
G(n+1)
T8
32
36
VGL

图 3

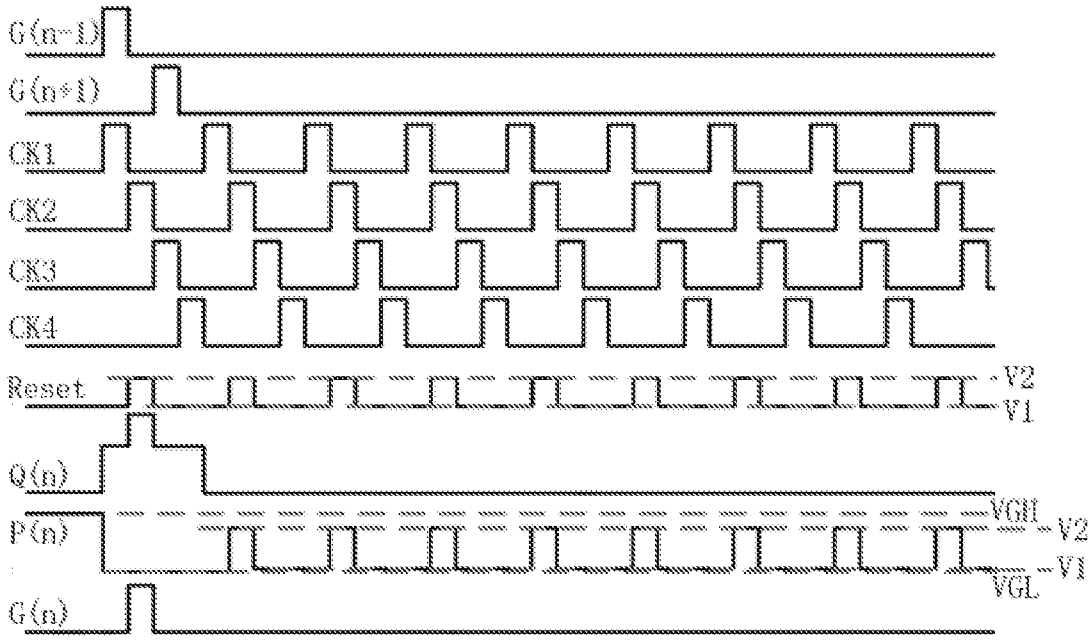

G(n-1)
G(n+1)
CK1
CK2
CK3
CK4
Reset
V2
V1
Q(n)
P(n)
VGH
V2
V1
VGL
G(n)

图 4

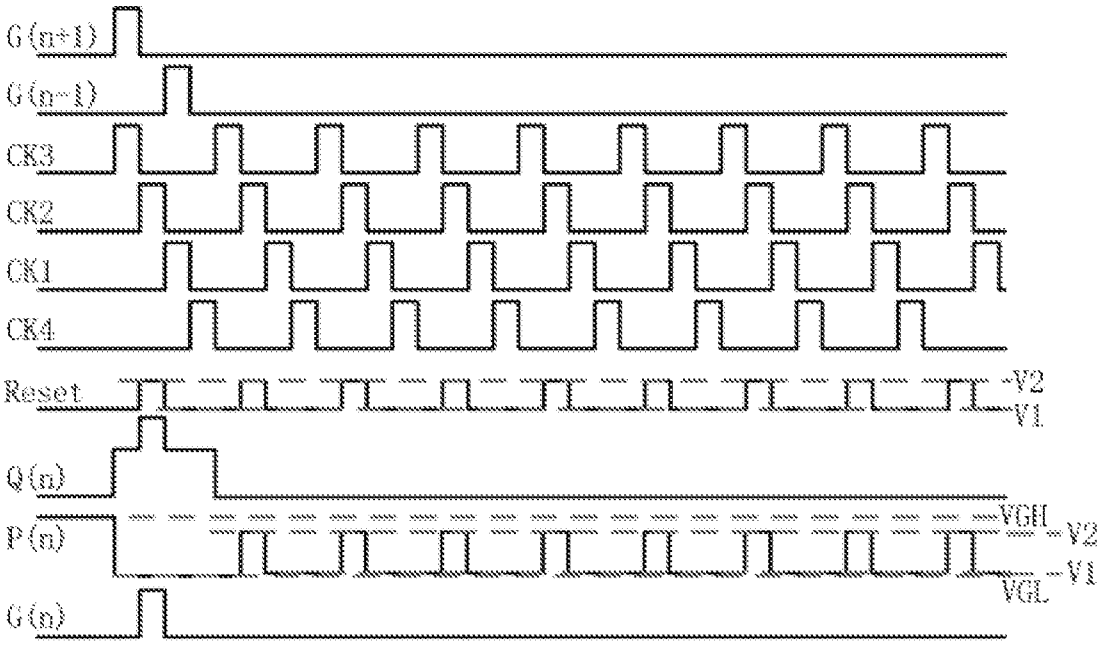

G(n+1)
G(n-1)
CK3
CK2
CK1
CK4
Reset
V2
V1
Q(n)
P(n)
VGH
V2
V1
VGL
G(n)

图 5

INTERNATIONAL SEARCH REPORT

International application No.
PCT/CN2016/085597

A. CLASSIFICATION OF SUBJECT MATTER

G09G 3/36 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G09G

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

WPI, EPODOC, CNPAT, CNKI, IEEE: gate drive, scanning drive, low temperature, LTPS, TFT, thin film transistor, GOA, gate driver on array, time sequence, reset, signal, high level, low level

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	CN 105355187 A (WUHAN CHINA STAR OPTOELECTRONICS TECHNOLOGY CO., LTD.) 24 February 2016 (24.02.2016) description, paragraphs [0031]-[0048], and figures 3-6	1-11
A	CN 103065593 A (BOE TECHNOLOGY GROUP CO., LTD. et al.) 24 April 2013 (24.04.2013) the whole document	1-11
A	CN 105336302 A (WUHAN CHINA STAR OPTOELECTRONICS TECHNOLOGY CO., LTD.) 17 February 2016 (17.02.2016) the whole document	1-11
A	US 2008030445 A1 (SAMSUNG ELECTRONICS CO., LTD.) 07 February 2008 (07.02.2008) the whole document	1-11

☐ Further documents are listed in the continuation of Box C. ☒ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
10 January 2017	25 January 2017
Name and mailing address of the ISA State Intellectual Property Office of the P. R. China No. 6, Xitucheng Road, Jimenqiao Haidian District, Beijing 100088, China Facsimile No. (86-10) 62019451	Authorized officer LI, Yong Telephone No. (86-10) 62414065

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/CN2016/085597

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
CN 105355187 A	24 February 2016	None	
CN 103065593 A	24 April 2013	CN 103065593 B	19 November 2014
CN 105336302 A	17 February 2016	None	
US 2008030445 A1	07 February 2008	KR 20080012153 A	11 February 2008
		TW I430242 B	11 March 2014
		CN 101118357 A	06 February 2008
		KR 101415565 B1	06 August 2014
		CN 101118357 B	19 January 2011
		TW 200809759 A	16 February 2008
		US 8063860 B2	22 November 2011
		JP 2008040498 A	21 February 2008
		JP 5080894 B2	21 November 2012

国际检索报告

国际申请号
PCT/CN2016/085597

A. 主题的分类

G09G 3/36(2006.01)i

按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类

B. 检索领域

检索的最低限度文献(标明分类系统和分类号)

G09G

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库(数据库的名称，和使用的检索词（如使用））

WPI, EPODOC, CNPAT, CNKI, IEEE: 低温，薄膜晶体管，栅极驱动，扫描驱动，时序，信号，高电平，高电位，低电平，低电位，low temperature, LTPS, TFT, thin film transistor, GOA, gate driver on array, time sequence, reset, signal, high level, low level

C. 相关文件

类 型*	引用文件，必要时，指明相关段落	相关的权利要求
X	CN 105355187 A (武汉华星光电技术有限公司) 2016年 2月 24日 (2016-02-24) 说明书第【0031】-【0048】段，附图3-6	1-11
A	CN 103065593 A (京东方科技集团股份有限公司等) 2013年 4月 24日 (2013-04-24) 全文	1-11
A	CN 105336302 A (武汉华星光电技术有限公司) 2016年 2月 17日 (2016-02-17) 全文	1-11
A	US 2008030445 A1 (SAMSUNG ELECTRONICS CO., LTD.) 2008年 2月 7日 (2008-02-07) 全文	1-11

☐ 其余文件在C栏的续页中列出。

☑ 见同族专利附件。

* 引用文件的具体类型：

“A” 认为不特别相关的表示了现有技术一般状态的文件

“E” 在国际申请日的当天或之后公布的在先申请或专利

“L” 可能对优先权要求构成怀疑的文件，或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件（如具体说明的）

“O” 涉及口头公开、使用、展览或其他方式公开的文件

“P” 公布日先于国际申请日但迟于所要求的优先权日的文件

“T” 在申请日或优先权日之后公布，与申请不相抵触，但为了理解发明之理论或原理的在后文件

“X” 特别相关的文件，单独考虑该文件，认定要求保护的发明不是新颖的或不具有创造性

“Y” 特别相关的文件，当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时，要求保护的发明不具有创造性

“&” 同族专利的文件

国际检索实际完成的日期	国际检索报告邮寄日期
2017年 1月 10日	2017年 1月 25日

ISA/CN的名称和邮寄地址	受权官员
中华人民共和国国家知识产权局(ISA/CN) 中国北京市海淀区蓟门桥西土城路6号 100088	李勇
传真号 (86-10)62019451	电话号码 (86-10)010-62414065

国际检索报告
关于同族专利的信息

国际申请号
PCT/CN2016/085597

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
CN	105355187	A	2016年 2月 24日	无			
CN	103065593	A	2013年 4月 24日	CN	103065593	B	2014年 11月 19日
CN	105336302	A	2016年 2月 17日	无			
US	2008030445	A1	2008年 2月 7日	KR	20080012153	A	2008年 2月 11日
				TW	I430242	B	2014年 3月 11日
				CN	101118357	A	2008年 2月 6日
				KR	101415565	B1	2014年 8月 6日
				CN	101118357	B	2011年 1月 19日
				TW	200809759	A	2008年 2月 16日
				US	8063860	B2	2011年 11月 22日
				JP	2008040498	A	2008年 2月 21日
				JP	5080894	B2	2012年 11月 21日