



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I633668 B

(45)公告日：中華民國 107 (2018) 年 08 月 21 日

(21)申請案號：103131751

(22)申請日：中華民國 103 (2014) 年 09 月 15 日

(51)Int. Cl. : H01L29/78 (2006.01)

H01L29/40 (2006.01)

(30)優先權：2013/09/23 日本

2013-196301

(71)申請人：半導體能源研究所股份有限公司 (日本) SEMICONDUCTOR ENERGY
LABORATORY CO., LTD. (JP)

日本

(72)發明人：田中哲弘 TANAKA, TETSUHIRO (JP)；竹內敏彥 TAKEUCHI, TOSHIHIKO (JP)；
山根靖正 YAMANE, YASUMASA (JP)

(74)代理人：林志剛

(56)參考文獻：

TW 201133851A1

TW 201145408A1

TW 201236155A1

TW 201319666A1

TW 201338057A

審查人員：王安邦

申請專利範圍項數：14 項 圖式數：33 共 143 頁

(54)名稱

半導體裝置

SEMICONDUCTOR DEVICE

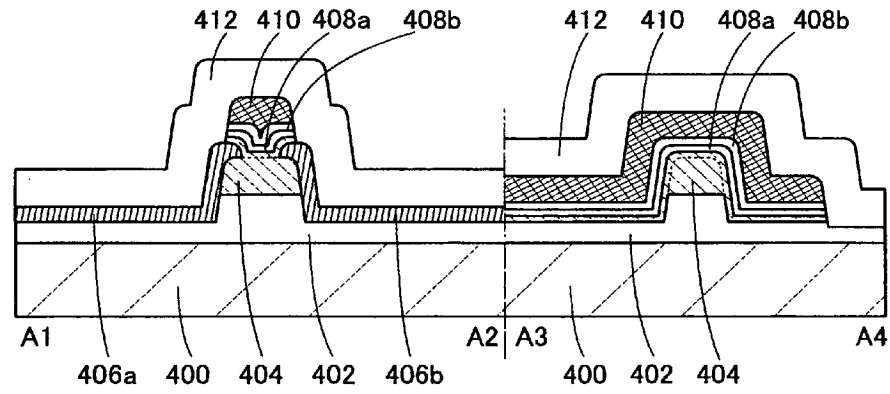
(57)摘要

本發明的一個方式提供一種具有能夠抑制隨著微型化而明顯的電特性的降低的結構的半導體裝置。本發明的一個方式是一種半導體裝置，包括：第一氧化物半導體膜；與第一氧化物半導體膜重疊的閘極電極；位於第一氧化物半導體膜與閘極電極之間的第一閘極絕緣膜；以及位於第一閘極絕緣膜與閘極電極之間的第二閘極絕緣膜，其中，在第一閘極絕緣膜中，藉由 X 射線繞射測量，在 28° 附近的繞射角 2θ 具有峰值。此外，第一氧化物半導體膜的能帶間隙小於第一閘極絕緣膜的能帶間隙，第一閘極絕緣膜的能帶間隙小於第二閘極絕緣膜的能帶間隙。

Provided is a semiconductor device having a structure with which a decrease in electrical characteristics that becomes more significant with miniaturization can be suppressed. The semiconductor device includes a first oxide semiconductor film, a gate electrode overlapping with the first oxide semiconductor film, a first gate insulating film between the first oxide semiconductor film and the gate electrode, and a second gate insulating film between the first gate insulating film and the gate electrode. In the first gate insulating film, a peak appears at a diffraction angle 2θ of around 28° by X-ray diffraction. A band gap of the first oxide semiconductor film is smaller than a band gap of the first gate insulating film, and the band gap of the first gate insulating film is smaller than a band gap of the second gate insulating film.

指定代表圖：

圖 3B



符號簡單說明：

- 400 . . . 基板
- 402 . . . 基底絕緣膜
- 404 . . . 氧化物半導體層
- 406a . . . 源極電極
- 406b . . . 汲極電極
- 408a . . . 閘極絕緣膜
- 408b . . . 閘極絕緣膜
- 410 . . . 閘極電極
- 412 . . . 絕緣膜

發明專利說明書

(本說明書格式、順序，請勿任意更動)

【發明名稱】(中文/英文)

半導體裝置

Semiconductor device

【技術領域】

[0001] 本發明係關於一種物體、方法或製造方法。另外，本發明係關於一種製程（process）、機器（machine）、產品（manufacture）或組成物（composition of matter）。此外，本發明的一個方式係關於一種半導體裝置、顯示裝置、發光裝置、蓄電裝置、記憶體裝置、它們的驅動方法或它們的製造方法。尤其是，本發明的一個方式係關於一種半導體裝置或半導體裝置的製造方法。

[0002] 注意，在本說明書中，半導體裝置是指能夠藉由利用半導體特性而工作的所有裝置。顯示裝置、電光裝置、半導體電路以及電子裝置有時包括半導體裝置。

【先前技術】

[0003] 藉由利用半導體膜來構成電晶體的技術受到關注。該電晶體被廣泛地應用於如積體電路（IC）及影像顯示裝置（顯示裝置）等的電子裝置。作為可以應用於電晶體的半導體薄膜的材料，矽類半導體材料被周知。另

外，作為其他材料，氧化物半導體受到關注。

[0004] 例如，專利文獻 1 公開了一種電晶體，該電晶體包括包含銦（In）、鎵（Ga）及鋅（Zn）的非晶氧化物半導體膜。

[0005] 另外，專利文獻 2 和專利文獻 3 公開了藉由使氧化物半導體膜具有疊層結構，來提高載子移動率的技術。

[0006] 已知使用氧化物半導體膜的電晶體的關閉狀態下的洩漏電流（關態電流（off-state current））極小。例如，已公開了應用包括氧化物半導體膜的電晶體的低洩漏電流特性的低功耗的 CPU 等（參照專利文獻 4）。

[0007] [專利文獻 1]日本專利申請公開第 2006-165528 號公報

[專利文獻 2]日本專利申請公開第 2011-124360 號公報

[專利文獻 3]日本專利申請公開第 2011-138934 號公報

[專利文獻 4]日本專利申請公開第 2012-257187 號公報

[0008] 為了減少關態電流，不但需要注意氧化物半導體的性質，而且還需要密切注意導致洩漏電流的其他結構。

[0009] 例如，閘極絕緣膜的厚度越薄，起因於閘極絕緣膜的洩漏電流越增大。另外，在如 FIN 型那樣的具有三維結構的場效應電晶體（FET）中，容易產生步階覆蓋

性的降低導致的起因於閘極絕緣膜的洩漏電流。另一方面，尤其是在微型電晶體中，閘極絕緣膜的薄膜化很重要。

【發明內容】

[0010] 於是，本發明的一個方式提供一種能夠降低起因於閘極絕緣膜的洩漏電流的閘極絕緣膜。明確而言，藉由使用氧化鉛等高介電常數（high-k）絕緣膜，增大等效氧化物厚度（EOT：Equivalent Oxide Thickness）。注意，等效氧化物厚度是指將物理厚度換算為與氧化矽相等的電厚度的值。

[0011] 另外，本發明的一個方式的目的之一是提供一種通態電流（on-state current）高且關態電流低的半導體裝置。此外，本發明的一個方式的目的之一是提供一種具有穩定的電特性的半導體裝置。另外，本發明的一個方式的目的之一是提供一種新穎半導體裝置。

[0012] 注意，這些目的的記載不妨礙其他目的的存在。此外，本發明的一個方式並不需要實現所有上述目的。另外，可以從說明書、圖式、申請專利範圍等的記載得知並抽出上述以外的目的。

[0013] 本發明的一個方式是一種半導體裝置，包括：絕緣表面上的第一氧化物半導體膜；第一氧化物半導體膜上的第二氧化物半導體膜；與第一氧化物半導體膜的側面、第二氧化物半導體膜的側面及第二氧化物半導體膜

的頂面接觸的源極電極及汲極電極；第二氧化物半導體膜上的第三氧化物半導體膜；第三氧化物半導體膜上的第一閘極絕緣膜；第一閘極絕緣膜上的第二閘極絕緣膜；以及第二閘極絕緣膜上並接觸於該第二閘極絕緣膜且面對第二氧化物半導體膜的頂面及側面的閘極電極，其中，第一閘極絕緣膜包含鉛，並且，第二閘極絕緣膜包含矽。

[0014] 另外，本發明的其他方式是一種半導體裝置，包括：絕緣表面上的第一氧化物半導體膜；第一氧化物半導體膜上的第二氧化物半導體膜；第二氧化物半導體膜上的第三氧化物半導體膜；第三氧化物半導體膜上的第一閘極絕緣膜；與第一氧化物半導體膜、第二氧化物半導體膜、第三氧化物半導體膜及第一閘極絕緣膜的側面以及第一閘極絕緣膜的頂面接觸的源極電極及汲極電極；第一閘極絕緣膜、源極電極及汲極電極上的第二閘極絕緣膜；以及第二絕緣膜上並接觸於該第二絕緣膜且面對第二氧化物半導體膜的頂面及側面的閘極電極，其中，第一閘極絕緣膜包含鉛，並且，第二閘極絕緣膜包含矽。

[0015] 另外，在上述結構中，第一氧化物半導體膜及第三氧化物半導體膜含有一種以上的包含在第二氧化物半導體膜中的金屬元素。

[0016] 此外，在上述結構的第一閘極絕緣膜中，在藉由 X 射線繞射測量的繞射角 $2\theta=28^\circ$ 附近觀察到峰值。

[0017] 另外，在上述結構中，第二氧化物半導體膜的能帶間隙小於第一閘極絕緣膜的能帶間隙，第一閘極絕

緣膜的能帶間隙小於第二閘極絕緣膜的能帶間隙。

[0018] 此外，本發明的其他方式是一種半導體裝置，包括：第一氧化物半導體膜；與第一氧化物半導體膜重疊的閘極電極；位於第一氧化物半導體膜與閘極電極之間的第一閘極絕緣膜；以及位於第一閘極絕緣膜與閘極電極之間的第二閘極絕緣膜，其中，在第一閘極絕緣膜中，在藉由 X 射線繞射測量的繞射角 $2\theta=28^\circ$ 附近觀察到峰值。

[0019] 另外，在上述結構中，第一閘極絕緣膜包含鉛。

[0020] 此外，在上述結構中，第二閘極絕緣膜包含矽。

[0021] 另外，在上述結構中，第一氧化物半導體膜夾在第二氧化物半導體膜及位於第一氧化物半導體膜與第一閘極絕緣膜之間的第三氧化物半導體膜，第二氧化物半導體膜及第三氧化物半導體膜含有一種以上的包含在第一氧化物半導體膜中的金屬元素。

[0022] 此外，在上述結構中，第一氧化物半導體膜的能帶間隙小於第一閘極絕緣膜的能帶間隙，第一閘極絕緣膜的能帶間隙小於第二閘極絕緣膜的能帶間隙。

[0023] 另外，在上述結構中，第一閘極絕緣膜的膜密度較佳為 8.3g/cm^3 以上且 9.0g/cm^3 以下。

[0024] 此外，在上述結構中，較佳的是，在第一閘極絕緣膜中，藉由電子自旋共振法測定的光譜中的在 g 值

為 1.92 至 1.98 處呈現的自旋密度為 $3.0 \times 10^{17} \text{spins/cm}^3$ 以下，並且在 g 值為 2.00 至 2.01 處呈現的自旋密度為 $4.4 \times 10^{16} \text{spins/cm}^3$ 以上且 $3.5 \times 10^{18} \text{spins/cm}^3$ 以下。

[0025] 另外，在上述結構中，第一閘極絕緣膜的藉由電子自旋共振法測定的信號中的在 g 值為 2.00 至 2.01 處呈現的信號的形狀為非對稱。

[0026] 藉由使用本發明的一個方式，可以提供一種通態電流高且關態電流低的半導體裝置。另外，可以提供一種具有穩定的電特性的半導體裝置。此外，藉由使用本發明的一個方式，可以提供一種新穎半導體裝置等。注意，這些效果的記載不妨礙其他效果的存在。此外，本發明的一個方式並不一定需要具有所有上述效果。另外，可以從說明書、圖式、申請專利範圍等的記載得知並抽出上述以外的效果。

【圖式簡單說明】

[0027] 在圖式中：

圖 1 是本發明的一個方式的半導體裝置所包括的疊層結構的帶圖；

圖 2A1、圖 2A2 和圖 2B 是本發明的一個方式的半導體裝置所包括的疊層結構的示意圖；

圖 3A 至圖 3C 是說明電晶體的俯視圖及剖面圖；

圖 4A 至圖 4C 是說明電晶體的製造方法的圖；

圖 5A 至圖 5C 是說明電晶體的製造方法的圖；

圖 6A 和圖 6B 是說明電晶體的俯視圖及剖面圖；
圖 7A 和圖 7B 是說明電晶體的俯視圖及剖面圖；
圖 8A 至圖 8C 是說明電晶體的俯視圖及剖面圖；
圖 9A 和圖 9B 是說明電晶體的俯視圖及剖面圖；
圖 10A 和圖 10B 是說明電晶體的俯視圖及剖面圖；
圖 11A 至圖 11C 是說明電晶體的俯視圖及剖面圖；
圖 12A 至圖 12D 是根據實施方式的半導體裝置的剖面圖及電路圖；

圖 13A 和圖 13B 是根據實施方式的記憶體裝置的結構例；

圖 14 是根據實施方式的 RF 標籤的結構例；
圖 15 是根據實施方式的 CPU 的結構例；
圖 16 是根據實施方式的記憶元件的電路圖；
圖 17A 至圖 17C 是根據實施方式的顯示裝置；
圖 18 是說明顯示模組的圖；
圖 19A 至圖 19F 是根據實施方式的電子裝置；
圖 20A 至圖 20F 是根據實施方式的 RF 裝置的使用例；

圖 21 是說明 XRD 光譜的測量結果的圖；

圖 22 是說明 ESR 的測量結果的圖；

圖 23 是說明 ESR 的測量結果的圖；

圖 24A 和圖 24B 是說明 TDS 的測量結果的圖；

圖 25A 和圖 25B 是說明電晶體的電特性評價的圖；

圖 26A 和圖 26B 是說明電晶體的電特性評價的圖；

圖 27 是說明電晶體的電特性評價的圖；

圖 28 是說明電晶體的電特性評價的圖；

圖 29 是說明電晶體的電特性評價的圖；

圖 30A 和圖 30B 是示出氧化物半導體膜的奈米束電子繞射圖案的圖；

圖 31A 和圖 31B 是示出穿透式電子繞射測定裝置的一個例子的圖；

圖 32 是示出藉由穿透式電子繞射測定的結構分析的一個例子的圖；

圖 33 是說明 ESR 信號的圖。

【實施方式】

[0028] 參照圖式對實施方式進行詳細說明。注意，本發明不侷限於以下說明，所屬技術領域的普通技術人員可以很容易地理解一個事實就是其方式及詳細內容在不脫離本發明的精神及其範圍的情況下可以被變換為各種各樣的形式。因此，本發明不應該被解釋為僅限定於以下所示的實施方式的記載內容中。注意，在以下說明的發明的結構中，在不同的圖式中共同使用相同的元件符號來表示相同的部分或具有相同功能的部分，而省略其重複說明。

[0029] 另外，電晶體的“源極”和“汲極”的功能在使用極性不同的電晶體的情況下或在電路工作中電流方向變化的情況下，有時互相調換。因此，在本說明書中，“源極”和“汲極”可以被互相調換。

[0030] 注意，在一個實施方式中說明的內容（或者其一部分）可以應用於、組合於或者替換成在該實施方式中說明的其他內容（或者其一部分）和/或在其他的一個或多個實施方式中說明的內容（或者其一部分）。

[0031] 在實施方式中說明的內容是指在各實施方式中利用各種圖式說明的內容或利用說明書所記載的文章說明的內容。

[0032] 另外，藉由將在一個實施方式中說明的圖式（或者其一部分）與該圖式的其他部分、在該實施方式中說明的其他圖式（或者其一部分）和/或在其他的一個或多個實施方式中說明的圖式（或者其一部分）組合，可以構成更多的圖式。

[0033]

實施方式 1

在本實施方式中，參照圖 2A1、圖 2A2 和圖 2B 對本發明的一個方式的半導體裝置所包括的疊層結構進行說明。

[0034] 在本發明的一個方式中，為了降低起因於閘極絕緣膜的洩漏電流，藉由使用 high-k 絕緣膜，增大等效氧化物厚度。

[0035] 圖 2A1 和圖 2A2 示出本發明的一個方式的半導體裝置所包括的疊層結構的示意圖。

[0036] 圖 2A1 和圖 2A2 是一種半導體裝置，包括：氧化物半導體膜 104；氧化物半導體膜 104 上的閘極絕緣

膜 108；以及隔著閘極絕緣膜 108 與氧化物半導體膜 104 重疊的閘極電極 110。

[0037] 作為圖 2A1 的半導體裝置的閘極絕緣膜 108 使用 high-k 絕緣膜（在此，氧化鉛：介電常數為 16），作為圖 2A2 的半導體裝置的閘極絕緣膜 108 使用通常的絕緣膜（在此，氧化矽：介電常數為 3.9）。

[0038] 藉由作為用於閘極絕緣膜 108 的材料採用介電常數大的材料，可以增大閘極絕緣膜 108 的厚度。例如，藉由使用介電常數為 16 的氧化鉛，與使用介電常數為 3.9 的氧化矽的閘極絕緣膜 108 相比，可以增大閘極絕緣膜 108 的厚度 4 倍左右。因此，可以防止由異物（塵屑等）而導致的短路和步階覆蓋性的降低，所以是較佳的。

[0039] 但是，當使用 high-k 絕緣膜時，雖然可以增大物理厚度，但是容易多晶化，有時流過起因於晶界的洩漏電流。另外，有時降低與閘極電極之間的密接性。此外，非晶狀態下的 high-k 絕緣膜的介電常數低，能夠增大物理厚度的效果小。另外，當使用非晶狀態下的 high-k 絕緣膜時，不得不降低成膜時的溫度或後面的烘焙溫度，有時膜質惡化。

[0040] 因此，如圖 2B 所示，藉由在 high-k 絕緣膜的閘極絕緣膜 108a 與閘極電極 110 之間形成由氧化矽膜或氮化矽膜等構成的閘極絕緣膜 108b，可以在確保物理厚度的狀態下降低起因於晶界的洩漏電流，並且可以確保與閘極電極之間的密接性。

[0041] 另外，較佳的是，與氧化物半導體膜 104 接觸的閘極絕緣膜 108a 是當成膜時將氧供應到氧化物半導體膜 104 的絕緣膜。此外，為了當形成閘極絕緣膜 108a 時將氧引入到閘極絕緣膜 108a 的下方的膜（氧化物半導體膜 104），在包含氧的氛圍下進行成膜即可，氧比例越大可以引入越多的氧，所以是較佳的。另外，較佳的是，閘極絕緣膜 108a 是具有阻擋氧、氫、水等的功能的絕緣膜。

[0042] 藉由設置具有上述功能的絕緣膜，可以當形成閘極絕緣膜時將氧供應到氧化物半導體膜，並且，藉由防止氧化物半導體膜中的氧擴散到外部，可以降低氧化物半導體膜中的氧缺陷，另外，可以防止氫、水等從外部混入到氧化物半導體膜。

[0043] 另外，閘極絕緣膜 108a 在藉由 X 射線繞射測量的 28° 附近的繞射角 2θ 具有峰值是較佳的。在 $2\theta=28^\circ$ 附近觀察到的峰值起因於氧化鋯（ HfO_2 ）的單斜晶系的結晶的（-111）面的繞射。此外，起因於閘極絕緣膜 108a 的氧缺陷的 ESR 信號在 g 值為 1.92 至 1.98 處呈現，該值較佳為檢測下限以下（在此， $3.0 \times 10^{17} \text{spins/cm}^3$ 以下）。另外，閘極絕緣膜 108a 的起因於過剩的氧的 ESR 信號在 g 值為 2.00 至 2.01 處呈現，該值較佳為 $4.4 \times 10^{16} \text{spins/cm}^3$ 以上且 $3.5 \times 10^{18} \text{spins/cm}^3$ 以下，更佳為 $1.8 \times 10^{17} \text{spins/cm}^3$ 以上且 $1.0 \times 10^{18} \text{spins/cm}^3$ 以下。此外，閘極絕緣膜 108a 的膜密度較佳為 8.3g/cm^3 以上且 9.0g/cm^3 以下。

[0044] 另外，閘極絕緣膜 108a 可以使用包含含有選自鉛、鋁、鉍和銦等中的一種以上的元素的氧化物（也包括複合氧化物）的絕緣膜。較佳的是，可以使用含有氧化鉛的絕緣膜、含有氧化鋁的絕緣膜、含有矽酸鉛的絕緣膜或者含有矽酸鋁的絕緣膜。另外，藉由將氧化鉛等高介電常數（high-k）材料用於閘極絕緣膜，可以增加厚度以抑制閘極漏電流，所以是較佳的。在本實施方式中，作為閘極絕緣膜 108a 形成含有氧化鉛的絕緣膜。閘極絕緣膜 108a 可以利用濺射法或原子層沉積（ALD：Atomic Layer Deposition）法形成。

[0045] 作為閘極絕緣膜 108b，可以使用包含氧化鎂、氧化矽、氧氮化矽、氮氧化矽、氮化矽、氧化鎵、氧化銻、氧化釷、氧化鋇、氧化銦、氧化釷和氧化鉍中的一種以上的絕緣膜。

[0046] 閘極絕緣膜 108b 可以利用濺射法或 ALD（Atomic Layer Deposition：原子層沉積）法形成。

[0047] 另外，閘極絕緣膜 108a 的成膜溫度較佳為 100℃ 以上，更佳為 150℃ 以上。藉由在上述溫度範圍內形成閘極絕緣膜 108a，可以防止氫或氫化合物附著到閘極絕緣膜 108a 之下的氧化物半導體膜 104（例如，吸附水分等），由此可以抑制氫或氫化合物混入氧化物半導體膜 104。當氫與氧化物半導體結合時，氫的一部分成為施體而產生作為載子的電子，使電晶體的臨界電壓向負方向變動。因此，藉由在抑制氫或氫化合物混入氧化物半導體

膜 104 的狀態下形成閘極絕緣膜 108a，可以進一步使電晶體的電特性穩定。形成在閘極絕緣膜 108a 上的閘極絕緣膜 108b 的成膜溫度也是同樣的。

[0048] 下面，圖 1 示出圖 2B 所示的半導體裝置的點 A 至點 B 之間的帶圖的例子。在圖中， E_{vac} 示出真空能階的能量， E_c 示出導帶底端的能量， E_v 示出價帶頂的能量。

[0049] 在該例子中，將其原子數比為 $In : Ga : Zn : O = 1 : 1 : 1 : 4$ 的氧化物半導體膜用於氧化物半導體膜 104，將氧化鋅膜用於閘極絕緣膜 108a，將氮化矽膜用於閘極絕緣膜 108b。

[0050] 如圖 1 所示，氧化物半導體膜 104 的能帶間隙（ 3.2eV ）小於閘極絕緣膜 108a 的能帶間隙（ 5.5eV ），並且閘極絕緣膜 108a 的能帶間隙（ 5.5eV ）小於閘極絕緣膜 108b 的能帶間隙（ 8.7eV ）。另外，氧化物半導體膜 104 的電子親和力（ 4.7eV ）大於閘極絕緣膜 108a 的電子親和力（ 2.8eV ），並且閘極絕緣膜 108a 的電子親和力（ 2.8eV ）大於閘極絕緣膜 108b 的電子親和力（ 1.1eV ）。

[0051] 如圖 1 所示，在氧化物半導體膜 104、閘極絕緣膜 108a 及閘極絕緣膜 108b 中，氧化物半導體膜 104 的導帶底端的能量最低，閘極絕緣膜 108b 的導帶底端的能量最高。

[0052] 藉由具有這種帶結構，可以降低 FET 導通時

的閘極絕緣膜 108a (high-k 絕緣膜) 與閘極絕緣膜 108b (氧化矽膜或氮化矽膜) 之間的介面的載子密度，因此與該介面的介面狀態密度無關，可以獲得通態電流的提高或 S 值的減少等的穩定的電特性。

[0053] 另外，較佳為採用在氧化物半導體膜 104 的上下設置其他氧化物半導體膜的結構（相當於實施方式 2 的氧化物半導體層 404），而在下面的實施方式中說明詳細內容。藉由在形成通道的氧化物半導體膜 104 與閘極絕緣膜 108a 之間設置其他氧化物半導體膜，可以使成為通道的區域與閘極絕緣膜 108a 離開，可以減少產生在氧化物半導體膜 104 的上側的氧化物半導體膜（相當於實施方式 2 的氧化物半導體膜 404c）與閘極絕緣膜 108a 之間的介面的載子的散射的影響。

[0054] 本實施方式所示的結構、方法等可以與其他實施方式所示的結構、方法等適當地組合而實施。

[0055]

實施方式 2

在本實施方式中，參照圖式對本發明的一個方式的半導體裝置進行說明。

[0056]

<電晶體結構 1>

圖 3A 和圖 3B 為本發明的一個方式的電晶體的俯視圖及剖面圖。圖 3A 為俯視圖，圖 3B 為沿著圖 3A 所示的點劃線 A1-A2 以及點劃線 A3-A4 的剖面圖。另外，在圖

3A 的俯視圖中，為了明確起見，省略一部分的構成要素。另外，圖 3C 示出圖 3B 的氧化物半導體層 404 的放大圖。

[0057] 圖 3A 至圖 3C 所示的電晶體包括：基板 400 上的具有凸部的基底絕緣膜 402；基底絕緣膜 402 的凸部上的氧化物半導體膜 404a；氧化物半導體膜 404a 上的氧化物半導體膜 404b；與氧化物半導體膜 404b 的頂面及側面接觸的源極電極 406a 及汲極電極 406b；氧化物半導體膜 404b、源極電極 406a 及汲極電極 406b 上的氧化物半導體膜 404c；氧化物半導體膜 404c 上的閘極絕緣膜 408a；閘極絕緣膜 408a 上的閘極絕緣膜 408b；與閘極絕緣膜 408b 的頂面接觸並面對氧化物半導體膜 404b 的頂面及側面的閘極電極 410；以及源極電極 406a、汲極電極 406b 及閘極電極 410 上的絕緣膜 412。基底絕緣膜 402 也可以不具有凸部。另外，如圖 3C 所示，有時將氧化物半導體膜 404a、氧化物半導體膜 404b 及氧化物半導體膜 404c 總稱為氧化物半導體層 404。

[0058] 另外，源極電極 406a（和/或汲極電極 406b）中的至少一部分（或全部）設置在氧化物半導體膜 404a（和/或氧化物半導體膜 404b）等的半導體膜的表面、側面、頂面和/或下面中的至少一部分（或全部）。

[0059] 或者，源極電極 406a（和/或汲極電極 406b）中的至少一部分（或全部）與氧化物半導體膜 404a（和/或氧化物半導體膜 404b）等的半導體膜的表面、側面、

頂面和/或下面中的至少一部分（或全部）接觸。或者，源極電極 406a（和/或汲極電極 406b）中的至少一部分（或全部）與氧化物半導體膜 404a（和/或氧化物半導體膜 404b）等的半導體膜的至少一部分（或全部）接觸。

[0060] 或者，源極電極 406a（和/或汲極電極 406b）中的至少一部分（或全部）與氧化物半導體膜 404a（和/或氧化物半導體膜 404b）等的半導體膜的表面、側面、頂面和/或下面中的至少一部分（或全部）電連接。或者，源極電極 406a（和/或汲極電極 406b）中的至少一部分（或全部）與氧化物半導體膜 404a（和/或氧化物半導體膜 404b）等的半導體膜的至少一部分（或全部）電連接。

[0061] 或者，源極電極 406a（和/或汲極電極 406b）中的至少一部分（或全部）設置在氧化物半導體膜 404a（和/或氧化物半導體膜 404b）等的半導體膜的表面、側面、頂面和/或下面中的至少一部分（或全部）的附近。或者，源極電極 406a（和/或汲極電極 406b）中的至少一部分（或全部）設置在氧化物半導體膜 404a（和/或氧化物半導體膜 404b）等的半導體膜的至少一部分（或全部）的附近。

[0062] 或者，源極電極 406a（和/或汲極電極 406b）中的至少一部分（或全部）設置在氧化物半導體膜 404a（和/或氧化物半導體膜 404b）等的半導體膜的表面、側面、頂面和/或下面中的至少一部分（或全部）的橫方向

上。或者，源極電極 406a（和/或汲極電極 406b）中的至少一部分（或全部）設置在氧化物半導體膜 404a（和/或氧化物半導體膜 404b）等的半導體膜的至少一部分（或全部）的橫方向上。

[0063] 或者，源極電極 406a（和/或汲極電極 406b）中的至少一部分（或全部）設置在氧化物半導體膜 404a（和/或氧化物半導體膜 404b）等的半導體膜的表面、側面、頂面和/或下面中的至少一部分（或全部）的的斜上方。或者，源極電極 406a（和/或汲極電極 406b）中的至少一部分（或全部）設置在氧化物半導體膜 404a（和/或氧化物半導體膜 404b）等的半導體膜的至少一部分（或全部）的斜上方。

[0064] 或者，源極電極 406a（和/或汲極電極 406b）中的至少一部分（或全部）設置在氧化物半導體膜 404a（和/或氧化物半導體膜 404b）等的半導體膜的表面、側面、頂面和/或下面中的至少一部分（或全部）的的上方。或者，源極電極 406a（和/或汲極電極 406b）中的至少一部分（或全部）設置在氧化物半導體膜 404a（和/或氧化物半導體膜 404b）等的半導體膜的至少一部分（或全部）的上方。

[0065] 如圖 3B 所示，源極電極 406a 及汲極電極 406b 的側面與氧化物半導體層 404 的側面接觸。此外，可以由閘極電極 410 的電場電性上圍繞氧化物半導體層 404（將由閘極電極的電場電性上圍繞氧化物半導體層的

電晶體結構稱為 surrounded channel (s-channel) 結構)。因此，通道形成在整個氧化物半導體層 404 (bulk 內)。在 s-channel 結構中可以使大電流流在電晶體的源極-汲極間，因此可以得到很大的通態電流。

[0066] 由於能夠得到很大的通態電流，因此可以說 s-channel 結構適合於微型電晶體。因為可以縮小電晶體的尺寸，所以具有該電晶體的半導體裝置可以實現高集成度及高密度化。例如，將電晶體的通道長度較佳為設定為 40nm 以下，更佳為 30nm 以下，進一步較佳為 20nm 以下，並且將電晶體的通道寬度較佳為設定為 40nm 以下，更佳為 30nm 以下，進一步較佳為 20nm 以下。

[0067] 注意，通道長度是指俯視圖中的半導體層與閘極電極重疊的區域中的源極（源極區域或源極電極）與汲極（汲極區域或汲極電極）之間的距離。換而言之，在圖 3A 中，通道長度相當於氧化物半導體層 404 與閘極電極 410 重疊的區域中的源極電極 406a 與汲極電極 406b 之間的距離。通道寬度是指半導體層與閘極電極重疊的區域中的源極或汲極的寬度。換而言之，在圖 3A 中，通道寬度相當於氧化物半導體層 404 與閘極電極 410 重疊的區域中的源極電極 406a 或汲極電極 406b 的寬度。

[0068] 關於閘極絕緣膜 408a，參照閘極絕緣膜 108a 的記載。另外，閘極絕緣膜 408a 既可以是單層，又可以是疊層。

[0069] 關於閘極絕緣膜 408b，參照閘極絕緣膜 108b

的記載。另外，閘極絕緣膜 408b 既可以是單層，又可以是疊層。

[0070] 基板 400 不侷限於僅進行支撐的基板，也可以是形成有電晶體或電容器等其他元件的基板。此時，電晶體的閘極電極 410、源極電極 406a 和汲極電極 406b 中的至少一個也可以與上述元件電連接。

[0071] 基底絕緣膜 402 除了防止雜質從基板 400 擴散的功能以外，還可以具有對氧化物半導體層 404 供應氧的功能。因此，基底絕緣膜 402 較佳為包含氧。例如，更佳為包含比化學計量組成多的氧。此外，如上所述，當基板 400 是形成有其他元件的基板時，基底絕緣膜 402 還用作層間絕緣膜。此時，也可以使基底絕緣膜 402 的表面平坦化。例如，可以利用 CMP (Chemical Mechanical Polishing: 化學機械拋光) 法等對基底絕緣膜 402 進行平坦化處理。

[0072] 下面，對氧化物半導體膜 404b 進行詳細的說明。

[0073] 氧化物半導體膜 404b 為包含銦的氧化物。氧化物例如在包含銦的情況下具有高載子移動率（電子移動率）。另外，氧化物半導體膜 404b 較佳為包含元素 M。元素 M 例如為鋁、鎵、釔或錫等。例如，元素 M 與氧之間的鍵能高。元素 M 例如增大氧化物的能帶間隙。此外，氧化物半導體膜 404b 較佳為包含鋅。氧化物在包含鋅時例如容易被晶化。氧化物的價帶頂的能量例如可以藉

由調節鋅的原子數比控制。

[0074] 注意，氧化物半導體膜 404b 不侷限於包含銦的氧化物。氧化物半導體膜 404b 例如也可以為 Zn-Sn 氧化物、Ga-Sn 氧化物。

[0075] 氧化物半導體膜 404b 使用能帶間隙寬的氧化物。氧化物半導體膜 404b 的能帶間隙例如為 2.5eV 以上且 4.2eV 以下，較佳為 2.8eV 以上且 3.8eV 以下，更佳為 3.0eV 以上且 3.5eV 以下。

[0076] 當利用濺射法形成氧化物半導體膜 404b 時，為了降低微粒數，較佳為使用包含銦的靶材。另外，當使用元素 M 的原子數比高的氧化物靶材時，靶材的導電性有可能下降。當使用包含銦的靶材時，可以提高靶材的導電率，容易進行 DC 放電、AC 放電，因此容易在大面積基板上進行成膜。因此，可以提高半導體裝置的生產率。

[0077] 當利用濺射法形成氧化物半導體膜 404b 時，可以將靶材的原子數比設定為 In:M:Zn=3:1:1、3:1:2、3:1:4、1:1:0.5、1:1:1、1:1:2 等。

[0078] 當利用濺射法形成氧化物半導體膜 404b 時，形成之後的膜的原子數比有時與靶材的原子數比不一致。尤其是，形成之後的膜中的鋅的原子數比有時小於靶材中的鋅的原子數比。明確而言，該膜中的鋅的原子數比有時為靶材中的鋅的原子數比的 40atomic%以上且 90atomic%以下左右。

[0079] 下面，說明氧化物半導體膜 404b 中的雜質的

影響。為了使電晶體的電特性穩定，降低氧化物半導體膜 404b 中的雜質濃度而實現低載子密度化及高度純化是有效的。氧化物半導體膜 404b 的載子密度小於 1×10^{17} 個/cm³，小於 1×10^{15} 個/cm³ 或小於 1×10^{13} 個/cm³。為了降低氧化物半導體膜 404b 中的雜質濃度，還降低附近的膜中的雜質濃度是較佳的。

[0080] 例如，氧化物半導體膜 404b 中的矽有時成為載子陷阱或載子發生源。因此，將氧化物半導體膜 404b 與基底絕緣膜 402 之間的利用二次離子質譜（SIMS：Secondary Ion Mass Spectrometry）分析測定出的矽濃度設定為小於 1×10^{19} atoms/cm³，較佳為小於 5×10^{18} atoms/cm³，更佳為小於 2×10^{18} atoms/cm³。另外，將氧化物半導體膜 404b 與閘極絕緣膜 408a 之間的利用 SIMS 測定出的矽濃度設定為小於 1×10^{19} atoms/cm³，較佳為小於 5×10^{18} atoms/cm³，更佳為小於 2×10^{18} atoms/cm³。

[0081] 另外，當氧化物半導體膜 404b 含有氫時，載子密度有可能增大。將利用 SIMS 測定出的氧化物半導體膜 404b 中的氫濃度設定為 2×10^{20} atoms/cm³ 以下，較佳為 5×10^{19} atoms/cm³ 以下，更佳為 1×10^{19} atoms/cm³ 以下，進一步較佳為 5×10^{18} atoms/cm³ 以下。另外，當氧化物半導體膜 404b 含有氮時，載子密度有可能增大。將利用 SIMS 測定出的氧化物半導體膜 404b 中的氮濃度設定為小於 5×10^{19} atoms/cm³，較佳為 5×10^{18} atoms/cm³ 以下，更佳為 1×10^{18} atoms/cm³ 以下，進一步較佳為 5×10^{17} atoms/cm³ 以

下。

[0082] 另外，為了降低氧化物半導體膜 404b 中的氫濃度，較佳為降低基底絕緣膜 402 中的氫濃度。將利用 SIMS 測定出的基底絕緣膜 402 中的氫濃度設定為 $2 \times 10^{20} \text{atoms/cm}^3$ 以下，較佳為 $5 \times 10^{19} \text{atoms/cm}^3$ 以下，更佳為 $1 \times 10^{19} \text{atoms/cm}^3$ 以下，進一步較佳為 $5 \times 10^{18} \text{atoms/cm}^3$ 以下。另外，為了降低氧化物半導體膜 404b 中的氫濃度，較佳為降低基底絕緣膜 402 中的氫濃度。將利用 SIMS 測定出的基底絕緣膜 402 中的氫濃度設定為小於 $5 \times 10^{19} \text{atoms/cm}^3$ ，較佳為 $5 \times 10^{18} \text{atoms/cm}^3$ 以下，更佳為 $1 \times 10^{18} \text{atoms/cm}^3$ 以下，進一步較佳為 $5 \times 10^{17} \text{atoms/cm}^3$ 以下。

[0083] 另外，為了降低氧化物半導體膜 404b 中的氫濃度，較佳為降低閘極絕緣膜 408a 中的氫濃度。將利用 SIMS 測定出的閘極絕緣膜 408a 中的氫濃度設定為 $2 \times 10^{20} \text{atoms/cm}^3$ 以下，較佳為 $5 \times 10^{19} \text{atoms/cm}^3$ 以下，更佳為 $1 \times 10^{19} \text{atoms/cm}^3$ 以下，進一步較佳為 $5 \times 10^{18} \text{atoms/cm}^3$ 以下。另外，為了降低氧化物半導體膜 404b 中的氫濃度，較佳為降低閘極絕緣膜 408a 中的氫濃度。將利用 SIMS 測定出的閘極絕緣膜 408a 中的氫濃度設定為小於 $5 \times 10^{19} \text{atoms/cm}^3$ ，較佳為 $5 \times 10^{18} \text{atoms/cm}^3$ 以下，更佳為 $1 \times 10^{18} \text{atoms/cm}^3$ 以下，進一步較佳為 $5 \times 10^{17} \text{atoms/cm}^3$ 以下。

[0084] 下面，對可用於氧化物半導體膜 404b 的氧化

物半導體膜的結構進行說明。

[0085] 氧化物半導體膜大致分為非單晶氧化物半導體膜和單晶氧化物半導體膜。非單晶氧化物半導體膜包括 CAAC-OS(C-Axis Aligned Crystalline Oxide Semiconductor：c 軸配向結晶氧化物半導體)膜、多晶氧化物半導體膜、微晶氧化物半導體膜、非晶氧化物半導體膜等。

[0086] 首先，對 CAAC-OS 膜進行說明。

[0087] CAAC-OS 膜是包含多個結晶部的氧化物半導體膜之一，大部分的結晶部的尺寸為能夠容納於一邊短於 100nm 的立方體內的尺寸。因此，有時包括在 CAAC-OS 膜中的結晶部的尺寸為能夠容納於一邊短於 10nm、短於 5nm 或短於 3nm 的立方體內的尺寸。

[0088] 在 CAAC-OS 膜的穿透式電子顯微鏡 (TEM：Transmission Electron Microscope) 影像中，觀察不到結晶部與結晶部之間的明確的邊界，即晶界 (grain boundary)。因此，在 CAAC-OS 膜中，不容易發生起因於晶界的電子移動率的降低。

[0089] 根據從大致平行於樣本面的方向觀察的 CAAC-OS 膜的 TEM 影像 (剖面 TEM 影像) 可知在結晶部中金屬原子排列為層狀。各金屬原子層具有反映形成 CAAC-OS 膜的面 (也稱為被形成面) 或 CAAC-OS 膜的頂面的凸凹的形狀並以平行於 CAAC-OS 膜的被形成面或頂面的方式排列。

[0090] 另一方面，根據從大致垂直於樣本面的方向觀察的 CAAC-OS 膜的 TEM 影像（平面 TEM 影像）可知在結晶部中金屬原子排列為三角形狀或六角形狀。但是，在不同的結晶部之間金屬原子的排列沒有規律性。

[0091] 另外，在 CAAC-OS 膜的電子繞射圖案中，觀察到表示配向性的斑點（亮點）。例如，在使用例如為 1nm 以上且 30nm 以下的電子束獲得的 CAAC-OS 膜的頂面的電子繞射圖案（也稱為奈米束電子繞射圖案）中，觀察到斑點（參照圖 30A）。

[0092] 由剖面 TEM 影像及平面 TEM 影像可知，CAAC-OS 膜的結晶部具有配向性。

[0093] 使用 X 射線繞射（XRD：X-Ray Diffraction）裝置對 CAAC-OS 膜進行結構分析。例如，當利用 out-of-plane 法分析包括 InGaZnO₄ 結晶的 CAAC-OS 膜時，在繞射角（ 2θ ）為 31° 附近時常出現峰值。由於該峰值來源於 InGaZnO₄ 結晶的（009）面，由此可知 CAAC-OS 膜中的結晶具有 c 軸配向性，並且，c 軸朝向大致垂直於 CAAC-OS 膜的被形成面或頂面的方向。

[0094] 在本說明書中，六方晶系包括三方晶系和菱方晶系。

[0095] 另一方面，當利用從大致垂直於 c 軸的方向使 X 射線入射到樣本的 in-plane 法分析 CAAC-OS 膜時，在 2θ 為 56° 附近時常出現峰值。該峰值來源於 InGaZnO₄ 結晶的（110）面。在此，將 2θ 固定為 56° 附近並在以樣

本面的法線向量為軸（ ϕ 軸）旋轉樣本的條件下進行分析（ ϕ 掃描）。當該樣本是 InGaZnO_4 的單晶氧化物半導體膜時，出現六個峰值。該六個峰值來源於相等於（110）面的結晶面。另一方面，當該樣本是 CAAC-OS 膜時，即使在將 2θ 固定為 56° 附近的狀態下進行 ϕ 掃描也不能觀察到明確的峰值。

[0096] 由上述結果可知，在具有 c 軸配向性的 CAAC-OS 膜中，雖然 a 軸及 b 軸的方向在結晶部之間不同，但是 c 軸都朝向平行於被形成面或頂面的法線向量的方向。因此，在上述剖面 TEM 影像中觀察到的排列為層狀的各金屬原子層相當於與結晶的 ab 面平行的面。

[0097] 注意，結晶部在形成 CAAC-OS 膜或進行加熱處理等晶化處理時形成。如上所述，結晶的 c 軸朝向平行於 CAAC-OS 膜的被形成面或頂面的法線向量的方向。由此，例如，當 CAAC-OS 膜的形狀因蝕刻等而發生改變時，結晶的 c 軸不一定平行於 CAAC-OS 膜的被形成面或頂面的法線向量。

[0098] 此外，CAAC-OS 膜中的結晶度不一定均勻。例如，當 CAAC-OS 膜的結晶部是由 CAAC-OS 膜的頂面近旁的結晶生長而形成時，有時頂面附近的結晶度高於被形成面附近的結晶度。另外，當對 CAAC-OS 膜添加雜質時，被添加了雜質的區域的結晶度改變，所以有時 CAAC-OS 膜中的結晶度根據區域而不同。

[0099] 注意，當利用 out-of-plane 法分析包括

InGaZnO_4 結晶的 CAAC-OS 膜時，除了在 2θ 為 31° 附近的峰值之外，有時還在 2θ 為 36° 附近觀察到峰值。 2θ 為 36° 附近的峰值意味著 CAAC-OS 膜的一部分中含有不具有 c 軸配向性的結晶。較佳的是，在 CAAC-OS 膜中在 2θ 為 31° 附近時出現峰值而在 2θ 為 36° 附近時不出現峰值。

[0100] CAAC-OS 膜是雜質濃度低的氧化物半導體膜。雜質是指氫、碳、矽、過渡金屬元素等氧化物半導體膜的主要成分之外的元素。尤其是，與構成氧化物半導體膜的金屬元素相比，與氧的鍵合力強的元素諸如矽等從氧化物半導體膜奪取氧而擾亂氧化物半導體膜的原子排列，成為降低結晶性的主要原因。另外，因為鐵和鎳等重金屬、氫、二氧化碳等的原子半徑（或分子半徑）大，所以如果包含在氧化物半導體膜內部，則擾亂氧化物半導體膜的原子排列，成為降低結晶性的主要原因。此外，包含在氧化物半導體膜中的雜質有時成為載子陷阱或載子發生源。

[0101] 此外，CAAC-OS 膜是缺陷態密度低的氧化物半導體膜。例如，氧化物半導體膜中的氧缺陷有時成為載子陷阱或者藉由俘獲氫而成為載子發生源。

[0102] 將雜質濃度低且缺陷態密度低（氧缺陷少）的狀態稱為“高純度本質”或“實質上高純度本質”。高純度本質或實質上高純度本質的氧化物半導體膜具有很少的載子發生源，因此可以具有較低的載子密度。因此，使用該氧化物半導體膜的電晶體很少具有負臨界電壓的電特性

（也稱為常導通（normally-on）特性）。此外，高純度本質或實質上高純度本質的氧化物半導體膜具有很少的載子陷阱。因此，使用該氧化物半導體膜的電晶體的電特性變動小，而成為可靠性高的電晶體。此外，被氧化物半導體膜的載子陷阱俘獲的電荷到被釋放為止需要的時間長，有時像固定電荷那樣動作。因此，使用雜質濃度高且缺陷態密度高的氧化物半導體膜的電晶體的電特性有時不穩定。

[0103] 此外，在使用 CAAC-OS 膜的電晶體中，起因於可見光或紫外光的照射的電特性的變動小。

[0104] 接下來，對微晶氧化物半導體膜進行說明。

[0105] 在微晶氧化物半導體膜的 TEM 影像中有時觀察不到明確的結晶部。微晶氧化物半導體膜中含有的結晶部的尺寸大多為 1nm 以上且 100nm 以下或 1nm 以上且 10nm 以下。尤其是，將尺寸為 1nm 以上且 10nm 以下或 1nm 以上且 3nm 以下的微晶稱為奈米晶（nc:nanocrystal）。並且，包含該奈米晶（nc）的氧化物半導體膜稱為 nc-OS（奈米晶氧化物半導體：nanocrystalline Oxide Semiconductor）膜。另外，例如在 nc-OS 膜的 TEM 影像中，有時觀察不到明確的晶界。

[0106] 在 nc-OS 膜中，微小的區域（例如 1nm 以上且 10nm 以下的區域，特別是 1nm 以上且 3nm 以下的區域）中的原子排列具有週期性。另外，在 nc-OS 膜中的不同的結晶部之間沒有晶體配向的規律性。因此，在膜整體上觀察不到配向性。所以，在有的分析方法中，有時無法

將 nc-OS 膜與非晶氧化物半導體膜區別開來。例如，當利用使用其束徑比結晶部大的 X 射線的 XRD 裝置藉由 out-of-plane 法對 nc-OS 膜進行結構分析時，檢測不出表示結晶面的峰值。此外，在使用其束徑比結晶部大（例如，50nm 以上）的電子射線獲得的 nc-OS 膜的選區電子繞射圖案中，觀察到光暈圖案。另一方面，在使用其束徑近於或小於結晶部的電子射線獲得的 nc-OS 膜的奈米束電子繞射圖案中，觀察到斑點。另外，在 nc-OS 膜的奈米束電子繞射圖案中，有時觀察到如圓圈那樣的（環狀的）亮度高的區域。而且，在 nc-OS 膜的奈米束電子繞射圖案中，有時觀察到環狀的區域內的多個斑點（參照圖 30B）。

[0107] nc-OS 膜是其規律性比非晶氧化物半導體膜高的氧化物半導體膜。因此，nc-OS 膜的缺陷態密度比非晶氧化物半導體膜低。但是，在 nc-OS 膜中的不同的結晶部之間沒有晶體配向的規律性。所以，nc-OS 膜的缺陷態密度比 CAAC-OS 膜高。

[0108] 注意，氧化物半導體膜例如也可以包括非晶氧化物半導體膜、微晶氧化物半導體膜和 CAAC-OS 膜中的兩種以上。

[0109] 在氧化物半導體膜具有多種結構時，有時藉由利用奈米束電子繞射可以進行結構分析。

[0110] 圖 31A 示出一種穿透式電子繞射測定裝置，該穿透式電子繞射測定裝置包括：電子槍室 10；電子槍室 10 下的光學系統 12；光學系統 12 下的樣本室 14；樣

本室 14 下的光學系統 16；光學系統 16 下的觀察室 20；設置於觀察室 20 的照相裝置 18；以及觀察室 20 下的膠片室 22。照相裝置 18 以朝向觀察室 20 的內部的方式設置。另外，該穿透式電子繞射測定裝置也可以不包括膠片室 22。

[0111] 此外，圖 31B 示出圖 31A 所示的穿透式電子繞射測定裝置內部的結構。在穿透式電子繞射測定裝置內部中，從設置在電子槍室 10 的電子槍發射的電子藉由光學系統 12 照射到配置在樣本室 14 中的物質 28。穿過物質 28 的電子經由光學系統 16 入射到設置在觀察室 20 內部的螢光板 32。在螢光板 32 上出現對應於所入射的電子的強度的圖案，因此可以測定穿透式電子繞射圖案。

[0112] 因為照相裝置 18 朝向螢光板 32 地設置，所以可以拍攝出現在螢光板 32 上的圖案。經過照相裝置 18 的透鏡的中央及螢光板 32 的中央的直線與螢光板 32 的頂面所形成的角度例如為 15° 以上且 80° 以下， 30° 以上且 75° 以下或 45° 以上且 70° 以下。該角度越小，由照相裝置 18 拍攝的穿透式電子繞射圖案的應變越大。但是，如果預先知道該角度，則能夠校正所得到的穿透式電子繞射圖案的應變。另外，有時也可以將照相裝置 18 設置於膠片室 22。例如，也可以以與電子 24 的入射方向相對的方式將照相裝置 18 設置於膠片室 22。在此情況下，可以從螢光板 32 的背面拍攝應變少的穿透式電子繞射圖案。

[0113] 樣本室 14 設置有用來固定作為樣本的物質 28

的支架。支架使穿過物質 28 的電子透過。例如，支架也可以具有在 X 軸、Y 軸、Z 軸等的方向上移動物質 28 的功能。支架例如具有在 1nm 以上且 10nm 以下、5nm 以上且 50nm 以下、10nm 以上且 100nm 以下、50nm 以上且 500nm 以下、100nm 以上且 1 μ m 以下等的範圍中移動物質的精度，即可。至於這些範圍，根據物質 28 的結構設定最適合的範圍，即可。

[0114] 接著，說明使用上述穿透式電子繞射測定裝置測定物質的穿透式電子繞射圖案的方法。

[0115] 例如，如圖 31B 所示，藉由改變作為奈米束的電子 24 的照射到物質的位置（對物質掃描作為奈米束的電子 24），可以確認物質的結構逐漸變化。此時，如果物質 28 是 CAAC-OS 膜，則可以觀察到圖 30A 所示的繞射圖案。如果物質 28 是 nc-OS 膜，則可以觀察到圖 30B 所示的繞射圖案。

[0116] 即使物質 28 是 CAAC-OS 膜，也有時部分地觀察到與 nc-OS 膜等同樣的繞射圖案。因此，有時可以由在一定區域中觀察到 CAAC-OS 膜的繞射圖案的區域所占的比例（也稱為 CAAC 化率）表示 CAAC-OS 膜的優劣。例如，優良的 CAAC-OS 膜的 CAAC 化率為 60%以上，較佳為 80%以上，更佳為 90%以上，進一步較佳為 95%以上。另外，將觀察到與 CAAC-OS 膜不同的繞射圖案的區域的比例記作為非 CAAC 化率。

[0117] 作為一個例子，對具有剛成膜之後（記作為

as-depo) 的 CAAC-OS 膜、以 350℃ 或 450℃ 進行加熱處理之後的 CAAC-OS 膜的各樣本的頂面進行掃描，來得到穿透式電子繞射圖案。在此，以 5nm/秒鐘的速度進行掃描 60 秒鐘來觀察繞射圖案，並且，在每個 0.5 秒鐘將觀察到的繞射圖案轉換為靜態影像，由此導出 CAAC 化率。在此，使用束徑為 1nm 的奈米束電子線。

[0118] 圖 32 示出各樣本的 CAAC 化率。由此可知，與剛成膜之後和 350℃ 的加熱處理之後的 CAAC 化率相比，450℃ 的加熱處理之後的 CAAC 化率更高。也就是說，可以知道比 350℃ 高的溫度（例如 400℃ 以上）下的加熱處理會降低非 CAAC 化率（提高 CAAC 化率）。在此，與 CAAC-OS 膜不同的繞射圖案的大部分是與 nc-OS 膜同樣的繞射圖案。由此可知，藉由加熱處理，具有與 nc-OS 膜同樣的結構的區域受到相鄰的區域的結構的影響，因此該區域被 CAAC 化。

[0119] 藉由採用這種測定方法，有時可以對具有多種結構的氧化物半導體膜進行結構分析。

[0120] 氧化物半導體膜 404a 及氧化物半導體膜 404c 包含一種或多種構成氧化物半導體膜 404b 的除了氧以外的元素。由於氧化物半導體膜 404a 及氧化物半導體膜 404c 包含一種或多種構成氧化物半導體膜 404b 的除了氧以外的元素，因此在氧化物半導體膜 404a 與氧化物半導體膜 404b 之間及氧化物半導體膜 404b 與氧化物半導體膜 404c 之間的介面不容易形成介面狀態。

[0121] 另外，在氧化物半導體膜 404a 為 In-M-Zn 氧化物的情況下，除了 Zn 及 O 之外的 In 和 M 的原子百分比佳為：In 的原子百分比低於 50atomic%，M 的原子百分比為 50atomic%以上，更佳為：In 的原子百分比低於 25atomic%，M 的原子百分比為 75atomic%以上。另外，在氧化物半導體膜 404b 為 In-M-Zn 氧化物的情況下，除了 Zn 及 O 之外的 In 和 M 的原子百分比佳為：In 的原子百分比為 25atomic%以上，M 的原子百分比低於 75atomic%，更佳為：In 的原子百分比為 34atomic%以上，M 的原子百分比低於 66atomic%。另外，在氧化物半導體膜 404c 為 In-M-Zn 氧化物的情況下，除了 Zn 及 O 之外的 In 和 M 的原子百分比佳為：In 的原子百分比低於 50atomic%，M 的原子百分比為 50atomic%以上，更佳為：In 的原子百分比低於 25atomic%，M 的原子百分比為 75atomic%以上。注意，氧化物半導體膜 404c 也可以使用與氧化物半導體膜 404a 相同的氧化物。

[0122] 在此，在氧化物半導體膜 404a 與氧化物半導體膜 404b 之間有時形成有氧化物半導體膜 404a 和氧化物半導體膜 404b 的混合區。另外，在氧化物半導體膜 404b 與氧化物半導體膜 404c 之間有時形成有氧化物半導體膜 404b 和氧化物半導體膜 404c 的混合區。混合區的介面狀態密度較低。因此，在氧化物半導體膜 404a、氧化物半導體膜 404b 以及氧化物半導體膜 404c 的疊層體的能帶結構中，各膜之間的介面附近的能量連續地變化（也稱為連

接結合（continuous junction））。

[0123] 氧化物半導體膜 404b 使用其電子親和力大於氧化物半導體膜 404a 及氧化物半導體膜 404c 的氧化物。例如，氧化物半導體膜 404b 使用如下氧化物，該氧化物的電子親和力比氧化物半導體膜 404a 及氧化物半導體膜 404c 大 0.07eV 以上且 1.3eV 以下，較佳為大 0.1eV 以上且 0.7eV 以下，更佳為大 0.15eV 以上且 0.4eV 以下。電子親和力是指真空能階與導帶底端之間的能量差。

[0124] 在此，當對閘極電極 410 施加電場時，在氧化物半導體膜 404a、氧化物半導體膜 404b 和氧化物半導體膜 404c 中的電子親和力大的氧化物半導體膜 404b 中形成通道。

[0125] 此外，從增加電晶體的通態電流的觀點來看，氧化物半導體膜 404c 的厚度越小越好。例如，將氧化物半導體膜 404c 的厚度設定為低於 10nm ，較佳為 5nm 以下，更佳為 3nm 以下。另一方面，氧化物半導體膜 404c 具有阻擋構成閘極絕緣膜 408a 的除了氧之外的元素（矽等）侵入其中形成通道的氧化物半導體膜 404b 中的功能。因此，氧化物半導體膜 404c 較佳為具有一定厚度的厚度。例如，氧化物半導體膜 404c 的厚度為 0.3nm 以上，較佳為 1nm 以上，更佳為 2nm 以上。

[0126] 另外，從提高可靠性的觀點來看，較佳的是氧化物半導體膜 404a 厚且氧化物半導體膜 404c 薄。明確而言，氧化物半導體膜 404a 的厚度為 20nm 以上，較佳為

30nm 以上，更佳為 40nm 以上，進一步較佳為 60nm 以上。藉由將氧化物半導體膜 404a 的厚度設定為 20nm 以上，較佳為 30nm 以上，更佳為 40nm 以上，進一步較佳為 60nm 以上，可以使基底絕緣膜 402 與氧化物半導體膜 404a 之間的介面離其中形成通道的氧化物半導體膜 404b 有 20nm 以上，較佳為 30nm 以上，更佳為 40nm 以上，進一步較佳為 60nm 以上。注意，這有可能使半導體裝置的生產率下降，因此將氧化物半導體膜 404a 的厚度設定為 200nm 以下，較佳為 120nm 以下，更佳為 80nm 以下。

[0127] 例如，氧化物半導體膜 404b 與氧化物半導體膜 404a 之間的利用 SIMS 測定出的矽濃度設定為小於 $1 \times 10^{19} \text{atoms/cm}^3$ ，較佳為小於 $5 \times 10^{18} \text{atoms/cm}^3$ ，更佳為小於 $2 \times 10^{18} \text{atoms/cm}^3$ 。例如，氧化物半導體膜 404b 與氧化物半導體膜 404c 之間的利用 SIMS 測定出的矽濃度設定為小於 $1 \times 10^{19} \text{atoms/cm}^3$ ，較佳為小於 $5 \times 10^{18} \text{atoms/cm}^3$ ，更佳為小於 $2 \times 10^{18} \text{atoms/cm}^3$ 。

[0128] 另外，為了降低氧化物半導體膜 404b 中的氫濃度，較佳為降低氧化物半導體膜 404a 及氧化物半導體膜 404c 中的氫濃度。將利用 SIMS 測定出的氧化物半導體膜 404a 及氧化物半導體膜 404c 中的氫濃度設定為 $2 \times 10^{20} \text{atoms/cm}^3$ 以下，較佳為 $5 \times 10^{19} \text{atoms/cm}^3$ 以下，更佳為 $1 \times 10^{19} \text{atoms/cm}^3$ 以下，進一步較佳為 $5 \times 10^{18} \text{atoms/cm}^3$ 以下。另外，為了降低氧化物半導體膜 404b 中的氫濃度，較佳為降低氧化物半導體膜 404a 及氧化物半導體

膜 404c 中的氮濃度。將利用 SIMS 測定出的氧化物半導體膜 404a 及氧化物半導體膜 404c 中的氮濃度設定為小於 $5 \times 10^{19} \text{atoms/cm}^3$ ，較佳為 $5 \times 10^{18} \text{atoms/cm}^3$ 以下，更佳為 $1 \times 10^{18} \text{atoms/cm}^3$ 以下，進一步較佳為 $5 \times 10^{17} \text{atoms/cm}^3$ 以下。

[0129] 上述所示的三層結構是一個例子。例如，也可以採用不設置氧化物半導體膜 404a 或氧化物半導體膜 404c 的兩層結構。

[0130] 源極電極 406a 及汲極電極 406b 較佳為使用具有從氧化物半導體膜抽出氧的性質的導電膜。作為具有從氧化物半導體膜抽出氧的性質的導電膜，例如可以舉出含有鋁、鈦、鉻、鎳、鉬、鉭、鎢等的導電膜。

[0131] 借助於具有從氧化物半導體膜抽出氧的性質的導電層的作用，有時氧化物半導體膜中的氧被脫離，而在氧化物半導體膜中形成氧缺陷。氧的抽出隨著加熱溫度的提高而明顯地發生。因為在電晶體的製程中有幾個加熱製程，所以在氧化物半導體膜的與源極電極或汲極電極接觸的附近的區域中發生氧缺陷的可能性高。另外，有時氫因加熱而進入該氧缺陷的位點而使氧化物半導體膜 n 型化。因此，藉由利用源極電極及汲極電極的作用，可以降低氧化物半導體膜的與源極電極或汲極電極接觸的區域的電阻而降低電晶體的通態電阻（on-state resistance）。

[0132] 另外，當通道長度小（例如，200nm 以下或 100nm 以下）的電晶體時，n 型化區域的形成有可能導致

源極與汲極之間的短路。因此，當形成通道長度小的電晶體時，作為源極電極及汲極電極使用具有從氧化物半導體膜抽出適當的量的氧的性質的導電膜即可。作為具有抽出適當的量的氧的性質的導電膜，例如可以舉出包含鎳、鉬或鎢的導電膜等。

[0133] 另外，當形成通道長度極小（40nm 以下或 30nm 以下）的電晶體時，作為源極電極 406a 及汲極電極 406b 使用幾乎不從氧化物半導體膜抽出氧的導電膜即可。作為幾乎不從氧化物半導體膜抽出氧的導電膜，例如可以舉出含有氮化鉬、氮化鈦或鈦的導電膜等。注意，也可以層疊多種導電膜。

[0134] 閘極電極 410 可以使用包含鋁、鈦、鉻、鈷、鎳、銅、鈮、銦、鉍、鉕、鈳、銀、鉭和鎢等中的一種以上的導電膜。

[0135] 作為絕緣膜 412，可以使用包含氧化鋁、氧化鎂、氧化矽、氧氮化矽、氮氧化矽、氮化矽、氧化鎵、氧化銻、氧化鉍、氧化銦、氧化釷和氧化鉭等中的一種以上的絕緣膜。

[0136] 接著，參照圖 4A 至圖 5C 對電晶體的製造方法進行說明。

[0137] 首先，在基板 400 上形成基底絕緣膜 402（參照圖 4A）。

[0138] 基底絕緣膜 402 可以藉由濺射法、化學氣相沉積（CVD：Chemical Vapor Deposition）法、有機金屬

化學氣相沉積（MOCVD：Metal Organic CVD）法、電漿化學氣相沉積（PECVD：Plasma-Enhanced CVD）法、分子束磊晶（MBE：Molecular Beam Epitaxy）法、原子層沉積（ALD：Atomic Layer Deposition）法或脈衝雷射沉積（PLD：Pulsed Laser Deposition）法形成。為了降低電漿所導致的損傷，較佳為利用 MOCVD 法或 ALD 法。

[0139] 接著，為了使基底絕緣膜 402 的表面平坦化，也可以進行 CMP 處理。藉由進行 CMP 處理，將基底絕緣膜 402 的平均表面粗糙度（Ra）設定為 1nm 以下，較佳為設定為 0.3nm 以下，更佳為設定為 0.1nm 以下。當 Ra 的值為上述數值以下時，氧化物半導體層 404 的結晶性有時得到提高。可以利用原子力顯微鏡（AFM：Atomic Force Microscope）測量 Ra。

[0140] 接著，也可以對基底絕緣膜 402 添加氧，來形成包含過剩氧的絕緣膜。利用電漿處理或離子植入法等添加氧即可。例如，當利用離子植入法添加氧時，將加速電壓設定為 2kV 以上且 100kV 以下，並將劑量設定為 5×10^{14} ions/cm² 以上且 5×10^{16} ions/cm² 以下即可。

[0141] 接著，在基底絕緣膜 402 上利用濺射法、CVD 法、MOCVD 法、PECVD 法、MBE 法、ALD 法或 PLD 法形成氧化物半導體膜 404a 及氧化物半導體膜 404b（參照圖 4B）。為了降低電漿所導致的損傷，較佳為利用 MOCVD 法或 ALD 法。另外，也可以對基底絕緣膜 402 適當地進行蝕刻。藉由對基底絕緣膜 402 適當地進行蝕

刻，可以容易由在後面形成的閘極電極 410 覆蓋氧化物半導體層 404。另外，為了使電晶體微型化，也可以在對氧化物半導體膜 404a 及氧化物半導體膜 404b 進行加工時使用硬遮罩。

[0142] 另外，當形成氧化物半導體膜 404a 及氧化物半導體膜 404b 時，以不使各層接觸於大氣的方式連續地進行成膜是較佳的。

[0143] 為了抑制雜質混入而形成結晶性高的氧化物半導體層，在基板溫度較佳為 100°C 以上，較佳為 150°C 以上，更佳為 200°C 以上的狀態下形成氧化物半導體膜 404a 及氧化物半導體膜 404b。另外，將用作成膜氣體的氧氣體或氬氣體的露點設定為 -40°C 以下，較佳為 -80°C 以下，更佳為 -100°C 以下，以使其高度純化。將雜質濃度低且缺陷態密度低（氧缺陷少）的狀態稱為“高純度本質”或“實質上高純度本質”。

[0144] 在形成氧化物半導體膜 404a 及氧化物半導體膜 404b 之後可以進行第一加熱處理。第一加熱處理在 250°C 以上且 650°C 以下，較佳為 300°C 以上且 500°C 以下的溫度下且在惰性氣體氛圍、包含 10ppm 以上的氧化氣體的氛圍或減壓狀態下進行即可。作為第一加熱處理，也可以進行惰性氣體氛圍下的加熱處理，然後為了補充脫離了的氧而進行包含 10ppm 以上的氧化氣體的氛圍下的加熱處理。藉由進行第一加熱處理，可以提高氧化物半導體膜 404a 及氧化物半導體膜 404b 的結晶性，而且可以從基

底絕緣膜 402 中去除氫或水等雜質。

[0145] 接著，形成與氧化物半導體膜 404a 的側面、氧化物半導體膜 404b 的頂面及側面接觸的成為源極電極 406a 及汲極電極 406b 的導電膜 405（參照圖 4C）。導電膜 405 可以利用 CVD 法、MOCVD 法、PECVD 法、MBE 法、ALD 法或 PLD 法形成。為了降低電漿所導致的損傷，較佳為利用 MOCVD 法或 ALD 法。

[0146] 接著，利用蝕刻分割導電膜 405，來形成源極電極 406a 及汲極電極 406b（參照圖 5A）。當對導電膜 405 進行蝕刻時，源極電極 406a 及汲極電極 406b 的端部有時呈弧形（具有曲面）。另外，當對導電膜 405 進行蝕刻時，基底絕緣膜 402 也可以被適當地蝕刻。

[0147] 接著，在氧化物半導體膜 404b、源極電極 406a 及汲極電極 406b 上形成氧化物半導體膜 404c。

[0148] 接著，在氧化物半導體膜 404c 上形成閘極絕緣膜 408a。閘極絕緣膜 408a 可以利用濺射法、CVD 法、MOCVD 法、PECVD 法、MBE 法、ALD 法或 PLD 法形成。為了降低電漿所導致的損傷，較佳為利用 MOCVD 法或 ALD 法。

[0149] 接著，在閘極絕緣膜 408a 上形成閘極絕緣膜 408b。閘極絕緣膜 408b 可以利用濺射法、CVD 法、MOCVD 法、PECVD 法、MBE 法、ALD 法或 PLD 法形成。為了降低電漿所導致的損傷，較佳為利用 MOCVD 法或 ALD 法。

[0150] 接著，也可以進行第二加熱處理。第二加熱處理在低於 500℃，較佳為低於 400℃ 的溫度下且在惰性氣體氛圍、包含 10ppm 以上的氧化氣體的氛圍或減壓狀態下進行即可。作為第二加熱處理，也可以進行惰性氣體氛圍下的加熱處理，然後為了補充脫離了的氧而進行包含 10ppm 以上的氧化氣體的氛圍下的加熱處理。藉由進行第二加熱處理，可以從閘極絕緣膜 408b 中去除氫或水等雜質。

[0151] 接著，在閘極絕緣膜 408b 上形成閘極電極 410（參照圖 5B）。閘極電極 410 可以利用濺射法、CVD 法、MOCVD 法、PECVD 法、MBE 法、ALD 法或 PLD 法形成。為了降低電漿所導致的損傷，較佳為利用 MOCVD 法或 ALD 法。

[0152] 接著，在源極電極 406a、汲極電極 406b、閘極絕緣膜 408a、閘極絕緣膜 408b 以及閘極電極 410 上形成絕緣膜 412（參照圖 5C）。絕緣膜 412 可以利用濺射法、CVD 法、MOCVD 法、PECVD 法、MBE 法、ALD 法或 PLD 法形成。為了降低電漿所導致的損傷，較佳為利用 MOCVD 法或 ALD 法。

[0153] 接著，也可以進行第三加熱處理。第三加熱處理可以在與第一加熱處理相同的條件下進行。藉由進行第三加熱處理，有時可以減少氧化物半導體層 404 的氧缺陷。

[0154] 藉由上述製程，可以製造圖 3A 至圖 3C 所示

的電晶體。

[0155]

<變形例子 1>

如圖 6A 和圖 6B 所示的電晶體，也可以在基底絕緣膜 402 與氧化物半導體層 404 之間設置絕緣膜 401。絕緣膜 401 可以使用用於閘極絕緣膜 408a 的絕緣膜。另外，關於其他構成要素參照圖 3A 至圖 3C 所示的電晶體的記載。

[0156]

<變形例子 2>

另外，如圖 7A 和圖 7B 所示的電晶體，也可以在基板 400 與基底絕緣膜 402 之間設置導電膜 420。藉由將導電膜 420 用作第二閘極電極，可以進一步增加通態電流且控制臨界電壓。為了增加通態電流，例如，使閘極電極 410 和導電膜 420 具有相同的電位來實現雙閘極電晶體即可。此外，也可以將閘極電極 410 與導電膜 420 電連接而使它們具有相同的電位。另外，為了控制臨界電壓，可以對閘極電極 410 和導電膜 420 供應不同的恆電位。

[0157]

<電晶體結構 2>

圖 8A 和圖 8B 為電晶體的俯視圖及剖面圖。圖 8A 為俯視圖，圖 8B 為沿著圖 8A 所示的點劃線 A1-A2 以及點劃線 A3-A4 的剖面圖。另外，在圖 8A 的俯視圖中，為了明確起見，省略一部分的構成要素。

[0158] 圖 8A 及圖 8B 所示的電晶體包括：基板 400 上的具有凸部的基底絕緣膜 402；基底絕緣膜 402 的凸部上的氧化物半導體層 404；氧化物半導體層 404 上的閘極絕緣膜 408a；與氧化物半導體層 404 及閘極絕緣膜 408a 的側面以及閘極絕緣膜 408a 的頂面接觸的源極電極 406a 及汲極電極 406b；閘極絕緣膜 408a、源極電極 406a 及汲極電極 406b 上的閘極絕緣膜 408b；與閘極絕緣膜 408b 的頂面接觸並面對氧化物半導體層 404 中的氧化物半導體膜 404b 的頂面及側面的閘極電極 410；以及源極電極 406a、汲極電極 406b 及閘極電極 410 上的絕緣膜 412。另外，基底絕緣膜 402 也可以不具有凸部。此外，如圖 8C 所示，氧化物半導體層 404 包括氧化物半導體膜 404a、氧化物半導體膜 404b 及氧化物半導體膜 404c。

[0159] 在圖 8A 至 8C 所示的電晶體中，源極電極 406a 或汲極電極 406b 主要以與氧化物半導體層 404 的側面接觸的方式配置。因此，從閘極電極 410 施加到氧化物半導體層 404 的電場幾乎不被源極電極 406a 及汲極電極 406b 阻擋。因此，與圖 3A 至圖 3C、圖 6A 和圖 6B 以及圖 7A 和圖 7B 所示的電晶體相比，可以擴大氧化物半導體層中的電流路徑，而可以獲得更大的通態電流。

[0160]

<電晶體結構 3>

圖 9A 和圖 9B 為電晶體的俯視圖及剖面圖。圖 9A 為俯視圖，圖 9B 為沿著圖 9A 所示的點劃線 A1-A2 以及點

劃線 A3-A4 的剖面圖。另外，在圖 9A 的俯視圖中，為了明確起見，省略一部分的構成要素。

[0161] 圖 9A 及圖 9B 所示的電晶體包括：基板 400 上的具有凸部的基底絕緣膜 402；基底絕緣膜 402 的凸部上的氧化物半導體層 404；與氧化物半導體層 404 的側面接觸的源極電極 406a 及汲極電極 406b；位於源極電極 406a 及汲極電極 406b 上且其頂面的高度與氧化物半導體層 404 一致的絕緣膜 418a 及絕緣膜 418b；氧化物半導體層 404、源極電極 406a 及汲極電極 406b 上的閘極絕緣膜 408a；閘極絕緣膜 408a 上的閘極絕緣膜 408b；與閘極絕緣膜 408b 的頂面接觸並面對氧化物半導體層 404 的頂面及側面的閘極電極 410；以及源極電極 406a、汲極電極 406b 及閘極電極 410 上的絕緣膜 412。另外，基底絕緣膜 402 也可以不具有凸部。此外，氧化物半導體層 404 具有與電晶體結構 2 同樣的結構。

[0162] 在圖 9A 和圖 9B 所示的電晶體中，源極電極 406a 或汲極電極 406b 主要以與氧化物半導體層 404 的側面接觸的方式配置。因此，從閘極電極 410 施加到氧化物半導體層 404 的電場幾乎不被源極電極 406a 及汲極電極 406b 阻擋。因此，與圖 3A 至圖 3C、圖 6A 和圖 6B 以及圖 7A 和圖 7B 所示的電晶體相比，可以擴大氧化物半導體層中的電流路徑，而可以獲得更大的通態電流。

[0163] 另外，由於氧化物半導體層 404 的頂面的高度與絕緣膜 418a 及絕緣膜 418b 一致，因此不容易發生形

狀不良。由此，具有該電晶體的半導體裝置的良率得到提高。

[0164] 關於絕緣膜 418a 及絕緣膜 418b 參照基底絕緣膜 402 的記載。

[0165]

<電晶體結構 4>

雖然電晶體結構 1 至 3 所記載的電晶體結構都具有頂閘極結構，但是也可以具有底閘極結構。圖 10A 和圖 10B 為底閘極結構的電晶體的俯視圖及剖面圖。圖 10A 為俯視圖，圖 10B 為沿著圖 10A 所示的點劃線 A1-A2 以及點劃線 A3-A4 的剖面圖。另外，在圖 10A 的俯視圖中，為了明確起見，省略一部分的構成要素。

[0166] 圖 10A 及圖 10B 所示的電晶體包括：基板 400 上的基底絕緣膜 402；基底絕緣膜 402 上的閘極電極 410；基底絕緣膜 402 及閘極電極 410 上的閘極絕緣膜 408b；閘極絕緣膜 408b 上的閘極絕緣膜 408a；閘極絕緣膜 408a 上的氧化物半導體層 404；與閘極絕緣膜 408a 的頂面、氧化物半導體層 404 的頂面及側面接觸的源極電極 406a 及汲極電極 406b；以及氧化物半導體層 404、源極電極 406a 及汲極電極 406b 上的絕緣膜 412。另外，氧化物半導體層 404 具有與電晶體結構 2 同樣的結構。

[0167] 另外，如圖 11A 和圖 11B 所示，也可以在源極電極 406a 及汲極電極 406b 與氧化物半導體層 404 之間設置絕緣膜 413。在此情況下，源極電極 406a 及汲極電

極 406b 藉由設置在絕緣膜 413 中的開口部與氧化物半導體層 404 連接。此外，如圖 11C 所示，在絕緣膜 412 上還可以設置導電膜 414。也可以將導電膜 414 用作背後閘極。導電膜 414 也可以與閘極電極 410 連接。或者，也可以對導電膜 414 供應與閘極電極 410 不同的信號或電位。注意，絕緣膜 413 雖然設置在不設置氧化物半導體層 404 的區域，但是本發明的一個方式不侷限於此。絕緣膜 413 也可以只設置在氧化物半導體層 404 上。

[0168] 另外，雖然在本實施方式中示出在氧化物半導體層中形成通道等的情況的例子，但是本發明的一個方式不侷限於此。例如，根據情況或狀況，在通道或其附近、源極區域、汲極區域等中也可以使用具有 Si（矽）、Ge（鍺）、SiGe（矽鍺）、GaAs（砷化鎵）等的材料。

[0169] 本實施方式所示的結構、方法等可以與其他實施方式所示的結構、方法等適當地組合而實施。

[0170]

實施方式 3

在本實施方式中，參照圖式說明利用本發明的一個方式的電晶體的電路的一個例子。

[0171]

[剖面結構]

圖 12A 示出本發明的一個方式的半導體裝置的剖面圖。圖 12A 所示的半導體裝置在下部包括使用第一半導體材料的電晶體 2200，而在上部包括使用第二半導體材料

5

的電晶體 2100。圖 12A 示出作為使用第二半導體材料的電晶體 2100 應用上述實施方式所示的電晶體的例子。

[0172] 第一半導體材料和第二半導體材料較佳為具有彼此不同的禁止帶寬度的材料。例如，可以將氧化物半導體以外的半導體材料（矽、鍺、矽鍺、碳化矽或砷化鎵等）用於第一半導體材料，並且將氧化物半導體用於第二半導體材料。作為氧化物半導體以外的材料使用單晶矽等的電晶體容易進行高速工作。另一方面，使用氧化物半導體的電晶體的關態電流小。

[0173] 電晶體 2200 可以是 n 通道電晶體和 p 通道電晶體中的任一個，根據電路使用適合的電晶體即可。另外，除了使用包含氧化物半導體的根據本發明的一個方式的電晶體之外，半導體裝置的材料及結構等具體結構不侷限於在此所示的結構。

[0174] 在圖 12A 所示的結構中，在電晶體 2200 上隔著絕緣膜 2201 及絕緣膜 2207 設置有電晶體 2100。電晶體 2200 與電晶體 2100 之間設置有多個佈線 2202。此外，藉由埋入各種絕緣膜中的多個插頭 2203 電連接設置在該絕緣膜上及下的佈線或電極。此外，還設置有覆蓋電晶體 2100 的絕緣膜 2204、絕緣膜 2204 上的佈線 2205 以及藉由對與電晶體 2100 的一對電極相同的導電膜進行加工來獲得的佈線 2206。

[0175] 如此，藉由層疊兩種電晶體，可以減少電路的佔有面積，而可以高密度地設置多個電路。

[0176] 在此，在將矽類半導體材料用於設置在下層的電晶體 2200 時，設置在電晶體 2200 的半導體膜的附近的絕緣膜中的氫具有使矽的懸空鍵終結而提高電晶體 2200 的可靠性的效果。另一方面，在將氧化物半導體用於設置在上層的電晶體 2100 時，設置在電晶體 2100 的半導體膜的附近的絕緣膜中的氫有可能成為在氧化物半導體中生成載子的原因之一，所以有時引起電晶體 2100 的可靠性的下降。因此，當在使用矽類半導體材料的電晶體 2200 上層疊使用氧化物半導體的電晶體 2100 時，在它們之間設置具有防止氫的擴散的功能的絕緣膜 2207 是特別有效的。藉由利用絕緣膜 2207 將氫封閉在下層，可以提高電晶體 2200 的可靠性，此外，由於從下層到上層的氫的擴散得到抑制，所以同時可以提高電晶體 2100 的可靠性。

[0177] 絕緣膜 2207 例如可以使用氧化鋁、氧氮化鋁、氧化鎵、氧氮化鎵、氧化釷、氧氮化釷、氧化鈺、氧氮化鈺、釷安定氧化鋯（YSZ）等。

[0178] 此外，較佳的是，在電晶體 2100 上以覆蓋包括氧化物半導體層的電晶體 2100 的方式形成具有防止氫的擴散的功能的絕緣膜 2208。絕緣膜 2208 可以使用與絕緣膜 2207 相同的材料，特別較佳為使用氧化鋁。氧化鋁膜的不使氫、水分等雜質和氧透過膜的遮斷（阻擋）效果高。因此，藉由作為覆蓋電晶體 2100 的絕緣膜 2208 使用氧化鋁膜，可以防止氧從電晶體 2100 中的氧化物半導體

層脫離，還可以防止水及氫混入氧化物半導體層。

[0179] 另外，電晶體 2200 不僅是平面型電晶體，而且還可以是各種類型的電晶體。例如，可以是 FIN（鰭）型、TRI-GATE（三閘極）型電晶體等。圖 12D 示出此時的剖面圖的例子。在半導體基板 2211 上設置有絕緣層 2212。半導體基板 2211 具有頂端細的凸部（也稱為鰭）。此外，也可以在凸部上設置有絕緣膜。該絕緣膜用作避免當形成凸部時半導體基板 2211 被蝕刻的遮罩。另外，凸部可以是頂端不細的形狀，例如該凸部也可以是大致長方體或頂端粗的形狀。在半導體基板 2211 的凸部上設置有閘極絕緣膜 2214，且在該閘極絕緣膜 2214 上設置有閘極電極 2213。在半導體基板 2211 中形成有源極區域及汲極區域 2215。另外，雖然在此示出了半導體基板 2211 具有凸部的例子，但是根據本發明的一個方式的半導體裝置不侷限於此。例如，也可以加工 SOI 基板形成具有凸部的半導體區域。

[0180]

[電路結構實例]

在上述結構中，藉由改變電晶體 2100 及電晶體 2200 的電極的連接結構，可以構成各種電路。下面說明藉由使用本發明的一個方式的半導體裝置來可以實現的電路結構的例子。

[0181]

<CMOS 電路>

圖 12B 所示的電路圖示出所謂的 CMOS 電路的結構，其中將 p 通道電晶體 2200 和 n 通道電晶體 2100 串聯連接且將各閘極連接。

[0182]

<類比開關>

圖 12C 所示的電路圖示出將電晶體 2100 和電晶體 2200 的各源極和汲極連接的結構。藉由採用該結構，可以將其用作所謂的類比開關。

[0183]

<記憶體裝置的例子>

圖 13A 和圖 13B 示出半導體裝置（記憶體裝置）的一個例子，該半導體裝置（記憶體裝置）使用本發明的一個方式的電晶體，即使在沒有電力供應的情況下也能夠保持儲存內容，並且，對寫入次數也沒有限制。

[0184] 在圖 13A 所示的半導體裝置包括：使用第一半導體材料的電晶體 3200；使用第二半導體材料的電晶體 3300；以及電容元件 3400。作為電晶體 3300，可以使用在上述實施方式中說明的電晶體。

[0185] 電晶體 3300 是其通道形成在包含氧化物半導體的半導體層中的電晶體。因為電晶體 3300 的關態電流小，所以藉由使用該電晶體，可以長期保持儲存內容。換言之，因為可以形成不需要更新工作或更新工作的頻率極低的半導體記憶體裝置，所以可以充分降低功耗。

[0186] 在圖 13A 中，第一佈線 3001 與電晶體 3200

5

的源極電極電連接，第二佈線 3002 與電晶體 3200 的汲極電極電連接。此外，第三佈線 3003 與電晶體 3300 的源極電極和汲極電極中的一個電連接，第四佈線 3004 與電晶體 3300 的閘極電極電連接。再者，電晶體 3200 的閘極電極及電晶體 3300 的源極電極和汲極電極中的另一個與電容元件 3400 的電極中的一個電連接，第五佈線 3005 與電容元件 3400 的電極中的另一個電連接。

[0187] 在圖 13A 所示的半導體裝置中，藉由有效地利用能夠保持電晶體 3200 的閘極電極的電位的特徵，可以如下所示那樣進行資料的寫入、保持以及讀出。

[0188] 對資料的寫入及保持進行說明。首先，將第四佈線 3004 的電位設定為使電晶體 3300 成為開啟狀態的電位，使電晶體 3300 成為開啟狀態。由此，第三佈線 3003 的電位施加到電晶體 3200 的閘極電極及電容元件 3400。換言之，對電晶體 3200 的閘極電極施加規定的電荷（寫入）。這裡，施加賦予兩種不同電位位準的電荷（以下，稱為低位準電荷、高位準電荷）中的任一種。然後，藉由將第四佈線 3004 的電位設定為使電晶體 3300 成為關閉狀態的電位，來使電晶體 3300 成為關閉狀態，而保持施加到電晶體 3200 的閘極電極的電荷（保持）。

[0189] 因為電晶體 3300 的關態電流極小，所以電晶體 3200 的閘極電極的電荷被長時間地保持。

[0190] 接著，對資料的讀出進行說明。當在對第一佈線 3001 施加規定的電位（恆電位）的狀態下對第五佈

線 3005 施加適當的電位（讀出電位）時，根據保持在電晶體 3200 的閘極電極中的電荷量，第二佈線 3002 具有不同的電位。這是因為如下緣故：一般而言，在電晶體 3200 為 n 通道電晶體的情況下，對電晶體 3200 的閘極電極施加高位準電荷時的外觀上的臨界電壓 V_{th_H} 低於對電晶體 3200 的閘極電極施加低位準電荷時的外觀上的臨界電壓 V_{th_L} 。在此，外觀上的臨界電壓是指為了使電晶體 3200 成為“開啟狀態”所需要的第五佈線 3005 的電位。因此，藉由將第五佈線 3005 的電位設定為 V_{th_L} 與 V_{th_H} 之間的電位 V_0 ，可以辨別施加到電晶體 3200 的閘極電極的電荷。例如，在寫入時被供應高位準電荷的情況下，如果第五佈線 3005 的電位為 $V_0 (>V_{th_H})$ ，電晶體 3200 則成為“開啟狀態”。當被供應低位準電荷時，即使第五佈線 3005 的電位為 $V_0 (<V_{th_L})$ ，電晶體 3200 還保持“關閉狀態”。因此，藉由辨別第二佈線 3002 的電位，可以讀出所保持的資料。

[0191] 注意，當將記憶單元配置為陣列狀時，需要僅讀出所希望的記憶單元的資料。如此，當不讀出資料時，對第五佈線 3005 施加不管閘極電極的狀態如何都使電晶體 3200 成為“關閉狀態”的電位，即小於 V_{th_H} 的電位，即可。或者，對第五佈線 3005 施加不管閘極電極的狀態如何都使電晶體 3200 成為“開啟狀態”的電位，即大於 V_{th_L} 的電位，即可。

[0192] 圖 13B 所示的半導體裝置與圖 13A 所示的半

導體裝置之間的不同點是圖 13B 所示的半導體裝置沒有設置電晶體 3200。在此情況下也可以藉由與上述相同的工作進行資料的寫入及保持工作。

[0193] 接著，對資料的讀出進行說明。在電晶體 3300 成為開啟狀態時，處於浮動狀態的第三佈線 3003 和電容元件 3400 導通，且在第三佈線 3003 和電容元件 3400 之間再次分配電荷。其結果是，第三佈線 3003 的電位產生變化。第三佈線 3003 的電位的變化量根據電容元件 3400 的電極中的一個的電位（或積累在電容元件 3400 中的電荷）而具有不同的值。

[0194] 例如，在電容元件 3400 的電極中的一個的電位為 V ，電容元件 3400 的電容為 C ，第三佈線 3003 所具有的電容成分為 CB ，再次分配電荷之前的第三佈線 3003 的電位為 $VB0$ 時，再次分配電荷之後的第三佈線 3003 的電位為 $(CB \times VB0 + C \times V) / (CB + C)$ 。因此，在假定作為記憶單元的狀態，電容元件 3400 的電極中的一個的電位成為兩種狀態，即 $V1$ 和 $V0$ ($V1 > V0$) 時，可以知道保持電位 $V1$ 時的第三佈線 3003 的電位 ($= (CB \times VB0 + C \times V1) / (CB + C)$) 高於保持電位 $V0$ 時的第三佈線 3003 的電位 ($= (CB \times VB0 + C \times V0) / (CB + C)$)。

[0195] 藉由對第三佈線 3003 的電位和規定的電位進行比較，可以讀出資料。

[0196] 在此情況下，可以將使用上述第一半導體材

料的電晶體用於用來驅動記憶單元的驅動電路，並在該驅動電路上作為電晶體 3300 層疊使用第二半導體材料的電晶體。

[0197] 在本實施方式所示的半導體裝置中，藉由使用其通道形成區包含氧化物半導體的關態電流極小的電晶體，可以極長期地保持儲存內容。換言之，因為不需要進行更新工作，或者，可以使更新工作的頻率變得極低，所以可以充分降低功耗。另外，即使在沒有電力供給的情況下（注意，固定電位是較佳的），也可以長期保持儲存內容。

[0198] 另外，在本實施方式所示的半導體裝置中，資料的寫入不需要高電壓，而且也沒有元件劣化的問題。由於例如不需要如習知的非揮發性記憶體那樣地對浮動閘極注入電子或從浮動閘極抽出電子，因此不發生如閘極絕緣膜的劣化等的問題。換言之，在根據所公開的發明的半導體裝置中，對重寫的次數沒有限制，這限制是習知的非揮發性記憶體所具有的問題，所以可靠性得到極大提高。再者，根據電晶體的開啟狀態或關閉狀態而進行資料寫入，而可以容易實現高速工作。

[0199] 本實施方式所示的結構、方法等可以與其他實施方式所示的結構、方法等適當地組合而實施。

[0200]

實施方式 4

在本實施方式中，參照圖 14 說明包括上述實施方式

所說明的電晶體或記憶體裝置的 RF 標籤。

[0201] 根據本發明的一個方式的 RF 標籤在其內部包括記憶體電路，在該記憶體電路中儲存所需要的資料，並使用非接觸單元諸如無線通訊向外部發送資料和/或從外部接受資料。由於具有這種特徵，RF 標籤可以被用於藉由讀取物品等的個體資訊來識別物品的個體識別系統等。注意，這些用途要求極高的可靠性。

[0202] 參照圖 14 說明 RF 標籤的結構。圖 14 是示出 RF 標籤的結構實例的塊圖。

[0203] 如圖 14 所示，RF 標籤 800 包括接收從與通信器 801（也稱為詢問器、讀出器/寫入器等）連接的天線 802 發送的無線信號 803 的天線 804。RF 標籤 800 還包括整流電路 805、恆壓電路 806、解調變電路 807、調變電路 808、邏輯電路 809、記憶體電路 810、ROM811。另外，在包括在解調變電路 807 中的具有整流作用的電晶體中，也可以使用充分地抑制反向電流的材料，諸如氧化物半導體。由此，可以抑制起因於反向電流的整流作用的降低並防止解調變電路的輸出飽和，也就是說，可以使解調變電路的輸入和解調變電路的輸出之間的關係靠近於線性關係。注意，資料傳輸方法大致分成如下三種方法：將一對線圈相對地設置並利用互感進行通信的電磁耦合方法；利用感應場進行通信的電磁感應方法；以及利用電波進行通信的電波方法。在本實施方式所示的 RF 標籤 800 中可以使用上述任何方法。

[0204] 接著，說明各電路的結構。天線 804 與連接於通信器 801 的天線 802 之間進行無線信號 803 的發送及接受。在整流電路 805 中，對藉由由天線 804 接收無線信號來生成的輸入交流信號進行整流，例如進行半波倍壓整流，並由設置在後級的電容元件使被整流的信號平滑化，由此生成輸入電位。另外，整流電路 805 的輸入一側或輸出一側也可以設置限幅電路。限幅電路是在輸入交流信號的振幅大且內部生成電壓大時進行控制以不使一定以上的電力輸入到後級的電路中的電路。

[0205] 恆壓電路 806 是由輸入電位生成穩定的電源電壓而供應到各電路的電路。恆壓電路 806 也可以在其內部包括重設信號產生電路。重設信號產生電路是利用穩定的電源電壓的上升而生成邏輯電路 809 的重設信號的電路。

[0206] 解調變電路 807 是藉由包絡檢測對輸入交流信號進行解調並生成解調信號的電路。此外，調變電路 808 是根據從天線 804 輸出的資料進行調變的電路。

[0207] 邏輯電路 809 是分析解調信號並進行處理的電路。記憶體電路 810 是保持被輸入的資料的電路，並包括行解碼器、列解碼器、儲存區域等。此外，ROM811 是保持識別號碼（ID）等並根據處理進行輸出的電路。

[0208] 注意，根據需要可以適當地設置上述各電路。

[0209] 在此，可以將上述實施方式所示的記憶體電

路用於記憶體電路 810。因為根據本發明的一個方式的記憶體電路即使在關閉電源的狀態下也可以保持資料，所以適用於 RF 標籤。再者，因為根據本發明的一個方式的記憶體電路的資料寫入所需要的電力（電壓）比習知的非揮發性記憶體低得多，所以也可以不產生資料讀出時和寫入時的最大通信距離的差異。再者，根據本發明的一個方式的記憶體電路可以抑制由於資料寫入時的電力不足引起誤動作或誤寫入的情況。

[0210] 此外，因為根據本發明的一個方式的記憶體裝置可以用作非揮發性記憶體，所以還可以應用於 ROM811。在此情況下，較佳的是，生產者另外準備用來對 ROM811 寫入資料的指令防止使用者自由地重寫。由於生產者在預先寫入識別號碼後出貨，可以僅使出貨的良品具有識別號碼而不使所製造的所有 RF 標籤具有識別號碼，由此不發生出貨後的產品的識別號碼不連續的情況而可以容易根據出貨後的產品進行顧客管理。

[0211]

實施方式 5

在本實施方式中，說明至少可以使用上述實施方式所說明的電晶體且包含上述實施方式所說明的記憶體裝置的 CPU。

[0212] 圖 15 是示出將在上述實施方式中說明的電晶體用於至少其一部分的 CPU 的結構的一個例子的塊圖。

[0213] 圖 15 所示的 CPU 在基板 1190 上具有：

ALU1191 (ALU : Arithmetic logic unit : 算術邏輯單元) 、 ALU 控制器 1192 、 指令解碼器 1193 、 中斷控制器 1194 、 時序控制器 1195 、 暫存器 1196 、 暫存器控制器 1197 、 匯流排介面 1198 (Bus I/F) 、 能夠重寫的 ROM1199 以及 ROM 介面 1189 (ROM I/F) 。 作為基板 1190 使用半導體基板、SOI 基板、玻璃基板等。ROM1199 及 ROM 介面 1189 也可以設置在不同的晶片上。當然，圖 15 所示的 CPU 只不過是簡化其結構而表示的一個例子，所以實際上的 CPU 根據其用途具有各種各樣的結構。例如，也可以以包括圖 15 所示的 CPU 或算術電路的結構為核心，設置多個該核心並使其同時工作。另外，在 CPU 的內部算術電路或資料匯流排中能夠處理的位元數例如可以為 8 位、16 位、32 位、64 位等。

[0214] 藉由匯流排介面 1198 輸入到 CPU 的指令在輸入到指令解碼器 1193 並被解碼之後，輸入到 ALU 控制器 1192 、 中斷控制器 1194 、 暫存器控制器 1197 、 時序控制器 1195 。

[0215] ALU 控制器 1192 、 中斷控制器 1194 、 暫存器控制器 1197 、 時序控制器 1195 根據被解碼的指令進行各種控制。明確而言，ALU 控制器 1192 生成用來控制 ALU1191 的工作的信號。另外，中斷控制器 1194 在執行 CPU 的程式時，根據其優先度或遮罩的狀態來判斷來自外部的輸入/輸出裝置或週邊電路的中斷要求而對該要求進行處理。暫存器控制器 1197 生成暫存器 1196 的位址，並

根據 CPU 的狀態來進行暫存器 1196 的讀出或寫入。

[0216] 另外，時序控制器 1195 生成用來控制 ALU1191、ALU 控制器 1192、指令解碼器 1193、中斷控制器 1194 以及暫存器控制器 1197 的工作時序的信號。例如，時序控制器 1195 具有根據參考時脈信號 CLK1 生成內部時脈信號 CLK2 的內部時脈發生器，並將內部時脈信號 CLK2 供應到上述各種電路。

[0217] 在圖 15 所示的 CPU 中，在暫存器 1196 中設置有記憶單元。作為暫存器 1196 的記憶單元，可以使用上述實施方式所示的電晶體。

[0218] 在圖 15 所示的 CPU 中，暫存器控制器 1197 根據 ALU1191 的指令進行暫存器 1196 中的保持工作的選擇。換言之，暫存器控制器 1197 在暫存器 1196 所具有的記憶單元中選擇由正反器保持資料還是由電容元件保持資料。在選擇由正反器保持資料的情況下，對暫存器 1196 中的記憶單元供應電源電壓。在選擇由電容元件保持資料的情況下，對電容元件進行資料的重寫，而可以停止對暫存器 1196 中的記憶單元供應電源電壓。

[0219] 圖 16 是可以用作暫存器 1196 的記憶元件的電路圖的一個例子。記憶元件 1200 包括當關閉電源時丟失儲存資料的電路 1201、當關閉電源時不丟失儲存資料的電路 1202、開關 1203、開關 1204、邏輯元件 1206、電容元件 1207 以及具有選擇功能的電路 1220。電路 1202 包括電容元件 1208、電晶體 1209 及電晶體 1210。另外，

記憶元件 1200 根據需要還可以包括其他元件諸如二極體、電阻元件或電感器等。

[0220] 在此，電路 1202 可以使用上述實施方式所示的記憶體裝置。在停止對記憶元件 1200 供應電源電壓時，接地電位（0V）或使電晶體 1209 關閉的電位繼續輸入到電路 1202 中的電晶體 1209 的閘極。例如，電晶體 1209 的閘極藉由電阻器等負載接地。

[0221] 在此示出開關 1203 為具有一導電型（例如，n 通道型）的電晶體 1213，而開關 1204 為具有與此相反的導電型（例如，p 通道型）的電晶體 1214 的例子。這裡，開關 1203 的第一端子對應於電晶體 1213 的源極和汲極中的一個，開關 1203 的第二端子對應於電晶體 1213 的源極和汲極中的另一個，並且開關 1203 的第一端子與第二端子之間的導通或非導通（即，電晶體 1213 的開啟狀態或關閉狀態）由輸入到電晶體 1213 的閘極的控制信號 RD 選擇。開關 1204 的第一端子對應於電晶體 1214 的源極和汲極中的一個，開關 1204 的第二端子對應於電晶體 1214 的源極和汲極中的另一個，並且開關 1204 的第一端子與第二端子之間的導通或非導通（即，電晶體 1214 的開啟狀態或關閉狀態）由輸入到電晶體 1214 的閘極的控制信號 RD 選擇。

[0222] 電晶體 1209 的源極和汲極中的一個電連接到電容元件 1208 的一對電極中的一個及電晶體 1210 的閘極。在此，將連接部分稱為節點 M2。電晶體 1210 的源極

和汲極中的一個電連接到能夠供應低電源電位的佈線（例如，GND 線），而另一個電連接到開關 1203 的第一端子（電晶體 1213 的源極和汲極中的一個）。開關 1203 的第二端子（電晶體 1213 的源極和汲極中的另一個）電連接到開關 1204 的第一端子（電晶體 1214 的源極和汲極中的一個）。開關 1204 的第二端子（電晶體 1214 的源極和汲極中的另一個）電連接到能夠供應電源電位 VDD 的佈線。開關 1203 的第二端子（電晶體 1213 的源極和汲極中的另一個）、開關 1204 的第一端子（電晶體 1214 的源極和汲極中的一個）、邏輯元件 1206 的輸入端子和電容元件 1207 的一對電極中的一個是電連接著的。在此，將連接部分稱為節點 M1。可以對電容元件 1207 的一對電極中的另一個輸入固定電位。例如，可以輸入低電源電位（GND 等）或高電源電位（VDD 等）。電容元件 1207 的一對電極中的另一個電連接到能夠供應低電源電位的佈線（例如，GND 線）。對電容元件 1208 的一對電極中的另一個可以輸入固定電位。例如，可以輸入低電源電位（GND 等）或高電源電位（VDD 等）。電容元件 1208 的一對電極中的另一個電連接到能夠供應低電源電位的佈線（例如，GND 線）。

[0223] 當積極地利用電晶體或佈線的寄生電容等時，可以不設置電容元件 1207 及電容元件 1208。

[0224] 控制信號 WE 輸入到電晶體 1209 的第一閘極（第一閘極電極）。開關 1203 及開關 1204 的第一端子與

第二端子之間的導通狀態或非導通狀態由與控制信號 WE 不同的控制信號 RD 選擇，當一個開關的第一端子與第二端子之間處於導通狀態時，另一個開關的第一端子與第二端子之間處於非導通狀態。

[0225] 對應於保持在電路 1201 中的資料的信號被輸入到電晶體 1209 的源極和汲極中的另一個。圖 16 示出從電路 1201 輸出的信號輸入到電晶體 1209 的源極和汲極中的另一個的例子。由邏輯元件 1206 使從開關 1203 的第二端子（電晶體 1213 的源極和汲極中的另一個）輸出的信號的邏輯值反轉而成為反轉信號，將其經由電路 1220 輸入到電路 1201。

[0226] 另外，雖然圖 16 示出從開關 1203 的第二端子（電晶體 1213 的源極和汲極中的另一個）輸出的信號經由邏輯元件 1206 及電路 1220 輸入到電路 1201 的例子，但是不侷限於此。也可以不使從開關 1203 的第二端子（電晶體 1213 的源極和汲極中的另一個）輸出的信號的邏輯值反轉而輸入到電路 1201。例如，當在電路 1201 內存在其中保持使從輸入端子輸入的信號的邏輯值反轉的信號的節點時，可以將從開關 1203 的第二端子（電晶體 1213 的源極和汲極中的另一個）輸出的信號輸入到該節點。

[0227] 在圖 16 所示的用於記憶元件 1200 的電晶體中，電晶體 1209 以外的電晶體也可以使用其通道形成在由氧化物半導體以外的半導體構成的層或基板 1190 中的

電晶體。例如，可以使用其通道形成在矽層或矽基板中的電晶體。此外，也可以作為用於記憶元件 1200 的所有的電晶體使用其通道形成在氧化物半導體層中的電晶體。或者，記憶元件 1200 還可以包括電晶體 1209 以外的其通道由氧化物半導體層形成的電晶體，並且作為剩下的電晶體可以使用其通道形成在由氧化物半導體以外的半導體構成的層或基板 1190 中的電晶體。

[0228] 圖 16 所示的電路 1201 例如可以使用正反器電路。另外，作為邏輯元件 1206 例如可以使用反相器或時脈反相器等。

[0229] 在根據本發明的一個方式的半導體裝置中，在不向記憶元件 1200 供應電源電壓的期間，可以由設置在電路 1202 中的電容元件 1208 保持儲存在電路 1201 中的資料。

[0230] 另外，其通道形成在氧化物半導體層中的電晶體的關態電流極小。例如，其通道形成在氧化物半導體層中的電晶體的關態電流比其通道形成在具有結晶性的矽中的電晶體的關態電流低得多。因此，藉由將該電晶體用作電晶體 1209，即使在不向記憶元件 1200 供應電源電壓的期間也可以長期間地儲存電容元件 1208 所保持的信號。因此，記憶元件 1200 在停止供應電源電壓的期間也可以保持儲存內容（資料）。

[0231] 另外，由於該記憶元件是以藉由設置開關 1203 及開關 1204 進行預充電工作為特徵的記憶元件，因

此它可以縮短在再次開始供應電源電壓之後直到電路 1201 再次保持原來的資料為止的時間。

[0232] 另外，在電路 1202 中，由電容元件 1208 保持的信號被輸入到電晶體 1210 的閘極。因此，在再次開始向記憶元件 1200 供應電源電壓之後，可以將由電容元件 1208 保持的信號轉換為電晶體 1210 的狀態（開啟狀態或關閉狀態），並從電路 1202 讀出。因此，即使對應於保持在電容元件 1208 中的信號的電位有些變動，也可以準確地讀出原來的信號。

[0233] 藉由將這種記憶元件 1200 用於處理器所具有的暫存器或快取記憶體等記憶體裝置，可以防止記憶體裝置內的資料因停止電源電壓的供應而消失。另外，可以在再次開始供應電源電壓之後在短時間內恢復到停止供應電源之前的狀態。因此，在整個處理器或構成處理器的一個或多個邏輯電路中在短時間內也可以停止電源，從而可以抑制功耗。

[0234] 在本實施方式中，雖然對將記憶元件 1200 用於 CPU 的例子進行說明，但是也可以將記憶元件 1200 應用於 LSI 諸如 DSP（Digital Signal Processor：數位訊號處理器）、定製 LSI、PLD（Programmable Logic Device：可程式邏輯裝置）等、RF（Radio Frequency：射頻）裝置。

[0235]

實施方式 6

在本實施方式中，說明本發明的一個方式的顯示裝置的結構例。

[0236]

[結構例]

圖 17A 是本發明的一個方式的顯示裝置的俯視圖，圖 17B 是用來說明在將液晶元件用於本發明的一個方式的顯示裝置的像素時可以使用的像素電路的電路圖，並且圖 17C 是用來說明在將有機 EL 元件用於本發明的一個方式的顯示裝置的像素時可以使用的像素電路的電路圖。

[0237] 可以根據上述實施方式形成配置在像素部的電晶體。此外，因為該電晶體容易形成為 n 通道型電晶體，所以將驅動電路中的可以由 n 通道型電晶體構成的驅動電路的一部分與像素部的電晶體形成在同一基板上。如上所述，藉由將上述實施方式所示的電晶體用於像素部或驅動電路，可以提供可靠性高的顯示裝置。

[0238] 圖 17A 示出主動矩陣型顯示裝置的俯視圖的一個例子。在顯示裝置的基板 700 上包括：像素部 701；第一掃描線驅動電路 702；第二掃描線驅動電路 703；以及信號線驅動電路 704。在像素部 701 中配置有從信號線驅動電路 704 延伸的多個信號線以及從第一掃描線驅動電路 702 及第二掃描線驅動電路 703 延伸的多個掃描線。此外，在掃描線與信號線的交叉區中以矩陣狀設置有分別具有顯示元件的像素。另外，顯示裝置的基板 700 藉由 FPC（Flexible Printed Circuit：撓性印刷電路）等的連接部連

接到時序控制電路（也稱為控制器、控制 IC）。

[0239] 在圖 17A 中，在與像素部 701 同一基板 700 上形成第一掃描線驅動電路 702、第二掃描線驅動電路 703、信號線驅動電路 704。由此，設置在外部的驅動電路等的構件的數量減少，從而能夠實現成本的降低。另外，當在基板 700 的外部設置驅動電路時，需要使佈線延伸，且佈線之間的連接數量增加。當在同一基板 700 上設置驅動電路時，可以減少該佈線之間的連接數，從而可以謀求提高可靠性或良率。

[0240]

<液晶顯示裝置>

另外，圖 17B 示出像素部的電路結構的一個例子。在此，示出可以用於 VA 方式的液晶顯示裝置的像素的像素電路。

[0241] 可以將該像素電路應用於一個像素具有多個像素電極層的結構。各像素電極層分別與不同的電晶體連接，以藉由不同閘極信號驅動各電晶體。由此，在以多域設計的像素中，可以獨立地控制施加到各像素電極層的信號。

[0242] 電晶體 716 的閘極佈線 712 和電晶體 717 的閘極佈線 713 彼此分離，以便能夠被提供不同的閘極信號。另一方面，電晶體 716 和電晶體 717 共同使用用作資料線的源極電極層或汲極電極層 714。作為電晶體 716 及電晶體 717，可以適當地利用上述實施方式所示的電晶

體。由此可以提供可靠性高的液晶顯示裝置。

[0243] 以下說明與電晶體 716 電連接的第一像素電極層及與電晶體 717 電連接的第二像素電極層的形狀。第一像素電極層和第二像素電極層的形狀被狹縫彼此分離。第一像素電極層呈擴展為 V 字型的形狀，第二像素電極層以圍繞第一像素電極層的外側的方式形成。

[0244] 電晶體 716 的閘極電極連接到閘極佈線 712，而電晶體 717 的閘極電極連接到閘極佈線 713。藉由對閘極佈線 712 和閘極佈線 713 施加不同的閘極信號，可以使電晶體 716 及電晶體 717 的工作時序互不相同來控制液晶配向。

[0245] 另外，也可以由電容佈線 710、用作電介質的閘極絕緣膜以及與第一像素電極層或第二像素電極層電連接的電容電極形成儲存電容器。

[0246] 多域結構在一個像素中設置有第一液晶元件 718 和第二液晶元件 719。第一液晶元件 718 由第一像素電極層、反電極層以及它們之間的液晶層構成，而第二液晶元件 719 由第二像素電極層、反電極層以及它們之間的液晶層構成。

[0247] 此外，圖 17B 所示的像素電路不侷限於此。例如，也可以還對圖 17B 所示的像素追加開關、電阻元件、電容元件、電晶體、感測器或邏輯電路等。

[0248]

<有機 EL 顯示裝置>

另外，圖 17C 示出像素的電路結構的其他例子。在此，示出使用有機 EL 元件的顯示裝置的像素結構。

[0249] 在有機 EL 元件中，藉由對發光元件施加電壓，電子和電洞從一對電極分別注入到包含發光有機化合物的層，而產生電流。然後，藉由使電子和電洞再結合，發光有機化合物達到激發態，並且當該激發態恢復到基態時，獲得發光。根據這種機制，該發光元件被稱為電流激發型發光元件。

[0250] 圖 17C 是示出可以應用的像素電路的一個例子的圖。這裡示出在一個像素中使用兩個 n 通道型電晶體的例子。本發明的一個方式的金屬氧化物膜可以用於 n 通道型電晶體的通道形成區。另外，該像素電路可以採用數位時間灰階級驅動。

[0251] 以下說明可以應用的像素電路的結構及採用數位時間灰階級驅動時的像素的工作。

[0252] 像素 720 包括開關電晶體 721、驅動電晶體 722、發光元件 724 以及電容元件 723。在開關電晶體 721 中，閘極電極層與掃描線 726 連接，第一電極（源極電極層和汲極電極層的一方）與信號線 725 連接，並且第二電極（源極電極層和汲極電極層的另一方）與驅動電晶體 722 的閘極電極層連接。在驅動電晶體 722 中，閘極電極層藉由電容元件 723 與電源線 727 連接，第一電極與電源線 727 連接，第二電極與發光元件 724 的第一電極（像素電極）連接。發光元件 724 的第二電極相當於共同電極

728。共同電極 728 與形成在同一基板上的共用電位線電連接。

[0253] 作為開關電晶體 721 及驅動電晶體 722，可以適當地利用上述實施方式所示的電晶體。由此可以提供可靠性高的有機 EL 顯示裝置。

[0254] 另外，將發光元件 724 的第二電極（共同電極 728）的電位設定為低電源電位。注意，低電源電位是指低於電源線 727 所設定的高電源電位的電位，例如可以以 GND、0V 等為低電源電位。將高電源電位與低電源電位的電位差設定為發光元件 724 的正向臨界電壓以上，將該電位差施加到發光元件 724 上來使電流流過發光元件 724，以使發光元件 724 發光。發光元件 724 的正向電壓是指設定為所希望的亮度時的電壓，至少包含正向臨界電壓。

[0255] 另外，還可以使用驅動電晶體 722 的閘極電容代替電容元件 723 而省略電容元件 723。至於驅動電晶體 722 的閘極電容，也可以在通道形成區域和閘極電極層之間形成電容。

[0256] 接著，說明輸入到驅動電晶體 722 的信號。當採用電壓輸入電壓驅動方式時，對驅動電晶體 722 輸入使驅動電晶體 722 充分處於導電或關斷的兩個狀態的視訊信號。為了使驅動電晶體 722 在線性區中工作，所以將比電源線 727 的電壓高的電壓施加到驅動電晶體 722 的閘極電極層。另外，對信號線 725 施加電源線電壓+驅動電晶

體 722 的 V_{th} 以上的電壓。

[0257] 當進行類比灰階級驅動時，對驅動電晶體 722 的閘極電極層施加發光元件 724 的正向電壓+驅動電晶體 722 的 V_{th} 以上的電壓。另外，藉由輸入使驅動電晶體 722 在飽和區域中工作的視訊信號，使電流流過發光元件 724。為了使驅動電晶體 722 在飽和區域中工作，使電源線 727 的電位高於驅動電晶體 722 的閘極電位。藉由採用類比方式的視訊信號，可以在發光元件 724 中使與視訊信號對應的電流流過，而進行類比灰階級驅動。

[0258] 此外，像素電路的結構不侷限於圖 17C 所示的像素結構。例如，還可以對圖 17C 所示的像素電路追加開關、電阻元件、電容元件、感測器、電晶體或邏輯電路等。

[0259] 當對圖 17B 和圖 17C 所例示的電路應用上述實施方式所例示的電晶體時，源極電極（第一電極）及汲極電極（第二電極）分別電連接到低電位一側及高電位一側。再者，可以採用能夠由控制電路等控制第一閘極電極的電位，且對第二閘極電極藉由未圖示的佈線輸入低於供應到源極電極的電位的電位等如上所例示的電位的結構。

[0260] 例如，在本說明書等中，顯示元件、作為具有顯示元件的裝置的顯示裝置、發光元件以及作為具有發光元件的裝置的發光裝置可以採用各種方式或各種元件。作為顯示元件、顯示裝置、發光元件或發光裝置的一個例子，有對比度、亮度、反射率、透射率等因電磁作用而變

化的顯示媒體，如 EL（電致發光）元件（包含有機物及無機物的 EL 元件、有機 EL 元件、無機 EL 元件）、LED（白色 LED、紅色 LED、綠色 LED、藍色 LED 等）、電晶體（根據電流發光的電晶體）、電子發射元件、液晶元件、電子墨水、電泳元件、柵光閥（GLV）、電漿顯示面板（PDP）、MEMS（微電子機械系統）、數位微鏡設備（DMD）、DMS（數碼微快門）、MIRASOL（在日本註冊的商標）、IMOD（干涉調變）元件、電濕潤（electrowetting）元件、壓電陶瓷顯示器、碳奈米管等。作為使用 EL 元件的顯示裝置的一個例子，有 EL 顯示器等。作為使用電子發射元件的顯示裝置的一個例子，有場致發射顯示器（FED）或 SED 方式平面型顯示器（SED：Surface-conduction Electron-emitter Display：表面傳導電子發射顯示器）等。作為使用液晶元件的顯示裝置的一個例子，有液晶顯示器（透過型液晶顯示器、半透過型液晶顯示器、反射型液晶顯示器、直觀型液晶顯示器、投射型液晶顯示器）等。作為使用電子墨水或電泳元件的顯示裝置的一個例子，有電子紙等。

[0261] 本實施方式的至少一部分可以與本說明書所記載的其他實施方式適當地組合而實施。

[0262]

實施方式 7

在本實施方式中，參照圖 18 說明應用根據本發明的一個方式的半導體裝置的顯示模組。

[0263] 在圖 18 所示的顯示模組 8000 中，在上蓋 8001 與下蓋 8002 之間包括與 FPC8003 連接的觸控面板 8004、與 FPC8005 連接的顯示面板 8006、背光單元 8007、框架 8009、印刷電路板 8010 和電池 8011。另外，有時不設置背光單元 8007、電池 8011、觸控面板 8004 等。

[0264] 例如，可以將根據本發明的一個方式的半導體裝置用於顯示面板 8006。

[0265] 上蓋 8001 及下蓋 8002 根據觸控面板 8004 及顯示面板 8006 的尺寸可以適當地改變形狀或尺寸。

[0266] 觸控面板 8004 是能夠將電阻膜式或靜電電容式觸控面板重疊在顯示面板 8006 而使用的。此外，也可以使顯示面板 8006 的反基板（密封基板）具有觸控面板功能。或者，也可以在顯示面板 8006 的每個像素中設置光感測器，以製成光觸控面板。或者，也可以在顯示面板 8006 的每個像素中設置觸摸感測器用電極，以製成電容型觸控面板。

[0267] 背光單元 8007 包括光源 8008。也可以採用將光源 8008 設置於背光單元 8007 的端部，且使用光擴散板的結構。

[0268] 除了顯示面板 8006 的保護功能之外，框架 8009 還具有用來阻擋因印刷電路板 8010 的工作而產生的電磁波的電磁屏蔽的功能。此外，框架 8009 也可以具有散熱板的功能。

[0269] 印刷電路板 8010 包括電源電路以及用來輸出視訊信號和時脈信號的信號處理電路。作為用來給電源電路供應電力的電源，既可以使用外部的商用電源，又可以使用另外設置的電池 8011 的電源。在使用商用電源的情況下，可以省略電池 8011。

[0270] 此外，在顯示模組 8000 中還可以設置偏光板、相位差板、稜鏡片等構件。

[0271] 本實施方式所示的結構可以與其他實施方式所示的結構適當地組合而實施。

[0272]

實施方式 8

根據本發明的一個方式的半導體裝置可以用於顯示裝置、個人電腦或具備儲存介質的影像再現裝置（典型的是，能夠再現儲存介質如數位影音光碟（DVD：Digital Versatile Disc）等並具有可以顯示該影像的顯示器的裝置）中。另外，作為可以使用根據本發明的一個方式的半導體裝置的電子裝置，可以舉出行動電話、包括可攜式的遊戲機、可攜式資料終端、電子書閱讀器、拍攝裝置諸如視頻攝影機或數位相機等、護目鏡型顯示器（頭部安裝顯示器）、導航系統、音頻再生裝置（汽車音響系統、數位聲訊播放機等）、影印機、傳真機、印表機、多功能印表機、自動櫃員機（ATM）以及自動販賣機等。圖 19A 至圖 19F 示出這些電子裝置的具體例子。

[0273] 圖 19A 是可攜式遊戲機，該可攜式遊戲機包

括外殼 901、外殼 902、顯示部 903、顯示部 904、麥克風 905、揚聲器 906、操作鍵 907 以及觸控筆 908 等。注意，雖然圖 19A 所示的可攜式遊戲機包括兩個顯示部 903 和顯示部 904，但是可攜式遊戲機所包括的顯示部的個數不限於此。

[0274] 圖 19B 是可攜式資料終端，該可攜式資料終端包括第一外殼 911、第二外殼 912、第一顯示部 913、第二顯示部 914、連接部 915、操作鍵 916 等。第一顯示部 913 設置在第一外殼 911 中，第二顯示部 914 設置在第二外殼 912 中。而且，第一外殼 911 和第二外殼 912 由連接部 915 連接，由連接部 915 可以改變第一外殼 911 和第二外殼 912 之間的角度。第一顯示部 913 的影像也可以根據連接部 915 所形成的第一外殼 911 和第二外殼 912 之間的角度切換。另外，也可以對第一顯示部 913 和第二顯示部 914 中的至少一個使用附加有位置輸入功能的顯示裝置。另外，可以藉由在顯示裝置中設置觸控面板來附加位置輸入功能。或者，也可以藉由在顯示裝置的像素部中設置被稱為光感測器的光電轉換元件來附加位置輸入功能。

[0275] 圖 19C 是膝上型個人電腦，該膝上型個人電腦包括外殼 921、顯示部 922、鍵盤 923 以及指向裝置 924 等。

[0276] 圖 19D 是電冷藏冷凍箱，該電冷藏冷凍箱包括外殼 931、冷藏室門 932、冷凍室門 933 等。

[0277] 圖 19E 是視頻攝影機，該視頻攝影機包括第

一外殼 941、第二外殼 942、顯示部 943、操作鍵 944、透鏡 945、連接部 946 等。操作鍵 944 及透鏡 945 設置在第一外殼 941 中，顯示部 943 設置在第二外殼 942 中。而且，第一外殼 941 和第二外殼 942 由連接部 946 連接，由連接部 946 可以改變第一外殼 941 和第二外殼 942 之間的角度。顯示部 943 的影像也可以根據連接部 946 所形成的第一外殼 941 和第二外殼 942 之間的角度切換。

[0278] 圖 19F 是一般的汽車，該汽車包括車體 951、車輪 952、儀表板 953 及燈 954 等。

[0279]

實施方式 9

在本實施方式中，參照圖 20A 至圖 20F 說明根據本發明的一個方式的 RF 裝置的使用例子。RF 裝置的用途廣泛，例如可以設置於物品諸如鈔票、硬幣、有價證券類、不記名證券類、證書類（駕駛證、居民卡等，參照圖 20A）、包裝用容器類（包裝紙、瓶子等，參照圖 20C）、儲存介質（DVD 軟體、錄影帶等，參照圖 20B）、車輛類（自行車等，參照圖 20D）、個人物品（包、眼鏡等）、食物類、植物類、動物類、人體、衣服、生活用品類、包括藥品或藥劑的醫療品、電子裝置（液晶顯示裝置、EL 顯示裝置、電視機或行動電話）等或者各物品的裝運標籤（參照圖 20E 和圖 20F）等。

[0280] 當將根據本發明的一個方式的 RF 裝置 4000 固定到物品時，將其安裝在印刷電路板上、附著到物品的

表面上或者填埋於物品中。例如，當固定到書本時，將 RF 裝置嵌入在書本的紙張裡，而當固定到有機樹脂的包裝時，將 RF 裝置填埋於有機樹脂內部。根據本發明的一個方式的 RF 裝置 4000 實現了小型、薄型以及輕量，所以即使在固定到物品中也不會影響到該物品的設計性。另外，藉由將根據本發明的一個方式的 RF 裝置 4000 設置於鈔票、硬幣、有價證券類、不記名證券類或證書類等，可以賦予識別功能。藉由利用該識別功能可以防止偽造。另外，可以藉由在包裝用容器類、儲存介質、個人物品、食物類、衣服、生活用品類或電子裝置等中設置根據本發明的一個方式的 RF 裝置，可以提高檢品系統等系統的運行效率。另外，藉由在車輛類中安裝根據本發明的一個方式的 RF 裝置，可以防止盜竊等而提高安全性。

[0281] 如上所述，藉由將根據本發明的一個方式的 RF 裝置應用於在本實施方式中列舉的各用途，可以降低包括資料的寫入或讀出等的工作的功耗，因此能夠使最大通信距離長。另外，即使在關閉電力供應的狀態下，也可以在極長的期間保持資料，所以上述 RF 裝置適用於寫入或讀出的頻率低的用途。

實施例 1

[0282] 在本實施例中，對可以用於閘極絕緣膜的氧化鉛進行 X 射線繞射（XRD：X-Ray Diffraction）測量。

[0283] 首先，對測量樣本進行說明。

[0284] 在如下條件下利用 PECVD 法在矽晶圓上形成厚度為 5nm 的氧氮化矽膜：以流量為 1sccm 的矽烷 (SiH_4) 及流量為 800sccm 的一氧化二氮 (N_2O) 為原料氣體，反應室的壓力為 200Pa，基板溫度為 350℃，使用 60MHz 的高頻電源將 150W 的高頻功率供應到平行平板電極。

[0285] 接著，在如下條件下利用濺射法在氧氮化矽膜上形成厚度為 30nm 的氧化鈺膜：使用氧化鈺靶材，作為成膜氣體使用氬 (Ar) 氣體、氧 (O_2) 氣體（氧比例為 0%：流量為 50sccm 的氬氣體、氧比例為 50%：流量為 25sccm 的氬氣體及流量為 25sccm 的氧氣體、或者氧比例為 100%：流量為 50sccm 的氧氣體），壓力為 0.6Pa，基板溫度為 100℃、200℃或 350℃，施加 2.5kW 的 RF 功率。

[0286] 下面，圖 21 示出利用 out-of-plane 法對上述樣本的 XRD 光譜進行測量的結果。在圖 21 中，縱軸為 X 射線繞射強度（任意單位），橫軸為繞射角 2θ (deg.)。另外，在 XRD 光譜的測量中，使用 Bruker AXS 公司製造的 X 射線繞射裝置 D8 ADVANCE。

[0287] 由圖 21 可知，在基板溫度為 350℃的樣本或氧比例為 50%以上的樣本中，在 $2\theta=28^\circ$ 附近觀察到峰值，該峰值起因於氧化鈺 (HfO_2) 的單斜晶系的結晶的 (-111) 面的繞射。另外，在一部分樣本中，觀察到起因於矽晶圓的矽 (Si) 的峰值。

[0288] 基板溫度越高，峰值的強度越大。另外，氧化鉛膜的成膜時的氧的比例越大，峰值的強度越大。由該峰值可知氧化鉛膜晶化。

實施例 2

[0289] 在本實施例中，對可以用於閘極絕緣膜的氧化鉛進行電子自旋（ESR：Electron Spin Resonance）測量。

[0290] 首先，對測量樣本進行說明。

[0291] 在如下條件下利用濺射法在石英基板上形成厚度為 100nm 的氧化鉛膜：使用氧化鉛靶材，作為成膜氣體使用氬（Ar）氣體、氧（O₂）氣體（氧比例為 0%：流量為 50sccm 的氬氣體、或者氧比例為 50%：流量為 25sccm 的氬氣體及流量為 25sccm 的氧氣體），壓力為 0.6Pa，基板溫度為 100℃、200℃或 350℃，施加 2.5kW 的 RF 功率。另外，在成膜之後，在氧氛圍下，以 300℃、350℃和 400℃中的任何溫度對一部分樣本進行 1 小時的烘焙處理。

[0292] 另外，在測量中，在 10K 的溫度下對氧化鉛膜以垂直照射微波（頻率為 9.47GHz，功率為 0.1mW）。

[0293] 起因於氧化鉛的氧缺陷的 ESR 信號預測到在 g 值為 1.92 至 1.98 處呈現。如圖 22 所示，在氧比例為 0%的條件下形成的氧化鉛膜中，g 值為 1.92 附近的自旋密度大，並且，該自旋密度由於之後的氧氛圍下的烘焙處

理減少，由此可知這起因於氧缺陷。

[0294] 另外，如表 1 所示，由藉由拉塞福背散射光譜學法（RBS：Rutherford Backscattering Spectrometry）的分析可知，與在更多的氧存在的條件（氧比例為 50%）下形成的氧化鈺膜相比，在氧比例為 0%的條件下形成的氧化鈺膜中，氧的比例小且當成膜時可能混入的氬的比例大。另外，氧化鈺膜的膜密度較佳為 8.3g/cm^3 以上且 9.0g/cm^3 以下。

[0295]

[表 1]

成膜條件	組成 (atomic%)			
	Hf	O	Ar	其他
O ₂ =0%，基板溫度為 100℃	31.8	66.4	1.4	0.4
O ₂ =50%，基板溫度為 200℃	31.1	68.1	0.4	0.4

[0296] 另一方面，在更多的氧存在的條件（氧比例為 50%）下形成的氧化鈺膜中，幾乎觀察不到 g 值為 1.92 附近的自旋的密度，如圖 23 所示，g 值為 2.00 附近（g 值為 2.00 至 2.01）的自旋的密度比在氧比例為 0%的條件下形成的氧化鈺膜大。這可以估計為起因於過剩的氧。另外，由圖 33 可知，g 值為 2.00 附近的信號的形狀為非對稱。

實施例 3

[0297] 在本實施例中，藉由熱脫附譜分析法（TDS：Thermal Desorption Spectroscopy）對由於在熱氧化膜上形成氧化鉛膜而發生的熱氧化膜的氧釋放進行評價。

[0298] 首先，對測量樣本進行說明。

[0299] 對矽晶圓進行熱氧化，在矽晶圓表面形成厚度為 100nm 的熱氧化膜。以 950℃ 進行 4 小時的熱氧化，並且該熱氧化的氛圍是包含氧的 3vol.% 的 HCl 的氛圍。

[0300] 接著，在如下條件下利用濺射法在熱氧化膜上形成厚度為 20nm 的氧化鉛膜：使用氧化鉛靶材，作為成膜氣體使用氬（Ar）氣體、氧（O₂）氣體（氧比例為 50%：流量為 25sccm 的氬氣體及流量為 25sccm 的氧氣體），壓力為 0.6Pa，基板溫度為 200℃，施加 2.5kW 的 RF 功率。

[0301] 接著，對所形成的整個氧化鉛膜進行蝕刻。在如下蝕刻條件下進行蝕刻，形成實施例樣本：採用感應耦合電漿（ICP:Inductively Coupled Plasma）蝕刻法，在流量為 80sccm 的三氯化硼（BCl₃）氛圍下，電源功率為 450W，偏壓功率為 100W，壓力為 1.0Pa，基板溫度為 70℃。另外，作為比較例樣本，採用在矽晶圓表面形成熱氧化膜而不形成氧化鉛膜的結構。

[0302] 圖 24A 示出利用 TDS 的實施例樣本的基板溫度及質量電荷比（m/z）為 32 的離子強度，圖 24B 示出利用 TDS 的比較例樣本的基板溫度及質量電荷比（m/z）為 32 的離子強度。另外，作為以 m/z=32 檢測出的氣體，有

氧氣體（ O_2 ）。在本實施例中，將以 $m/z=32$ 檢測出的氣體都認為氧氣體。

[0303] 由圖 24B 可知，在比較例樣本中，即使改變基板溫度也氧氣體的釋放少。另一方面，由圖 24A 可知，一旦形成氧化鉛膜的實施例樣本在基板溫度為 150°C 以上且 350°C 以下左右的範圍內釋放氧氣體。

[0304] 因此可知，藉由以與氧化物半導體層接觸的方式形成氧化鉛膜，可以對氧化物半導體層供應氧，由此降低氧化物半導體層中的氧缺陷。

實施例 4

[0305] 在本實施例中，作為實施例樣本製造具有與圖 3A 至圖 3C 所示的電晶體同樣的結構的電晶體，對電晶體的電特性進行評價。

[0306] 首先，對實施例樣本的製造方法進行說明。

[0307] 首先，在 HCl 氛圍下對矽晶圓進行熱氧化，在矽晶圓表面形成厚度為 100nm 的熱氧化膜。以 950°C 進行 4 小時的熱氧化，並且該熱氧化的氛圍是包含氧的 3vol.% 的 HCl 的氛圍。

[0308] 接著，在如下條件下利用 PECVD 法在熱氧化膜上形成厚度為 300nm 的成為基底絕緣膜的氧氮化矽膜：以流量為 2.3sccm 的矽烷（ SiH_4 ）及流量為 800sccm 的一氧化二氮（ N_2O ）為原料氣體，反應室的壓力為 40Pa ，基板溫度為 400°C ，使用 27.12MHz 的高頻電源，

將 50W 的高頻功率供應到平行平板電極。

[0309] 對氧氮化矽膜表面進行拋光處理，然後，在如下條件下利用濺射法形成厚度為 20nm 的第一氧化物半導體膜：使用 In : Ga : Zn=1 : 3 : 2（原子數比）的氧化物靶材，作為成膜氣體使用流量為 30sccm 的氬（Ar）氣體及流量為 15sccm 的氧（O₂）氣體，壓力為 0.4Pa，基板溫度為 200℃，靶材與基板之間的距離為 60mm，施加 0.5kW 的 DC 功率。

[0310] 接著，在如下條件下利用濺射法在第一氧化物半導體膜上形成厚度為 15nm 的第二氧化物半導體膜：使用 In : Ga : Zn=1 : 1 : 1（原子數比）的氧化物靶材，作為成膜氣體使用流量為 30sccm 的氬（Ar）氣體及流量為 15sccm 的氧（O₂）氣體，壓力為 0.4Pa，基板溫度為 300℃，靶材與基板之間的距離為 60mm，施加 0.5kW 的 DC 功率。另外，第一氧化物半導體膜及第二氧化物半導體膜以不暴露於大氣的方式連續地形成。

[0311] 接著，進行加熱處理。在氮氛圍下以 450℃ 進行 1 小時的加熱處理，然後在氧氛圍下以 450℃ 進行 1 小時的加熱處理。

[0312] 接著，在如下條件下利用 ICP 蝕刻法將第一氧化物半導體膜及第二氧化物半導體膜加工為島狀的第一氧化物半導體膜及第二氧化物半導體膜：流量為 60sccm 的三氯化硼（BCl₃）及流量為 20sccm 的氯（Cl₂）的混合氛圍下，電源功率為 450W，偏壓功率為 100W，壓力為

1.9Pa，基板溫度為 70℃。

[0313] 接著，在如下條件下利用濺射法在第一氧化物半導體膜及第二氧化物半導體膜上形成厚度為 100nm 的鎢膜：使用鎢靶材，作為成膜氣體使用流量為 80sccm 的氬（Ar）氣體，壓力為 0.8Pa，基板溫度為 230℃，靶材與基板之間的距離為 60mm，施加 1.0kW 的 DC 功率。

[0314] 接著，在如下條件下利用 ICP 蝕刻法對鎢膜進行第一蝕刻：在流量為 45sccm 的四氟化碳（CF₄）氣體、流量為 45sccm 的氯（Cl₂）氣體及流量為 55sccm 的氧（O₂）氣體混合氛圍下，電源功率為 3000W，偏壓功率為 110W，壓力為 0.67Pa，並且，在如下條件下利用 ICP 蝕刻法對鎢膜進行第二蝕刻：在流量為 100sccm 的氧（O₂）氛圍下，電源功率為 2000W，偏壓功率為 0W，壓力為 3.00Pa，再者，在如下條件下利用 ICP 蝕刻法對鎢膜進行第三蝕刻：在流量為 45sccm 的四氟化碳（CF₄）氣體、流量為 45sccm 的氯（Cl₂）氣體及流量為 55sccm 的氧（O₂）氣體混合氛圍下，電源功率為 3000W，偏壓功率為 110W，壓力為 0.67Pa，由此形成源極電極及汲極電極。

[0315] 接著，在如下條件下利用濺射法在第二氧化物半導體膜、源極電極和汲極電極上形成厚度為 5nm 的第三氧化物半導體膜：使用 In：Ga：Zn=1：3：2（原子數比）的氧化物靶材，作為成膜氣體使用流量為 30sccm 的氬（Ar）氣體及流量為 15sccm 的氧（O₂）氣體，壓力

為 0.4Pa，基板溫度為 200℃，靶材與基板之間的距離為 60mm，施加 0.5kW 的 DC 功率。

[0316] 接著，在如下條件下利用濺射法在第三氧化物半導體膜上形成厚度為 20nm 的成為第一閘極絕緣膜的氧化鉛膜：使用氧化鉛靶材，作為成膜氣體使用流量為 25sccm 的氫氣體及流量為 25sccm 的氧氣體，壓力為 0.6Pa，基板溫度為 200℃，施加 2.5kW 的 RF 功率。

[0317] 接著，在如下條件下利用 PECVD 法在氧化鉛膜上形成厚度為 15nm 的成為第二閘極絕緣膜的氧氮化矽膜：以流量為 1sccm 的矽烷 (SiH_4) 及流量為 800sccm 的一氧化二氮 (N_2O) 為原料氣體，反應室的壓力為 200Pa，基板溫度為 350℃，使用 60MHz 的高頻電源將 150W 的高頻功率供應到平行平板電極。

[0318] 接著，在如下條件下利用濺射法在氧氮化矽膜上形成厚度為 30nm 的氮化鉭膜：使用氮化鉭靶材，作為成膜氣體使用流量為 50sccm 的氬 (Ar) 氣體及流量為 10sccm 的氮 (N_2) 氣體，壓力為 0.6Pa，基板溫度為室溫，施加 1.0kW 的 DC 功率，並且，在如下條件下利用濺射法在其上形成厚度為 135nm 的鎢膜：使用鎢靶材，作為成膜氣體使用流量為 100sccm 的氫氣體，壓力為 2.0Pa，基板溫度為 230℃，靶材與基板之間的距離為 60mm，施加 4.0kW 的 DC 功率。

[0319] 接著，在如下條件下利用 ICP 蝕刻法對氮化鉭膜及鎢膜進行第一蝕刻：在流量為 55sccm 的四氟化碳

(CF_4) 氣體、流量為 45sccm 的氯 (Cl_2) 氣體及流量為 55sccm 的氧 (O_2) 氣體混合氛圍下，電源功率為 3000W，偏壓功率為 110W，壓力為 0.67Pa，並且，在如下條件下利用 ICP 蝕刻法對氮化鉭膜及鎢膜進行第二蝕刻：在流量為 100sccm 的氯 (Cl_2) 氛圍下，電源功率為 2000W，偏壓功率為 50W，壓力為 0.67Pa，由此形成閘極電極。

[0320] 接著，以閘極電極為遮罩，在如下條件下利用 ICP 蝕刻法將第一閘極絕緣膜、第二閘極絕緣膜、第三氧化物半導體膜加工為島狀的第一閘極絕緣膜、第二閘極絕緣膜、第三氧化物半導體膜：在流量為 80sccm 的三氯化硼 (BCl_3) 氣體氛圍下，電源功率為 450W，偏壓功率為 100W，壓力為 1.0Pa。

[0321] 接著，在如下條件下利用濺射法在閘極電極、源極電極及汲極電極上形成厚度為 70nm 的氧化鋁膜：使用氧化鋁靶材，作為成膜氣體使用流量為 25sccm 的氬 (Ar) 氣體及流量為 25sccm 的氧 (O_2) 氣體，壓力為 0.4Pa，基板溫度為 250℃，靶材與基板之間的距離為 60mm，施加 2.5kW 的 RF 功率。

[0322] 接著，在如下條件下利用 PECVD 法在氧化鋁膜上形成厚度為 300nm 的氧氮化矽膜：以流量為 5sccm 的矽烷 (SiH_4) 及流量為 1000sccm 的一氧化二氮 (N_2O) 為原料氣體，反應室的壓力為 133Pa，基板溫度為 325℃，使用 13.56MHz 的高頻電源，將 35W 的高頻功率供應

到平行平板電極。

[0323] 藉由上述製程，製造實施例樣本的電晶體。另外，所製造的電晶體中的通道長度為 $0.48\mu\text{m}$ 且通道寬度為 $0.80\mu\text{m}$ 的樣本是實施例樣本 A，所製造的電晶體中的通道長度為 $0.83\mu\text{m}$ 且通道寬度為 $0.80\mu\text{m}$ 的樣本是實施例樣本 B。

[0324] 接著，在所製造的兩種電晶體中，汲極電壓 (V_d : [V]) 為 0.1V 或 3.0V，對掃描從 -3V 至 3V 的閘極電壓 (V_g : [V]) 時的汲極電流 (I_d : [A]) 進行測量。圖 25A 和圖 25B 示出測量結果。在圖 25A 和圖 25B 中，實線示出汲極電壓 (V_d : [V]) 為 3V 時的測量結果，虛線示出汲極電壓 (V_d : [V]) 為 0.1V 時的測量結果，橫軸示出閘極電壓 (V_g : [V])，左邊的縱軸示出汲極電流 (I_d : [A])。另外，圖 25A 和圖 25B 還示出汲極電壓 (V_d : [V]) 為 0.1V 時的移動率的測量結果，右邊的縱軸示出移動率 (μ_{FE} : cm^2/Vs)。注意，“汲極電壓 (V_d : [V])”是指以源極為基準時的汲極與源極之間的電位差，“閘極電壓 (V_g : [V])”是指以源極為基準時的閘極與源極之間的電位差。此外，圖 25A 示出實施例樣本 A 的電晶體的測量結果，圖 25B 示出實施例樣本 B 的電晶體的測量結果。

[0325] 由圖 25A 可知，實施例樣本 A 的電晶體的汲極電壓 (V_d : [V]) 為 0.1V 時的 S 值為 77.2mV/dec.，移動率為 $6.2\text{cm}^2/\text{Vs}$ 。另外，由圖 25B 可知，實施例樣本 B

的電晶體的汲極電壓（ V_d ：[V]）為 0.1V 時的 S 值為 71.8mV/dec.，移動率為 $7.4\text{cm}^2/\text{Vs}$ 。

[0326] 下面，在所製造的實施例樣本 A 的電晶體中，在如下條件下進行應力測試：源極電壓（ V_s ：[V]）及汲極電壓（ V_d ：[V]）為 0V，以 150℃ 的溫度，時間為 1 小時，閘極電壓（ V_g ：[V]）為 3.3V。圖 26A 示出測量結果。圖 26A 示出汲極電壓（ V_d ：[V]）為 0.1V 及 3.0V 時的測量結果，橫軸示出閘極電壓（ V_g ：[V]），縱軸示出汲極電流（ I_d ：[A]）。另外，關於圖中的實線，從閘極電壓為 0V 的一側按順序示出 $V_d=3\text{V}$ 時的應力測試之前、 $V_d=0.1\text{V}$ 時的應力測試之前、 $V_d=3\text{V}$ 時的應力測試之後、 $V_d=0.1\text{V}$ 時的應力測試之後的測量結果。

[0327] 另外，在所製造的實施例樣本 A 的電晶體中，在如下條件下進行應力測試：源極電壓（ V_s ：[V]）及汲極電壓（ V_d ：[V]）為 0V，以 150℃ 的溫度，時間為 1 小時，閘極電壓（ V_g ：[V]）為 -3.3V。圖 26B 示出測量結果。圖 26B 示出汲極電壓（ V_d ：[V]）為 0.1V 及 3.0V 時的測量結果，橫軸示出閘極電壓（ V_g ：[V]），縱軸示出汲極電流（ I_d ：[A]）。另外，關於圖中的實線，從閘極電壓為 0V 的一側按順序示出 $V_d=3\text{V}$ 時的應力測試之後、 $V_d=3\text{V}$ 時的應力測試之前、 $V_d=0.1\text{V}$ 時的應力測試之後、 $V_d=0.1\text{V}$ 時的應力測試之前的測量結果。

[0328] 如圖 26A 所示，汲極電壓（ V_d ：[V]）為 3.0V 時的臨界電壓的變化量 ΔV_{th} 為 0.34V。另外，如圖

26B 所示，汲極電壓（ V_d ：[V]）為 3.0V 時的臨界電壓的變化量 ΔV_{th} 為 0.03V。由圖 26A、圖 26B 可知，實施例樣本 A 的臨界電壓的變化量小且可靠性高。

實施例 5

[0329] 在本實施例中，對根據閘極絕緣膜的疊層及第三氧化物半導體膜的有無的電特性的差異進行評價。

[0330] 首先，對實施例樣本的製造方法進行說明。

[0331] 首先，對矽晶圓進行熱氧化，在矽晶圓表面形成厚度為 100nm 的熱氧化膜。以 950℃ 進行 4 小時的熱氧化，並且該熱氧化的氛圍是包含氧的 3vol.% 的 HCl 的氛圍。

[0332] 接著，在如下條件下利用 PECVD 法在熱氧化膜上形成厚度為 300nm 的成為基底絕緣膜的氧氮化矽膜：以流量為 2.3sccm 的矽烷（ SiH_4 ）及流量為 800sccm 的一氧化二氮（ N_2O ）為原料氣體，反應室的壓力為 40Pa，基板溫度為 400℃，使用 27.12MHz 的高頻電源，將 50W 的高頻功率供應到平行平板電極。

[0333] 對氧氮化矽膜表面進行拋光處理，然後，在如下條件下利用濺射法形成厚度為 20nm 的第一氧化物半導體膜：使用 In：Ga：Zn=1：3：4（原子數比）的氧化物靶材，作為成膜氣體使用流量為 30sccm 的氬（Ar）氣體及流量為 15sccm 的氧（ O_2 ）氣體，壓力為 0.4Pa，基板溫度為 200℃，靶材與基板之間的距離為 60mm，施加

0.5kW 的 DC 功率。

[0334] 接著，在如下條件下利用濺射法在第一氧化物半導體膜上形成厚度為 15nm 的第二氧化物半導體膜：使用 In : Ga : Zn=1 : 1 : 1（原子數比）的氧化物靶材，作為成膜氣體使用流量為 30sccm 的氬（Ar）氣體及流量為 15sccm 的氧（O₂）氣體，壓力為 0.4Pa，基板溫度為 300℃，靶材與基板之間的距離為 60mm，施加 0.5kW 的 DC 功率。另外，第一氧化物半導體膜及第二氧化物半導體膜以不暴露於大氣的方式連續地形成。

[0335] 接著，進行加熱處理。在氮氛圍下以 450℃ 進行 1 小時的加熱處理，然後在氧氛圍下以 450℃ 進行加熱處理。

[0336] 接著，在如下條件下利用 ICP 蝕刻法將第一氧化物半導體膜及第二氧化物半導體膜加工為島狀的第一氧化物半導體膜及第二氧化物半導體膜：流量為 60sccm 的三氯化硼（BCl₃）及流量為 20sccm 的氯（Cl₂）的混合氛圍下，電源功率為 450W，偏壓功率為 100W，壓力為 1.9Pa，基板溫度為 70℃。

[0337] 接著，在如下條件下利用濺射法在第一氧化物半導體膜及第二氧化物半導體膜上形成厚度為 100nm 的鎢膜：使用鎢靶材，作為成膜氣體使用流量為 80sccm 的氬（Ar）氣體，壓力為 0.8Pa，基板溫度為 230℃，靶材與基板之間的距離為 60mm，施加 1.0kW 的 DC 功率。

[0338] 接著，在如下條件下利用 ICP 蝕刻法對鎢膜

進行第一蝕刻：在流量為 45sccm 的四氟化碳（ CF_4 ）氣體、流量為 45sccm 的氯（ Cl_2 ）氣體及流量為 55sccm 的氧（ O_2 ）氣體混合氛圍下，電源功率為 3000W，偏壓功率為 110W，壓力為 0.67Pa，並且，在如下條件下利用 ICP 蝕刻法對鎢膜進行第二蝕刻：在流量為 100sccm 的氧（ O_2 ）氛圍下，電源功率為 2000W，偏壓功率為 0W，壓力為 3.00Pa，再者，在如下條件下利用 ICP 蝕刻法對鎢膜進行第三蝕刻：在流量為 45sccm 的四氟化碳（ CF_4 ）氣體、流量為 45sccm 的氯（ Cl_2 ）氣體及流量為 55sccm 的氧（ O_2 ）氣體混合氛圍下，電源功率為 3000W，偏壓功率為 110W，壓力為 0.67Pa，由此形成源極電極及汲極電極。

[0339] 接著，在如下條件下利用濺射法在第二氧化物半導體膜、源極電極和汲極電極上形成厚度為 5nm 的第三氧化物半導體膜：使用 $\text{In}:\text{Ga}:\text{Zn}=1:3:2$ （原子數比）的氧化物靶材，作為成膜氣體使用流量為 30sccm 的氬（Ar）氣體及流量為 15sccm 的氧（ O_2 ）氣體，壓力為 0.4Pa，基板溫度為 200℃，靶材與基板之間的距離為 60mm，施加 0.5kW 的 DC 功率。

[0340] 接著，在如下條件下利用濺射法在第三氧化物半導體膜上形成厚度為 20nm 的成為第一閘極絕緣膜的氧化鈣膜：使用氧化鈣靶材，作為成膜氣體使用流量為 25sccm 的氬氣體及流量為 25sccm 的氧氣體，壓力為 0.6Pa，基板溫度為 200℃，施加 2.5kW 的 RF 功率。

[0341] 接著，在如下條件下利用 PECVD 法在氧化鋁膜上形成厚度為 15nm 的成為第二閘極絕緣膜的氧氮化矽膜：以流量為 1sccm 的矽烷 (SiH_4) 及流量為 800sccm 的一氧化二氮 (N_2O) 為原料氣體，反應室的壓力為 200Pa，基板溫度為 350℃，使用 60MHz 的高頻電源將 150W 的高頻功率供應到平行平板電極。

[0342] 接著，在如下條件下利用濺射法在氧氮化矽膜上形成厚度為 30nm 的氮化鉭膜：使用氮化鉭靶材，作為成膜氣體使用流量為 50sccm 的氬 (Ar) 氣體及流量為 10sccm 的氮 (N_2) 氣體，壓力為 0.6Pa，基板溫度為室溫，施加 1.0kW 的 DC 功率，並且，在如下條件下利用濺射法在其上形成厚度為 135nm 的鎢膜：使用鎢靶材，作為成膜氣體使用流量為 100sccm 的氬氣體，壓力為 2.0Pa，基板溫度為 230℃，靶材與基板之間的距離為 60mm，施加 4.0kW 的 DC 功率。

[0343] 接著，在如下條件下利用 ICP 蝕刻法對氮化鉭膜及鎢膜進行第一蝕刻：在流量為 55sccm 的四氟化碳 (CF_4) 氣體、流量為 45sccm 的氯 (Cl_2) 氣體及流量為 55sccm 的氧 (O_2) 氣體混合氛圍下，電源功率為 3000W，偏壓功率為 110W，壓力為 0.67Pa，並且，在如下條件下利用 ICP 蝕刻法對氮化鉭膜及鎢膜進行第二蝕刻：在流量為 100sccm 的氯 (Cl_2) 氛圍下，電源功率為 2000W，偏壓功率為 50W，壓力為 0.67Pa，由此形成閘極電極。

[0344] 接著，使用遮罩，在如下條件下利用 ICP 蝕刻法將第一閘極絕緣膜、第二閘極絕緣膜、第三氧化物半導體膜加工為島狀的第一閘極絕緣膜、第二閘極絕緣膜、第三氧化物半導體膜：在流量為 80sccm 的三氯化硼（ BCl_3 ）氣體氛圍下，電源功率為 450W，偏壓功率為 100W，壓力為 1.0Pa。

[0345] 接著，在如下條件下利用濺射法在閘極電極、源極電極及汲極電極上形成厚度為 70nm 的氧化鋁膜：使用氧化鋁靶材，作為成膜氣體使用流量為 25sccm 的氬（Ar）氣體及流量為 25sccm 的氧（ O_2 ）氣體，壓力為 0.4Pa，基板溫度為 250℃，靶材與基板之間的距離為 60mm，施加 2.5kW 的 DC 功率。

[0346] 接著，在如下條件下利用 PECVD 法在氧化鋁膜上形成厚度為 300nm 的氧氮化矽膜：以流量為 5sccm 的矽烷（ SiH_4 ）及流量為 1000sccm 的一氧化二氮（ N_2O ）為原料氣體，反應室的壓力為 133Pa，基板溫度為 325℃，使用 13.56MHz 的高頻電源，將 35W 的高頻功率供應到平行平板電極。

[0347] 藉由上述製程，製造實施例樣本的電晶體。另外，所製造的電晶體中的通道長度為 0.47 μm 且通道寬度為 1.0 μm 的樣本是實施例樣本 C。此外，實施例樣本 C 的閘極絕緣膜只有第一閘極絕緣膜（不設置第二閘極絕緣膜）且其他結構與實施例樣本 C 相同的樣本是比較例樣本 D，不設置實施例樣本 C 的第三氧化物半導體膜且其他結

構與實施例樣本 C 相同的樣本是比較例樣本 E。

[0348] 接著，在所製造的三種電晶體中，汲極電壓（ V_d ：[V]）為 0.1V 或 3.0V，對掃描從 -3V 至 3V 的閘極電壓（ V_g ：[V]）時的汲極電流（ I_d ：[A]）進行測量。圖 27 至圖 29 示出測量結果。在圖 27 至圖 29 中，實線示出汲極電壓（ V_d ：[V]）為 3V 時的測量結果，虛線示出汲極電壓（ V_d ：[V]）為 0.1V 時的測量結果，橫軸示出閘極電壓（ V_g ：[V]），左邊的縱軸示出汲極電流（ I_d ：[A]）。另外，圖 27 至圖 29 還示出汲極電壓（ V_d ：[V]）為 0.1V 時的移動率的測量結果，右邊的縱軸示出移動率（ μ_{FE} ： cm^2/Vs ）。此外，圖 27 示出實施例樣本 C 的電晶體的測量結果，圖 28 示出比較例樣本 D 的電晶體的測量結果，圖 29 示出比較例樣本 E 的電晶體的測量結果。

[0349] 由圖 27 至圖 29 可知，只有實施例樣本 C 具有電晶體的開關特性。另外，在閘極絕緣膜只有氧化鉛膜的情況下，當不設置第三氧化物半導體膜時不能獲得電晶體的開關特性。

【符號說明】

[0350]

10：電子槍室

12：光學系統

14：樣本室

16：光學系統

18：照相裝置
 20：觀察室
 22：膠片室
 24：電子
 28：物質
 32：螢光板
 104：氧化物半導體膜
 108：閘極絕緣膜
 108a：閘極絕緣膜
 108b：閘極絕緣膜
 110：閘極電極
 400：基板
 401：絕緣膜
 402：基底絕緣膜
 404：氧化物半導體層
 404a：氧化物半導體膜
 404b：氧化物半導體膜
 404c：氧化物半導體膜
 405：導電膜
 406a：源極電極
 406b：汲極電極
 408a：閘極絕緣膜
 408b：閘極絕緣膜
 410：閘極電極

412：絕緣膜
413：絕緣膜
414：導電膜
418a：絕緣膜
418b：絕緣膜
420：導電膜
700：基板
701：像素部
702：掃描線驅動電路
703：掃描線驅動電路
704：信號線驅動電路
710：電容佈線
712：閘極佈線
713：閘極佈線
714：汲極電極層
716：電晶體
717：電晶體
718：液晶元件
719：液晶元件
720：像素
721：開關電晶體
722：驅動電晶體
723：電容元件
724：發光元件

725：信號線
726：掃描線
727：電源線
728：共同電極
800：RF 標籤
801：通信器
802：天線
803：無線信號
804：天線
805：整流電路
806：恆壓電路
807：解調變電路
808：調變電路
809：邏輯電路
810：記憶體電路
811：ROM
901：外殼
902：外殼
903：顯示部
904：顯示部
905：麥克風
906：揚聲器
907：操作鍵
908：觸控筆

911：外殼
912：外殼
913：顯示部
914：顯示部
915：連接部
916：操作鍵
921：外殼
922：顯示部
923：鍵盤
924：指向裝置
931：外殼
932：冷藏室門
933：冷凍室門
941：外殼
942：外殼
943：顯示部
944：操作鍵
945：透鏡
946：連接部
951：車體
952：車輪
953：儀表板
954：燈
1189：ROM 介面

- 1190：基板
- 1191：ALU
- 1192：ALU 控制器
- 1193：指令解碼器
- 1194：中斷控制器
- 1195：時序控制器
- 1196：暫存器
- 1197：暫存器控制器
- 1198：匯流排介面
- 1199：ROM
- 1200：記憶元件
- 1201：電路
- 1202：電路
- 1203：開關
- 1204：開關
- 1206：邏輯元件
- 1207：電容元件
- 1208：電容元件
- 1209：電晶體
- 1210：電晶體
- 1213：電晶體
- 1214：電晶體
- 1220：電路
- 2100：電晶體

2200：電晶體
2201：絕緣膜
2202：佈線
2203：插頭
2204：絕緣膜
2205：佈線
2206：佈線
2207：絕緣膜
2208：絕緣膜
2211：半導體基板
2213：閘極電極
2214：閘極絕緣膜
3001：佈線
3002：佈線
3003：佈線
3004：佈線
3005：佈線
3200：電晶體
3300：電晶體
3400：電容元件
4000：RF裝置
8000：顯示模組
8001：上蓋
8002：下蓋

8003：FPC

8004：觸控面板

8005：FPC

8006：顯示面板

8007：背光單元

8008：光源

8009：框架

8010：印刷電路板

8011：電池

I633668

發明摘要

※申請案號：103131751

※申請日：103 年 09 月 15 日

※IPC 分類：H01L 29/78 (2006.01)
H01L 29/40 (2006.01)

【發明名稱】(中文/英文)

半導體裝置

Semiconductor device

【中文】

本發明的一個方式提供一種具有能夠抑制隨著微型化而明顯的電特性的降低的結構的半導體裝置。本發明的一個方式是一種半導體裝置，包括：第一氧化物半導體膜；與第一氧化物半導體膜重疊的閘極電極；位於第一氧化物半導體膜與閘極電極之間的第一閘極絕緣膜；以及位於第一閘極絕緣膜與閘極電極之間的第二閘極絕緣膜，其中，在第一閘極絕緣膜中，藉由 X 射線繞射測量，在 28° 附近的繞射角 2θ 具有峰值。此外，第一氧化物半導體膜的能帶間隙小於第一閘極絕緣膜的能帶間隙，第一閘極絕緣膜的能帶間隙小於第二閘極絕緣膜的能帶間隙。

【 英文 】

Provided is a semiconductor device having a structure with which a decrease in electrical characteristics that becomes more significant with miniaturization can be suppressed. The semiconductor device includes a first oxide semiconductor film, a gate electrode overlapping with the first oxide semiconductor film, a first gate insulating film between the first oxide semiconductor film and the gate electrode, and a second gate insulating film between the first gate insulating film and the gate electrode. In the first gate insulating film, a peak appears at a diffraction angle 2θ of around 28° by X-ray diffraction. A band gap of the first oxide semiconductor film is smaller than a band gap of the first gate insulating film, and the band gap of the first gate insulating film is smaller than a band gap of the second gate insulating film.

【代表圖】

【本案指定代表圖】：第(3B)圖。

【本代表圖之符號簡單說明】：

400：基板

402：基底絕緣膜

404：氧化物半導體層

406a：源極電極

406b：汲極電極

408a：閘極絕緣膜

408b：閘極絕緣膜

410：閘極電極

412：絕緣膜

【本案若有化學式時，請揭示最能顯示發明特徵的化學式】：無

申請專利範圍

1. 一種半導體裝置，包括：

電晶體，包括：

包括凸部的基底絕緣膜；

第一閘極電極；

該基底絕緣膜上並與該第一閘極電極重疊的包括通道形成區的氧化物半導體層，其中，該氧化物半導體層包含銮、鎳和鋅；

該第一閘極電極與該氧化物半導體層之間的第一閘極絕緣膜；

該第一閘極電極與該第一閘極絕緣膜之間的第二閘極絕緣膜；以及

分別與該氧化物半導體層的側面接觸的源極電極及汲極電極，

其中，該氧化物半導體層包括：

該基底絕緣膜之該凸部上的第一氧化物半導體膜；

該第一氧化物半導體膜上的第二氧化物半導體膜；以及

該第二氧化物半導體膜上並與該基底絕緣膜之該凸部接觸的第三氧化物半導體膜，

並且，該第一閘極絕緣膜具有比該第二閘極絕緣膜高的介電常數。

2. 一種半導體裝置，包括：

電晶體，包括：

包括凸部的基底絕緣膜；

第一閘極電極；

該基底絕緣膜上並與該第一閘極電極重疊的包括通道形成區的氧化物半導體層，其中，該氧化物半導體層包含銦、鎵和鋅；

該第一閘極電極與該氧化物半導體層之間的第一閘極絕緣膜；

該第一閘極電極與該第一閘極絕緣膜之間的第二閘極絕緣膜；以及

分別與該氧化物半導體層的側面接觸的源極電極及汲極電極，

其中，該氧化物半導體層包括：

該基底絕緣膜之該凸部上的第一氧化物半導體膜；

該第一氧化物半導體膜上的第二氧化物半導體膜；以及

該第二氧化物半導體膜上並與該基底絕緣膜之該凸部接觸的第三氧化物半導體膜，

並且，該第一閘極絕緣膜的能帶間隙小於該第二閘極絕緣膜的能帶間隙且大於該氧化物半導體層的能帶間隙。

3. 一種半導體裝置，包括：

電晶體，包括：

包括凸部的基底絕緣膜；

第一閘極電極；

該基底絕緣膜上並與該第一閘極電極重疊的包括通道形成區的氧化物半導體層，其中，該氧化物半導體層包含銮、鎵和鋅；

該第一閘極電極與該氧化物半導體層之間的第一閘極絕緣膜；

該第一閘極電極與該第一閘極絕緣膜之間的第二閘極絕緣膜；以及

分別與該氧化物半導體層的側面接觸的源極電極及汲極電極，

其中，該氧化物半導體層包括：

該基底絕緣膜之該凸部上的第一氧化物半導體膜；

該第一氧化物半導體膜上的第二氧化物半導體膜；以及

該第二氧化物半導體膜上並與該基底絕緣膜之該凸部接觸的第三氧化物半導體膜，

並且，該第一閘極絕緣膜包含氧化鉛。

4. 一種半導體裝置，包括：

電晶體，包括：

包括凸部的基底絕緣膜；

第一閘極電極；

該基底絕緣膜上並與該第一閘極電極重疊的包括通道形成區的氧化物半導體層，其中，該氧化物半導體層

包含銮、鎂和鋅；

該第一閘極電極與該氧化物半導體層之間的第一閘極絕緣膜；

該第一閘極電極與該第一閘極絕緣膜之間的第二閘極絕緣膜；以及

分別與該氧化物半導體層的側面接觸的源極電極及汲極電極，

其中，該氧化物半導體層包括：

該基底絕緣膜之該凸部上的第一氧化物半導體膜；

該第一氧化物半導體膜上的第二氧化物半導體膜；以及

該第二氧化物半導體膜上並與該基底絕緣膜之該凸部接觸的第三氧化物半導體膜，

其中，該第一閘極絕緣膜具有比該第二閘極絕緣膜高的介電常數，

並且，該第一閘極絕緣膜包括氧化物。

5. 一種半導體裝置，包括：

電晶體，包括：

包括凸部的基底絕緣膜；

第一閘極電極；

該基底絕緣膜上並與該第一閘極電極重疊的包括通道形成區的氧化物半導體層，其中，該氧化物半導體層包含銮、鎂和鋅；

該第一閘極電極與該氧化物半導體層之間的第一閘極絕緣膜；

該第一閘極電極與該第一閘極絕緣膜之間的第二閘極絕緣膜；以及

分別與該氧化物半導體層的側面接觸的源極電極及汲極電極，

其中，該氧化物半導體層包括：

該基底絕緣膜之該凸部上的第一氧化物半導體膜；

該第一氧化物半導體膜上的第二氧化物半導體膜；以及

該第二氧化物半導體膜上並與該基底絕緣膜之該凸部接觸的第三氧化物半導體膜，

其中，該第一閘極絕緣膜具有比該第二閘極絕緣膜高的介電常數，

其中，該第一閘極絕緣膜包括氧化物，

並且，該氧化物包括選自由鈦（Hf）、鋁（Al）、鉭（Ta）和鋯（Zr）組成的群組中的至少一元素。

6. 一種半導體裝置，包括：

電晶體，包括：

包括凸部的基底絕緣膜；

第一閘極電極；

該基底絕緣膜上並與該第一閘極電極重疊的包括通道形成區的氧化物半導體層，其中，該氧化物半導體層

包含銮、鎳和鋅；

該第一閘極電極與該氧化物半導體層之間的第一閘極絕緣膜；

該第一閘極電極與該第一閘極絕緣膜之間的第二閘極絕緣膜；以及

分別與該氧化物半導體層的側面接觸的源極電極及汲極電極，

其中，該氧化物半導體層包括：

該基底絕緣膜之該凸部上的第一氧化物半導體膜；

該第一氧化物半導體膜上的第二氧化物半導體膜；以及

該第二氧化物半導體膜上並與該基底絕緣膜之該凸部接觸的並且，該第一閘極絕緣膜包括氧化物。

7. 一種半導體裝置，包括：

電晶體，包括：

包括凸部的基底絕緣膜；

第一閘極電極；

該基底絕緣膜上並包括通道形成區的氧化物半導體層，其中，該氧化物半導體層包含銮、鎳和鋅；

該第一閘極電極與該氧化物半導體層之間的第一閘極絕緣膜；

該第一閘極電極與該第一閘極絕緣膜之間的第二閘極絕緣膜；以及

分別與該氧化物半導體層的側面接觸的源極電極及汲極電極，

其中，該氧化物半導體層包括：

該基底絕緣膜之該凸部上的第一氧化物半導體膜；

該第一氧化物半導體膜上的第二氧化物半導體膜；以及

該第二氧化物半導體膜上並與該基底絕緣膜之該凸部接觸的第三氧化物半導體膜，

其中，該第一閘極絕緣膜的能帶間隙小於該第二閘極絕緣膜的能帶間隙且大於該氧化物半導體層的能帶間隙，

其中，該第一閘極絕緣膜包括氧化物，

並且，該氧化物包括選自由鈦（Hf）、鋁（Al）、鉭（Ta）和鋯（Zr）組成的群組中的至少一元素。

8. 根據申請專利範圍第 1 至 7 項中之任一項之半導體裝置，其中該源極電極及該汲極電極的每一個與該第二氧化物半導體膜的頂面及該第三氧化物半導體膜的下面接觸。

9. 根據申請專利範圍第 1 至 7 項中之任一項之半導體裝置，其中該第一閘極電極面對該第二氧化物半導體膜的側面。

10. 根據申請專利範圍第 1 至 7 項中之任一項之半導體裝置，其中該第二氧化物半導體膜位於該第一閘極電極的第一區域與第二區域之間。

11. 根據申請專利範圍第 1 至 7 項中之任一項之半導體裝置，其中該第一閘極電極位於該氧化物半導體層上。

12. 根據申請專利範圍第 1 至 7 項中之任一項之半導體裝置，其中該氧化物半導體層位於該第一閘極電極上。

13. 根據申請專利範圍第 1 至 7 項中之任一項之半導體裝置，

其中，該電晶體包括與該第一閘極電極重疊的第二閘極電極，

並且，該氧化物半導體層、該第一閘極絕緣膜和該第二閘極絕緣膜位於該第一閘極電極與該第二閘極電極之間。

14. 根據申請專利範圍第 1 至 7 項中之任一項之半導體裝置，其中該第一閘極絕緣膜包括結晶。