(19) 대한민국특허청(KR)
(12) 특허공보(B1)

(51) Int. Cl.[5]
G06F 15/16

(45) 공고일자 1994년10월17일
(11) 공고번호 94-009702

| | | | |
|---|---|---|---|
| (21) 출원번호 | 특1991-0006491 | (65) 공개번호 | 특1991-0018919 |
| (22) 출원일자 | 1991년04월23일 | (43) 공개일자 | 1991년11월30일 |
| (30) 우선권주장 | 2-107234 1989년11월29일 일본(JP) | | |
| | 1-310061 1990년04월23일 일본(JP) | | |
(71) 출원인 마쯔시다덴기산교 가부시기가이샤 다니이 아끼오
일본국 오오사까후 가도마시 오오아자가도마 1006반지

(72) 발명자 효오가 유끼오
일본국 오오사까후 네야가와시 미유키히가시 마찌 30-23
카네꼬 카쯔유키
일본국 오오사까후 모리구찌시 소또지마쬬 6반지니시 1-214

(74) 대리인 신중훈

*심사관 : 김연호 (책자공보 제3776호)*

**(54) 데이터전송장치**

*요약*

내용 없음.

*대표도*

*도1*

*명세서*

[발명의 명칭]

데이터전송장치

[도면의 간단한 설명]

제 1 도는 본 발명의 제1실시예에 의한 데이터전송장치의 구성도.

제 2 도는 본 발명에 의한 실시예의 동작을 설명하는 타이밍차트.

제 3 도는 본 발명의 제2실시예에 의한 데이터전송장치의 구성도.

제 4 도는 본 발명의 제3실시예에 의한 데이터전송장치의 구성도.

제 5 도는 종래의 데이터전송장치의 구성도.

제 6 도는 종래의 데이터전송장치의 동작을 설명하는 타이밍차트.

제 7a 도는 제1실시예에 의한 메모리(4)내에서의 전송범위를 표시한 도면.

제 7b 도는 제3실시예에 의한 메모리(4)내에서의 전송범위를 표시한 도면.

제 8 도는 제2의 실시예에 의한 메모리(4)내에서의 전송범위를 표시한 도면.

* 도면의 주요부분에 대한 부호의 설명

| | |
|---|---|
| 1 : 데이터전송장치 | 2 : 전송선(戰送先) |
| 3 : 프로세서 | 4 : 메모리 |
| 5 : 외부버스 | 6 : 데이터관리장치 |
| 7 : 파라미터기억부 | 8 : 어드레스비교부 |
| 9 : 어드레스발생기 | 10 : 데이터기억장치 |
| 10a : 어드레스기억부 | 10b : 패리티비트기억부 |
| 10c : 데이터기억부 | 11 : 버스제어장치 |

[발명의 상세한 설명]

본 발명은 컴퓨터등에서 사용되는 데이터전송장치에 관한 것이다.

동일버스상에 프로세서, 메모리 및 데이터전송장치가 접속되어 있는 데이터전송장치에 있어서, 프로세서에서 처리되어 생성된 데이터를 데이터전송장치를 통하여 외부에 송출하는 경우, 종래에는 2종류의 방법이 행하여지고 있다.

제1의 방법으로서는, 프로세서가 명령의 실행에 의해서 메모리로부터 데이터전송장치내의 버퍼에 데이터를 이동하는 방법이다. 이 장치에서는, 프로세서가 직접 데이터의 이동에 관여하기 때문에, 데이터의 이동에 관여하는 동안, 프로세서에서 데이터처리가 중단되어 시스템전체의 성능이 저하된다.

다음에 제2의 방법으로서는, 프로세서의 지시를 받는 데이터전송장치가 자체의 DMA(Direct Memory Access)기능에 의해서 직접 메모리로부터 버퍼에 전송데이터를 이동하는 방법이다.

제2의 방법을 행하는 데이터전송장치의 구성과 동작에 대하여 제 5 도와 제 6 도를 참조하면서 이하 설명한다.

제 5 도는 상기한 종래예의 제2의 방법에 관한 데이터전송장치의 구성도를 표시하고, (3)은 프로세서이고, (4)는 메모리이고, (51)은 데이터전송장치이다. 데이터전송장치(51)는, 파라미터기억부(52) 및 어드레스발생기(53)를 포함하고, 전송선(戰送先) (2)은 내부버스를 통하여 외부버스(5)에 접속되어 있다. 이와같은 구성은, 예를들면 멀티프로세서시스템에서의 각각의 프로세서요소에 대하여는 일반적이고, 이 경우, 프로세서(3)는 다른 프로세서요소에 대한 메시지를 생성해서 메모리(4)에 기록하고, 그후 메모리(4)상에 메시지를, 데이터전송장치(51)를 사용해서, 전송선(2)에 송출한다. 이경우, 전송선(2)는 멀티프로세서시스템에서의 네트워크 또는 상호결합버스를 개재한 프로세서요소에 상당한다. 데이터전송장치(51)는 통상 DMA전송을 행한다. 이에 의해서, 프로세서(3)는, 데이터전송장치(51)가 메시지의 전송을 행하고 있는 동안, 별도의 처리, 예를들면 다음의 메세지의 생성을 행할 수 있다. 이와 같은 경우의 동작을 이하에 설명한다.

처음에, 프로세서(3)는 복수의 데이터를 메모리(4)로부터 판독하고, 처리하여 메모리(4)에 기록한다. 이와 같은 동작을 반복하여 전송선(2)에 송출할 메세지를 생성한다. 다음에, 이 메시지를 전송하기 위하여, 프로세서(3)는 데이터전송장치(51)의 파라미터기억부(52)에 전송에 필요한 파라미터의 설정을 행하고, 데이터전송개시명령을 행한다. 데이터전송장치(51)는, 파라미터기억부(52)에 기억된 파라미터를 참조하여 어드레스발생기(53)에 의해 어드레스를 생성하고, 이 어드레스에 의해 메모리(4)에 액세스해서, 판독된 데이터를 전송선(2)에 순차적으로 전송한다. 이때에, 프로세서(3)는 다음의 처리를 행하기 위하여 필요한 메모리 액세스를 메모리(4)에 대해서 행한다.

제 6 도는, 상기한 제 5 도에서는 데이터전송장치의 동작을 표시한 타이밍차트이다. 제 6 도에서, 횡축은 시간이고, 각 시간의 스텝에서 행해지는 처리를 처리1, 처리2 등으로 기술한다. 설명을 간단하게 하기 위하여, 전송선(2)에 전송하는 메시지는 3개의 워드인 데이터(D1), (D2), (D3)이고, 이것은 메모리(4)내에서 연속하는 어드레스에 저장하고 있는 것으로 한다. 또한, 메시지는 이 순서로 전송되고, 데이터(D3)에 대해서는 이미 메모리(4)내에 존재하는 것으로 한다.

처리1에서, 프로세서(3)는 처리할 데이터(d2)를 프로세서(3)내에 판독입력하고, 처리2에서 프로세서(3)는 처리할 데이터(d2)를 처리하여, 데이터(D2)를 생한다. 처리3에서 프로세서(3)는, 데이터(D2)를 메모리(4)에 기록한다. 처리4, 5, 6은 처리1, 2, 3과 마찬가지로 데이터(d1)를 프로세서(3)내에 판독입력하고 처리해서, 데이터(D1)를 메모리(4)에 기록한다. 처리6이 종료된 단계에서 메모리(4)내에 전송할 메시지 (D1), (D2), (D3)가 준비되어 있으므로, 프로세서(3)는 처리7, 8에서 데이터전송장치(51)내의 파라미터기억부(52)에 전송파라미터의 설정을 행하고, 처리9에서 데이터전송개시명령은 데이터전송장치(51)에 송출한다.

처리10에서, 프로세서는 새로 처리할 데이터(d4)를 메모리(4)로부터 판독입력하고, 처리12에서 메모리(4)에 기록한다. 데이터전송장치(51)는, 처리10에서 메모리(4)에 액세스하고, 최초로 전송할 데이터(D1)를 판독하는 것이 가능하지만, 프로세서(3)가 외부버스(5)를 사용하고 있기 때문에 실행할 수 없다.

처리11에서, 프로세서(3)는 데이터(d4)를 처리하여, 데이터(D4)를 생성한다.
데이터전송장치(51)는, 프로세서(3)가 외부버스(5)를 개방하기 때문에, 메모리(4)에 액세스할 수 있고, 데이터(D1)를 판독해서, 전송선(2)에 송출한다.

처리12에서도, 데이터전송장치(51)는 계속해서 데이터(D2)의 판독이 가능하지만, 외부버스(5)를 프로세서(3)가 사용하고 있기 때문에 실행할 수 없다.

처리13, 14, 15 및 처리16, 17, 18에 대해서는 처리10, 11, 12와 마찬가지이고, 결국, 데이터전송장치(51)는, 처리14에서 데이터(D2)를 전송선(2)에 송출할 수 있고 또한 처리17에서 데이터(D3)를 전송선(2)에 송출할 수 있고, 이에 의해 1개의 메시지의 송출을 완료한다.

이상 설명한 바와같이, 데이터전송장치(51)는 프로세서(3)와 버스경합을 행하면서 메모리(4)로부터 메시지를 판독한다. 데이터전송장치(51)는, 버스경합이 없으면 처리10, 11, 12에서 각각 데이터(D1), (D2), (D3)의 판독을 행하고, 전송선(2)에 송출을 종료하지만, 프로세서(3)와의 버스경합이 있는 경우에는 다시 많은 시간(이 경우에는 처리17까지의 5사이클)을 요한다.

따라서, 상기한 바와같은 장치에 있어서는, 통상, 프로세서가 버스를 개방하였을때만 데이터전송장치가 메모리에 액세스할 수 있으므로, 데이터전송이 가능하게 된다. 프로세서가 버스를 개방하는 확율이 높은 경우에는, 개방되는 동안에 데이터전송을 행하므로, 데이터전송시간이 프로세서의 실효시간에 은폐되게된다. 그러나, 수치연산을 실행하는 경우나, 프로세서의 메모리액세스빈도가 대단히 높아서 버스를 개방하는 확률이 낮은 경우에는, 상기 구성에 의해 데이터전송시간을 은폐하는 것이

어렵다.

본 발명은 이와같은 점에 감안하여, 프로세서의 처리를 증가하는 일없이, 프로세서의 버스개방율이 낮은 경우에도, 고속으로 효율이 양호한 데이터전송을 행할 수 있는 데이터전송장치를 제공하는 것을 목적으로 한다.

상기 목적을 달성하기 위하여, 본 발명의 데이터전송장치는, 데이터를 기억하는 메모리 및 이 메모리내의 데이터를 처리하는 프로세서가 공통의 버스에 접속되고, 상기 프로세서가 생성한 데이터를 외부전송선(戰送先)에 전송을 행하는 데이터전송장치로서, 상기 버스에 접속되고, 데이터전송범위를 표시하는 파라미터를 기억하고 상기 버스위의 트랙픽(traffic)이 상기 전송범위내에 있는지의 여부를 감시하는 데이터관리장치와, 전송할 데이터의 값을 기억하는 데이터기억장치와, 상기 버스에 접속되고 이 버스위의 데이터를 데이터기억 장치에 기록하는 버스제어장치를 가지고, 상기 데이터전송의 파라미터가, 상기 프로세서에 대한 전송데이터의 생성이전에, 설정되고, 상기 프로세서가 전송데이터의 생성중에는, 상기 데이터관리장치가 버스의 감시를 행하고, 상기 파라미터에 의해서 정의된 전송할 데이터가 버스위에 나타난 경우에는 상기 데이터관리자 이는 상기 버스제어장치에 데이터인출신호를 전송하고, 상기 버스제어장치는 상기 데어터관리장치로부터 데이터인출신호를 수신하여, 상기 버스위의 데이터를 상기 에데이터기억장치에 기록하고, 데이터전송실행시에 상기 데이터기억장치에 전송할 데이터가 존재하는 경우에는 이 데이터의 송출을 행하는 것을 특징으로 한다.

본 발명에 의한 데이터전송장치는, 상기 구성에 의해서, 전송개시이전에 버스상에 나타난 전송해야할 데이터를 인출하여, 데이터전송장치내의 데이터기억장치에 저장할 수 있고, 전송개시후는 이 데이터기억장치내에 존재하는 데이터에 대해서는 버스를 통해서 외부에 액세스할 필요가 없으므로, 장치에 대해서 버스사용빈도가 낮게 부여되어 있는 경우에도 높은 데이터전송능력을 얻을 수 있다.

이하 본 발명의 실시예에 대해서 첨부도면을 참조하면서 상세히 설명한다.

[실시예 1]

제 1 도는 본 발명의 제1실시예에 대한 데이터전송장치의 구성도이다.

제 1 도에 있어서, 데이터전송선(戰送先)(2)에 접속된 데이터전송장치(1)와, 프로세서(3)와, 메모리(4)는, 어드레스버스(5a), 데이터버스(5b)로 이루어진 공통의 외부버스(5)에 접속되어 있다.

데이터전송장치(1)는, 데이터전송전에는, 전송할 데이터가 나타나지만, 버스(5)의 감시를 행하고, 데이터 전송시에는, 내부에 기억하는 파라미터로부터 메모리(4)내에 있는 전송할 데이터의 어드레스를 생성하는 데이터관리장치(6)와, 데이터전송전에, 메모리(4)내에 있는 전송할 데이터의 어드레스와 전송할 데이터의 값 및 데이터의 유효성을 나타내는 패리티비트를 기억하는 데이터기억장치(10)와, 버스(5)위의 데이터를 상기 데이터기억장치(10)에 기록하고, 또한 데이터관리장치(6)가 생성한 어드레스에 의해 메모리(4)에 액세스하는 버스제어장치(11)로 이루어진다.

데이터관리장치(6)는, 어드레스버스(5a), 버스제어장치(11)에 접속되고, 버스제어장치(11)는, 외부버스(5), 데이터관리장치(6), 데이터기억장치(10), 전송선(2)에 접속되고, 데이터기억장치(10)는 버스제어장치(11), 전송선(2)에 접속된다.

데이터관리장치(6)는, 전송할 데이터의 범위를 기억하는 파라미터기억부(7)와, 이 파라미터기억부(7)의 값과 어드레스(5a)의 값을 비교하여, 외부버스위의 데이터가 전송할 데이터인지의 여부를 감시하는 어드레스비교부(8)와 파라미터기억부(7)의 값으로부터 전송할 메모리(4)내에 있는 데이터의 어드레스를 생성하는 어드레스발생기(9)로 구성된다.

파라미터기억부(7)는, 메모리(4)내에 있는 전송할 데이터의 어드레스의 상한 값을 기억하는 상한값 레지스터(7a)와, 메모리(4)내에 있는 전송할 데이터의 어드레스의 하한값을 기억하는 하한값 레지스터(7b)로 이루어진다.

어드레스비교부(8)는, 상한값 레지스터(7a)의 값과 어드레스버스(5a)의 값을 비교하는 비교기(8a)와, 하한값레지스터(7b)의 값과 어드레스버스(5a)의 값을 비교하는 비교기(8b)와, 이 2개의 비교기(8a)(8b)의 출력을 입력하는 AND회로(8c)로 구성된다.

데이터기억장치(10)는, 메모리(4)내에 있는 전송할 데이터의 어드레스를 기억하는 어드레스기억부(10a)와, 전송할 데이터의 값을 기억하는 데이터기억부(10c)와, 데이터의 유효성을 나타내는 패리티비티기억부(10b)로 이루어진다.

데이터기억장치(10)에는, 본 실시예에서는, 연상메모리(associative memory )를 사용한다. 일예로서 다이렉트맵형캐시등으로 사용하게 되는 수단을 채용한다. 즉, 어드레스의 하위의 값에 의해 지정되는 어드레스에 응답하여, 어드레스기억부(10a)에서는 어드레스의 상위의 값을 기억하고, 또한 데이터기억부(10c)에서는 전송할 데이터의 값을 기억한다. 패리티비티기억부(10b)의 상기 지정된 번지의 값은 데이터의 유효성을 나타낸다. 또한, 어드레스기억부(10a)내에, 어드레스발생기(9)가 생성하는 어드레스가 존재하는지의 여부의 판단은, 어드레스발생기(9)가 생성하는 어드레스의 하위의 값을 어드레스로서 어드레스기억부(10a)로부터 판독한 값과, 어드레스발생기(9)가 생성한 어드레스의 상위의 값이 동일한지의 여부를 비교함으로서, 행해진다.

제 7a 도는 메모리(4)내의 전송영역과 데이터기억장치(10)의 기억영역과의 관계도를 표시한다. 본 실시예에서는, 데이터기억장치(10)내의 같은 어드레스에, 2개이상의 전송할 데이터가 할당되는 경우, 후에 기인되는 데이터를 유효로하고, 앞서 기억되고 있었던 데이터에 중복기록한다.
이때문에, 본 실시예의 데이터기억장치(10)의 용량은 메모리(4)내의 전송영역분만큼의 기억영역을 확보할 필요는 없고, 메모리(4)내에 있는 범위의 데이터를 전송선(2)에 전송한다.

데이터전송장치(1)에서는, 데이터전송개시전에, 데이터관리장치(6)는, 버스의 감시를 행하여, 어드레스비교부(8)에 의해 어드레스버스(5a)의 값과 파라미터기억부(7)의 값을 비교한 결과, 전송할 데

이터가 외부버스(5)위에 나타났다고 판단된 경우에, 버스제어장치(11)에 어드레스비교부(8)로부터 신호를 보낸다. 또한, 버스제어장치(11), 외부버스(5)위의 데이터의 값을 패리티비트와 함께 데이터기억장치(10)에 기록하고, 데이터전송시에, 데이터기억장치(10)에 전송할 어드레스발생기(9)가 생성하는 어드레스에 대응하는 데이터가 존재하는 경우에는, 데이터기억부(10c)로부터 데이터의 송출을 행하고, 데이터기억장치(10)에 전송할 어드레스발생기(9)가 생성하는 어드레스에 대응하는 데이터가 존재하지 않는 경우에는, 어드레스발생기(9)가 생성한 어드레스에 의해서 버스제어장치(11)가 메모리(4)에 액세스하여, 얻은 데이터를 송출한다.

제 2 도는 본 발명의 일실시예의 동작을 표시한 타이밍챠트이다. 다음에, 본 발명의 제1실시예의 데이터전송장치의 동작에 대하여 제 1 도와 제 2 도를 참조하면서 설명한다. 또한, 전송선(2)에 전송되는 데이터는 메모리(4)내에서 연속하는 3개의 데이터(D1), (D2), (D3)이고, 이 순번으로 전송하는, 데이터(D3)에 대해서는 이미 메모리(4)내에 기억되어 있는 것으로 한다.

처리1, 처리2에서, 프로세서(3)는 데이터전송장치(1)의 설정을 행하고, 데이터전송장치(1)는 초기화 동작을 행한다. 보다 상세하게는, 프로세서(3)는 상한값레지스터(7a), 하한값레지스터(7b)에 전송할 데이터의 어드레스의 상한값(D3의 어드레스), 하한값(D1의 어드레스)을 설정하고, 데이터전송장치(1)는 패리티비트기억부(10b)를 클리어하여, 파라미터기억부(7)의 값과 어드레스버스(5a)의 값을 어드레스비교부(8)에서 비교한다.

처리3에서, 프로세서(3)는 메모리(4)로부터 처리하는 데이터(d2)를 판독입력하고, 처리4에서 데이터의 처리를 행하여, 데이터(D2)를 생성한다. 처리5에서, 프로세서(3)는, 처리가 종료된 데이터(D2)를 메모리(4)에 기록한다. 이때 데이터전송장치(1)는 어드레스버스(5a)와 프로세서레지스터(7a)의 값을 어드레스비교기(8)에서 비교하여 데이터(D2)가 전송할 데이터로 판정되면, 데이터관리장치(6)로부터의 신호에 의해서 처리5에서 버스제어장치(11)는, 데이터(D2)의 어드레스의 하위의 값으로 지정되는 데이터기억장치(10)내의 어드레스에 응답하여 데이터버스(5b)위의 값을 데이터기억부(10c)에 판독입력하고, 어드레스기억부(10a)에 데이터(D2)의 어드레스상위의 값을 기록하고, 패리티비트기억부(10b)는 데이터(D2)의 유효성을 표시한다.

처리6, 7, 8의 처리는, 처리3, 4, 5의 처리와 마찬가지이며, 데이터전송장치(1)는 전송할 데이터(D1)를, D1어드레스의 하위의 값으로 지정되는 데이터기억장치(10)내의 어드레스에 판독입력된다.

처리9에서, 프로세서(3)는, 전송할 데이터(D1), (D2), (D3)가 메모리내에 준비되어 있기 때문에 데이터 전송개시신호를 데이터전송장치(1)에 보내고, 데이터전송장치(1)는 데이터전송을 개시한다. 보다 상세하게는, 어드레스발생기(9)는 하한값레지스터(7a)의 값으로부터 상한값레지스터(7b)의 값까지 어드레스의 생성을 개시하고, 어드레스기억부(10a)내에 대응하는 어드레스가 존재하고, 패리티비트기억부(10b)가 데이터의 유효성을 표시하는 경우는, 데이터기억부(10c)로부터 데이터를 전송선(2)에 송출한다.

어드레스기억부(10a)에 대응하는 어드레스가 존재하지 않는 경우에는, 버스제어장치(11)는 어드레스발생기(9)가 발생한 어드레스에 의해 메모리(4)에 액세스하여, 얻은 데이터를 전송선(2)에 송출한다.

처리10에서, 프로세서(3)는 새로히 처리할 데이터(d4)를 메모리(4)로부터 판독입력한다. 한편 데이터전송장치(1)의 어드레스발생기(9)는 데이터(D1)의 어드레스를 발생하고, 이 데이터(D1)의 어드레스는, 처리8에서, 어드레스기억부(10a)에 기록되어 있고, 패리티비트기억부(10b)가 상기 데이터(D1)의 유효성을 표시하는 경우에는, 데이터기억부(10c)로부터 판독입력된 데이터(D1)를 전송선(2)에 송출한다.

처리11에서, 프로세서(3)은 판독입력한 데이터(d4)를 처리하여, 데이터(D4)를 생성한다. 한편, 데이터전송장치(1)의 어드레스발생기(9)는 데이터(D2)의 어드레스를 발생하고, 이 데이터(D2)의 어드레스는, 처리5에서, 어드레스기억부(10a)에 기억되어 있고, 패리티비트(10b)가 상기 데이터(D2)의 유효성을 표시하는 경우에는, 데이터기억부(10c)로부터 판독입력된 데이터(D2)를 전송선(2)에 송출한다.

처리(12)에서, 프로세서(3)는 처리가 종료된 데이터(D4)를 메모리(4)에 기록하고, 데이터전송장치(1)의 어드레스발생기(9)는 데이터(D3)의 어드레스를 발생하지만, 데이터(D3)의 어드레스는 어드레스기억부(10a)에 존재하지 않기 때문에, 버스제어장치(11)는 메모리(4)에 액세스하려고 하여도 프로세서(3)가 외부버스(5)를 사용하고 있기 때문에, 실행할 수 없다.

처리13에서, 프로세서(3)는 새로히 처리할 데이터(d5)를 메모리(4)로부터 판독입력하고, 데이터전송장치(1)의 버스제어장치(11)는 데이터(D3)의 어드레스에 의해 메모리(4)에 액세스하려고 하여도, 프로세서(3)가 외부버스(5)를 사용하고 있기 때문에, 실행할 수 없다.

처리14에서, 프로세서(3)는 데이터(d5)의 처리를 행하여, 데이터(D5)를 생성한다. 데이터전송장치(1)는, 프로세서(3)가 버스를 개방하기 때문에, 버스제어장치(11)는 (D3)의 어드레스에서 메모리(4)에 액세스할 수 있고, 얻은 데이터(D3)를 전송선(2)에 송출한다. 이상과 같이, 본 발명에 의한 데이터전송장치에서는, 처리14에서 데이터(D1), (D2), (D3)의 전송이 종료한다.

이와같이, 종래의 데이터전송장치에서는, 전송선(2)에 데이터(D1), (D2), (D3)의 전송을 처리17까지 소요해서 행하였으나, 한편 본 실시예에의 데이터전송장치를 사용하면, 처리14에서 상기 처리를 종료할 수 있다.

상기한 바와같이 본 실시예에 의하면 데이터전송장치(1)는, 외부버스(5)를 감시함으로서, 전송할 데이터의 일부 또는 전부를 데이터전송장치(1)내에 판독입력하고 판독입력되지 않는 것만을 메모리(4)에 액세스함으로서, 외부버스(5)의 사용빈도를 적게하여 데이터의 전송을 할수 있고, 데이터(1)에 대해서 버스사용빈도가 낮게 부여되어 있는 경우에도 높은 데이터전송능력을 얻을 수 있는 동시에, 프로세서(3)는 외부버스(5)의 사용이 데이터전송장치(1)에 방해되는 일이 적으므로, 데이터전송

에 의한 프로세서(3)의 성능저하를 억제할 수 있다.

또, 데이터전송장치(1)내에 데이터기억장치(10), 어드레스발생기(9)를 구비함으로서, 전송할 데이터가, 외부버스(5)위에 전송할 순번에 나타나지 않아도, 올바른 순번에 의해서 전송선(2)에 데이터를 전송할 수 있고, 데이터기억장치(10)의 용량을 초과하는 데이터전송을 행하는 경우에도, 어드레스기억부(10a)를 구비함으로서 데이터전송장치(1)내의 전송할 데이터의 유무를, 어드레스기억부(10a)에 판독입력된 어드레스에 의해, 조사하기 때문에 문제로 되지 않는다.

또한 어드레스발생기(9)는, 하한값레지스터(7b)의 값으로부터 상한값레지스터(7a)의 값까지 하나씩 증가하여 어드레스를 발생하고 있으나, 반대로 상한값레지스터(7a)의 값으로부터 하한값레지스터(7b)의 값까지 하나씩 감소하여 어드레스를 발생할 수 있다.

또 파라미터기억부(7)내의 파라미터를 증가함으로서, 전송할 데이터의 지정을, 소정의 범위뿐만아니라, 메모리(4)내에서 홀수번지만 또는 짝수번지만으로 이루어진 어드레스의 패턴에도 대응할 수 있다.

[실시예 2]

제 3 도는 본 발명의 제2실시예에 의한 데이터전송장치의 구성도이다.

본 실시예에서도 제1실시예와 마찬가지로, 데이터전송선(2)에 접속된 데이터전송장치(31)와, 프로세서(3)와, 메모리(4)는, 어드레스버스(5a), 데이터버스(5b)로 이루어진 공통의 외부버스(5)에 접속되고, 데이터전송장치(31)는, 데이터관리장치(32)와, 데이터기억장치(36)와, 버스제어장치(39)로 구성된다.

데이터관리장치(32)는, 어드레스버스(5a), 버스제어장치(39)에 접속되고, 버스제어장치(39)는 외부버스(5), 데이터관리장치(32), 데이터기억장치(36), 전송선(2)에 접속되고, 데이터기억장치(36)는 버스제어장치(39), 전송선(2)에 접속되어 있다.

데이터관리장치(32)는, 전송할 데이터의 상위어드레스 및 전송순을 기억하는 제1파라미터기억부(33)와, 전송할 데이터의 하위어드레스를 기억하는 제2파라미터기억부(34)와, 전송할 데이터의 어드레스와 어드레스버스(5a)위의 값의 일치의 여부를 검출함으로서, 어드레스버스(5a)의 값을 감시하는 어드레스비교부(35)로 이루어진다. 본 실시예에서는, 제1파라미터기억부(33)의 일예로서, 다이렉트맵형캐시를 채용하고 있다. 즉, 어드레스버스(5a)의 하위의 값에 의해 제1파라미터기억부(33)로부터 판독된 어드레스 상위의 부분의 값과, 어드레스버스(5a)의 상위의 값을, 어드레스비교부(39)에 의해 비교하여, 일치의 여부를 검출한다.

데이터기억장치(36)는, 제2파라미터기억부(34)와 1 대 1의 대응을 가지고, 전송할 데이터의 값을 기억하는 데이터기억부(38)와, 데이터의 유효성을 표시한 패리티비트기억부(37)로 이루어진다.

제1실시예에서는, 파라미터기억부(7)자 메모리(4)내에 있는 전송할 데이터의 어드레스의 상한값과 하한값을 기억하지만, 이에 대해서 본 실시예에서는 전송할 데이터의 각각의 어드레스를 제1파라미터기억부(33), 제2프로세서기억부(34)내에 기억한다. 이때문에 한번에 전송가능한 데이터수는 제2프로세서기억부(34)의 용량에 의해 제한되나, 전송할 데이터는, 제1파라미터기억부(33)에 기억된 전송순에 따라서 제1실시예의 어드레스발생기(9)에 의해서 생성할 수 없게 되는 어드레스, 예를들면, 제8 도에 표시한 바와같은 랜덤한 어드레스를 가질 수 있다.

본 실시예에 의한 데이터전송장치의 전송동작은, 제1실시예와 마찬가지이다. 제 2 도와 제 3 도를 사용하여 본 실시예의 동작에 대해서 설명한다. 또한, 전송선(2)에 전송하는 데이터는 메모리(4)내에 연속하는 3개의 데이터(D1), (D2), (D3)이고, 이 순번으로 전송하고, 데이터(D3)에 대해서는 이미 메모리내에 기억되어 있는 것으로 한다.

처리1, 처리2에서, 프로세서(3)는 데이터전송장치(1)의 설정을 행하고, 데이터전송장치(31)는 초기화동작을 행한다. 보다 상세하게는, 제1파라미터기억부(33)에 데이터(D1)의 어드레스하위의 값의 어드레스에 대응하는 데이터(D1)의 어드레스상위의 값과 전송순서를 나타내는 "1"을 기록하고, (D2)의 어드레스 하위의 값의 어드레스에 대응하는 데이터(D2)의 어드레스상위의 값과 전송순서를 나타내는 "2"를 기록하고, 데이터(D3)의 어드레스하위의 값의 어드레스에 대응하는 데이터(D3)의 어드레스상위의 값과 전송순서를 나타내는 "3"을 기록하고, 제2파라미터기억부(34)의 1번지에 데이터(D1)의 어드레스하위의 값을 기록하고, 2번지에 데이터(D2)의 어드레스하위의 값을 기록하고, 3번지의 데이터(D3)의 어드레스하위의 값을 기록한다.

데이터전송장치(31)의 패리티비트기억부(37)을 크리어하고, 어드레스버스(5a)의 감시를, 제1파라미터 기억부(33)을 사용하여, 시작한다.

처리3에서, 프로세서(3)는, 메모리(4)로부터 처리하는 데이터(d2)를 판독입력하고, 처리4에서 데이터의 처리를 행하여, 데이터(D2)를 생성한다.

처리5에서, 프로세서(3)는, 처리가 종료된 데이터(D2)를 메모리(4)에 기록한다. 이때 데이터전송장치(31)는, 어드레스비교부(39)에 의해서, 데이터(D2)가 전송할 데이터로 판정되면, 버스제어장치(39)는, 제1파라미터기억부(33)으로부터 판독된 전송순서를 나타낸 어드레스 즉, 본 실시예의 경우 2번지의 데이터기억부(38)에 데이터버스(5b)위의 값을 판독입력하고, 패리티비트기억부(37)는 상기 값이 유효성 여부를 표시한다.

처리6, 7, 8에서의 처리는, 처리3, 4, 5에서의 처리와 마찬가지이며, 1번지의 데이터기억장치(36)에 데이터(D1)를 판독입력하고, 패리티비트기억부(37)는 상기 값의 유효성여부를 표시한다.

처리9에서, 프로세서(3)는, 전송할 데이터(D1), (D2), (D3)가 메모리내에 준비되어 있기 때문에 데이터 전송 개시신호를 데이터전송장치(31)에 보내고, 데이터전송장치(31)는 데이터전송을 개시한다. 보다 상세하게는, 제2파라미터기억부(34)에 기억된 어드레스의 개수만큼, 데이터기억장치(36)내의

어드레스에서 1번지에서부터 순차적으로 패리티비트기억부(37)가 상기 값의 유효성을 표시하는 경우에는, 데이터기억부(38)로부터 데이터를 전송선(2)에 송출하고, 패리티비트기억부(37)가 상기 값의 유효성을 표시하지 않는 경우에는, 대응하는 제2파라미터기억부(34)의 값에 의해서, 제1파라미터기억부(33)로부터 어드레스의 상위의 값을 판독하고, 이 판독된 값과, 제2파라미터기억부(34)의 값으로부터 어드레스를 생성하고, 버스제어장치(39)가 메모리(4)에 이 어드레스에 의해 액세스하여 얻은 데이터를 전송선(2)에 송출한다.

처리10에서, 프로세서(3)는 새로히 처리할 데이터(d4)를 메모리(4)로부터 판독입력한다. 한편, 데이터 전송장치(31)는, 데이터기억장치(36)내의 어드레스에서 1번지의 패리티비트의 유효성이 있는 경우에는, 데이터기억부(38)로부터 판독입력된 데이터(D1)를 전송선(2)에 송출한다.

처리11에서, 프로세서(3)는 판독입력된 데이터(d4)를 처리하여, 데이터(D4)를 생성한다. 데이터전송장치(31)는, 데이터기억장치(36)내의 어드레스에서 2번지의 패리티비트의 유효성이 있는 경우에는, 데이터기억부(38)로부터 판독입력된 데이터(D2)를 전송선(2)에 송출한다.

처리12에서, 프로세서(3)는, 처리가 종료된 데이터(D4)를 메모리(4)에 기록한다. 한편, 데이터전송장치(31)는 데이터기억장치(36)내의 어드레스에서 3번지의 패리티비트의 유효성이 없는 경우에는, 제2파라미터 기억부(34)의 3번지의 값에 의해서, 제1파라미터기억부(33)로부터 어드레스상위의 값을 판독해서, 어드레스를 생성하고, 버스제어장치(31)는, 이 어드레스에 의해 메모리(4)에 액세스하려고 하여도, 프로세서(3)가 외부버스(5)를 사용하고 있기 때문에, 실행할 수 없다.

처리13에서, 프로세서(3)는 새로히 처리할 데이터(d5)를 메모리(4)로부터 판독입력하고, 데이터전송장치(31)의 버스제어장치(39)는 데이터(D3)의 어드레스에 의해 메모리(4)에 액세스하려고하여도, 프로세서(3)가 외부버스(5)를 사용하고 있기 때문에, 실행할 수 없다.

처리14에서, 프로세서(3)는 데이터(d5)의 처리를 행하여, 데이터(D5)를 생성한다. 데이터전송장치(31)는, 프로세서(3)가 버스(5)를 개방하기 때문에, 버스제어장치(41)는 (D3)의 어드레스에 의해 메모리(4)에 액세스할 수 있고, 이에 의해 얻은 데이터(D3)를 전송선(2)에 송출한다. 본 발명에 의한 데이터전송장치에서는 처리14에서 데이터(D1), (D2), (D3)의 전송을 종료한다.

이와같이, 종래의 데이터전송장치에서는, 전송선(2)에 데이터(D1), (D2), (D3)의 전송을 처리17까지 소요해서 행하였으나, 한편 본 실시예의 데이터전송장치를 사용하면, 제1실시예와 마찬가지로 처리14에서 상기 처리를 종료할 수 있다.

상기한 바와같이 본 실시예에 의하면, 제1실시예와 마찬가지로, 데이터전송장치(31)는, 외부버스(5)를 감시함으로서 전송할 데이터의 일부 또는 전부를 데이터전송장치(31)내에 판독입력하고, 판독입력되지 않는 것만을 메모리(4)에 액세스함으로서, 버스의 사용빈도를 적게하여 데이터의 전송을 할수 있고, 데이터전송장치(1)에 대해서 버스사용빈도가 낮게 부여되어 있는 경우에도 높은 데이터 전송능력을 얻을 수 있는 동시에, 프로세서(3)는 외부버스(5)의 사용이 데이터전송장치(31)에 방해되는 일시적이므로, 데이터전송에 의한 프로세서(3)의 성능저하를 억제할 수 있다.

또, 본 실시예는, 제1실시예에 비해, 제2파라미터기억부(34), 데이터기억장치(36)의 용량에 의해서, 한번에 전송할 수 있는 데이터수가 제한되는 문제점은 있으나, 전송하는 데이터수가 일정수 이하일 때에는, 랜덤한 어드레스의 데이터에 대응할 수 있다고하는 이점이 있다.

또한, 본 실시예에서는, 데이터전송전에 파라미터기억부(34), 어드레스일치 검출수단(33)의 설정을 세부 내용까지 프로세서(3)가 행하고 있으나, 어드레스만을 데이터전송장치(31)에 부여하여, 세부내용은 데이터 전송장치만으로도 행할 수 있다.

또한, 본 실시예에서는, 데이터전송개시전에는, 전송할 데이터가 버스위에 나타났다고 판정되었을 경우에, 버스제어장치(39)는, 어드레스버스의 값의 일치를 검출한 제1파라미터기억부(33)로부터의 전송순서를 나타내는 어드레스의 데이터기억부(38)에, 데이터버스(5b)상의 값을 패리티비트와 함께 기록하고, 데이터 전송시에 1번지부터 순차적으로, 제2파라미터기억부(34)내의 어드레스에 대응하는 데이터가 데이터기억장치(36)에 존재하는 경우에는, 데이터기억부(38)로부터 데이터의 송출을 행하고, 제 2파라미터기억부(34)내의 어드레스에 대응하는 데이터가 데이터기억장치에 존재하지 않는 경우에는 버스제어장치(39)가 메모리에 액세스하여 얻게된 데이터를 송출하였으나, 데이터전송개시전에는, 전송할 데이터가 버스상에 나타났다고 판정되었을 경우에, 버스제어장치는, 어드레스 버스의 하위의 어드레스의 데이터기억부(38)에, 데이터버스상의 값을 패리티비트와 함께 기록하고, 데이터 전송시에는, 전송순서에 따라서, 제2파라미터기억부(34)내의 어드레스에 대응하는 데이터가 데이터기억장치에 존재하는 경우에는, 데이터기억부로부터 데이터의 송출을 행하고, 제2파라미터기억부내의 어드레스에 대응하는 데이터가 데이터기억장치에 존재하지 않는 경우에는, 버스제어장치가 메모리에 액세스하여, 얻게된 데이터를 송출하는 것도 가능하다.

[실시예 3]

제 4 도는 본 발명의 제3실시예에 의한 데이터전송장치의 구성도이다.

본 실시예에서도 제1실시예와 마찬가지로 데이타전송선(2)에 접속하는 데이터전송장치(41)와, 프로세서(3)와, 메모리(4)는, 어드레스버스(5a), 데이터버스(5b)로 이루어진 공통의 외부버스(5)에 접속되고, 데이터전송장치(41)는, 데이터관리장치(6)와, 데이터기억장치(42)와, 버스제어장치(45)로 구성되어 있다.

데이터관리장치(6)는, 어드레스버스(5a), 버스제어장치(45)에 접속되고, 버스제어장치(45)는 외부버스(5), 데이터관리장치(6), 데이터기억장치(42), 전송선(2)에 접속되고, 데이터기억장치(42)는 버스제어장치(45), 전송선(2)에 접속되어 있다.

데이터관리장치(6)는 제1실시예와 마찬가지로, 파라미터기억부(7)와, 어드레스비교부(8)와, 파라미터기억부(7)의 값으로부터 전송할 데이터의 메모리(4)내에서의 어드레스를 발생하는 어드레스발생기

(9)로 구성된다. 파라미터기억부(7)는 메모리(4)내에 있는 전송할 데이터의 어드레스의 상한값을 기억하는 상한값 레지스터(7a)와, 메모리(4)내에 있는 전송할 데이터의 어드레스의 하한값을 기억하는 하한값 레지스터(7b)로 이루어진다. 어드레스비교부(8)는, 상한값 레지스터(7a)의 값과 어드레스버스(5a)의 값을 비교하는 비교기(8a)와, 하한값 레지스터(7b)와 어드레스버스(5a)의 값을 비교하는 비교기(8b)와, 이 2개의 비교기(8a), (8b)의 출력을 입력하는 AND회로(8c)로 구성된다.

데이터기억장치(42)는, 전송할 데이터의 값을 기억하는 데이터기억부(44)와 데이터의 유효성을 나타내는 패리티비트기억부(43)로 이루어진다. 데이터기억장치(42)내의 어드레스 "1번지"에, 하한값 레지스터(7b)가 나타내는 메모리(4)내의 어드레스의 데이터가 기억된다. 데이터기억장치(42)내의 어드레스 "2번지"에, 하한값 레지스터(7b)가 나타내는 메모리(4)내의 어드레스 "+1"의 데이터가 기억되고, 데이터 기억장치(42)내의 어드레스 "3번지"에, 하한치 레지스터(7b)가 나타내는 메모리(4)내의 어드레스 "+2"의 데이터가 기억되고, 이하 마찬가지로, 데이터기억장치(42)내의 어드레스 "최종번지"까지 데이터가 기억된다.

본 실시예에서는 제1실시예에 있어서, 데이터기억부(44)내의 데이터에 대한 메모리(4)에서의 어드레스를 기억하고 있는 어드레스기억부(10a)를 생략하여 하드웨어량을 감소한 것이다. 여기서, 어드레스기억부(10a)를 생략하기 때문에, 한번에 전송하는 데이터수는 데이터기억장치(42)의 용량이하로 되어야 한다. 제 7b 도는 메모리(4)내의 전송영역과 데이터기억장치(42)의 기억영역과의 관계도를 표시한다. 제 7b 도에 도시한 바와 같이, 본 실시예의 데이터기억장치(42)는 메모리(4)내의 전송영역만큼의 기억영억을 확보하고 있으며, 메모리(4)내에 있는 범위의 데이터를 전송선(2)에 전송한다.

본 실시예에 의한 데이터전송장치(1)의 동작은 제1실시예와 마찬가지이다. 제 2 도와 제 4 도를 사용하여 본 발명의 제3실시예의 동작에 대해서 설명한다. 또한, 전송선(2)에 전송되는 데이터는 메모리(4)내에서 연속하는 3개의 데이터(D1), (D2), (D3)이고, 이 순번으로 전송하고, 데이터(D3)에 대해서는 이미 메모리내에 기억되어 있는 것으로 한다.

처리1, 처리2에서, 프로세서(3)는 데이터전송장치(1)의 설정을 행하고, 데이터전송장치(1)는 초기화 동작을 행한다. 보다 상세하게는, 프로세서(3)는 메모리(4)내에 있는 전송할 데이터의 어드레스의 상한값(D3의 어드레스)과 하한값(D1의 어드레스)을 상한값 레지스터(7a)와 하한값 레지스터(7b)에 각각 설정하고, 데이터전송장치(1)는 패리티비트기억부(43)를 클리어하여 파라미터기억부(7)의 값과 어드레스버스(5a)의 값을 비교한다.

처리3에서, 프로세서(3)는, 메모리(4)로부터 처리하는 데이터(d2)를 판독입력하고 처리4에서 데이터의 처리를 행하여, 데이터(D2)를 생성한다.

처리5에서, 프로세서(3)는, 처리가 종료된 데이터(D2)를 메모리(4)에 기록한다. 이때 데이터전송장치(1)는, 어드레스신호선(5a)의 값과 파라미터레지스터기억부(7)의 값을 어드레스비교기(8)에 의해서 비교하고, 데이터(D2)가 전송할 데이터로 판정되면, 데이터관리장치(6)로부터의 신호에 의해서, 처리5에서, 버스제어장치(51)는, 데이터버스위의 값을 데이터기억부(44)에 판독입력하고, 패리티비트기억부(43)는 상기 값의 유효성여부를 표시한다. 이때 데이터기억장치내의 어드레스로서, 어드레스버스(5a)의 값으로부터 하한값 레지스터(7b)의 값을 감산한 값인 "+1"을 사용한다. 처리5의 경우 "{(D2의 어드레스)-(하한값 레지스터 1212의 값, 즉 D1의 어드레스)+1=2번지}"를 데이터기억장치(42)내의 어드레스로하고, 이 어드레스의 데이터기억부(44)에 데이터버스(5b)상의 데이터를 판독입력하고, 이 어드레스의 패리티비트기억부(43)는 상기 값의 유효성여부를 표시한다.

처리6, 7, 8에서의 처리는, 처리3, 4, 5와 마찬가지이며, 데이터전송장치는 전송할 데이터(D1)를 데이터기억장치(42)의 어드레스 1번지에 판독입력한다.

처리9에서, 프로세서(3)는, 전송할 데이터(D1), (D2), (D3)가 메모리내에 준비되어 있기 때문에 데이터 전송개시신호를 데이터전송장치(1)에 보내고, 데이터전송장치(1)는 데이터전송을 개시한다. 보다 상세하게는, 어드레스발생기(9)가 하한값 레지스터(7b)의 값으로부터 상한값 레지스터(7a)의 값까지 어드레스의 생성을 개시하고 데이터기억장치(42)내 어드레스의 1번지로부터 패리티비트의 유효성이 표시되는 경우에는 데이터기억부(44)로부터 데이터를 전송선(2)에 송출한다. 즉 데이터(D1)에 대해서는, 데이터기억장치(42)내의 어드레스 1번지의 패리티비트의 유효성이 표시되는 경우에는 데이터기억부(44)의 1번지로부터 데이터의 송출을 행하고, 데이터(D2)에 대해서는, 데이터기억장치(42)내의 어드레스에서 2번지의 패리티비트의 유효성이 표시되는 경우에는, 데이터기억부(44)의 2번지로부터 데이터의 송출을 행하고, 데이터(D3)에 대해서는, 데이터기억장치(42)내의 어드레스에서 3번지의 패리티비트의 유효성이 표시되는 경우에는 데이터기억부(44)의 3번지로부터 데이터의 송출을 행한다.

대응하는 패리티비트의 유효성이 표시되지 않은 경우에는, 버스제어장치(45)는, 어드레스발생기(9)가 생성한 어드레스에 의해 메모리(4)에 액세스하여, 얻은 데이터를 전송선(2)에 송출한다.

처리10에서, 프로세서(3)는 새로히 처리할 데이터(d4)를 메모리(4)로부터 판독입력하고, 데이터전송장치(41)는, 데이터기억장치(42)내의 어드레스에서 1번지의 패리티비트를 탐색하고, 패리티비트의 유효성이 표시되는 경우에는 데이터기억부(44)로부터 판독입력된 데이터(D1)를 전송선(2)에 송출한다.

처리11에서, 프로세서(3)는 판독입력된 데이터(d4)를 처리하여, 데이터(D4)를 생성한다. 데이터전송장치(41)는, 데이터기억장치(42)내의 어드레스에서 2번지의 패리티비트를 탐색하고 패리티비트의 유효성이 표시되는 경우에는 데이터기억부(44)로부터 판독입력된 데이터(D2)를 전송선(2)에 송출한다.

처리12에서 처리가 종료된 데이터(D4)를 메모리(4)에 기록하고, 데이터전송장치(1)는, 데이터기억장치(42)내의 어드레스에서 3번지의 패리티비트를 탐색하고, 패리티비트의 유효성이 표시되는 경우에는 어드레스발생기(9)가 발생하고 있는 데이터(D3)의 어드레스에 의해 버스제어장치(45)가 메모리

(4)에 액세스하려고 하여도 프로세서(3)가 외부버스(5)를 사용하고 있기 때문에, 실행할 수 없다.

처리13에서, 프로세서(3)는 새로히 처리할 데이터(d5)를 메모리(4)로부터 판독입력하고, 데이터전송장치(41)의 버스제어장치(45)가 데이터(D3)의 어드레스에 의해 메모리(4)로 액세스하려고 해도, 프로세서(3)가 외부버스(5)를 사용하고 있기 때문에, 실행할 수 없다.

처리14에서, 프로세서(3)는 데이터(d5)의 처리를 행하여, 데이터(D5)를 생성한다. 데이터전송장치(1)는, 프로세서(3)가 버스를 개방하고 있기 때문에, 버스제어장치(45)는 (D3)의 어드레스에 의해 메모리(4)에 액세스할 수 있고, 얻은 데이터(D3)를 전송선(2)에 송출한다. 본 발명에 의한 데이터전송장치에서는 처리14에서 데이터(D1), (D2), (D3)의 전송을 종료한다.

이와같이, 종래의 데이터전송장치에서는, 전송선(2)에 데이터(D1), (D2), (D3)의 전송을 처리17까지 소요해서 행하였으나, 이에 대해서 본 실시예의 데이터전송장치를 사용하면, 제1실시예와 마찬가지로 처리14에서 상기 처리를 종료할 수 있다.

이상과 같이 본 실시예에서는 데이터전송장치(41)가, 외부버스(5)를 감시함으로서 전송데이터의 일부 또는 전부를 데이터전송장치(1)내에 판독입력하고, 판독입력되지 않는 것만을 메모리(4)에 액세스함으로서, 버스의 사용빈도를 적게하여 데이터의 전송을 할수 있고, 데이터전송장치(1)에 대해서 버스사용빈도가 낮게 부여되어 있는 경우에도 높은 데이터전송능력을 얻을 수 있는 동시에 프로세서(3)는 외부버스(5)의 사용이 데이터전송장치(1)에 방해되는 일이 없으므로, 데이터전송에 의한 프로세서(3)의 성능저하를 억제할 수 있다.

또한, 데이터전송장치(41)내에 데이터기억장치(42), 어드레스발생기(9)를 구비함으로서, 전송할 데이터가 외부버스(5)위에 전송할 순번에 나타나지 않아도, 올바른 순번에 의해서 전송선(2)에 데이터를 전송할 수 있다.

본 실시예는, 제1실시예에 비해, 데이터기억장치(42)의 용량에 의해서, 한번에 전송할 수 있는 데이터수에 제한이 있다고하는 문제가 있으나, 전송하는 데이터수가 일정수 이하의 경우에는, 어드레스기억부가 불필요하고 하드웨어를 삭감할 수 있다고하는 이점이 있다.

또한, 어드레스발생기(9)는 하한값 레지스터(7b)의 값으로부터 상한값 레지스터(7a)의 값까지 하나씩 증가하여 어드레스를 발생하고 있으나, 반대로 상한값 레지스터(7a)의 값으로부터 하한값 레지스터(7b)의 값까지 하나씩 감소하여도 어드레스를 발생할 수 있다.

이와같이하여 데이터전송장치가, 외부버스를 감시함으로서 전송할 데이터의 일부 또는 전부를 데이터전송장치내에 판독입력하고, 판독입력되지 않는 것만을 데이터전송장치가 메모리에 액세스함으로서, 버스의 사용빈도를 적게 하여 데이터의 전송을 할 수 있고 데이터전송장치에 대해서 버스사용빈도가 낮게 부여되어 있는 경우에도 높은 데이터전송능력을 얻을 수 있는, 동시에 프로세서는 외부버스의 사용이 데이터전송장치에 방해되는 일이 적으므로, 데이터전송에 의한 프로세서의 성능저하를 억제할 수 있다.

## *(57) 청구의 범위*

### 청구항 1

데이터를 기억하는 메모리 및 이 메모리내의 데이터를 처리하는 프로세서가 공통의 버스에 접속되고, 상기 프로세서가 생성한 데이터를 외부전송선에 전송을 행하는 데이터전송장치로서, 상기 버스에 접속되고, 데이터전송범위를 표시하는 파라미터를 기억하고 상기 버스위의 트래픽(traffic)이 상기 전송범위내에 있는지의 여부를 감시하는 데이터관리장치와, 전송할 데이터의 값을 기억하는 데이터기억장치와, 상기 버스에 접속되고 이 버스위의 데이터를 데이터기억장치에 기록하는 버스제어장치를 가지고, 상기 데이터전송의 파라미터가, 상기 프로세서에 대한 전송데이터의 생성이전에 설정되고, 상기 프로세서가 전송데이터의 생성중에는, 상기 데이터관리장치가 버스의 감시를 행하고, 상기 파라미터에 의해서 정의된 전송할 데이터가 버스위에 나타난 경우에는 상기 데이터관리장치는 상기 버스제어장치에 데이터인출신호를 전송하고, 상기 버스제어장치는 상기 데이터관리장치로부터 데이터인출신호를 수신하여, 상기 버스위의 데이터를 상기 데이터기억장치에 기록하고, 데이터전송실행시에 상기 데이터기억장치에 전송할 데이터가 존재하는 경우에는 이 데이터의 송출을 행하는 것을 특징으로 하는 데이터전송장치.

### 청구항 2

제 1 항에 있어서, 데이터전송실행시에 데이터기억장치에 전송할 데이터가 존재하지 않는 경우에는 데이터관리장치가 메모리내에서 이 데이터의 어드레스를 생성하고, 버스제어장치가 메모리로부터 전송할 데이터를 얻어 데이터의 송출을 행하는 것을 특징으로 하는 데이터전송장치.

### 청구항 3

데이터를 기억하는 메모리 및 이 메모리내의 데이터를 처리하는 프로세서가 공통의 버스에 접속되고 상기 프로세서가 생성한 데이터를 외부전송선에 전송을 행하는 데이터전송장치로서, 데이터전송범위를 표시하는 파라미터를 기억하는 파라미터기억부와, 상기 버스에 접속되고 상기 데이터전송범위와 이 버스위의 어드레스를 비교하고, 버스위의 데이터가 상기 전송범위에 의해서 정의된 전송할 데이터인지의 여부를 감시하고 데이터인출신호를 출력하는 어드레스비교부와, 상기 파라미터기억부의 값으로부터 전송할 데이터의 어드레스를 생성하고 데이터요구신호를 생성하는 어드레스발생기로 이루어진 데이터 관리장치와, 전송할 데이터의 값을 기억하는 데이터기억부와, 각각의 데이터의 유효성을 표시하는 패리티비트기억부로 이루어진 데이터기억장치와, 상기 버스에 접속되고 상기 데이터요구신호와 상기 데이터인출신호에 응답해서 상기 메모리에 액세스하여 버스위의 데이터를 상기 데이터기억장치에 기록하는 버스제어장치를 가지고, 상기 데이터전송의 파라미터가, 상기 프로세서에 대

한 전송데이터의 생성이전에, 설정되고, 이 프로세서가 전송데이터의 생성중에는 상기 데이터관리장치가 버스위의 어드레스의 감시를 행하고, 이 어드레스는, 상기 어드레스비교부에서, 파라미터기억부의 파라미터와 비교하고, 상기 어드레스비교부는 버스위의 데이터가 데이터전송의 범위내에 있는 경우에는 상기 버스제어장치에 신호를 전송하고, 상기 버스제어장치는 상기 데이터관리장치로부터 신호를 수신하여 상기 버스위의 데이터를 패리티비트와 함께 상기 데이터기억장치에 기록하고, 데이터전송실행시에는 상기 어드레스발생기가 전송데이터의 어드레스를 순차적으로 발생하고, 데이터기억장치는 이 어드레스에 대응하는 패리티비트를 검지하여 상기 데이터기억부내의 데이터가 유효하면 이 데이터의 송출을 행하고, 상기 데이터기억부내의 데이터가 무효이면 상기 어드레스발생기가 생성한 어드레스에 의해 상기 버스제어장치가 상기 메모리를 액세스하고, 얻은 데이터를 송출하는 것을 특징으로 하는 데이터전송장치.

**청구항 4**

제 3 항에 있어서, 상기 데이터기억장치는 메모리내에 있는 전송할 데이터의 어드레스를 기억하는 어드레스기억부를 부가하여 포함하고, 버스제어장치가 데이터관리장치로부터 신호를 수신하여 버스위의 데이터를 패리티비트와 함께 상기 데이터기억장치에 기록할 때에 버스위의 어드레스가 이 어드레스기억부에 기록되고, 데이터전송실행시에는 어드레스발생기가 발생하는 어드레스가 이 어드레스기억부에 대해서 검색되고, 이 어드레스에 대응한 데이터기억부내의 데이터가 송출되는 것을 특징으로 하는 데이터전송장치.

**청구항 5**

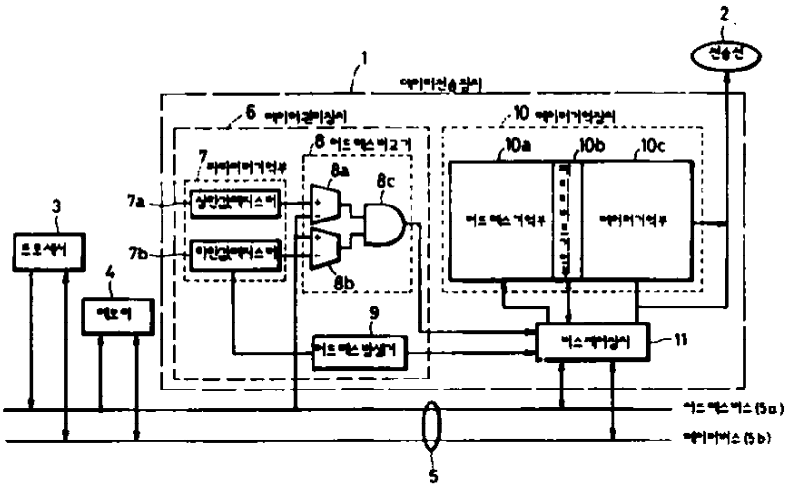
데이터를 기억하는 메모리 및 이 메모리내의 데이터를 처리하는 프로세서가 공통의 버스에 접속되고 상기 프로세서가 생성한 데이터를 외부전송선에 전송을 행하는 데이터전송장치로서, 데이터전송범위를 표시하는 파라미터를 기억하는 파라미터기억부와, 상기 버스에 접속되고 상기 데이터전송범위와 이 버스의 어드레스를 비교하고 버스위의 데이터가 전송할 데이터인지의 여부를 감시하여 데이터인출신호를 출력하고 전송순번을 계산하는 어드레스비교부로 이루어진 데이터관리장치와, 전송할 전송할 데이터의 값을, 전송순번을 어드레스로하여, 기억하는 데이터기억부와, 각각의 데이터의 유효성을 표시한 패리티비트기억부로 이루어진 데이터기억장치와, 상기 버스에 접속되고 상기 메모리에 액세스하고, 버스위의 데이터를 상기 데이터인출신호에 응답하여 인출하고 상기 데이터기억장치에 기록하는 버스 제어장치를 가지고, 상기 데이터전송의 파라미터가, 상기 프로세서에 대한 전송데이터의 생성이전에, 설정되고, 이 프로세서가 전송데이터의 생성중에는 상기 데이터관리장치가 버스위의 어드레스의 감시를 행하고, 이 어드레스는 상기 어드레스비교부에서, 파라미터기억부의 파라미터와 비교하고, 상기 어드레스비교부는 버스위의 데이터가 데이터전송의 범위내에 있는 경우에는 상기 버스제어장치에 신호를 전송하고, 상기 버스제어장치는 상기 데이터관리장치로부터 신호를 수신하고 상기 버스위의 데이터를 패리티비트와 함께 전송순번을 어드레스로 하여 상기 데이터기억장치에 기록하고, 데이터전송실행시에는, 데이터기억장치는 데이터기억부의 데이터를 어드레스에 대응하는 패리티비트를 검출하면서, 순차적으로 송출하는 것을 특징으로 하는 데이터전송장치.

**청구항 6**

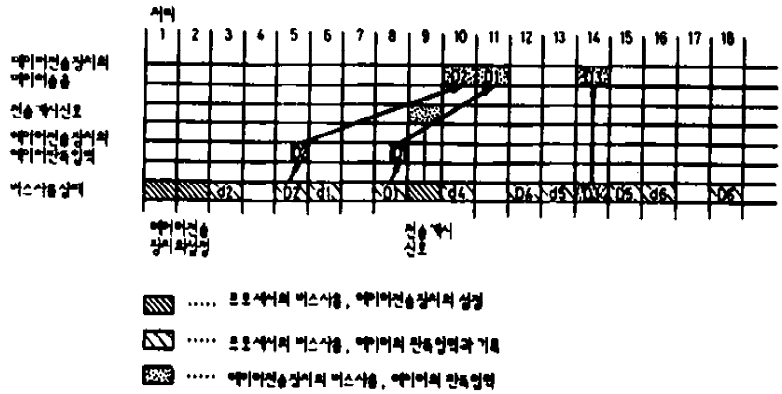
제 5 항에 있어서, 상기 데이터관리장치는 패리티비트기억부의 값으로부터 전송할 데이터의 어드레스를 생성하고 데이터요구신호를 출력하는 어드레스발생기를 가지고, 데이터전송실행시에는, 데이터기억장치는 데이터기억부의 데이터에 대응하는 패리티비트를 순차적으로 검출하면서 상기 데이터기억부내의 데이터가 유효하면 이 데이터의 송출을 행하고, 상기 데이터기억부내의 데이터가 무효이면, 상기 데이터요구신호에 응답하여 상기 어드레스발생기가 생성한 어드레스에 의해 상기 버스제어장치가 상기 메모리를 액세스하고, 얻은 데이터를 송출하는 것을 특징으로 하는 데이터전송장치.

*도면*

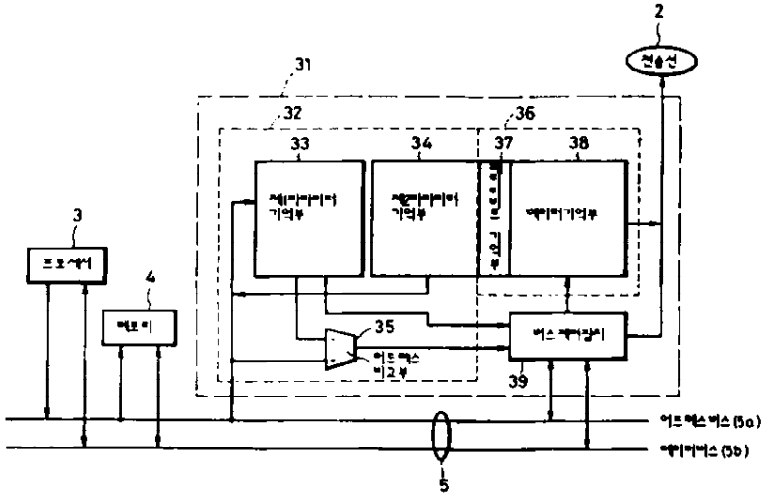
*도면1*



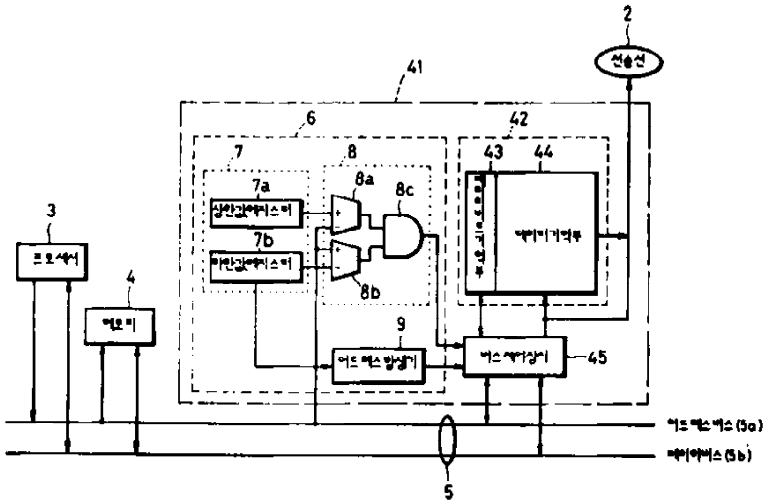
도면2



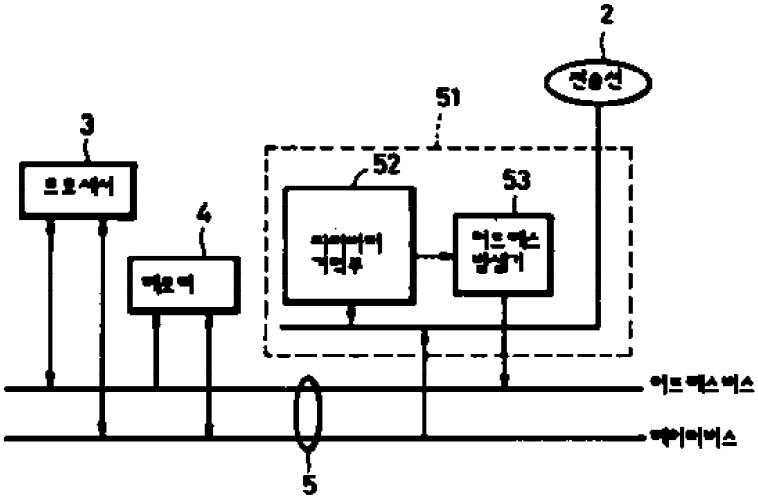
도면3



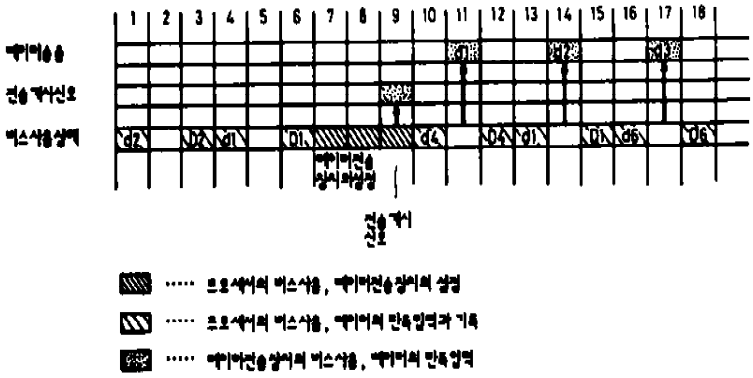
도면4



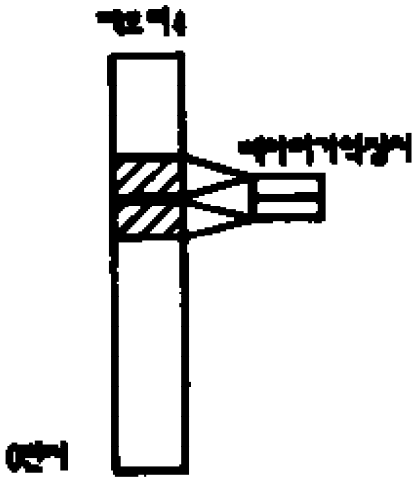
도면5



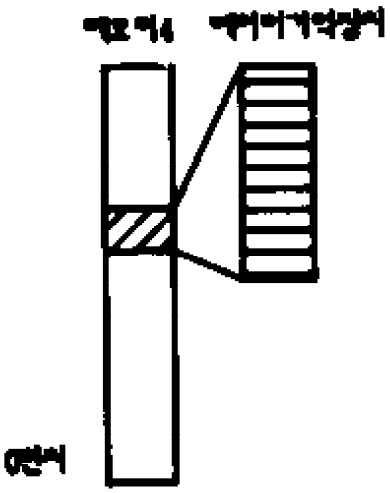

도면6




도면7-a



도면7-b



도면8

