(19)中华人民共和国国家知识产权局

(12)发明专利

(10)授权公告号 CN 106155584 B
(45)授权公告日 2020.07.07

(21)申请号 201610302657.2

(22)申请日 2016.05.09

(65)同一申请的已公布的文献号
申请公布号 CN 106155584 A

(43)申请公布日 2016.11.23

(30)优先权数据
62/158,420 2015.05.07 US
62/209,166 2015.08.24 US
15/064,191 2016.03.08 US

(73)专利权人 三星电子株式会社
地址 韩国京畿道水原市

(72)发明人 张志任 麦克·柏克曼 兰·斯瓦伯力克 克莱格·汉松

(74)专利代理机构 北京铭硕知识产权代理有限公司 11286
代理人 王兆赓 张川绪

(51)Int.Cl.
G06F 3/06(2006.01)
G06F 21/60(2013.01)

(56)对比文件
US 2011157992 A1,2011.06.30,
US 2014310534 A1,2014.10.16,
US 7113927 B1,2006.09.26,
CN 103777904 A,2014.05.07,
CN 1914852 A,2007.02.14,

审查员 穆小川

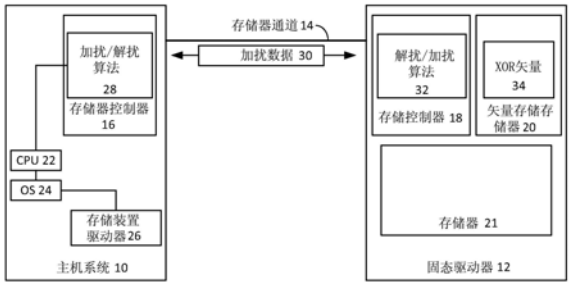
权利要求书3页 说明书6页 附图3页

(54)发明名称

对数据进行加扰和解扰的方法和系统

(57)摘要

提供对数据进行加扰和解扰的方法和系统。用于对存储器通道解扰和加扰的示例实施例包括:针对存储装置执行训练模式,以发现由主机系统所使用的对数据加扰的多个XOR矢量。训练模式针对存储装置的所有存储器位置,将所有零训练数据输入到解扰和加扰算法,以生成通过存储器通道发送到存储装置的加扰训练数据。加扰训练数据等于与存储器位置相应的XOR矢量。由存储装置通过存储器通道接收加扰训练数据,并且将加扰训练数据存储为针对每个相应的存储器位置的XOR矢量。在功能模式期间,针对特定存储器位置通过存储器通道接收加扰数据,并且在写入到特定存储器位置之前,使用针对特定存储器位置存储的XOR矢量对加扰数据解扰。



CN 106155584 B

1.一种用于对通过连接到主机系统的存储装置的存储器通道发送的数据进行解扰和加扰的方法,所述方法包括:

通过以下步骤来针对存储装置执行训练模式,以发现由主机系统所使用的对数据进行加扰的多个XOR矢量:针对存储装置的所有存储器位置,将所有零训练数据输入到解扰和加扰算法,以生成通过存储器通道发送到存储装置的加扰训练数据,使得加扰训练数据等于与所述存储器位置相应的XOR矢量;

由存储装置通过存储器通道接收加扰训练数据,并且将加扰训练数据存储为针对每个相应的存储器位置的XOR矢量;

在训练模式之后,并且在存储装置的功能模式期间,由存储装置针对特定存储器位置通过存储器通道接收加扰数据,并且在写入到特定存储器位置之前,使用所述多个XOR矢量中的针对特定存储器位置存储的XOR矢量对加扰数据进行解扰。

2.如权利要求1所述的方法,还包括:

当在功能模式期间从特定存储器位置读取数据时,在通过存储器通道将加扰数据发送到主机系统之前,检索数据并且使用针对特定存储器位置存储的XOR矢量对所述数据进行加扰。

3.如权利要求1所述的方法,其中,主机系统上的存储装置驱动器启动训练模式。

4.如权利要求1所述的方法,其中,在训练模式期间,存储装置上的存储控制器接收加扰训练数据,解扰和加扰算法存储所述多个XOR矢量。

5.如权利要求4所述的方法,其中,存储装置包括存储所述多个XOR矢量的矢量存储存储器。

6.如权利要求1所述的方法,其中,在功能模式期间接收加扰数据的步骤还包括:

通过存储装置上的解扰和加扰算法从存储装置的矢量存储存储器检索针对特定存储器位置的XOR矢量,并且对XOR矢量和加扰数据执行异或运算,以生成随后被存储在特定存储器位置中的解扰数据。

7.如权利要求1所述的方法,其中,在功能模式期间接收的加扰数据包括以下数据中的至少一个:控制/描述符数据、状态数据、用户数据和控制数据。

8.如权利要求7所述的方法,其中,当加扰数据包括控制/描述符数据时,存储装置上的解扰和加扰算法在训练模式期间存储针对每个相应的控制/描述符存储器位置的XOR矢量。

9.如权利要求8所述的方法,其中,解扰和加扰算法在功能模式期间使用所述多个XOR矢量对控制/描述符数据进行解扰。

10.如权利要求7所述的方法,其中,当加扰数据包括状态数据时,存储装置上的解扰和加扰算法在训练模式期间存储针对每个相应的状态存储器位置的XOR矢量。

11.如权利要求10所述的方法,其中,解扰和加扰算法在功能模式期间使用所述多个XOR矢量对状态数据进行加扰。

12.如权利要求7所述的方法,其中,当加扰数据包括用户数据和控制数据时,存储装置上的解扰和加扰算法在训练模式期间存储针对每个相应的用户数据存储器位置的XOR矢量。

13.如权利要求12所述的方法,其中,解扰和加扰算法在功能模式下读取存储装置期间,使用所述多个XOR矢量对用户数据和控制数据进行加扰;并且对于在功能模式期间写入

存储装置，解扰和加扰算法在写入到存储装置之前，对用户数据和控制数据进行解扰。

14.如权利要求7所述的方法，还包括：

将所述多个XOR矢量存储在存储装置上的矢量存储存储器中，其中，矢量存储存储器被划分为包括用于存储相应类型的数据的XOR矢量的以下区域中的一个或多个的不同的区域：控制/描述符数据矢量区域、状态数据矢量区域、用户数据矢量区域和控制数据矢量区域。

15.一种用于对通过连接到主机系统的存储装置的存储器通道发送的数据进行解扰和加扰的系统，包括：

存储装置驱动器，被安装在主机系统上，通过以下操作来针对存储装置执行训练模式，以发现由主机系统所使用的对数据进行加扰的多个XOR矢量：针对存储装置的所有存储器位置，将所有零训练数据输入到解扰和加扰算法，以生成通过存储器通道发送到存储装置的加扰训练数据，使得加扰训练数据等于与所述存储器位置相应的XOR矢量；

存储装置上的存储控制器，被配置为：通过存储器通道接收加扰训练数据，并且将加扰训练数据存储为针对每个相应的存储器位置的XOR矢量；在训练模式之后，并且在存储装置的功能模式期间，针对特定存储器位置通过存储器通道来接收加扰数据，并且在写入到特定存储器位置之前，使用所述多个XOR矢量中的针对特定存储器位置存储的XOR矢量对加扰数据进行解扰。

16.如权利要求15所述的系统，其中，当在功能模式期间从特定存储器位置读取数据时，存储装置在通过存储器通道将加扰数据发送到主机系统之前，检索数据并且使用针对特定存储器位置存储的XOR矢量对所述数据进行加扰。

17.如权利要求15所述的系统，其中，在训练模式期间，存储装置上的存储控制器接收加扰训练数据，解扰和加扰算法存储所述多个XOR矢量。

18.如权利要求17所述的系统，其中，存储装置包括存储所述多个XOR矢量的矢量存储存储器。

19.如权利要求15所述的系统，其中，在功能模式期间接收加扰数据时，存储装置上的解扰和加扰算法从存储装置的矢量存储存储器检索针对特定存储器位置的XOR矢量，并且对XOR矢量和加扰数据执行异或运算，以生成随后被存储在特定存储器位置中的解扰数据。

20.如权利要求15所述的系统，其中，在功能模式期间接收的加扰数据包括以下数据中的至少一个：控制/描述符数据、状态数据、用户数据和控制数据。

21.如权利要求20所述的系统，其中，当加扰数据包括控制/描述符数据时，存储装置上的解扰和加扰算法在训练模式期间存储针对每个相应的控制/描述符存储器位置的XOR矢量。

22.如权利要求21所述的系统，其中，解扰和加扰算法在功能模式期间使用XOR矢量对控制/描述符数据进行解扰。

23.如权利要求20所述的系统，其中，当加扰数据包括状态数据时，存储装置上的解扰和加扰算法在训练模式期间存储针对每个相应的状态存储器位置的XOR矢量。

24.如权利要求23所述的系统，其中，解扰和加扰算法在功能模式期间使用所述多个XOR矢量对状态数据进行加扰。

25.如权利要求20所述的系统，其中，当加扰数据包括用户数据和控制数据时，存储装

置上的解扰和加扰算法在训练模式期间存储针对每个相应的用户数据存储器位置的XOR矢量。

26.如权利要求25所述的系统，其中，解扰和加扰算法在功能模式下读取存储装置期间，使用所述多个XOR矢量对用户数据和控制数据进行加扰；对于在功能模式期间写入存储装置，解扰和加扰算法在写入到存储装置之前，对用户数据和控制数据进行解扰。

27.如权利要求20所述的系统，还包括：矢量存储存储器，被配置为将所述多个XOR矢量存储在存储装置上的矢量存储存储器中，其中，矢量存储存储器被划分为包括用于存储相应类型的数据的XOR矢量的以下区域中的一个或多个的不同的区域：控制/描述符数据矢量区域、状态数据矢量区域、用户数据矢量区域和控制数据矢量区域。

28.一种存储指令的非暂时性计算机可读存储介质，当所述指令由处理器执行时，配置所述处理器执行用于对在连接到主机系统的存储装置的存储器通道上发送的数据进行解扰和加扰的方法，所述方法包括：

通过以下步骤来针对存储装置执行训练模式，以发现由主机系统所使用的对数据进行加扰的多个XOR矢量：针对存储装置的所有存储器位置，将所有零训练数据输入到加扰算法，以生成通过存储器通道发送到存储装置的加扰训练数据，使得加扰训练数据等于与所述存储器位置相应的XOR矢量；

由存储装置通过存储器通道接收加扰训练数据，并且将加扰训练数据存储为针对每个相应的存储器位置的XOR矢量；

在训练模式之后，并且在存储装置的功能模式期间，由存储装置针对特定存储器位置通过存储器通道接收加扰数据，并且在写入到特定存储器位置之前，使用所述多个XOR矢量中的针对特定存储器位置存储的XOR矢量对加扰数据进行解扰。

对数据进行加扰和解扰的方法和系统

[0001] 本申请要求2015年5月7日提交的62/158,420号临时专利申请、2015年8月24日提交的62/209,166号临时专利申请以及2016年3月8日提交的15/064,191号临时专利申请的权益,所述临时专利申请被转让给本申请的受让人,并且通过引用合并于此。

技术领域

[0002] 本申请涉及一种对数据进行加扰和解扰的方法和系统。

背景技术

[0003] 固态驱动器(SSD)与标准动态随机存取存储器(DRAM)的不同之处在于,主机需要能够将控制信息发送到SSD,并且接收由SSD生成的状态信息。主机系统与SSD之间通过DRAM通道的数据通信可通过数据加扰的使用以及可选的纠错码(ECC)保护和其他数据保护方案而被极大地复杂化。由主机存储器控制器执行的大部分加扰方案包括生成伪随机(但是确定性的)模式,以及使用将被发送的数据和所述模式执行异或(XOR)运算。与数据异或的模式值可基于固定种子,或者基于种子和传输的存储器地址的某种组合。

[0004] 针对DDR形状因子存储装置,要求存储装置的存储器控制器能够对通过存储器总线接收的数据进行解扰,以执行命令并且将数据存储在存储器中。相似地,针对从存储器检索的将被准确地发送回到主机系统的数据,存储装置的存储器控制器将需要对数据进行加扰,以使数据能够被主机系统识别。这要求存储装置的存储器控制器能够采用与主机的存储器控制器所采用的加扰和/或ECC相同的加扰和/或ECC。这表示加扰算法必须是可逆的,并且不能实时地依赖DDR通道上的数据。

[0005] 由主机系统所使用的加扰算法的整个逆向工程是困难的。即使加扰算法已知,加扰算法也可因供应商/平台而彼此不同。

[0006] 需要改进的用于SSD通信协议的基于XOR的加扰器/解扰器,并且优选地,不需要由主机的存储器控制器提供加扰算法的知识或者整个逆向工程。

发明内容

[0007] 示例实施例提供用于对存储器通道进行解扰和加扰的方法和系统。示例性实施例的多个方面包括:针对存储装置执行训练模式,以发现由主机系统所使用的用于对数据进行加扰的XOR矢量。这可通过以下步骤来实现:针对存储装置的所有存储器位置,将所有零训练数据输入到加扰算法,以生成通过存储器通道发送到存储装置的加扰训练数据,使得加扰训练数据等于与所述存储器位置相应的XOR矢量。加扰训练数据随后由存储装置通过存储器通道被接收,并且加扰训练数据被存储作为针对每个相应的存储器位置的XOR矢量。在存储装置的功能模式期间,针对特定存储器位置通过存储器通道接收加扰数据,并且在被写入到特定存储器位置之前,针对特定存储器位置存储的XOR矢量被用于解扰加扰数据。

[0008] 一种用于对通过连接到主机系统的存储装置的存储器通道发送的数据进行解扰和加扰的系统,包括:存储装置驱动器,被安装在主机系统上,通过以下操作来针对存储装

置执行训练模式，以发现由主机系统所使用的对数据进行加扰的XOR矢量：针对存储装置的所有存储器位置，将所有零训练数据输入到解扰和加扰算法，以生成通过存储器通道发送到存储装置的加扰训练数据，使得加扰训练数据等于与所述存储器位置相应的XOR矢量；存储装置上的存储控制器，被配置为：通过存储器通道接收加扰训练数据，并且将加扰训练数据存储为针对每个相应的存储器位置的XOR矢量；在训练模式之后，并且在存储装置的功能模式期间，针对特定存储器位置通过存储器通道来接收加扰数据，并且在写入到特定存储器位置之前，使用针对特定存储器位置存储的XOR矢量对加扰数据进行解扰。

[0009] 根据在此公开的方法和系统，示例实施例提供一种用于在没有由主机的存储器控制器提供的加扰算法的知识或整个逆向工程的情况下对通道数据进行加扰/解扰的处理，并且该处理独立于由主机的存储器控制器提供的任何纠错码(ECC)算法。

附图说明

[0010] 本总体发明构思的这些和/或其他特征和效用通过以下结合附图的实施例的描述将变得清楚和更加容易理解，其中：

[0011] 图1是示出用于对主机系统与SSD之间的存储器通道进行加扰/解扰的系统的示例性实施例的框图；

[0012] 图2是示出主机系统上的传统的加扰算法的操作的示图；

[0013] 图3是示出用于对SSD的存储器通道进行解扰/加扰的处理的流程图；

[0014] 图4A和图4B是示出由SSD中的解扰算法执行的处理的示图。

具体实施方式

[0015] 现在，将详细参考本总体发明构思的实施例，实施例的示例在附图中被示出，其中，相同的参考标号始终表示相同的元件。以下通过参照附图来描述实施例以解释本总体发明构思。

[0016] 通过参照以下的实施例和附图的详细描述，本发明的优点和特征以及实现本发明的方法可被更加容易理解。然而，本总体发明构思可以以许多不同的形式来实现，并且不应被解释为受限于在此阐述的实施例。相反，提供这些实施例使得本公开将是彻底和完整的，并且将总体发明构思的构思完整地传达给本领域的技术人员，并且本总体发明构思将仅由权利要求定义。在附图中，为了清楚，层和区域的厚度被夸大。

[0017] 除非在此另有指示或者与上下文清楚地矛盾，否则在描述本发明的上下文中(尤其在权利要求的上下文中)的单数术语的使用将被解释为涵盖单数和复数。除非另有指示，否则术语“包括”、“具有”和“包含”将被解释为开放式术语(即，表示“包含，但不限于”)。

[0018] 在此使用的术语“算法”或“模块”表示(但不限于)执行特定任务的软件或硬件组件，诸如，现场可编程门阵列(FPGA)或专用集成电路(ASIC)。算法或模块可方便地被配置为驻留在可寻址的存储器介质中，并且被配置为执行一个或多个处理器。因此，作为示例，算法和模块可包括：组件(诸如，软件组件、面向对象的软件组件、类组件和任务组件)、进程、功能、属性、程序、子程序、程序代码段、驱动器、固件、微代码、电路、数据、数据库、数据结构、表、阵列以及变量。针对组件以及组件或模块提供的功能可被组合在更少的组件或模块中，或者进一步地被分离到额外的组件以及组件或模块中。

[0019] 除非另有定义，否则这里使用的所有技术和科学术语具有与本发明所属领域的普通技术人员通常理解的含义相同的含义。应注意，除非另外说明，否则这里提供的任何和全部示例或示例性术语的使用仅意在更好地阐明本发明，并且不意在限制本发明的范围。此外，除非另有定义，否则在常用词典中定义的所有术语将不被过度地解释。

[0020] 本发明提供一种在没有由主机系统采用的加扰和ECC方法的知识或逆向工程的情况下，用于存储装置通信协议的基于异或的加扰器/解扰器。在此描述的方法可应用于发生加扰/纠错的不同类型的存储装置或存储器通道，但是将针对存储装置包括固态驱动器(SSD)(诸如，单倍、双倍或四倍速率形状因子SSD)的实施例来进行解释。

[0021] 在SSD训练模式期间，被主机系统用于对针对SSD中的每个存储器位置的数据进行加扰的加扰掩码值(在此也被称为异或(XOR)矢量)通过训练序列的使用而被发现，并且被存储在SSD中。然后，加扰掩码值或XOR矢量被用于对在SSD的功能模式期间通过存储器通道接收和发送的数据分别进行解扰和加扰。

[0022] 图1是示出用于在没有由主机系统采用的加扰算法的先验知识或逆向工程的情况下，对主机系统与DDR形状因子SSD之间的DDR通道进行加扰/解扰的系统的示例实施例的框图。

[0023] 所述系统包括通过存储器通道14连接到SSD 12的主机系统10。众所周知，SSD没有用于存储数据的移动部分，并且不需要用于保持该数据的恒流电源。与本公开相关的主机系统10的组件包括处理器22、操作系统(OS)24以及连接到存储器通道14的存储器控制器16。存储器控制器16是管理流入主机存储器(在这里示出为SSD 12)和从主机存储器流出的数据流的数字电路。存储器控制器16可以是单独的芯片或被集成到另一芯片，诸如，处理器22。存储器控制器16可额外地提供由加扰/解扰算法28执行的存储器加扰功能，从而将传送到存储器的用户数据转换为伪随机模式。

[0024] 在SSD 12被实现为双倍数据速率(DDR)形状因子SSD的实施例中，存储器通道14包括DDR存储器通道。DDR形状因子SSD可通过在存储器总线时钟信号的上升沿和下降沿二者传输数据，来双倍利用DDR存储器通道。

[0025] SSD 12的关键组件是存储控制器18和用于存储来自主机系统10的数据的存储器21。存储控制器18管理存储在存储器21中的数据，并通过通信协议经过存储器通道14与主机系统通信。存储器21可包括任何类型的非易失性随机存取存储器(NVRAM)，包括闪存存储器、铁电RAM(F-RAM)、磁阻RAM(MRAM)、相变存储器(PCM)、超高密度(millipede)存储器等。

[0026] 图2是示出在主机系统上的传统的加扰/解扰算法28的操作的示图。在操作期间，主机存储器控制器16接收将被存储在SSD 12中的数据206以及固定种子和存储器地址200。然后，加扰/解扰算法28针对每个DDR通道周期生成随机种子(即，位模式)，这里被称为XOR矢量202。在一个实施例中，可使用线性反馈移位寄存器(LFSR)204，或者使用固定种子或固定种子和传输的存储器地址200的组合的其他机制，来生成XOR矢量202。加扰/解扰算法28在给定的周期内，对异或(XOR)矢量202和进入存储器通道14的数据206执行XOR运算208，以产生加扰数据30。LFSR 204可以使用反馈多项式210来生成XOR矢量202。然后，加扰数据30通过存储器通道14被发送到SSD 12，被解扰并且被保存到存储器21。

[0027] 为了将来自SSD 12的用户数据和状态信息正确地发送回到主机，在SSD 12中必须采用与主机存储器控制器16使用的变换相同的变换。这就需要SSD制造商对在各种主机系

统中使用的加扰算法进行逆向工程，以使SSD与这些主机系统10兼容。此外，即使主机加扰算法为SSD制造商已知，加扰算法也会随主机供应商/平台而变化，因此需要在SSD 12中实现不同的加扰/解扰方案。

[0028] 在此描述的示例实施例提供一种用于在没有由主机存储器控制器所采用的加扰的知识或逆向工程的情况下对SSD的存储器通道进行解扰/加扰的方法和系统。示例实施例利用主机系统10上安装并且运行的存储装置驱动器26以及由SSD存储控制器18执行的解扰/加扰算法32，解扰/加扰算法32对从主机系统10接收的加扰数据30进行解扰并且对从存储器21获得的将被发送到主机系统10的数据进行加扰。众所周知，装置驱动器是将软件接口提供给附加的硬件装置(在该情况中是SSD 12)的计算机程序，它使得OS 24和其他计算机程序能够访问所述装置的硬件功能。

[0029] 因为与数据206异或的XOR矢量202可基于固定种子和/或固定种子与传输的存储器地址200的组合，所以针对任何给定的SSD 12上的物理存储器位置，存储装置驱动器26被配置为基于所有存储器位置的零数据的训练序列，确定针对每个存储器位置的由主机的加扰/解扰算法28所使用的XOR矢量202。然后，XOR矢量202通过存储器通道14被发送到存储控制器18，并且被保存为XOR矢量34。

[0030] 根据示例实施例的一个方面，SSD 12还提供有用于存储从主机系统10发现的XOR矢量34的矢量存储存储器20。然后，在检索期间，使用存储在矢量存储存储器20中的针对给定的存储器地址的XOR矢量34，对存储在存储器21中的所述存储器地址中的任何数据进行解扰。

[0031] 在一个实施例中，矢量存储存储器20可被实现为SRAM存储器或一组寄存器。在一个实施例中，矢量存储存储器20可位于存储控制器18的内部，与存储控制器18和存储器21二者分开，或者可以是存储器21的部分。

[0032] 图3是示出用于对通过SSD的存储器通道发送的数据进行解扰/加扰的处理的流程图。该处理可开始于：通过以下处理来执行针对SSD 12的训练模式以发现由主机系统所使用的对数据进行加扰的XOR矢量202：针对SSD 12的所有存储器位置，将所有零训练数据输入到加扰/解扰算法28，以生成通过存储器通道14被发送到存储装置21的加扰训练数据30，使得加扰训练数据30等于与所述存储器位置相应的XOR矢量(框300)。在一个实施例中，可通过主机系统10上的存储装置驱动器26来启动并且执行训练模式。

[0033] SSD 12通过存储器通道接收加扰训练数据，并且将加扰训练数据存储为针对每个相应的存储器位置的XOR矢量34(框302)。

[0034] 在一个实施例中，SSD存储控制器18可接收加扰训练数据，解扰/加扰算法32可存储XOR矢量。根据一个实施例，SSD 12的矢量存储存储器20被用于存储在训练模式期间发现的XOR矢量34。一旦针对SSD 12中的每个存储器位置的XOR矢量34被发现并且被存储，存储装置驱动器26就可向SSD 12通知训练模式被完成。

[0035] 在训练模式之后，并且在存储装置的功能模式期间，存储装置针对特定存储器位置通过存储器通道接收加扰数据，并且在写入到特定存储器位置之前，使用针对特定存储器位置存储的XOR矢量对数据进行解扰(块304)。

[0036] 在一个实施例中，SSD存储控制器18可接收加扰数据，解扰/加扰算法32可使用XOR矢量34对数据进行解扰。

[0037] 当在功能模式期间从特定存储器位置读取数据时，在通过存储器通道将加扰数据发送到主机系统之前，存储装置检索数据并且使用针对特定存储器位置存储的XOR矢量对数据进行加扰(框306)。

[0038] 图4A和图4B是分别示出在从主机系统接收加扰数据以及对从存储器发送到主机系统的数据进行加扰时由SSD 12中的解扰/加扰算法32执行的处理的示图。在图4A和图4B二者中，解扰/加扰算法32对接收的数据和存储器总线地址进行操作。在图4A中，接收的数据400表示来自主机系统10的加扰数据，解扰/加扰算法32使用存储器总线地址402从矢量存储存储器20检索针对特定存储器位置的XOR矢量404。解扰/加扰算法32对XOR矢量404和接收的数据400执行异或运算410，以生成之后被存储在特定存储器位置中的解扰数据412。

[0039] 在图4B中，检索的数据400’表示从存储器21读取的数据，解扰/加扰算法32使用存储器总线地址402’从矢量存储存储器20检索针对特定存储器位置的XOR矢量404。在通过存储器通道14将加扰数据414发送到主机系统10之前，解扰/加扰算法32对XOR矢量404’和检索的数据400’执行异或运算410，以生成加扰数据414。

[0040] 根据示例实施例，在此公开的用于对SSD 12的存储器通道14进行解扰和加扰的处理在没有由主机存储器控制器16所提供的加扰算法的知识或整个逆向工程的情况下对通道数据进行加扰/解扰。此外，该处理独立于由主机存储器控制器16提供的任何ECC算法。

[0041] 在以上描述的关于图3的处理中，在功能模式的上下文中所使用的术语“数据”意在包括在主机系统10与SSD 12之间发送的各种类型的数据，包括控制/描述符数据、状态数据、用户数据和控制数据。

[0042] 在控制/描述符数据的情况下，如上所述，解扰/加扰算法32可在训练模式期间存储针对每个相应的控制/描述符存储器位置的XOR矢量，并且在功能模式期间使用XOR矢量对控制/描述符数据进行解扰。

[0043] 在状态数据的情况下，如上所述，解扰/加扰算法32可在训练模式期间存储针对每个相应的状态存储器位置的XOR矢量，并且在功能模式期间使用XOR矢量对状态数据进行加扰。如果纠错码(ECC)在主机系统10上被启用，则解扰/加扰算法32可将恰当的ECC码字添加到加扰数据。

[0044] 在用户数据和控制数据的情况下，如上所述，解扰/加扰算法32可在训练模式期间存储针对每个相应的用户数据存储器位置的XOR矢量，并且在功能模式下读取存储器21期间使用XOR矢量对用户数据和控制数据进行加扰。如上所述，为了在功能模式期间写入存储器21，解扰/加扰算法32在写入到存储器21之前，对用户数据和控制数据进行解扰。应注意，读取用户数据和写入用户数据可共享相同的存储器位置或者使用不同的存储器位置。针对读取和写入用户数据共享相同的存储器位置的情况，存储XOR矢量所需的存储空间可被减小。

[0045] 因此，矢量存储存储器20可被划分为不同的区域(未示出)，以存储不同类型的数据的XOR矢量。在一个实施例中，矢量存储存储器20可包括以下区域中的一个或多个：控制/描述符数据矢量区域、状态数据矢量区域、用户数据矢量区域和控制数据矢量区域。

[0046] 在一个实施例中，如果主机系统10具有启用的纠错码(ECC)，则存储装置驱动器26可被配置为生成所有零ECC码字作为在训练模式期间被输入到加扰/解扰算法28的训练数据。

[0047] 最常用的纠一检二(SECDED)ECC实施方式针对所有零数据导致所有零码字,但有时不是这样。针对主机系统10的ECC实施方式不能针对所有零数据导致所有零码字的情况,步骤300可将训练阶段划分为两个步骤。

[0048] 在第一步骤中,存储装置驱动器26可禁用主机存储器控制器16上的加扰,然后将所有零训练数据输入到加扰/解扰算法28,以确定它们是零还是非零。接下来,每个数据周期中的ECC码字比特位置以及针对所有存储器位置的ECC码字比特值被存储控制器18和系统固件记录。

[0049] 在第二步骤中,存储装置驱动器26启用主机存储器控制器16上的加扰,将使用来自第一步骤的ECC码字的所有零发送到加扰/解扰算法28作为训练数据,并且解扰/加扰算法32将针对所有存储器位置的XOR矢量记录在矢量存储存储器20中。针对非零ECC码字,该处理应表示:针对非加扰ECC码字被生成为1的每个比特位置,在训练期间获得的相应的XOR矢量比特必须被反转。

[0050] 本发明可被普遍地应用于非DRAM存储装置被附连到任何加扰通道并且需要与主机进行信息交换的任何应用。

[0051] 在一个实施例中,解扰/加扰算法32被实现为软件组件。在另一个实施例中,解扰/加扰算法32可被实现为硬件和软件的组合。虽然解扰/加扰算法32、存储控制器18和矢量存储存储器20被示出为单个组件,但是每个的功能可被组合为更少或更多数量的模块/组件。例如,在一个实施例中,解扰/加扰算法32可被实现为用于解扰算法的第一软件组件和用于加扰算法的第二软件组件。在另一实施例中,解扰/加扰算法32、存储控制器18和矢量存储存储器20可被实现为一个集成的组件。

[0052] 示例实施例的加扰/解扰系统可被应用于从客户到企业的宽范围的存储市场,这可应用于针对单个独立的机器(诸如,台式电脑、笔记本电脑、工作站、服务器等)的磁盘、存储器阵列、软件定义的存储器(SDS)、专用存储器、虚拟机器(VM)、虚拟桌面架构(VDI)、内容分发网络(CDN)等。

[0053] 在一个实施例中,例如,SSD 12的存储器21可由多个非易失性存储器芯片(即,多个闪存存储器)来形成。如另一示例,存储器21可由不同类型的非易失性存储器芯片(例如,PRAM、FRAM、MRAM等)代替闪存存储器芯片来形成。可选地,存储器21可由易失性存储器(即,DRAM或SRAM)来形成,并且可具有混合两种或多种类型的存储器的混合类型。

[0054] 已经公开了用于对通过存储装置的存储器通道发送的数据进行解扰和加扰的方法和系统。已经根据示出的实施例描述了本发明,可对实施例进行改变,任何改变将在本发明的精神和范围内。例如,可使用硬件、软件、包含程序指令的计算机可读介质或它们的组合来实现示例性实施例。根据本发明编写的软件将被存储在一些形式的计算机可读介质(诸如,存储器、硬盘)或CD/DVD-ROM中,并且将被处理器执行。因此,在不脱离权利要求的精神和范围的情况下,本领域的普通技术人员可进行许多修改。

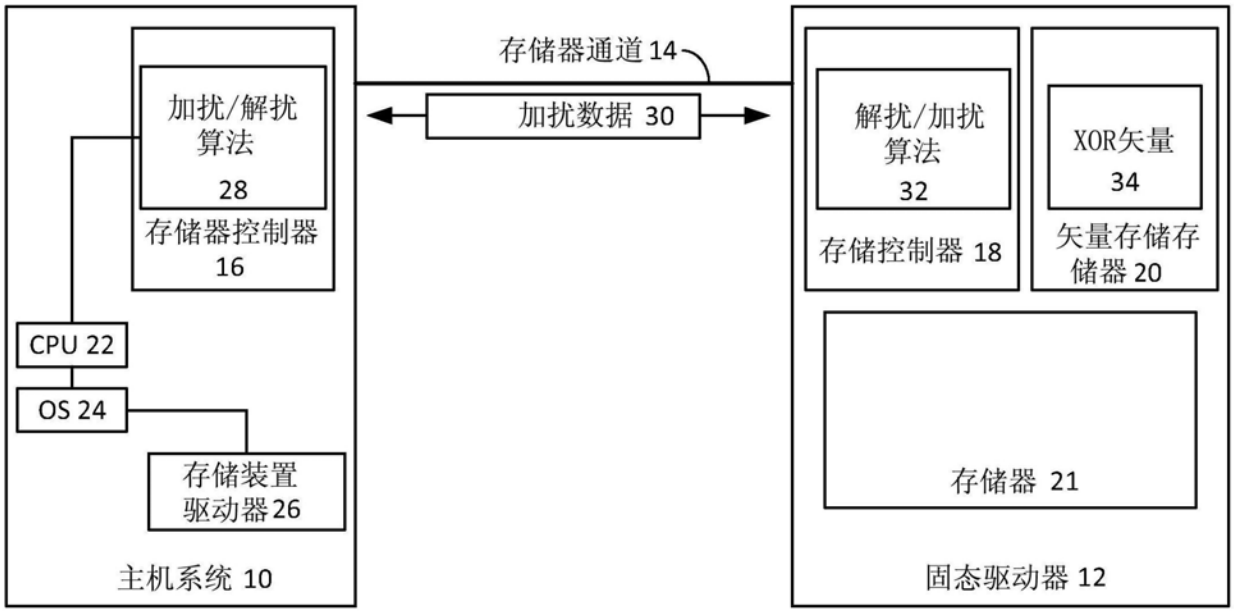

存储器通道 14
加扰数据 30
加扰/解扰
算法
28
存储器控制器
16
CPU 22
OS 24
存储装置
驱动器 26
主机系统 10
解扰/加扰
算法
32
存储控制器 18
XOR矢量
34
矢量存储存
储器 20
存储器 21
固态驱动器 12

图1

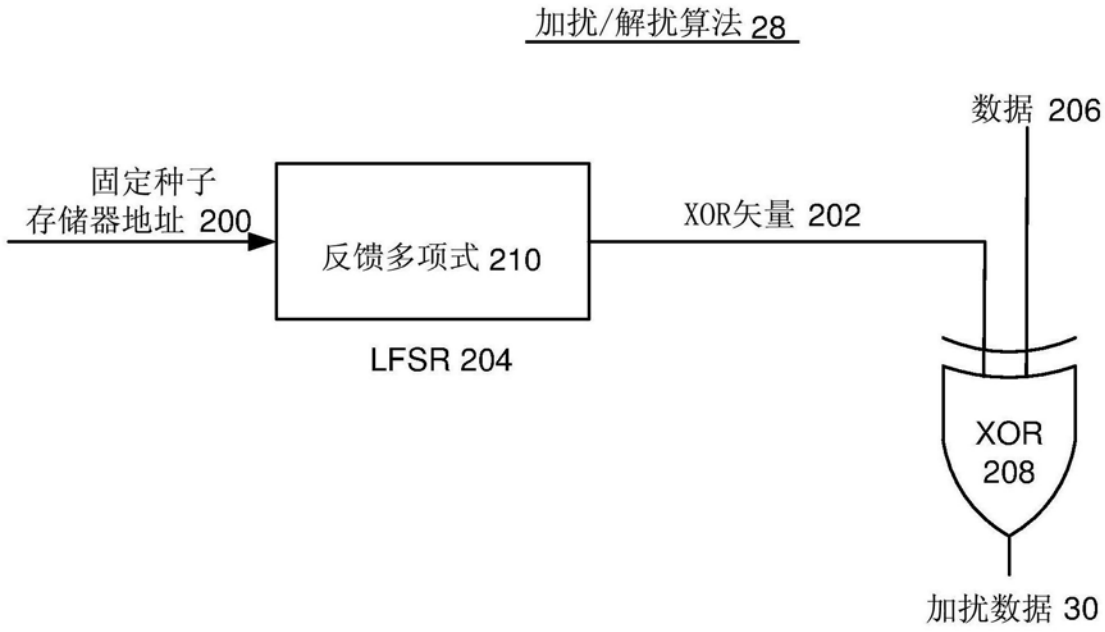

加扰/解扰算法 28
数据 206
固定种子
存储器地址 200
反馈多项式 210
XOR矢量 202
LFSR 204
XOR
208
加扰数据 30

图2

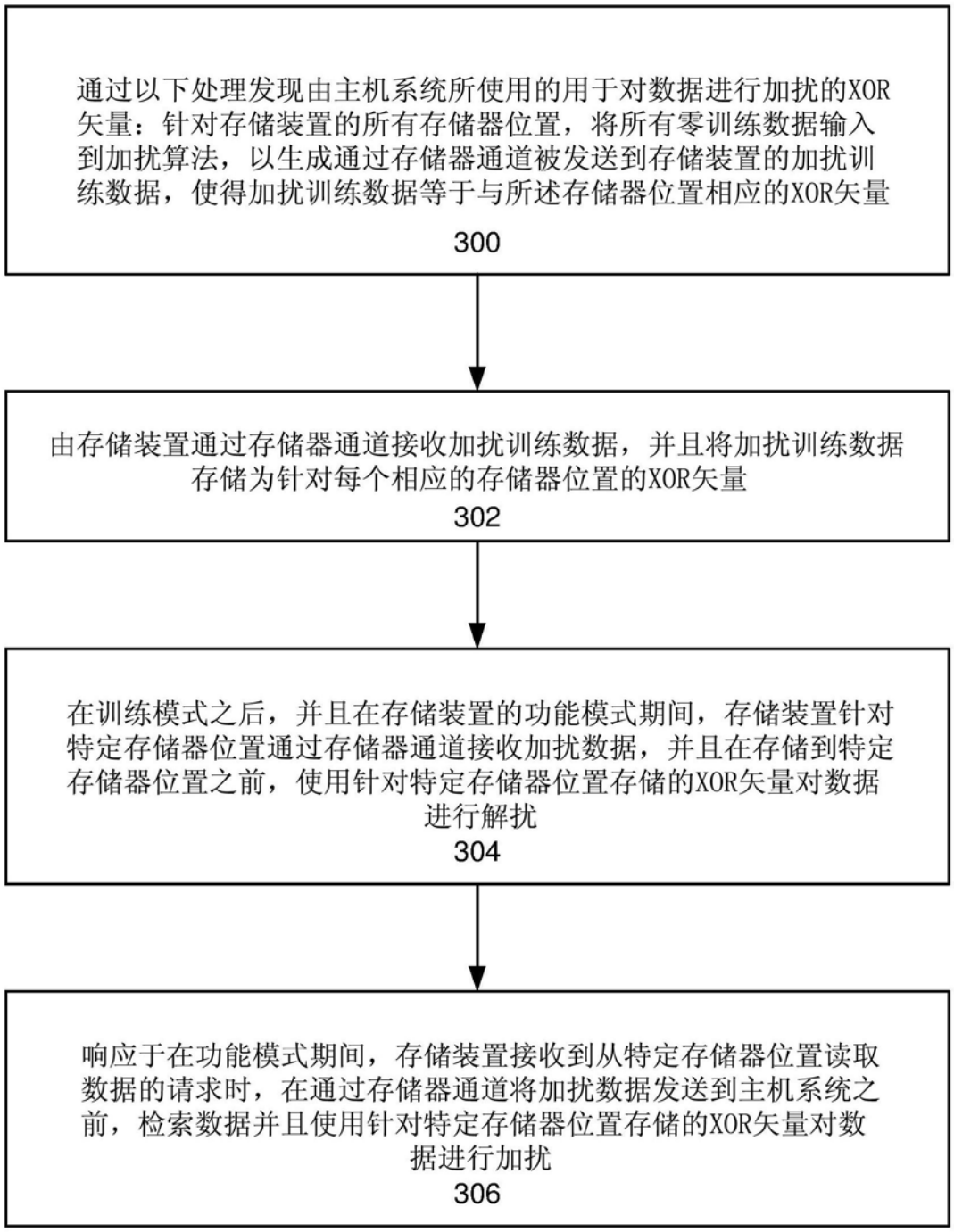

通过以下处理发现由主机系统所使用的用于对数据进行加扰的XOR矢量：针对存储装置的所有存储器位置，将所有零训练数据输入到加扰算法，以生成通过存储器通道被发送到存储装置的加扰训练数据，使得加扰训练数据等于与所述存储器位置相应的XOR矢量
300
由存储装置通过存储器通道接收加扰训练数据，并且将加扰训练数据存储为针对每个相应的存储器位置的XOR矢量
302
在训练模式之后，并且在存储装置的功能模式期间，存储装置针对特定存储器位置通过存储器通道接收加扰数据，并且在存储到特定存储器位置之前，使用针对特定存储器位置存储的XOR矢量对数据进行解扰
304
响应于在功能模式期间，存储装置接收到从特定存储器位置读取数据的请求时，在通过存储器通道将加扰数据发送到主机系统之前，检索数据并且使用针对特定存储器位置存储的XOR矢量对数据进行加扰
306

图3

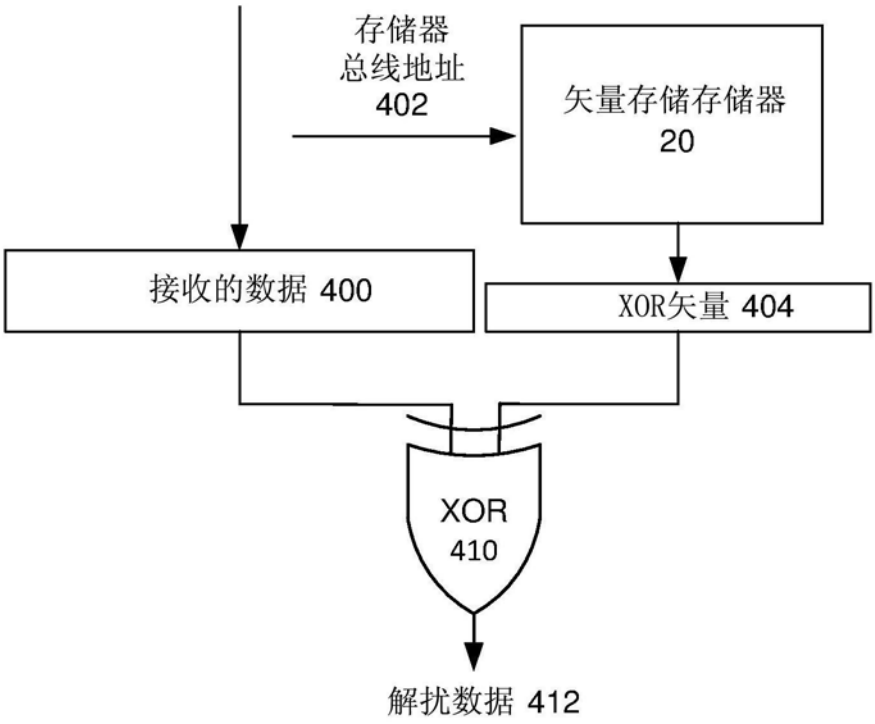

存储器
总线地址
402
矢量存储存储器
20
接收的数据 400
XOR矢量 404
XOR
410
解扰数据 412

图4A

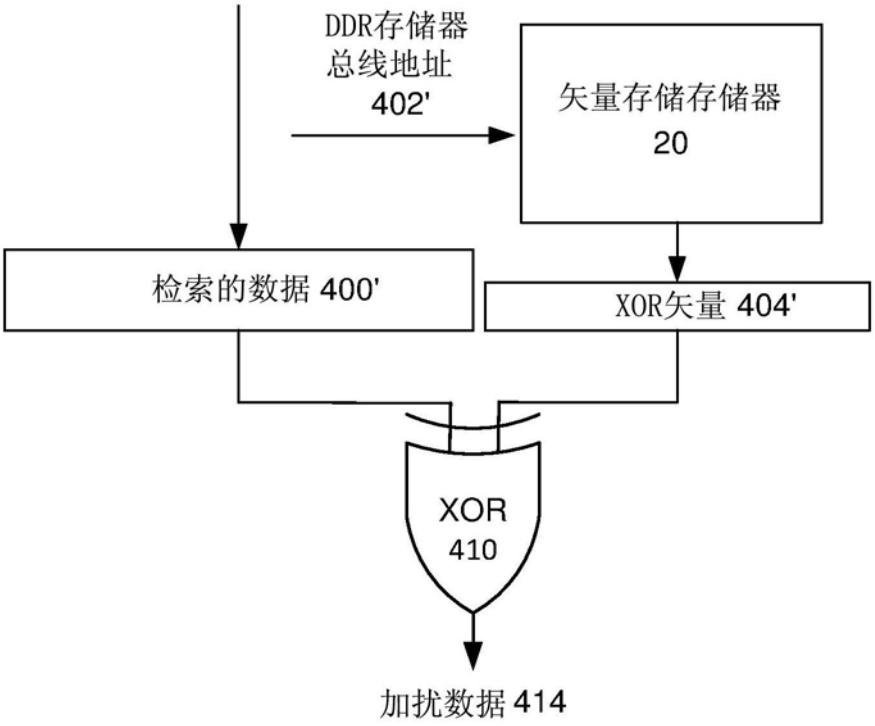

DDR存储器
总线地址
402'
矢量存储存储器
20
检索的数据 400'
XOR矢量 404'
XOR
410
加扰数据 414

图4B