(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号
特許第3542675号
(P3542675)
(45)発行日　平成16年7月14日(2004.7.14)　(24)登録日　平成16年4月9日(2004.4.9)

(51)Int.Cl.[7]　F I
G11C 11/407　G11C 11/34　354F

請求項の数 10　(全 33 頁)

(21)出願番号　特願平7-308991
(22)出願日　平成7年11月28日(1995.11.28)
(65)公開番号　特開平9-97495
(43)公開日　平成9年4月8日(1997.4.8)
審査請求日　平成14年1月17日(2002.1.17)
(31)優先権主張番号　特願平7-187160
(32)優先日　平成7年7月24日(1995.7.24)
(33)優先権主張国　日本国(JP)

(73)特許権者　503121103
株式会社ルネサステクノロジ
東京都千代田区丸の内二丁目４番１号
(74)代理人　100064746
弁理士　深見　久郎
(74)代理人　100085132
弁理士　森田　俊雄
(74)代理人　100083703
弁理士　仲村　義平
(74)代理人　100096781
弁理士　堀井　豊
(74)代理人　100098316
弁理士　野田　久登
(74)代理人　100109162
弁理士　酒井　將行

最終頁に続く

(54)【発明の名称】半導体記憶装置

(57)【特許請求の範囲】

【請求項１】

外部電源電位に基づいて前記外部電源電位よりも高い所定の昇圧電源電位を発生する昇圧電源電位発生手段、

前記昇圧電源電位発生手段から前記昇圧電源電位が供給されるグローバル電源線、

複数のワード線、

前記ワード線と交差する複数のビット線、

前記ワード線および前記ビット線の交点に対応して設けられ、各々が対応するワード線およびビット線に接続される複数のメモリセル、

ローカル電源線、

前記ワード線に対応して設けられかつ前記ローカル電源線と共通に接続され、各々が前記ローカル電源線の前記昇圧電源電位を対応するワード線に供給することによりその対応するワード線を駆動する複数のワード線駆動手段、

外部から供給される行アドレス信号に応答して前記ワード線駆動手段を選択的に活性化する活性化手段、

前記外部電源電位の投入に応答して予め定められた期間パワーオンリセット信号を発生するパワーオンリセット信号発生手段、および

前記グローバル電源線と前記ローカル電源線の間に接続され、アドレス信号に基づき生成される所定の選択信号とパワーオンリセット信号に基づき生成される初期化信号を受け、前記選択信号と前記初期化信号のうち少なくとも一方の活性化に応答して導通する接続手

段を備える、半導体記憶装置。
【請求項２】
外部電源電位に基づいて前記外部電源電位よりも高い所定の昇圧電源電位を発生する昇圧電源電位発生手段、
前記昇圧電源電位発生手段から前記昇圧電源電位が供給されるグローバル電源線、
各々が、
（ａ）　複数のワード線、
（ｂ）　前記ワード線と交差する複数のビット線、
（ｃ）　前記ワード線および前記ビット線の交点に対応して設けられ、各々が対応するワード線およびビット線に接続される複数のメモリセル、
（ｄ）　ローカル電源線、
（ｅ）　前記グローバル電源線と前記ローカル電源線の間に接続され、アドレス信号に基づき生成される所定の選択信号とパワーオンリセット信号に基づき生成される初期化信号を受け、前記選択信号と前記初期化信号のうち少なくとも一方の活性化に応答して導通する接続手段、および
（ｆ）　前記ワード線に対応して設けられかつ前記ローカル電源線と共通に接続され、各々が前記ローカル電源線の前記昇圧電源電位を対応するワード線に供給することによりその対応するワード線を駆動する複数のワード線駆動手段を含む複数のブロック、
外部から供給される行アドレス信号に応答して前記ワード線駆動手段を選択的に活性化する活性化手段、および
前記外部電源電位の投入に応答して予め定められた期間前記パワーオンリセット信号を発生するパワーオンリセット信号発生手段を備える、半導体記憶装置。
【請求項３】
前記パワーオンリセット信号の不活性化後も所定期間前記初期化信号を発生し、前記初期化信号を前記接続手段に供給する初期化信号供給手段をさらに備えたことを特徴とする請求項１または請求項２に記載の半導体記憶装置。
【請求項４】
前記初期化信号供給手段は、
前記パワーオンリセット信号の不活性化後に外部から供給される所定の制御信号をカウントし、そのカウントされた制御信号の数が予め定められた数に達したときキャリー信号を発生するカウンタ手段、および
前記パワーオンリセット信号に応答して前記初期化信号を活性化し、前記キャリー信号に応答して前記初期化信号を不活性化する初期化信号発生手段を含むことを特徴とする請求項３に記載の半導体記憶装置。
【請求項５】
前記初期化信号供給手段は、
前記グローバル電源線の電位を検出し、その検出された電位が前記昇圧電源電位に達していないとき前記昇圧電源電位発生手段を活性化するための昇圧イネーブル信号を発生する検出手段、および
前記パワーオンリセット信号の活性化に応答して前記初期化信号を活性化し、前記昇圧イネーブル信号の不活性化に応答して前記初期化信号を不活性化する初期化信号発生手段をさらに含むことを特徴とする請求項３に記載の半導体記憶装置。
【請求項６】
前記初期化信号発生手段は、
前記パワーオンリセット信号に応答してセットされ、前記昇圧イネーブル信号に応答してリセットされ、かつ前記初期化信号を出力するフリップフロップ回路を含むことを特徴とする請求項５に記載の半導体記憶装置。
【請求項７】
前記接続手段は、
前記選択信号および前記初期化信号に応答して出力信号を供給する論理ゲート、および

前記ローカル電源線と前記グローバル電源線との間に接続され、前記論理ゲートの前記出力信号に応答してオン／オフするトランジスタを含むことを特徴とする請求項１または請求項２に記載の半導体記憶装置。
【請求項８】
前記ブロックの各々がさらに、
前記行アドレス信号に応答して前記選択信号を発生するブロック選択デコーダを含むことを特徴とする請求項２に記載の半導体記憶装置。
【請求項９】
前記外部電源電位に基づいて前記外部電源電位よりも低い所定の内部電源電位を発生する内部電源電位発生手段をさらに備え、
前記パワーオンリセット信号発生手段は前記内部電源電位を受ける、請求項１に記載の半導体記憶装置。
【請求項１０】
外部電源電位に基づいて前記外部電源電位よりも高い所定の昇圧電源電位を発生する昇圧電源電位発生手段、
前記昇圧電源電位発生手段から前記昇圧電源電位が供給されるグローバル電源線、
ローカル電源線、
所定の選択信号に応答して前記ローカル電源線を前記グローバル電源線に接続する接続手段、
前記ローカル電源線と接続され、前記ローカル電源線の前記昇圧電源電位を受けて第１の動作をする第１の機能回路、および
前記ローカル電源線と接続され、前記ローカル電源線の前記昇圧電源電位を受けて前記第１の動作と異なる第２の動作をする第２の機能回路を備える、半導体記憶装置。
【発明の詳細な説明】
【０００１】
【発明の属する技術分野】
この発明は半導体記憶装置に関し、さらに詳しくは、階層昇圧電源線構成を有する半導体記憶装置の改良に関する。
【０００２】
【従来の技術】
近年、さまざまな携帯用機器において半導体記憶装置が用いられている。携帯用機器の電源には一般に電池が用いられている。１つの電池で携帯用機器を長時間使用するためには、動作時のみならずスタンバイ時の消費電力も極力抑えなければならない。したがって、半導体記憶装置の低消費電力化は極めて重要な問題である。
【０００３】
たとえば代表的な半導体記憶装置であるダイナミックランダムアクセスメモリ（ＤＲＡＭ）においては、電源電位Ｖｃｃと完全に等しいＨ（論理ハイ）レベルをメモリセルに格納するために、ワード線は電源電位Ｖｃｃよりも高い電位（以下「昇圧電源電位Ｖｐｐ」という）まで昇圧されている。
【０００４】
図３０は、近年、ＤＲＡＭ内で使用されている内部昇圧回路およびワード線駆動回路（ワード線ドライバ）を示すブロック図である。図３０を参照して、内部昇圧回路２０は外部から供給される電源電位Ｖｃｃに基づいてそれよりも高い昇圧電源電位Ｖｐｐを発生する。ワード線ドライバＷＤはデコーダユニットＤＵからのデコード信号に応答して活性化／不活性化される。ワードドライバＷＤは、ＰチャネルＭＯＳトランジスタＱ１およびＮチャネルＭＯＳトランジスタＱ２を含むＣＭＯＳインバータから構成される。デコーダユニットＤＵおよびワードドライバＷＤには、内部昇圧回路２０から昇圧電源電位Ｖｐｐが供給される。
【０００５】
図３０にはスタンバイ状態のワード線ドライブＷＤが示されている。スタンバイ状態では

昇圧電源電位Ｖｐｐに等しいＨレベルのデコード信号がデコーダユニットＤＵからワード線ドライバＷＤに供給される。そのため、ＰチャネルＭＯＳトランジスタＱ１がオフになり、ＮチャネルＭＯＳトランジスタＱ２がオンになる。したがって、ワード線ＷＬの電位はＮチャネルＭＯＳトランジスタＱ２によって接地電位（０Ｖ）に等しいＬ（論理ロー）レベルとなる。

【０００６】

他方、動作状態でかつそのワード線が選択される場合、Ｌレベルのデコード信号がデコーダユニットＤＵからワード線ドライバＷＤに供給されるので、ＰチャネルＭＯＳトランジスタＱ１がオンになり、ＮチャネルＭＯＳトランジスタＱ２がオフになる。したがって、昇圧電源電位ＶｐｐがＰチャネルＭＯＳトランジスタＱ１を通してワード線ＷＬに供給され、それによりワード線ＷＬが昇圧電源電位Ｖｐｐまで昇圧される。ワード線ドライバＷＤはワード線ＷＬを駆動するために大きな駆動能力を必要とするため、そのＰチャネルＭＯＳトランジスタＱ１のチャネル幅は周辺回路内で用いられる他のトランジスタのチャネル幅よりも広くされている。

【０００７】

一般に、スタンバイ状態ではＰチャネルＭＯＳトランジスタＱ１はオフ状態にあるにもかかわらず、サブスレッショルド電流と呼ばれる微小な貫通電流ｉがそのＰチャネルＭＯＳトランジスタＱ１の中をソースからドレインに向かって流れる。ワード線ドライバＷＤ内に流れる貫通電流ｉは周辺回路内で用いられる他のトランジスタ内に流れる貫通電流よりも大きくなる。

【０００８】

たとえば６４ＭビットのＤＲＡＭは全体で３２Ｋ本のワード線と３２Ｋ個のワード線ドライバを備えているため、その貫通電流の総和は非常に大きくなる。その結果、内部昇圧回路２０の出力電位が所定の昇圧電源電位Ｖｐｐから低下する。この低下した出力電位をもとの昇圧電源電位まで戻すために内部昇圧回路２０が動作するが、この内部昇圧回路２０の動作のために外部電源から電流が流れ込み、それにより消費電力が増大する。

【０００９】

上記のようなスタンバイ時における消費電力を低減するために、複数のワード線ドライバをいくつかのブロックに分割し、昇圧電源線を階層化した階層昇圧電源線構成が「ＳＵＢＴＨＲＥＳＨＯＬＤ－ＣＵＲＲＥＮＴ　ＲＥＤＵＣＴＩＯＮ　ＣＩＲＣＵＩＴＳ　ＦＯＲ　ＭＵＬＴＩ－ＧＩＧＡＢＩＴ　ＤＲＡＭ’Ｓ」Ｓｙｍｐｏｓｉｕｍ　ｏｎ　ＶＬＳＩ　Ｃｉｒｃｕｉｔｓ　Ｄｉｇｅｓｔｓ　ｏｆ　Ｔｅｃｈｎｉｃａｌ　Ｐａｐｅｒｓ（１９９３年）の第４５頁～第４６頁に提案されている。図３１は、この提案された階層昇圧電源線構成の１つのブロックを示す。図３１を参照して、内部昇圧回路２０からの昇圧電源電位Ｖｐｐはグローバル昇圧電源線ＧＰＬに直接的に供給され、さらにブロック選択トランジスタＢＳＴを通してローカル昇圧電源線ＬＰＬに供給される。ｎ個のワード線ドライバＷＤ１～ＷＤｎはこの昇圧電源線ＬＰＬで共通に接続される。図３１に示されたブロックと同様に他のブロック（図示せず）の各々も、１つの駆動トランジスタと、１本のローカル昇圧電源線と、ｎ個のワード線ドライバとを含む。したがって、図３１に示された１本のグローバル昇圧電源線ＧＰＬが各ブロック内で駆動トランジスタを介してローカル昇圧電源線に接続される。

【００１０】

動作時には、Ｌレベルのブロック選択信号／ＢＳ（信号の前に付された「／」はその信号が負論理であることを示す）が選択トランジスタＢＳＴに与えられ、それにより昇圧電源電位Ｖｐｐがローカル昇圧電源線ＬＰＬに供給される。これと同時に、ｎ個のデコーダユニットＤＵ１～ＤＵｎのうち選択された１つのみがＬレベルのデコード信号を対応するワード線ドライバに供給する。そのため、ｎ個のワード線ドライバＷＤ１～ＷＤｎのうち選択された１つのみが活性化され、その活性化されたワード線ドライバ内のＰチャネルＭＯＳトランジスタＱ１を通して昇圧電源電位Ｖｐｐが対応するワード線に供給される。ワード線ＷＬ１～ＷＬｎは寄生容量Ｃ１～Ｃｎをそれぞれ有する。このように１つのブロック

内では１つのワード線ドライバのみが活性化されるので、選択トランジスタＢＳＴは、１本のワード線を駆動できる能力さえ有していればよい。

【００１１】

他方、スタンバイ時には、すべてのデコーダユニットＤＵ１～ＤＵｎがＨレベルのデコード信号Ｘ１～Ｘｎをワード線ドライバＷＤ１～ＷＤｎにそれぞれ供給するため、ワード線ドライバＷＤ１～ＷＤｎ内のすべてのＰチャネルＭＯＳトランジスタＱ１がオフになる。これと同時に、ブロック選択信号／ＢＳがＨレベルとなるので、これらのＰチャネルＭＯＳトランジスタＱ１内に貫通電流が選択トランジスタＢＳＴによって制限され、それにより全体としてスタンバイ時の貫通電流が抑えられる。

【００１２】

したがって、ローカル昇圧電源線ＬＰＬの電位は昇圧電源電位Ｖｐｐから下降するが、各ＰチャネルＭＯＳトランジスタＱ１のゲートには昇圧電源電位Ｖｐｐが与えられているので、ＰチャネルＭＯＳトランジスタＱ１のゲート－ソース間電圧が負になる。そのため、各ワード線ドライバ内に流れる貫通電流が駆動トランジスタＤＴ内に流れる貫通電流のｎ分の１に達すると、ローカル昇圧電源線ＬＰＬの電位下降は停止し、ローカル昇圧電源線ＬＰＬの電位は昇圧電源電位Ｖｐｐよりもわずかに低い電位Ｖｐｐｓで安定する。

【００１３】

駆動トランジスタＤＴを備えず昇圧電源電位Ｖｐｐがすべてのワード線ドライバに常に供給されている場合には、各ワード線ドライバ内には上記のような貫通電流ｉが流れるのに対し、このような階層昇圧電源線構成の場合にはそのｎ分の１の貫通電流が流れるにすぎない。したがって、貫通電流の総和は大幅に減少し、ひいてはスタンバイ時の消費電力が低減される。また、動作状態からスタンバイ状態に移行したときのローカル昇圧電源線ＬＰＬの下降電圧（Ｖｐｐ－Ｖｐｐｓ）はわずかであるから、再び動作状態になったときローカル昇圧電源線ＬＰＬの電位は直ちに昇圧電源電位Ｖｐｐまで回復する。

【００１４】

【発明が解決しようとする課題】

上述した階層昇圧電源線構成においては、電源投入時にローカル昇圧電源線ＬＰＬは放電された状態にあり、そのブロックが選択されない限り充電されない。ローカル昇圧電源線ＬＰＬはそのブロックが選択されたとき充電され始めるので、ワード線ドライバＷＤ１～ＷＤｎはそのローカル昇圧電源線ＬＰＬが昇圧電源電位Ｖｐｐまで十分に充電されない限り正常に動作することができない。したがって、電源が投入されてからこのＤＲＡＭが動作を開始するまでに時間がかかるという問題があった。すなわち、階層昇圧電源線構成においては、ローカル昇圧電源線ＬＰＬの初期充電が不十分な結果として、電源投入直後における初期アクセスが遅くなるという問題があった。

【００１５】

この発明は上記のような問題点を解消するためになされたもので、その１つの目的は、電源投入後直ちに動作可能な階層昇圧電源線構成を有する半導体記憶装置を提供することである。

【００１６】

この発明の他の目的は、動作開始時の昇圧電源電位が十分に補償された半導体記憶装置を提供することである。

【００１７】

この発明のさらに他の目的は、動作開始時の昇圧電源電位が予め定められたレベルまで達している半導体記憶装置を提供することである。

【００１８】

この発明のさらに他の目的は、テストモードにおいて階層昇圧電源線構成を通常構成に切換えることができる半導体記憶装置を提供することである。

【００１９】

この発明のさらに他の目的は、シェアードセンスアンプにおけるビット線分離用のトランジスタに適用された階層昇圧電源線構成を有する半導体記憶装置を提供することである。

【００２０】
【課題を解決するための手段】
請求項１に係る半導体記憶装置は、昇圧電源電位発生手段、グローバル電源線、複数のワード線、複数のビット線、複数のメモリセル、ローカル電源線、接続手段、複数のワード線駆動手段、活性化手段、およびパワーオンリセット信号発生手段を備える。昇圧電源電位発生手段は、外部電源電位に基づいて外部電源電位よりも高い所定の昇圧電源電位を発生する。グローバル電源線には昇圧電源電位発生手段から昇圧電源電位が供給される。複数のビット線はワード線と交差する。複数のメモリセルはワード線および前記ビット線の交点に対応して設けられる。メモリセルの各々は対応するワード線およびビット線に接続される。複数のワード線駆動手段は、ワード線に対応して設けられ、かつローカル電源線と共通に接続される。ワード線駆動手段の各々は、ローカル電源線の昇圧電源電位を対応するワード線に供給することによりその対応するワード線を駆動する。活性化手段は、外部から供給される行アドレス信号に応答してワード線駆動手段を選択的に活性化する。パワーオンリセット信号発生手段は、外部電源電位の投入に応答して予め定められた期間パワーオンリセットを発生する。接続手段はグローバル電源線とローカル電源線の間に接続され、アドレス信号に基づき生成される所定の選択信号とパワーオンリセット信号に基づき生成される初期化信号を受け、選択信号と初期化信号のうち少なくとも一方の活性化に応答して導通する。
【００２１】
請求項１に係る半導体記憶装置においては、パワーオンリセット信号に応答してローカル電源線がグローバル電源線に接続されるので、ワード線駆動手段がワード線の駆動を開始する前に昇圧電源電位がローカル電源線に供給される。したがって、この半導体記憶装置は電源投入後直ちに動作を開始することができる。
【００２２】
請求項２に係る半導体記憶装置は、昇圧電源電位発生手段、グローバル電源線、複数のブロック、活性化手段、およびパワーオンリセット信号発生手段を備える。昇圧電源電位発生手段は、外部電源電位に基づいて外部電源電位よりも高い所定の昇圧電源電位を発生する。グローバル電源線には昇圧電源電位発生手段から昇圧電源電位が供給される。ブロックの各々は、複数のワード線、複数のビット線、複数のメモリセル、ローカル電源線、接続手段、および複数のワード線駆動手段を含む。複数のビット線はワード線と交差する。複数のメモリセルはワード線およびビット線の交点に対応して設けられる。メモリセルの各々は対応するワード線およびビット線に接続される。接続手段は、グローバル電源線とローカル電源線の間に接続され、アドレス信号に基づき生成される所定の選択信号とパワーオンリセット信号に基づき生成される初期化信号を受け、選択信号と初期化信号のうち少なくとも一方の活性化に応答して導通する。複数のワード線駆動手段はワード線に対応して設けられ、かつローカル電源線と共通に接続される。ワード線駆動手段の各々は、ローカル電源線の昇圧電源電位を対応するワード線に供給することによりその対応するワード線を駆動する。活性化手段は、外部から供給される行アドレス信号に応答してワード線駆動手段を選択的に活性化する。パワーオンリセット信号発生手段は、外部電源電位の投入に応答して予め定められた期間だけパワーオンリセット信号を発生する。
【００２３】
請求項２に係る半導体記憶装置においては、パワーオンリセット信号に応答して、すべてのブロック内のローカル電源線がグローバル電源線に接続されるので、ワード線駆動手段がワード線の駆動を開始する前に昇圧電源電位がローカル電源線に供給される。したがって、この半導体記憶装置は電源投入後直ちに動作を開始することができる。
【００２４】
請求項３に係る半導体記憶装置はさらに、請求項１または請求項２の構成に加えて、初期化信号供給手段を備える。初期化信号供給手段は、パワーオンリセット信号の不活性化後も所定期間初期化信号を発生し、初期化信号を接続手段に供給する。
【００２５】

請求項３に係る半導体記憶装置においては、請求項１または請求項２の作用に加えて、パワーオンリセット信号の不活性化後も所定期間初期化信号が生成されるので、ローカル電源線はこの生成された初期化信号に応答してグローバル電源線と接続される。そのため、ワード線駆動手段がワード線の駆動を開始する前にローカル電源線にはより十分な昇圧電源電位が供給される。

【００２６】

請求項４に係る半導体記憶装置では、請求項３の構成に加えて、初期化信号供給手段がカウンタ手段および初期化信号発生手段を含む。カウンタ手段は、パワーオンリセット信号の不活性化後に外部から供給される所定の制御信号をカウントし、そのカウントされた制御信号の数が予め定められた数に達したときキャリー信号を発生する。初期化信号発生手段は、パワーオンリセット信号に応答して初期化信号を活性化し、キャリー信号に応答して初期化信号を不活性化する。

【００２７】

請求項４に係る半導体記憶装置においては、請求項３の作用に加えて、パワーオンリセット信号の不活性化後に外部から供給される所定の制御信号、たとえばアドレスストローブ信号がカウントされ、そのカウントされた制御信号の数が予め定められた数に達するとキャリー信号が生成される。初期化信号はパワーオンリセット信号に応答して活性化され、続いてキャリー信号に応答して不活性化される。そのため、予め定められた数の制御信号の入力に要する時間を調整することによって、ワード線駆動手段がワード線の駆動を開始する前により十分な昇圧電源電位がローカル電源線に供給され得る。

【００２８】

請求項５に係る半導体記憶装置では、請求項３の構成に加えて、初期化信号供給手段が検出手段および初期化信号発生手段を含む。検出手段は、グローバル電源線の電位を検出し、その検出された電位が昇圧電源電位に達していないとき昇圧電源電位発生手段を活性化するための昇圧イネーブル信号を発生する。初期化信号発生手段は、パワーオンリセット信号の活性化に応答して初期化信号を活性化し、昇圧イネーブル信号の不活性化に応答して初期化信号を不活性化する。

【００２９】

請求項５に係る半導体記憶装置においては、請求項３の作用に加えて、グローバル電源線の電位が検出され、その検出された電位が昇圧電源電位に達していないと昇圧イネーブル信号が生成される。昇圧電源電位発生手段はこの生成された昇圧イネーブル信号に応答して活性化される。初期化信号はパワーオンリセット信号の活性化に応答して活性化され、昇圧イネーブル信号の不活性化に応答して不活性化される。そのため、電源投入後にグローバル電源線の電位が昇圧電源電位に達したときローカル電源線の初期充電が終了する。したがって、ワード線駆動手段がワード線の駆動を開始する前に完全な昇圧電源電位がローカル電源線に供給される。

【００３０】

請求項６に係る半導体記憶装置では、請求項５の構成に加えて、初期化信号発生手段がフリップフロップ回路を含む。フリップフロップ回路はパワーオンリセット信号に応答してセットされ、昇圧イネーブル信号に応答してリセットされ、かつ初期化信号を出力する。

【００３１】

請求項６に係る半導体記憶装置においては、請求項５の作用に加えて、初期化信号がパワーオンリセット信号に応答してセットされ、昇圧イネーブル信号に応答してリセットされるので、ローカル電源線の初期充電が終了した後、グローバル電源線の電位が再び昇圧電源電位から低下してもローカル電源線の充電が再開されることはない。したがって、パワーオンリセットの完了後に不要な電力が消費されることはない。

【００３２】

請求項７に係る半導体記憶装置では、請求項１または請求項２の構成に加えて、接続手段が論理ゲートおよびトランジスタを含む。論理ゲートは選択信号および初期化信号に応答して出力信号を供給する。トランジスタはローカル電源線とグローバル電源線との間に接

続され、論理ゲートの出力信号に応答してオン／オフとなる。

【００３３】

請求項７に係る半導体記憶装置においては、請求項１または請求項２の作用に加えて、論理ゲートが選択信号およびパワーオンリセット信号に応答して出力信号をトランジスタに供給し、トランジスタはこの出力信号に応答してローカル電源線をグローバル電源線に接続する。そのため、ブロックが選択されたときだけでなくパワーオンリセット期間中にも昇圧電源電位がローカル電源線に供給される。

【００３４】

請求項８に係る半導体記憶装置では、請求項２の構成に加えて、ブロックの各々がさらにブロック選択デコーダを含む。ブロック選択デコーダは行アドレス信号に応答して選択信号を発生する。

【００３５】

請求項８に係る半導体記憶装置においては、請求項２の作用に加えて、選択信号が行アドレス信号に応答して生成される。そのため、行アドレス信号に応答して１つのブロックが選択され、さらにそのブロック内の１つのワード線駆動手段が活性化される。

【００３６】

請求項９に係る半導体記憶装置は、請求項１の構成に加えて、内部電源電位発生手段をさらに備える。内部電源電位発生手段は外部電源電位に基づいて外部電源電位よりも低い所定の内部電源電位を発生する。上記パワーオンリセット信号発生手段は内部電源電位を受ける。

【００４３】

請求項１０に係る半導体記憶装置は、昇圧電源電位発生手段、グローバル電源線、ローカル電源線、接続手段、第１および第２の起動回路を備える。昇圧電源電位発生手段は外部電源電位に基づいて外部電源電位よりも高い所定の昇圧電源電位を発生する。グローバル電源線には昇圧電源電位発生手段から昇圧電源電位が供給される。接続手段は所定の選択信号に応答してローカル電源線をグローバル電源線に接続する。第１の機能回路はローカル電源線と接続され、ローカル電源線の昇圧電源電位を受けて第１の動作をする。第２の機能回路はローカル電源線と接続され、ローカル電源線の前記昇圧電源電位を受けて第１の動作と異なる第２の動作をする。

【００４４】

【発明の実施の形態】

以下、この発明の実施の形態を図面を参照して詳しく説明する。なお、図中同一符号は同一または相当の部分を示す。

【００４５】

［実施の形態１］

図１は、この発明の実施の形態１によるＤＲＡＭの全体構成を示すブロック図である。図１を参照して、このＤＲＡＭは１つの半導体基板１０上に形成される。このＤＲＡＭは、メモリセルアレイ１１、行デコーダ１２ａ、ワード線ドライバ列１２ｂ、列デコーダ１３、センスアンプ列１４、入出力回路１５、行および列アドレスバッファ１６、入力バッファ１７、出力バッファ１８、クロック発生回路１９、内部昇圧回路２０およびパワーオンリセット（ＰＯＲ）発生回路２１とを備える。

【００４６】

図２は、内部昇圧回路２０およびＰＯＲ発生回路２１とともに、メモリセルアレイ１１、行デコーダ１２ａおよびワード線ドライバ列１２ｂの具体的な構成を示すブロック図である。図２を参照して、このＤＲＡＭはさらに、グローバル昇圧電源線ＧＰＬを備える。内部昇圧回路２０は、外部から供給される電源電位Ｖｃｃに基づいてそれよりも高い所定の昇圧電源電位Ｖｐｐを発生し、グローバル昇圧電源線ＧＰＬに供給する。ＰＯＲ発生回路２１は、電源投入後、電源電位Ｖｃｃが所定レベルに達するまでの間、これらＤＲＡＭの内部回路を不活性化するために、電源電位Ｖｃｃの投入に応答して予め定められた期間だけパワーオンリセット信号／ＰＯＲを発生する。

【００４７】
各ブロックＢｊ（ｊ＝１～ｍ）は、ブロック選択デコーダＤＢＳｊ、ＡＮＤゲートＡＤｊ、ブロック選択トランジスタＢＳＴｊ、ローカル昇圧電源線ＬＰＬｊ、ｎ個のワード線ドライバＷＤｊ１～ＷＤｊｎ、およびｎ本のワード線ＷＬｊ１～ＷＬｊｎを含む。ブロック選択デコーダＤＢＳｊはＮＡＮＤゲートからなり、行アドレス信号に応答してブロック選択信号／ＢＳｊを対応するＡＮＤゲートＡＤｊに与える。ＡＮＤゲートＡＤｊは、ブロック選択信号／ＢＳｊおよび初期化信号／ＩＮＩとして与えられるパワーオンリセット信号／ＰＯＲに応答して選択トランジスタＢＳＴｊをオン／オフする。選択トランジスタＢＳＴｊはグローバル昇圧電源線ＧＰＬとローカル昇圧電源線ＬＰＬｊとの間に接続され、ＡＮＤゲートＡＤｊの出力に応答して昇圧電源電位Ｖｐｐをローカル昇圧電源線ＬＰＬｊに供給する。

【００４８】
ワード線ドライバＷＤｊ１～ＷＤｊｎの各々は、ＰチャネルＭＯＳトランジスタＱ１およびＮチャネルＭＯＳトランジスタＱ２を含むＣＭＯＳインバータから構成される。ワード線ドライバＷＤｊ１～ＷＤｊｎはデコード信号Ｘｊ１～Ｘｊｎに応答して活性化され、ワード線ＷＬｊ１～ＷＬｊｎを駆動する。これらデコード信号Ｘｊ１～Ｘｊｎは行デコーダ１２ａによって生成される。

【００４９】
行デコーダ１２ａは（ｍ×ｎ）個のデコーダユニットＤＵｊｉ（ｊ＝１～ｍ，ｉ＝１～ｎ）を含む。デコーダユニットＤＵｊｉは行アドレス信号に応答して対応するデコード信号ＸｊｉをＬレベルにする。したがって、ワード線ドライバＷＤｊ１～ＷＤｊｎのうち１つのみが活性化される。

【００５０】
図３は、図２に示されたブロックＢｊの構成を示すブロック図である。図３を参照して、各ブロックは、ワード線ＷＬｊ１～ＷＬｊｎと交差する複数のビット線対ＢＬ１，／ＢＬ１，ＢＬ２，／ＢＬ２…、ワード線およびビット線対の交点に対応して設けられる複数のメモリセル２２を含む。ビット線対ＢＬ１，／ＢＬ１は、ビット線ＢＬ１と、それと相補的なビット線／ＢＬ１とから構成される。他のビット線対もこれと同様に構成される。各メモリセル２２はトランスファゲート２２１およびセルキャパシタ２２２を含む。トランスファゲート２２１は対応するビット線およびセルキャパシタ２２２の間に接続され、そのゲートは対応するワード線に接続される。

【００５１】
再び図１を参照して、センスアンプ列１４はメモリセルアレイ１１内のビット線対の電位差を増幅する。列デコーダ１３は列アドレス信号に応答してメモリセルアレイ１１内のビット線対のいずれかを選択する。入出力回路１５は、列デコーダ１３によって選択されたビット線対を入力バッファ１７または出力バッファ１８に接続する。

【００５２】
行および列アドレスバッファ１６は外部から与えられるアドレス信号Ａ１～Ａｎを行アドレス信号として行デコーダ１２ａに供給するか、あるいは列アドレス信号として列デコーダ１３に供給する。入力バッファ１７は外部から与えらる入出力データＤＱ１～ＤＱ４を入出力回路１５に供給する。出力バッファ１８は出力イネーブル／ＯＥに応答して入出力回路１５からのデータを入出力データＤＱ１～ＤＱ４として出力する。クロック発生回路１９は行アドレスストローブ信号／ＲＡＳおよび列アドレスストローブ信号／ＣＡＳなどに応答してさまざまな内部制御信号を発生する。

【００５３】
図４は、図１および図２中のＰＯＲ発生回路の具体的な構成を示す回路図である。図４を参照して、このＰＯＲ発生回路２１は、電源電位Ｖｃｃが供給される電源ノードおよび充電ノードＣＮの間に接続された抵抗素子２１１と、充電ノードＣＮおよび接地ノードの間に接続されたキャパシタ素子２１２と、直列に接続されたインバータ２１３および２１４とを含む。

【００５４】
このＰＯＲ発生回路２１の動作は以下のとおりである。電源が投入されると、電源ノードの電位は接地電位から電源電位Ｖｃｃに向かって上昇する。それによりキャパシタ素子２１２が充電され、充電ノードＣＮの電位がインバータ２１３の論理しきい値を超えるまでの間、インバータ２１４はＬレベルのパワーオンリセット信号／ＰＯＲを発生する。続いて充電ノードＣＮの電位がその論理しきい値を超えると、パワーオンリセット信号／ＰＯＲはＬレベルからＨレベルに不活性化される。ＤＲＡＭ内の内部回路は、このＬレベルのパワーオンリセット信号／ＰＯＲに応答して不活性化される。
【００５５】
次に、この実施の形態１によるＤＲＡＭの動作を説明する。まず電源が投入されると、Ｌレベルのパワーオンリセット信号／ＰＯＲがＰＯＲ発生回路２１によって生成される。Ｌレベルのパワーオンリセット信号／ＰＯＲはＤＲＡＭの内部回路に供給され、それを不活性化するとともに、すべてのブロックＢ１～Ｂｍ内のＡＮＤゲートＡＤ１～ＡＤｍに初期化信号／ＩＮＩとして供給される。ＡＮＤゲートＡＤ１～ＡＤｍはこのＬレベルの初期化信号／ＩＮＩに応答してすべてのブロックＢ１～Ｂｍ内の選択トランジスタＢＳＴ１～ＢＳＴｍをオンにする。グローバル昇圧電源線ＧＰＬには内部昇圧回路２０によって生成された内部昇圧電源電位Ｖｐｐが供給されているので、この内部昇圧電源電位Ｖｐｐがそれぞれの選択トランジスタＢＳＴ１～ＢＳＴｍを通してすべてのローカル昇圧電源線ＬＰＬ１～ＬＰＬｍに供給される。それによりローカル昇圧電源線ＬＰＬ１～ＬＰＬｍは昇圧電源電位Ｖｐｐに向かって充電される。
【００５６】
電源電位Ｖｃｃが十分に上昇したとき、パワーオンリセット信号／ＰＯＲはＬレベルからＨレベルに不活性化される。そのため、初期化信号／ＩＮＩもまたＬレベルからＨレベルに不活性化され、それによりＡＮＤゲートＡＤ１～ＡＤｍは選択トランジスタＢＳＴ１～ＢＳＴｍをそれぞれオフにする。それによりローカル昇圧電源線ＬＰＬ１～ＬＰＬｍのパワーオンリセット期間中における初期充電が完了する。
【００５７】
続いて行アドレス信号に応答してブロック選択デコーダＤＢＳ１～ＤＢＳｍがブロック選択信号／ＢＳ１～／ＢＳｍのうち１つのみをＬレベルに活性化する。これと同時に、行デコーダ１２ａがデコード信号Ｘｊ１～Ｘｊｎのうち１つをＬレベルにする。たとえばブロック選択信号／ＢＳ１のみがＬレベルとなり、かつデコード信号Ｘ１１のみがＬレベルとなった場合は、ブロックＢ１内のワード線ドライバＷＤ１１のみが活性化される。他のブロック選択信号／ＢＳ２～／ＢＳｍはＨレベルであるため、他のブロックＢ２～Ｂｍ内のワード線ドライバＷＤ２１～ＷＤｍｎはすべて不活性化状態のまま維持される。また、他のデコード信号Ｘｊ２～ＸｊｎはＨレベルであるため、ブロックＢ１内の他のワード線ドライバＷＤ１２～ＷＤ１ｎもまた不活性化状態のまま維持される。
【００５８】
ブロック選択信号／ＢＳ１がＬレベルに活性化されると選択トランジスタＢＳＴ１がオンになるので、グローバル昇圧電源線ＧＰＬの昇圧電源電位Ｖｐｐがローカル昇圧電源線ＬＰＬ１に供給されるが、この実施の形態１ではその前に既にローカル昇圧電源線ＬＰＬ１が昇圧電源電位Ｖｐｐに充電されているため、ブロック選択信号／ＢＳ１によるグローバル昇圧電源線ＧＰＬからローカル昇圧電源線ＬＰＬ１への昇圧電源電位Ｖｐｐの供給を待つまでもなく、ワード線ドライバＷＤ１１は直ちに対応するワード線ＷＬ１１に昇圧電源電位Ｖｐｐを供給し、それによりそのワード線ＷＬ１を駆動する。
【００５９】
電源投入後直ちにすべてのローカル昇圧電源線ＬＰＬ１～ＬＰＬｍが昇圧電源電位Ｖｐｐに充電されているため、いずれのワード線ドライバＷＤ１１～ＷＤｍｎが活性化された場合であっても対応するワード線は直ちに活性化され得る。また、ローカル昇圧電源線ＬＰＬ１～ＬＰＬｍは一旦充電されれば、その後はアクセス時およびリフレッシュ時に再充電される。そのため、これらのローカル昇圧電源線ＬＰＬ１～ＬＰＬｍは常に充電された状

態で維持される。

【００６０】

以上のようにこの実施の形態１によれば、パワーオンリセット信号／ＰＯＲに応答してすべてのローカル昇圧電源線ＬＰＬ１～ＬＰＬｍが充電されるため、ワード線ドライバはパワーオンリセット期間の経過後、直ちにワード線を駆動することができる。したがって、このＤＲＡＭは電源投入後直ちに動作することができる。また、従来の構成にＡＮＤゲートＡＤ１～ＡＤｍを追加するだけで、電源投入後直ちに動作可能なＤＲＡＭを実現することができる。

【００６１】

［実施の形態２］

上記実施の形態１ではパワーオンリセット信号／ＰＯＲを用いてローカル昇圧電源線ＬＰＬ１～ＬＰＬｍの初期充電を行なったが、そのパワーオンリセット期間内にはローカル昇圧電源線ＬＰＬ１～ＬＰＬｍが昇圧電源電位Ｖｐｐまで十分に充電されない場合も考えられる。以下に述べる実施の形態２の目的は、電源投入から動作開始までの間にローカル昇圧電源線ＬＰＬ１～ＬＰＬｍを昇圧電源電位Ｖｐｐまで十分に初期充電できるＤＲＡＭを提供することである。

【００６２】

図５は、この発明の実施の形態２によるＤＲＡＭの主要な構成を示すブロック図である。図５を参照して、このＤＲＡＭは上記実施の形態１の構成に加えて、遅延回路２４を備える。この遅延回路２４はＰＯＲ発生回路２１からのパワーオンリセット信号／ＰＯＲの立上がり（不活性化）後も初期信号／ＩＮＩを所定期間活性状態に保ち、図２に示されたブロックＢ１～Ｂｍ内のＡＮＤゲートＡＤ１～ＡＤｍに供給する。この初期化信号／ＩＮＩはまた、外部からさまざまな信号が供給される外部信号ピンと直接的に接続される内部回路に供給され、その内部回路はその供給された初期化信号／ＩＮＩに応答して不活性化される。それにより、このような初期化期間中に外部信号ピンに不要な信号が供給されたとしても、このＤＲＡＭは誤動作を起こすことはない。

【００６３】

図５を参照して、この遅延回路２４は、行アドレスストローブ信号／ＲＡＳをカウントするカウンタ２４１と、カウンタ２４１からのキャリー信号ＣＲＹおよびＰＯＲ発生回路２１からのパワーオンリセット信号／ＰＯＲに応答して初期化信号ＩＮＩを発生するＮＡＮＤゲート２４２と、ＮＡＮＤゲート２４２からの初期信号ＩＮＩを反転することにより初期化信号／ＩＮＩを発生するインバータ２４３とを含む。カウンタ２４１には予め定められた数（ここでは「８」）が設定され、与えられた行アドレスストローブ信号／ＲＡＳの数が予め定められた数に達するとキャリーＣＲＹがＨレベルに活性化される。

【００６４】

次に、この遅延回路２４の動作を図６のタイミング図を参照して説明する。時刻ｔ＝０において電源が投入されると、ＰＯＲ発生回路２１は図６（ｂ）に示されるようにＬレベルのパワーオンリセット信号／ＰＯＲを発生する。その後パワーオンリセット信号／ＰＯＲはＮＡＮＤゲート２４２に与えられるので、インバータ２４３は図６（ｄ）に示されるようにＬレベルの初期化信号／ＩＮＩを発生する。続いて電源投入から所定時間が経過すると、パワーオンリセット信号／ＰＯＲは図６（ｂ）に示されるようにＬレベルからＨレベルに不活性化される。このパワーオンリセット信号／ＰＯＲの不活性化後、行アドレスストローブ信号／ＲＡＳが図６（ａ）に示されるように８回トグルされると、カウンタ２４１は図６（ｃ）に示されるようにＨレベルのキャリー信号ＣＲＹをＮＡＮＤゲート２４２に与える。ＮＡＮＤゲート２４２はともにＨレベルの信号ＣＲＹおよび／ＰＯＲを受けるため、インバータ２４３によって生成される初期化信号／ＩＮＩは図６（ｄ）に示されるようにＬレベルからＨレベルに不活性化される。そのため、外部信号ピンと直接的に接続される内部回路が活性化される。

【００６５】

この実施の形態２では、実施の形態１のパワーオンリセット信号／ＰＯＲの代わりに遅延

回路２４によって生成される初期化信号／ＩＮＩが図２に示されたＡＮＤゲートＡＤ１～ＡＤｍに与えられる。したがって、実施の形態１と同様に電源が投入されるとローカル昇圧電源線ＬＰＬ１～ＬＰＬｍの初期充電が開始される。しかしながら、この実施の形態２では実施の形態１のようにパワーオンリセット信号／ＰＯＲが不活性化されてもその初期充電が終了することなく継続される。そして、行アドレスストローブ信号／ＲＡＳが８回トグルされたときその初期充電が終了する。

【００６６】

したがって、この実施の形態２によれば、電源投入後、実施の形態１よりも長い時間ローカル昇圧電源線が充電されるため、ワード線ドライバが動作する前にローカル昇圧電源線は昇圧電源電位まで十分に充電され得る。そのため、この実施の形態２によるＤＲＡＭは電源投入直後であっても正確な動作を行なうことができる。また、外部から与えられる行アドレスストローブ信号／ＲＡＳのトグル回数に応じて初期化信号／ＩＮＩが不活性化されるため、ローカル昇圧電源線のための初期充電時間を自在に変更することができる。

【００６７】

［実施の形態３］

上記実施の形態１ではパワーオンリセット信号／ＰＯＲを用いて、また実施の形態２ではパワーオンリセット信号／ＰＯＲの不活性化も所定期間だけ活性状態に保たれる初期化信号を用いてローカル昇圧電源線の初期充電を行なっているが、そのような予め定められた期間内に必ずしも昇圧電源電位Ｖｐｐが予め定められたレベルまで達しているとは限らない。昇圧電源電位Ｖｐｐが予め定められたレベルに達する前にローカル昇圧電源線の初期充電が終了すると、電源投入後直ちにワード線ドライバが活性化されても、ワード線ドライバは直ちに十分な昇圧電源電位Ｖｐｐをワード線に供給することができない。以下に述べる実施の形態３の目的は、電源投入後直ちにワード線を完全な昇圧電源電位Ｖｐｐまで昇圧可能なＤＲＡＭを提供することである。

【００６８】

図７は、この発明の実施の形態３によるＤＲＡＭの主要な構成を示すブロック図である。図７を参照して、このＤＲＡＭは、実施の形態１の構成に加えて、遅延回路２６を備える。この遅延回路２６はパワーオンリセット信号／ＰＯＲの立上がり（不活性化）時期をグローバル昇圧電源線ＧＰＬの電位が所定の昇圧電源電位Ｖｐｐに達するまで遅延させ、それにより生成された初期化信号／ＩＮＩを図２に示されたブロックＢ１～Ｂｍ内のＡＮＤゲートＡＤ１～Ａｍに供給する。

【００６９】

この遅延回路２６は、昇圧電源電位（Ｖｐｐ）レベルディテクタ２６１と、ＲＳフリップフロップ２６２と、インバータ２６５とを含む。Ｖｐｐレベルディテクタ２６１はグローバル昇圧電源線ＧＰＬに供給される電位を検出し、その検出された電位が所定の昇圧電源電位Ｖｐｐよりも低い場合はＨレベルの昇圧イネーブル信号ＢＴＥを発生し、他方、その検出された電位が所定の昇圧電源電位Ｖｐｐと等しいかまたはそれよりも高い場合はＬレベルの昇圧イネーブル信号ＢＴＥを発生する。内部昇圧回路２０はＨレベルの昇圧イネーブル信号ＢＴＥに応答して活性化される。

【００７０】

ＲＳフリップフロップ回路２６２は相互に結合されたＮＡＮＤゲート２６３および２６４を含む。このＲＳフリップフロップ２６２はＬレベルのパワーオンリセット信号／ＰＯＲに応答してセットされ、さらにＬレベルの昇圧イネーブル信号ＢＴＥに応答してリセットされる。インバータ２６５はＲＳフリップフロップ回路２６２から出力される初期化信号ＩＮＩを反転し、初期化信号／ＩＮＩを発生する。

【００７１】

次に、この遅延回路２６の動作を図８のタイミング図を参照して説明する。まず時刻ｔ＝０において電源が投入されると、図８（ａ）に示されるようにＬレベルのパワーオンリセット信号／ＰＯＲが生成される。このＬレベルのパワーオンリセット信号／ＰＯＲに応答してＲＳフリップフロップ回路２６２がセットされ、それによりＨレベルの初期化信号Ｉ

ＮＩを出力する。そのため、インバータ２６５は図８（ｄ）に示されるようにＬレベルの初期化信号／ＩＮＩを発生する。

【００７２】

電源投入直後では図８（ｂ）に示されるようにグローバル昇圧電源線ＧＰＬの電位がまだ所定の昇圧電源電位Ｖｐｐに達していないので、レベルディテクタ２６１は図８（ｃ）に示されるようにＨレベルの昇圧イネーブル信号ＢＴＥを発生する。そのため、内部昇圧回路２０は活性化され、グローバル昇圧電源線ＧＰＬの電位は図８（ｂ）に示されるように所定の昇圧電源電位Ｖｐｐに向かって上昇する。

【００７３】

この遅延回路からのＬレベルの初期化信号／ＩＮＩは図２に示されたＡＮＤゲートＡＤ１～ＡＤｍに与えられるので、グローバル昇圧電源線ＧＰＬの電位がすべてのローカル昇圧電源線に供給される。それによりすべてのローカル昇圧電源線は所定の昇圧電源電位Ｖｐｐに向かって充電される。

【００７４】

続いて図８（ａ）に示されるようにパワーオンリセット信号／ＰＯＲがＬレベルからＨレベルに不活性化されるが、ＲＳフリップフロップ回路２６２のラッチ機能によって初期化信号／ＩＮＩは図８（ｄ）に示されるようにＬレベルのまま維持される。そのため、パワーオンリセット期間が経過してもローカル昇圧電源線の初期充電は継続して行なわれる。

【００７５】

続いて図８（ｂ）に示されるようにグローバル昇圧電源線ＧＰＬの電位が所定の昇圧電源電位Ｖｐｐに達すると、レベルディテクタ２６１がそれを検出し、図８（ｃ）に示されるように昇圧イネーブル信号ＢＴＥをＨレベルからＬレベルに不活性化する。このＬレベルの昇圧イネーブル信号ＢＴＥに応答してＲＳフリップフロップ回路２６２はリセットされ、それにより図８（ｄ）に示されるように初期化信号／ＩＮＩはＬレベルからＨレベルに不活性化される。そのため、このＨレベルの初期化信号／ＩＮＩに応答してローカル昇圧電源線の初期充電が終了するが、このとき既にグローバル昇圧電源線ＧＰＬの電位は所定の昇圧電源電位Ｖｐｐに達しているので、すべてのローカル昇圧電源線の電位もまた所定の昇圧電源電位Ｖｐｐまで達している。したがって、電源投入後直ちにワード線ドライバは完全な昇圧電源電位Ｖｐｐをワード線に供給することができる。

【００７６】

また、レベルディテクタ２６１は所定のヒステリシスを有し、グローバル昇圧電源線ＧＰＬの電位が所定の昇圧電源電位Ｖｐｐから所定のしきい値を越えて低下すると、図８（ｃ）に示されるように昇圧イネーブル信号ＢＴＥを再びＨレベルに活性化する。そのため、内部昇圧回路２０は再び活性化され、図８（ｂ）に示されるようにグローバル昇圧電源線ＧＰＬの電位は再び昇圧電源電位Ｖｐｐに向かって上昇する。このように昇圧イネーブル信号ＢＴＥはグローバル昇圧電源線ＧＰＬの電位が昇圧電源電位Ｖｐｐよりも所定のしきい値だけ低下するたびにＨレベルに変化するが、一旦グローバル昇圧電源線ＧＰＬの電位が昇圧電源電位Ｖｐｐに達した後は、昇圧イネーブル信号ＢＴＥの変化によらずフリップフロップ回路２６２の出力は不変である。そのため、初期化信号／ＩＮＩは常にＨレベルに保たれる。したがって、初期充電の完了後に不用意にローカル昇圧電源線が再充電されることはない。よって、不要な電力が消費されることはない。

【００７７】

以上のように、この実施の形態３によれば、レベルディテクタ２６１を用いてグローバル昇圧電源線ＧＰＬの電位が所定の昇圧電源電位Ｖｐｐに達したときローカル昇圧電源線の初期充電が完了されるため、この半導体記憶装置は電源投入直後であっても正確な動作を行なうことができる。また、パワーオンリセット信号／ＰＯＲに応答してセットされかつ昇圧イネーブル信号ＢＴＥに応答してリセットされるＲＳフリップフロップ回路２６２を用いて初期化信号／ＩＮＩを発生しているため、ローカル昇圧電源線の初期充電完了後に不用意にローカル昇圧電源線の充電が再開されることはない。その結果、不要な電力消費が防止される。

【００７８】
なお、たとえば実施の形態２の遅延回路２４からの初期化信号／ＩＮＩを実施の形態３のフリップフロップ回路２６２のセット信号として供給してもよい。すなわち、実施の形態２に実施の形態３を組合せてもよい。また、上記実施の形態では複数のブロックが設けられ、各ブロック内に１本のローカル昇圧電源線が設けられているが、１つだけのブロックが設けられ、全体に１本のローカル昇圧電源線が設けられていてもよい。
【００７９】
［実施の形態４］
図９は、この発明の実施の形態４による半導体記憶装置の概略構成を示すブロック図である。図９を参照して、この半導体記憶装置は、昇圧電源電位Ｖｐｐをグローバル昇圧電源線ＧＰＬに供給する内部昇圧回路２０と、外部電源電位ｅｘｔＶｃｃに基づいてパワーオンリセット信号／ＰＯＲを発生するＰＯＲ発生回路２１と、パワーオンリセット信号／ＰＯＲに応答して階層制御信号／ＨＶＰＰＤを発生する階層Ｖｐｐ制御回路３０と、階層制御信号／ＨＶＰＰＤおよびブロック選択信号ＢＳＩに応答してグローバル昇圧電源線ＧＰＬの昇圧電源電位Ｖｐｐをローカル昇圧電源線ＬＰＬに昇圧電源電位Ｖｐｐｉとして供給する階層Ｖｐｐ回路３２と、複数のワード線ドライバを含むワード線ドライバ列３４とを備える。図９では、階層Ｖｐｐ回路３２およびワード線ドライバ列３４を含む１つのブロックのみが示されるが、この半導体記憶装置はこのようなブロックを複数備える。ブロック選択信号ＢＳＩが対応するブロックが選択された場合にＨレベルになる。
【００８０】
図１０は、図９中の階層Ｖｐｐ制御回路３０の具体的な構成を示す回路図である。図１０を参照して、この階層Ｖｐｐ制御回路３０は、インバータ３０１，３０５，３０７と、ＰチャネルＭＯＳトランジスタ３０２，３０３と、ＮチャネルＭＯＳトランジスタ３０４，３０６とを含む。この階層Ｖｐｐ制御回路３０では、Ｌレベルのパワーオンリセット信号／ＰＯＲが与えられると、Ｌレベルの階層制御信号／ＨＶＰＰＤが生成される。他方、Ｈレベルのパワーオンリセット信号／ＰＯＲが与えられると、Ｈレベルの階層制御信号／ＨＶＰＰＤが生成される。
【００８１】
図１１は、図９中の階層Ｖｐｐ回路３２の具体的な構成を示す回路図である。図１１を参照して、この階層Ｖｐｐ回路３２は、ＰチャネルＭＯＳトランジスタ３２１，３２２，３２６と、ＮチャネルＭＯＳトランジスタ３２３，３２５と、インバータ３２４とを含む。
【００８２】
ＰチャネルＭＯＳトランジスタ３２１，３２２，３２６のソース電極はグローバル昇圧電源線ＧＰＬと共通に接続される。したがって、対応するブロックが選択される場合は、Ｈレベルのブロック選択信号ＢＳＩが与えられ、それによりＬレベルのブロック選択信号／ＢＳＤがＰチャネルＭＯＳトランジスタ３２６のゲート電極に与えられる。
【００８３】
この階層Ｖｐｐ回路３２はさらに、階層Ｖｐｐ制御回路３０からの階層制御信号／ＨＶＰＰＤに応答してオン／オフになるＰチャネルＭＯＳトランジスタからなるプリチャージトランジスタ３２７と、ローカル昇圧電源線ＬＰＬの昇圧電源電位Ｖｐｐｉが所定のクランプ電位よりも低いときそのクランプ電位をローカル昇圧電源線ＬＰＬに供給するクランプ回路３２８とを含む。
【００８４】
プリチャージトランジスタ３２７はＬレベルの階層制御信号／ＨＶＰＰＤが与えられるとオンになるのでパワーオンリセット期間中、グローバル昇圧電源線ＧＰＬの昇圧電位ＶｐｐがＶｐｐｉとしてローカル昇圧電源線ＬＰＬに供給される。したがって、ＰチャネルＭＯＳトランジスタ（選択トランジスタ）３２６およびプリチャージトランジスタ３２７は図２中の選択トランジスタＢＳＴ１～ＢＳＴｍの１つに相当する。
【００８５】
クランプ回路３２８はダイオード接続されたＰチャネルＭＯＳトランジスタ３２９を含む

。このＰチャネルＭＯＳトランジスタ３２９のソース電極には外部電源電位ｅｘｔＶｃｃが供給される。したがって、、このクランプ回路３２８はクランプ電位として外部電源電位ｅｘｔＶｃｃを採用し、常にローカル昇圧電源線ＬＰＬの電位を外部電源電位ｅｘｔＶｃｃでクランプする。

【００８６】

図１２は、図９中のワード線ドライバ列３４の具体的な構成を示す回路図である。図１２を参照して、このワード線ドライバ列３４は、ワード線ＷＬ０～ＷＬ７を駆動するワード線ドライバＷＤ０～ＷＤ７と、８つのＰチャネルＭＯＳトランジスタ３４３と、８つのＰチャネルＭＯＳトランジスタ３４４と、ＮチャネルＭＯＳトランジスタ３４２と、ＮＡＮＤゲート３４１とを含む。ＰチャネルＭＯＳトランジスタ３４３のゲート電極には共通にワード線プリチャージ信号／ＷＤＰＩが与えられる。Ｌレベルのブロック選択信号ＢＳＩが与えられると、このワード線プリチャージ信号／ＷＤＰＩはＬレベルになり、他方、Ｈレベルのブロック選択信号ＢＳＩが与えられると、このワード線プリチャージ信号／ＷＤＰＩはＨレベルになる。ＮチャネルＭＯＳトランジスタ３４２のゲート電極にはそれぞれＲＸデコード信号ＲＸ０～ＲＸ７が与えられる。ＮＡＮＤゲート３４１にはプリデコード信号ＸＩおよびＸＪがそれぞれ与えられる。これら信号ＲＸ０～ＲＸ７，ＸＩ，ＸＪは行アドレス信号に応答して生成される。

【００８７】

次に、図１３のタイミング図を参照してこの実施の形態４による半導体記憶装置の動作を説明する。

【００８８】

図１３（ａ）に示されるように、電源投入（ＯＮ）後、外部電源電位ｅｘｔＶｃｃは０ボルトから徐々に上昇する。電源が投入されると、図１３（ｂ）に示されるようにＬレベルのパワーオンリセット信号／ＰＯＲが生成され、さらにＬレベルの階層制御信号／ＨＶＰＰＤが生成される。Ｌレベルの階層制御信号／ＨＶＰＰＤは階層ＶＰＰ回路３２中のプリチャージトランジスタ３２７のゲート電極に与えられ、それによりトランジスタ３２７はオンになる。したがって、図１３（ａ）に示されるようにローカル昇圧電源線ＬＰＬの電位Ｖｐｐｉは０ボルトから徐々に上昇する。ここで、昇圧電源電位Ｖｐｐの上昇速度は外部電源電位ｅｘｔＶｃｃの上昇速度よりも遅いため、電源の投入直後においてはクランプ回路３２８のＰチャネルＭＯＳトランジスタ３２９がローカル昇圧電源線ＬＰＬの電位Ｖｐｐｉを外部電源電位ｅｘｔＶｃｃに向かって上昇させる。

【００８９】

次いで図１３（ａ）に示されるように外部電源電位ｅｘｔＶｃｃが所定レベルの６０％に達すると、図１３（ｂ）に示されるようにパワーオンリセット信号／ＰＯＲがＨレベルになり、さらに図１３（ｃ）に示されるように階層制御信号／ＨＶＰＰＤがＨレベルになる。このＨレベルの階層制御信号／ＨＶＰＰＤは階層Ｖｐｐ回路３２のプリチャージトランジスタ３２７のゲート電極に与えられるので、このトランジスタ３２７によるローカル昇圧電源線ＬＰＬの初期充電が終了する。したがって、パワーオンリセット信号／ＰＯＲがＬレベルにある間、つまりパワーオンリセット期間（初期充電期間Ｔｉｃ１）に、ローカル昇圧電源線ＬＰＬは昇圧電源電位Ｖｐｐまで充電される。

【００９０】

次いである１つのブロックが選択される場合はブロック選択信号ＢＳＩがＨレベルになる。このＨレベルのブロック選択信号ＢＳＩは階層Ｖｐｐ回路３２に与えられ、これによりＬレベルのブロック選択信号／ＢＳＤに応答して選択トランジスタ３２６がオンになる。このときローカル昇圧電源線ＬＰＬは既に昇圧電源電位Ｖｐｐまで充電されているので、ワード線ドライバＷＤ０～ＷＤ７は行アドレス信号に応答して直ちに活性化され得る。

【００９１】

他方、この１つのブロックが選択されない場合はブロック選択信号ＢＳＩがＬレベルになり、これによりＨレベルのブロック選択信号／ＢＳＤに応答して選択トランジスタ３２６がオフになる。

【００９２】
このような非選択状態（スタンバイ状態）が長く続くと、ローカル昇圧電源線ＬＰＬの電位は昇圧電源電位ＶｐｐＨから低下する。もしクランプ回路３２８がなければローカル昇圧電源線ＬＰＬの電位は０ボルトまで低下する。しかしながら、この実施の形態４ではクランプ回路３２８が設けられているため、たとえスタンバイ状態が長く続いた場合であってもローカル昇圧電源線ＬＰＬの電位ＶｐｐｉＨが０ボルトまで低下することはない。このクランプ回路３２８はダイオード接続されたトランジスタ３２９から構成されるため、ローカル昇圧電源線ＬＰＬの電位ＶｐｐｉＨがｅｘｔＶｃｃ－Ｖｔｈ（Ｖｔｈ：トランジスタ３２９のしきい電圧）よりも低下することはない。

【００９３】
以上のようにこの実施の形態４によれば、上記実施の形態１の効果に加えて、クランプ回路３２８が設けられるため、たとえスタンバイ状態が長く続いた場合であってもローカル昇圧電源線ＬＰＬの電位ＶｐｐｉＨが昇圧電位ＶｐｐＨから大幅に低下することはなく、その結果、ワード線ドライバＷＤ０～ＷＤ７はそのブロックの選択後直ちに活性化され得る。

【００９４】
なお、この実施の形態４ではクランプ回路３２８におけるクランプ電位として外部電源電位ｅｘｔＶｃｃが用いられたが、昇圧電源電位ＶｐｐＨ以外の電位、たとえば内部電源電位ｉｎｔＶｃｃが用いられてもよい。すなわち、昇圧電源電位ＶｐｐＨよりも早く立上がる電位であればクランプ電位として用いることができる。

【００９５】
［実施の形態５］
図１４は、この発明の実施の形態５による半導体記憶装置の構成を示すブロック図である。図１４を参照して、この半導体記憶装置は図９の構成に加えて、テストモード検出回路４０をさらに備える。このテストモード検出回路はテストモードを検出するとＬレベルのテストイネーブル信号／ＴＥを発生する。この実施の形態５における階層Ｖｐｐ制御回路４２はパワーオンリセット信号／ＰＯＲだけでなくテストイネーブル信号／ＴＥにも応答して階層制御信号／ＨＶＰＰＤを発生する。

【００９６】
図１５は、図１４中の階層Ｖｐｐ制御回路４２の具体的な構成を示す回路図である。図１５を参照して、この階層ＶＰＰ制御回路４２は、図１０で示された階層Ｖｐｐ制御回路３０におけるインバータ３０１に代えてＮＡＮＤゲート４２１を含む。ＰＯＲ発生回路２１からのパワーオンリセット信号／ＰＯＲとテストモード検出回路４０からのテストイネーブル信号／ＴＥとはＮＡＮＤゲート４２１に与えられる。したがって、パワーオンリセット信号／ＰＯＲおよびテストイネーブル信号／ＴＥの少なくとも一方がＬレベルになると、Ｌレベルの階層制御信号／ＨＶＰＰＤが生成される。

【００９７】
次に、この実施の形態５による半導体記憶装置の動作を説明する。
まず、テストモードではない通常モードにおいては、この半導体記憶装置は上記実施の形態４と同様に動作する。

【００９８】
他方、テストモードにおいては、テストモード検出回路４０がたとえばアドレスキー入力に応答してＬレベルのテストイネーブル信号／ＴＥを発生する。ここで、テストモードとしては、たとえば複数のワード線を同時に活性化することによりゲート酸化膜の加速試験を短時間で効率的に行なう場合などがある。Ｌレベルのテストイネーブル信号／ＴＥが生成されると、Ｌレベルの階層制御信号／ＨＶＰＰＤが階層Ｖｐｐ回路３２中のプリチャージトランジスタ３２７（図１１）のゲート電極に与えられる。これによりすべてのブロックにおけるローカル昇圧電源線ＬＰＬがグローバル昇圧電源線ＧＰＬに接続される。したがって、上記のような加速試験が行なわれ得る。すなわち、このテストモード検出回路４０はテストモードを検出すると昇圧電源線構成を通常構成に切換える。

【００９９】

なお、パワーオンリセット信号／ＰＯＲに代えて、後述する図１９中のパワーオンリセット信号／ＰＯＲ８、または上述した図７中のＶｐｐレベルディテクタ２６１からの昇圧イネーブル信号ＢＴＥなどが用いられてもよい。

【０１００】

上記のように実施の形態５によれば、パワーオンリセット信号／ＰＯＲだけでなく、テストモードにおいて活性化されるテストイネーブル信号／ＴＥにも応答してすべてのブロックにおけるローカル昇圧電源線ＬＰＬがグローバル昇圧電源線ＧＰＬに接続されるので、複数のワード線を同時に活性化するような加速試験を行なうことができる。

【０１０１】

［実施の形態６］

図１６は、この発明の実施の形態６による半導体記憶装置の一部構成を示すブロック図である。図１６を参照して、この半導体記憶装置は外部電源電位ｅｘｔＶｃｃに基づいてそれよりも低い内部電源電位ｉｎｔＶｃｃを生成する電圧ダウンコンバータ（ＶＤＣ）５４と、その生成された内部電源電位ｉｎｔＶｃｃに基づいてパワーオンリセット信号／ＰＯＲを発生するＰＯＲ発生回路５０とを備える。このＰＯＲ発生回路５０は図９中のＰＯＲ発生回路２１と異なり、内部電源電位ｉｎｔＶｃｃを受ける。

【０１０２】

図１７は、図１６中のＰＯＲ発生回路５０の構成を示す回路図である。図１７を参照して、このＰＯＲ発生回路５０は、ＰチャネルＭＯＳトランジスタ５０１～５０４と、ＮチャネルＭＯＳトランジスタ５０５～５０９と、インバータ５１０～５１５と、キャパシタ５１６～５２１とを含む。ＰチャネルＭＯＳトランジスタ５０１～５０３のソース電極には内部電源電位ｉｎｔＶｃｃが与えられる。キャパシタ５１８および５２０の一方電極にもまた内部電源電位ｉｎｔＶｃｃが与えられる。

【０１０３】

次に、この実施の形態６による半導体記憶装置の動作を図１８のタイミング図を参照して説明する。

【０１０４】

図１８（ａ）に示されるように電源が投入されると外部電源電位ｅｘｔＶｃｃが０ボルトから所定のレベルに向かって上昇するが、内部電源電位ｉｎｔＶｃｃは外部電源電位ｅｘｔＶｃｃよりもゆっくりと０ボルトから所定のレベルに向かって上昇する。このような内部電源電位ｉｎｔＶｃｃがＰＯＲ発生回路５０に供給されるので、内部電源電位ｉｎｔＶｃｃが所定のレベルの６０％に達したときＰＯＲ発生回路５０は図１８（ｂ）に示されるようにＬレベルのパワーオンリセット信号／ＰＯＲをＨレベルに不活性化する。したがって、パワーオンリセット信号／ＰＯＲがＬレベルにある期間は、外部電源電位ｅｘｔＶｃｃがＰＯＲ発生回路に供給される場合のそれよりも長くなる。そのため、図１８（ｃ）に示されるように階層制御信号／ＨＶＰＰＤがＬレベルにある期間もまた同様に長くなる。その結果、ローカル昇圧電源線ＬＰＬの初期充電期間Ｔｉｃ２も図１３中の初期充電期間Ｔｉｃ１よりも長くなる。

【０１０５】

図１８では外部電源電位ｅｘｔＶｃｃが立上がるまでに昇圧電源電位Ｖｐｐが所定レベルに十分に達していると仮定されているが、外部電源電位ｅｘｔＶｃｃが立上がるまでに昇圧電源電位Ｖｐｐが所定のレベルに十分に達しない場合もあり得る。この実施の形態６によれば、たとえそのような場合であってもローカル昇圧電源線は長い初期充電期間Ｔｉｃ２にわたってグローバル昇圧電源線ＧＰＬに接続されるので、ローカル昇圧電源線ＬＰＬは昇圧電源電位Ｖｐｐまで十分に充電され得る。

【０１０６】

図６ではパワーオンリセット信号／ＰＯＲが不活性化された後に行アドレスストローブ信号／ＲＡＳが８回トグルされているが、外部電源電圧ｅｘｔＶｃｃの立上がりが遅い場合には、行アドレスストローブ信号／ＲＡＳが８回トグルされた後にパワーオンリセット信号／ＰＯＲが不活性化されることもある。このような場合、この実施の形態６は特に有効

である。
【０１０７】
［実施の形態７］
図１９は、図５中のカウンタ２４１に相当する実施の形態７によるカウンタの具体的な構成を示すブロック図である。図１９を参照して、このカウンタ６０は、２ビットカウンタ６０４～６０６と、インバータ６０１，６０９，６１１と、論理ゲート６０２，６０３，６０７，６０８，６１０とを含む。このカウンタ６０には行アドレスストローブ信号／ＲＡＳが反転された制御信号ＲＡＳＥＶが与えられる。２ビットカウンタ６０４～６０６のリセット入力にはパワーオンリセット信号／ＰＯＲがインバータ６２を介して共通に与えられる。したがって、このカウンタ６０はＬレベルのパワーオンリセット信号／ＰＯＲに応答してリセットされ、行アドレスストローブ信号／ＲＡＳのトグル回数をカウントし、それが８回に達したときその出力信号をＨレベルに不活性化する。カウンタ６０の出力信号およびパワーオンリセット信号／ＰＯＲはＮＡＮＤゲート６４に与えられ、ＮＡＮＤゲート６４の出力信号はインバータ６６によって反転され、それによりパワーオンリセット信号／ＰＯＲ８が生成される。
【０１０８】
この実施の形態７では、このパワーオンリセット信号／ＰＯＲ８が上述したパワーオンリセット信号／ＰＯＲに代えて階層Ｖｐｐ制御回路３０または４２に与えられる。したがって、パワーオンリセット信号／ＰＯＲがＨレベルに不活性化されかつカウンタ６０の出力信号がＨレベルに不活性化されると、パワーオンリセット信号／ＰＯＲ８がＨレベルに不活性化され、それによりローカル昇圧電源線ＬＰＬの初期充電が終了する。
【０１０９】
この実施の形態７によれば、たとえ電源電位が早く立上がった場合であっても行アドレスストローブ信号／ＲＡＳが８回トグルされるまでローカル昇圧電源線が充電されるため、パワーオンリセット信号／ＰＯＲのみを用いる場合に比べてローカル昇圧電源線ＬＰＬの初期充電がより十分なものとなる。
【０１１０】
［実施の形態８］
図２０は、この発明の実施の形態８による半導体記憶装置の主要な構成を示すブロック図である。図２０を参照して、この半導体記憶装置は、内部昇圧回路２０と、グローバル昇圧電源線ＧＰＬと、ｍ個のメインブロックＭＢ１～ＭＢｍとを備える。メインブロックＭＢ１～ＭＢｍの各々は４つのサブブロックＳＢ１～ＳＢ４に分割される。たとえばメインブロックＭＢ１は、ブロック選択信号／ＢＳＤに応答してオン／オフになるＰチャネルＭＯＳトランジスタ７０１～７０４と、これらのトランジスタ７０１～７０４を介してグローバル昇圧電源線ＧＰＬと共通に接続されるローカル昇圧電源線ＬＰＬ１～ＬＰＬ４と、これらローカル昇圧電源線ＬＰＬ１～ＬＰＬ４に接続されるワード線ドライバＷＤ０～ＷＤ７とを含む。サブブロックＳＢ１～ＳＢ４の各々は、１つのＰチャネルＭＯＳトランジスタと、１つのローカル昇圧電源線と、２つのワード線ドライバとを含む。たとえばサブブロックＳＢ１は、ＰチャネルＭＯＳトランジスタ７０１と、ローカル昇圧電源線ＬＰＬ１と、ワード線ドライバＷＤ０，ＷＤ１とを含む。
【０１１１】
次に、この実施の形態８の動作を説明する。
まず、メインブロックＭＢ１～ＭＢｍのうちいずれかがアドレス信号に応答して選択される。たとえばメインブロックＭＢ１が選択される場合は、Ｌレベルのブロック選択信号／ＢＳＤ１がＰチャネルＭＯＳトランジスタ７０１～７０４のゲート電極に与えられる。これにより昇圧電源電位Ｖｐｐはグローバル昇圧電源線ＧＰＬおよびＰチャネルＭＯＳトランジスタ７０１～７０４を介してワード線ドライバＷＤ０～ＷＤ７に供給される。たとえばサブブロックＳＢ１では、グローバル昇圧電源線ＧＰＬの昇圧電源電位ＶｐｐがＰチャネルＭＯＳトランジスタ７０１を介してワード線ドライバＷＤ０およびＷＤ１にそれぞれ供給される。その他のサブブロックＳＢ２～ＳＢ４でもこれと同様である。そして、行ア

ドレス信号に応答してワード線ドライバＷＤ０～ＷＤ７の１つが対応するワード線を活性化する。

【０１１２】

図２では１つのブロックに１つの選択トランジスタが設けられ、昇圧電源電位Ｖｐｐはその１つの選択トランジスタを介して多数のワード線ドライバに供給されるので、その選択トランジスタのサイズは大きくなければならない。これに対し、実施の形態８では１つのメインブロックＭＢ１に４つのトランジスタ７０１～７０４が設けられ、昇圧電源電位Ｖｐｐが１つのトランジスタ（７０１～７０４）を介して２つのワード線ドライバ（ＷＤ０～ＷＤ７）に供給されるので、トランジスタ７０１～７０４のサイズを小さくすることができる。

【０１１３】

［実施の形態９］

図２１は、この発明の実施の形態９による半導体記憶装置の主要な構成を示すブロック図である。図２１を参照して、この半導体記憶装置は、内部昇圧回路２０と、グローバル昇圧電源線ＧＰＬと、選択トランジスタ８００と、ｍ個のブロックＢ１～Ｂｍとを備える。ブロックＢ１～Ｂｍはローカル昇圧電源線ＬＰＬ１～ＬＰＬｍをそれぞれ含む。ブロックＢ１～Ｂｍの各々はさらに、８つのワード線ドライバＷＤ０～ＷＤ７を含む。すなわち、これらのブロックＢ１～Ｂｍは図２０のメインブロックＭＢ１～ＭＢｍのようにサブブロックＳＢ１～ＳＢ４に分割されていない。また、図２に示されるように各ブロックに１つの選択トランジスタが設けられるのでなく、ｍ個のブロックＢ１～Ｂｍに対応して１つの選択トランジスタ８００が設けられる。

【０１１４】

次に、この半導体記憶装置の動作を説明する。

まず、アドレス信号に応答してブロックＢ１～Ｂｍのうちいずれかが選択される。いずれのブロックが選択される場合にもＬレベルのブロック選択信号／ＢＳＤに応答して選択トランジスタ８００がオンになる。これによりグローバル昇圧電源線ＧＢＬの昇圧電源電位Ｖｐｐは選択トランジスタ８００を介してローカル昇圧電源線ＬＰＬ１～ＬＰＬｍにそれぞれ供給される。そして、行アドレス信号に応答して、その選択されたブロック内のワード線ドライバＷＤ０～ＷＤ７の１つが対応するワード線を活性化する。

【０１１５】

図２では各ブロックに１つの選択トランジスタが必要であるのに対し、この実施の形態９では複数のブロックＢ１～Ｂｍに対応して１つの選択トランジスタ８００が設けられているので、階層昇圧線構成が簡略化される。

【０１１６】

［実施の形態１０］

図２２は、シェアードセンスアンプ方式を用いた従来の半導体記憶装置の主要な構成を示すブロック図である。図２３は、図２２中の１つの列の具体的な構成を示すブロック図である。図２２および図２３に示されるように、図上左側のビット線対ＢＬＬ，／ＢＬＬおよび図上右側のビット線対ＢＬＲ，／ＢＬＲは１つのセンスアンプ（Ｓ／Ａ）８１４を共有する。すべてのブロックＢ１～Ｂ５が選択されていない場合は、すべてのビット線分離ドライバ８０１～８０５がすべての分離トランジスタ８１０～８１３のゲート電極に昇圧電源電位Ｖｐｐレベルのビット線分離信号ＢＬＩＬ，ＢＬＩＲを与える。そのため、すべての分離トランジスタ８１０～８１３がオンになる。ここで、昇圧電源電位Ｖｐｐレベルのビット線分離信号ＢＬＩＬ，ＢＬＩＲが与えられるのは、電源電位Ｖｃｃレベルのデータが分離トランジスタ８１０～８１３のしきい電圧だけ低下することなくビット線ＢＬＬ，／ＢＬＬ，ＢＬＲ，／ＢＬＲに与えられるようにするためである。

【０１１７】

たとえばブロックＢ３が選択される場合は、ビット線分離ドライバ８０３がＶｐｐレベルにかえてグランドＧＮＤレベルのビット線分離信号ＢＬＩＬを対応する分離トランジスタ８１０，８１１のゲート電極に与え、かつＧＮＤレベルのビット線分離信号ＢＬＩＲを対

応する分離トランジスタ８１２，８１３のゲート電極に与える。これによりブロックＢ２内のビット線ＢＬＬおよび／ＢＬＬはセンスアンプ列８０７内のセンスアンプ８１４から切り離され、ブロックＢ３内のビット線ＢＬＲおよび／ＢＬＲのみがセンスアンプ列８０７内のセンスアンプ８１４に接続される。また、ブロックＢ４内のビット線ＢＬＲおよび／ＢＬＲはセンスアンプ列８０８内のセンスアンプ８１４から切り離され、ブロックＢ３内のビット線ＢＬＬおよび／ＢＬＬのみがセンスアンプ列８０８内のセンスアンプ８１４に接続される。

このように従来の半導体記憶装置では、Ｖｐｐレベルのビット線分離信号ＢＬＩＬ，ＢＬＩＲが多数の分離トランジスタ８１０～８１３のゲート電極に与えられるため、昇圧電源電位Ｖｐｐを発生する内部昇圧回路（図示せず）の負荷は大きくなければならない。したがって、以下の実施の形態１０の１つの目的は、内部昇圧回路の負荷が小さい半導体記憶装置を提供することである。

【０１１８】

図２４はのこの発明の実施の形態１０による半導体記憶装置の主要な構成を示すブロック図である。図２４を参照して、この半導体記憶装置は、複数のブロックＢ１～Ｂ５と、ブロックＢ１～Ｂ５の間に設けられた複数のセンスアンプ列８０６～８０９と、センスアンプ列８０６～８０９の両側に設けられた複数の分離トランジスタ８１０～８１３と、分離トランジスタ８１０～８１３を駆動するビット線分離ドライバ９０１～９０５とを備える。ブロックＢ１～Ｂ５の各々は、列に設けられた複数のビット線対ＢＬＬ，／ＢＬＬおよびＢＬＲ，／ＢＬＲと、行に設けられた複数のワード線（図示せず）と、ビット線対およびワード線の交点に設けられた複数のメモリセル（図示せず）とを含む。

【０１１９】

図２５は、図２４中の１つの列の具体的な構成を示すブロック図である。図２５を参照して、センスアンプ列８０６～８０９の各々は、複数のセンスアンプおよびビット線イコライズ回路と、複数の入出力（Ｉ／Ｏ）ゲート８１５とを含む。図２５では、１つのセンスアンプおよびビット線イコライズ回路９１０と１つの入出力ゲート８１５とが示される。各センスアンプおよびビット線イコライズ回路９１０は図上左側のブロック内の１つのビット線対ＢＬＬ，／ＢＬＬに対応するとともに、図上右側のブロック内の１つのビット線対ＢＬＲ，／ＢＬＲに対応する。ビット線対ＢＬＬ，／ＢＬＬは分離トランジスタ対８１０，８１１およびビット線対ＢＬＭ，／ＢＬＭを介してセンスアンプおよびビット線イコライズ回路９１０に接続される。また、ビット線対ＢＬＲ，／ＢＬＲは分離トランジスタ対８１２，８１３およびビット線対ＢＬＭ，／ＢＬＭを介してセンスアンプおよびビット線イコライズ回路９１０に接続される。したがって、センスアンプおよびビット線イコライズ回路９１０中のセンスアンプはビット線対ＢＬＬ，／ＢＬＬおよびＢＬＲ，／ＢＬＲによってシェアされる。

【０１２０】

各入出力ゲート８１５は１つのセンスアンプおよびビット線イコライズ回路９１０に対応し、列選択信号ＣＳＬに応答してビット線対ＢＬＭ，／ＢＬＭおよびローカル入出力線対ＬＩＯ，／ＬＩＯの間でデータを転送する。センスアンプおよびビット線イコライズ回路９１０中のセンスアンプはセンスアンプ駆動信号ＳＯＮおよびＳＯＰに応答してビット線対ＢＬＭ，／ＢＬＭ間の電位差を増幅する。センスアンプおよびビット線イコライズ回路９１０中のビット線イコライズ回路はビット線イコライズ信号（図示せず）に応答してＶｃｃ／２レベルのビット線プリチャージ電位（図示せず）をビット線対ＢＬＭ，／ＢＬＭに供給しかつビット線ＢＬＭおよび／ＢＬＭの電位をイコライズする。

【０１２１】

ビット線ＢＬＬおよび／ＢＬＬの間にはビット線イコライズ回路９１１が接続される。このビット線イコライズ回路９１１はビット線イコライズ信号ＢＬＥＱに応答してＶｃｃレベルのビット線プリチャージ電位ＶＰＬをビット線ＢＬＬおよび／ＢＬＬに供給し、かつビット線ＢＬＬおよび／ＢＬＬの電位をイコライズする。ビット線ＢＬＲおよび／ＢＬＲの間にはビット線イコライズ回路９１２が接続される。このビット線イコライズ回路９１

２はビット線イコライズ信号ＢＬＥＱに応答してビット線プリチャージ電位ＶＰＬをビット線ＢＬＲおよびＢＬＲに供給し、かつビット線ＢＬＲおよび／ＢＬＲの電位をイコライズする。

【０１２２】

図２６は、図２４中の１つのビット線分離ドライバの構成と、ビット線分離ドライバ９０１～９０５を階層化するための構成とを示す回路図である。図２７は、図２４中のビット線分離ドライバ９０１および９０２の全体構成と、ビット線分離ドライバを階層化するための構成とを示す回路図である。図２６および図２７を参照して、ビット線分離ドライバ９０１～９０５の各々は、ＰチャネルＭＯＳトランジスタ９２１，９２２と、ＮチャネルＭＯＳトランジスタ９２３，９２５と、インバータ９２４，９２６，９２７と、ドライバ（ＤＲ１，ＤＲ２）とを含む。ビット線分離ドライバ９０１～９０５の各々はブロック選択信号ＢＳＩ１～５に応答してビット線分離信号ＢＬＩＬ１、ＢＬＩＲ２およびＢＬＲＬ２～ＢＬＩＲ４およびＢＬＩＬ４、ならびにＢＬＩＲ５をそれぞれ生成する。

【０１２３】

図２６を参照して、この半導体記憶装置はさらに、昇圧電源電位ＶｐｐＨを発生する内部昇圧回路２０と、昇圧電源電位ＶｐｐＨが供給されるグローバル昇圧電源線ＧＰＬと、ローカル昇圧電源線ＬＰＬと、ビット線分離ドライバからのブロック選択信号／ＢＳＤに応答してローカル昇圧電源線ＬＰＬをグローバル昇圧電源線ＧＰＬに接続する選択トランジスタ３２６と、階層Ｖｐｐ制御回路（図９中３０）からの階層制御信号／ＨＶＰＰＤに応答してローカル昇圧電源線ＬＰＬをグローバル昇圧電源線ＧＰＬに接続するプリチャージトランジスタ３２７と、ローカル昇圧電源線ＬＰＬを外部電源電位ｅｘｔＶｃｃにクランプするクランプ回路３２８とを備える。図２７に示されるように、ローカル昇圧電源線ＬＰＬはビット線分離ドライバ９０１～９０５中のドライバＤＲに接続される。

【０１２４】

次に、この半導体記憶装置の動作を説明する。

まず、すべてのブロックＢ１～Ｂ５が選択されない場合は、すべてのビット線分離ドライバはそれぞれＬレベルのブロック選択信号ＢＳＩ１～ＢＳＩ５に応答して、グランドＧＮＤレベルのビット線分離信号ＢＬＩＬ１、ＢＬＩＲ２およびＢＬＩＬ２～ＢＬＩＲ４およびＢＬＩＬ４、ならびにＢＬＩＲ５を生成する。したがって、すべての分離トランジスタ８１０～８１３がオフになり、それによりすべてのビット線対ＢＬＬ，／ＢＬＬおよびＢＬＲ，／ＢＬＲがセンスアンプ列８０６～８０９から切り離される。このとき、センスアンプおよびビット線イコライズ回路９１０中のビット線イコライズ回路はビット線イコライズ信号に応答してビット線ＢＬＭおよび／ＢＬＭをＶｃｃ／２レベルにプリチャージする。ビット線イコライズ回路９１１はビット線イコライズ信号に応答してビット線ＢＬＬおよび／ＢＬＬをＶｃｃ／２レベルにプリチャージする。ビット線イコライズ回路９１２はビット線イコライズ信号に応答してビット線ＢＬＲおよび／ＢＬＲをＶｃｃレベルにプリチャージする。このようにビット線対ＢＬＬ，／ＢＬＬおよびＢＬＲ，／ＢＬＲがセンスアンプから切り離されてもビット線ＢＬＬおよび／ＢＬＬの間にビット線イコライズ回路９１１が設けられ、かつビット線ＢＬＲおよび／ＢＬＲの間にビット線イコライズ回路９１２が設けられるので、ビット線対ＢＬＬ，／ＢＬＬおよびＢＬＲ，／ＢＬＲはプリチャージされ得る。また、Ｌレベルのブロック選択信号ＢＳＩ１～５に応答してビット線分離ドライバ９０１～９０５はＨレベルのブロック選択信号／ＢＳＤ１～／ＢＳＤ５を生成する。このＨレベルのブロック選択信号／ＢＳＤ１～／ＢＳＤ５に応答してすべての選択トランジスタ３２６がオフになるので、ローカル昇圧電源線ＬＰＬはグローバル昇圧電源線ＧＢＬに接続されない。したがって、昇圧電源電位ＶｐｐＨがローカル昇圧電源線ＬＰＬを介していずれのドライバＤＲにも供給されない。そのため、ドライバＤＲ中のトランジスタＱ１およびＱ２に流れる貫通電流が低減され得る。ドライバＤＲ中のトランジスタＱ１およびＱ２のサイズは、１つのドライバＤＲが駆動する分離トランジスタ８１０，８１１または８１２，８１３の数が多いほど大きくする必要がある。したがって、１つのドライバＤＲが駆動する分離トランジスタ８１０，８１１または８１２，８１３の数が多いほ

ど貫通電流の低減は効果的となる。

【０１２５】

次いで、たとえばブロックＢ３が選択される場合は、ブロック選択信号ＢＳＩ３のみがＨレベルに活性化される。ビット線分離ドライバ９０３はＨレベルのブロック選択信号ＢＳＩ３に応答してブロック選択信号／ＢＳＤ３をＬレベルに活性化する。ブロックＢ３の選択トランジスタ３２６はＬレベルのブロック選択信号／ＢＳＤ３に応答してオンになり、これによりグローバル昇圧電源線ＧＢＬの昇圧電源電位Ｖｐｐはローカル昇圧電源線ＬＰＬに供給される。そのため、ビット線分離ドライバ９０３はＨレベルのブロック選択信号ＢＳＩ３に応答してローカル昇圧電源線ＬＰＬの電位ＶｐｐｉをブロックＢ３の両側の分離トランジスタ８１０～８１３のゲート電極に供給する。すなわち、ビット線分離信号ＢＬＩＬ３およびＢＬＩＲ３のみがＶｐｐレベルになる。

【０１２６】

このように選択されたブロックの両側の選択トランジスタのみにＶｐｐレベルのビット線分離信号が与えられ、その他の分離トランジスタにはＧＮＤレベルのビット線分離信号が与えられるため、ドライバＤＲに流れる貫通電流が大幅に低減され得る。その結果、内部昇圧回路２０の負荷を上述した従来のものよりも小さくすることができる。

【０１２７】

また、この実施の形態１０では階層制御信号／ＨＶＰＰＤに応答してオン／オフになるプリチャージトランジスタ３２７が設けられるため、上述した実施の形態と同様にパワーオンリセット期間中にローカル昇圧電源線ＬＰＬがＶｐｐレベルにプリチャージされる。その結果、パワーオンリセット期間後直ちにビット線分離信号ＢＬＩが活性化され得る。

【０１２８】

また、この実施の形態１０ではクランプ回路３２８が設けられるため、上述した実施の形態と同様にすべてのブロックＢ１～Ｂ５が選択されない状態が長く続いてもローカル昇圧電源線ＬＰＬの電位ＶｐｐｉがＶｐｐから大幅に低下することがない。

【０１２９】

［実施の形態１１］

図２８は、この発明の実施の形態１１による半導体記憶装置の全体構成を示すレイアウト図である。図２８を参照して、この半導体記憶装置９４は、昇圧電源電位Ｖｐｐを発生する内部昇圧回路２０と、昇圧電源電位Ｖｐｐが供給されるグローバル昇圧電源線ＧＰＬと、選択的に活性化可能な複数のブロック９５と、複数のブロック９５に対応して設けられ、各々がブロック選択信号ＢＳＩに応答して対応するブロック９５をグローバル昇圧電源線ＧＢＬに接続する階層Ｖｐｐ回路３２とを備える。

【０１３０】

図２９は、図２８中の各ブロック９５の構成を詳細に示すブロック図である。図２９を参照して、各ブロック９５は、階層Ｖｐｐ回路３２を介してグローバル昇圧電源線ＧＰＬに接続可能なローカル昇圧電源線ＬＰＬと、ローカル昇圧電源線ＬＰＬに共通に接続されたｎ個の機能回路ＦＣ１～ＦＣｎと、機能回路ＦＣ１～ＦＣｎによって制御されるブロック９６とを備える。たとえば機能回路ＦＣ１はワード線ドライバなどを含み、機能回路ＦＣ２はビット線分離ドライバなどを含む。すなわち、この実施の形態１１ではワード線ドライブ系ごとあるいは分離トランジスタドライブ系ごとに昇圧電源電位Ｖｐｐが階層化されるのではなく、ワード線ドライブ系、分離トランジスタドライブ系などの複数の機能回路ＦＣ１～ＦＣｎ全体で昇圧電源電位Ｖｐｐが階層化される。

【０１３１】

次に、この半導体記憶装置の動作を説明する。すべてのブロック９５が選択されない場合は、Ｌレベルのブロック選択信号ＢＳＩに応答してすべてのブロック９５中のローカル昇圧電源線ＬＰＬがグローバル昇圧電源線ＧＰＬから切り離される。したがって、たとえば機能回路ＦＣ１が多数のワード線ドライバを含む場合であってもワード線ドライバに流れる貫通電流が大幅に低減される。

【０１３２】

次いで、いずれかのブロック９５が選択されると、その選択されたブロック９５中のローカル昇圧電源線ＬＰＬがＨレベルのブロック選択信号に応答してグローバル昇圧電源線ＧＢＬに接続される。しかしながら、非選択のブロック９５中のローカル昇圧電源線ＬＰＬはグローバル昇圧電源線ＧＰＬに接続されない。したがって、たとえば機能回路ＦＣ１が多数のワード線ドライバを含む場合であってもワード線ドライバに流れる貫通電流は大幅に低減される。なお、各機能回路内において昇圧電源電位Ｖｐｐがさらに階層化されてもよい。

【０１３３】

以上、この発明の実施の形態を詳述したが、この発明の範囲は上述した実施の形態によって限定されるものではなく、この発明はその趣旨を逸脱しない範囲内で当業者の知識に基づき種々の改良、修正、変形などを加えた形態で実施し得るものである。

【０１３４】

【発明の効果】

請求項１に係る半導体記憶装置によれば、パワーオンリセット信号に応答してローカル電源線がグローバル電源線に接続されるため、パワーオンリセット期間中にローカル電源線の初期充電が完了する。そのため、この半導体記憶装置は電源投入後直ちに動作することができる。

【０１３５】

請求項２に係る半導体記憶装置によれば、パワーオンリセット信号に応答して複数のブロック内のすべてのローカル電源線がグローバル電源線に接続されるため、パワーオンリセット期間中にすべてのローカル電源線の初期充電が完了する。そのため、この半導体記憶装置は電源投入後直ちに動作することができる。

【０１３６】

請求項３に係る半導体記憶装置によれば、請求項１または請求項２の効果に加えて、パワーオンリセット信号の不活性化が遅延させられ、それによりローカル電源線の初期充電が延長されるため、ローカル電源線は昇圧電源電位まで十分に充電される。そのため、この半導体記憶装置は電源投入直後であってもより正確に動作することができる。

【０１３７】

請求項４に係る半導体記憶装置によれば、請求項３の効果に加えて、外部から供給される制御信号の数が予め定められた数に達したとき初期化信号が不活性化されるため、ローカル電源線の初期充電時間を自在に変更することができる。

【０１３８】

請求項５に係る半導体記憶装置によれば、請求項３の効果に加えて、グローバル電源線の電位が所定の昇圧電源電位に達したとき初期化信号が不活性化されるため、ローカル電源線は常に完全な昇圧電源電位まで充電される。そのため、この半導体記憶装置は電源投入直後であってもより正確な動作をすることができる。

【０１３９】

請求項６に係る半導体記憶装置によれば、請求項５の効果に加えて、初期信号を出力するフリップフロップ回路がパワーオンリセット信号に応答してセットされ、かつ昇圧イネーブル信号に応答してリセットされるため、ローカル電源線の初期充電完了後にグローバル電源線の電位が低下したとしても不用意にローカル電源線の充電が再開されることはない。そのため、不要な電力消費を防止することができる。

【０１４０】

請求項７に係る半導体記憶装置によれば、請求項１または請求項２の効果に加えて、論理ゲートが選択信号およびパワーオンリセット信号に応答し、ローカル電源線をグローバル電源線に接続するためのトランジスタをオン／オフにするため、電源投入後直ちに動作可能な半導体記憶装置を簡単な回路で実現することができる。

【０１４１】

請求項８に係る半導体記憶装置によれば、請求項２の効果に加えて、ブロック選択デコーダが行アドレス信号に応答して選択信号を発生し、それによりいずれかのブロックを選択

するため、電源投入後直ちに動作可能な階層昇圧電源線構成を有する半導体記憶装置を簡単な回路で実現することができる。

【図面の簡単な説明】

【図１】この発明の実施の形態１によるＤＲＡＭの全体構成を示すブロック図である。

【図２】図１中の内部昇圧回路およびＰＯＲ発生回路とともに、ブロック化された行デコーダおよびワード線ドライバ列の構成を示すブロック図である。

【図３】図２に示された１つのブロック内のワード線ドライバ列およびメモリセルアレイの構成を示すブロック図である。

【図４】図１および図２中のＰＯＲ発生回路の具体的な構成を示す回路図である。

【図５】この発明の実施の形態２によるＤＲＡＭの主要な構成を示すブロック図である。

【図６】図５に示されたＤＲＡＭ中の遅延回路の動作を示すタイミング図である。

【図７】この発明の実施の形態３によるＤＲＡＭの主要な構成を示すブロック図である。

【図８】図７に示されたＤＲＡＭ中の遅延回路の動作を示すタイミング図である。

【図９】この発明の実施の形態４によるＤＲＡＭの概略構成を示すブロック図である。

【図１０】図９中の階層Ｖｐｐ制御回路の具体的な構成を示す回路図である。

【図１１】図９中の階層Ｖｐｐ回路の具体的な構成を示す回路図である。

【図１２】図９中のワード線ドライバ列の具体的な構成を示す回路図である。

【図１３】図９～図１２に示されたＤＲＡＭの動作を示すタイミング図である。

【図１４】この発明の実施の形態５によるＤＲＡＭの概略構成を示すブロック図である。

【図１５】図１４中の階層Ｖｐｐ制御回路４２の具体的な構成を示す回路図である。

【図１６】この発明の実施の形態６によるＤＲＡＭの主要な構成を示すブロック図である。

【図１７】図１６中のＰＯＲ発生回路の具体的な構成を示す回路図である。

【図１８】図１６および図１７に示されたＤＲＡＭの動作を示すタイミング図である。

【図１９】ＤＲＡＭの内部回路をリセットするために８サイクルの行アドレスストローブ信号をカウントするこの発明の実施の形態７によるカウンタの構成を示すブロック図である。

【図２０】この発明の実施の形態８によるＤＲＡＭの主要な構成を示すブロック図である。

【図２１】この発明の実施の形態９によるＤＲＡＭの主要な構成を示すブロック図である。

【図２２】シェアードセンスアンプ方式を用いた従来のＤＲＡＭの主要な構成を示すブロック図である。

【図２３】図２２中の１つの列の具体的な構成を示すブロック図である。

【図２４】この発明の実施の形態１０によるＤＲＡＭの主要な構成を示すブロック図である。

【図２５】図２４中の１つの列の具体的な構成を示すブロック図である。

【図２６】図２４中の１つのビット線分離ドライバの一部およびその周辺の具体的な構成を示す回路図である。

【図２７】図２４中の２つのビット線分離ドライバおよびその周辺の具体的な構成を示す回路図である。

【図２８】この発明の実施の形態１１によるＤＲＡＭの全体構成を示すレイアウト図である。

【図２９】図２８中の１つのブロックの具体的な構成を示すブロック図である。

【図３０】従来のＤＲＡＭに用いられる内部昇圧回路、デコーダユニットおよびワード線ドライバを示すブロック図である。

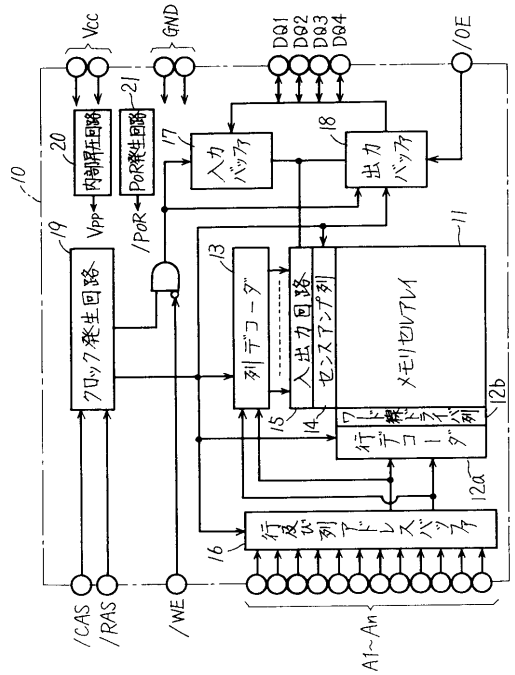
【図３１】階層昇圧電源線構成を有する従来のＤＲＡＭの主要な構成を示すブロック図である。

【符号の説明】

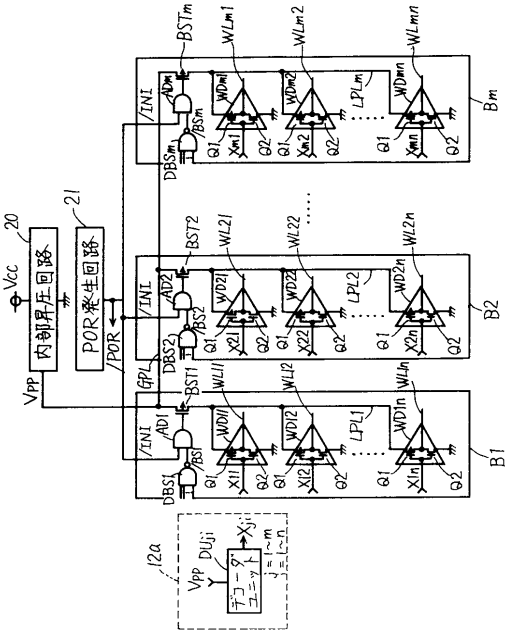
１１　メモリセルアレイ、１２ａ　行デコーダ、１２ｂ，３４　ワード線ドライバ列、１

３　列デコーダ、２０　内部昇圧回路、２１，５０　ＰＯＲ発生回路、Ｂ１～Ｂｍ，９５　ブロック、ＧＰＬ　グローバル昇圧電源線、ＬＰＬ１～ＬＰＬｍ　ローカル昇圧電源線、ＤＢＳ１～ＤＢＳｍ　ブロック選択デコーダ、ＡＤ１～ＡＤｍ　ＡＮＤゲート、ＤＴ１～ＤＴｍ　駆動トランジスタ、ＷＤ０～ＷＤｎ　ワード線ドライバ、ＷＬ１～ＷＬｎ　ワード線、ＢＬ１，／ＢＬ１，ＢＬ２，／ＢＬ２　，ＢＬＬ，／ＢＬＬ，ＢＬＲ，／ＢＬＲ　ビット線、２２　メモリセル、２４，２６　遅延回路、６０，２４１　カウンタ、２６１　Ｖｐｐレベルディテクタ、２６２　ＲＳフリップフロップ回路、３０，４２　階層Ｖｐｐ制御回路、３２　階層Ｖｐｐ回路、３２６，７０１～７０４，８００　選択トランジスタ、３２７　プリチャージトランジスタ、３２８　クランプ回路、４０　テストモード検出回路、５４　電圧ダウンコンバータ、ＭＰ１～ＭＰｍ　メインブロック、ＳＢ１～ＳＢ４　サブブロック、１４，８０６～８０９　センスアンプ列、８１０～８１３　分離トランジスタ、９０１～９０５　ビット線分離ドライバ、９１０　センスアンプおよびビット線イコライズ回路、ＤＲ　ドライバ、ＦＣ１～ＦＣｎ　機能回路。

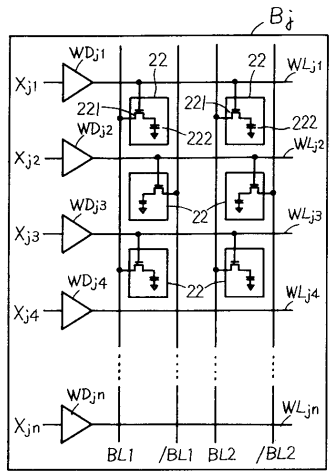
【図１】



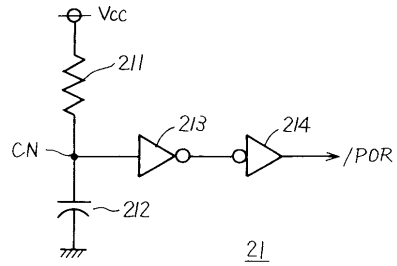
【図２】



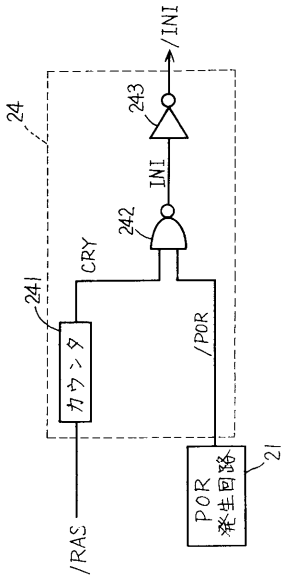
【図３】



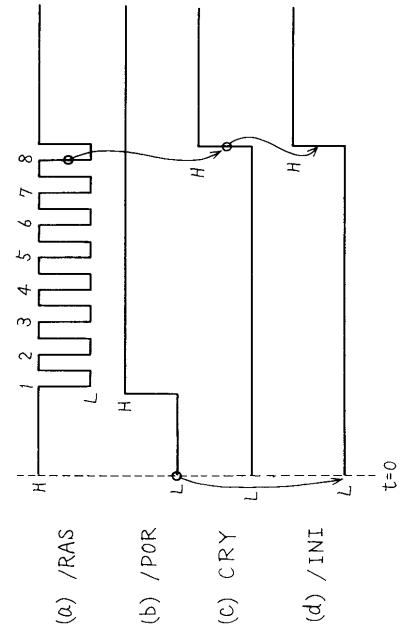
【図４】



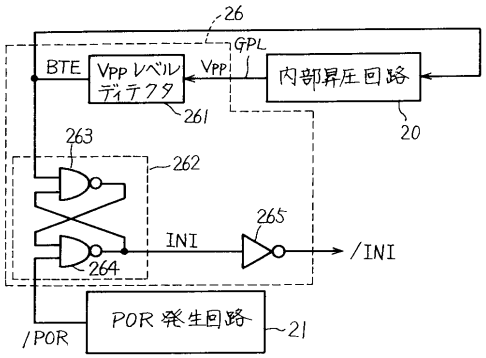
【図５】



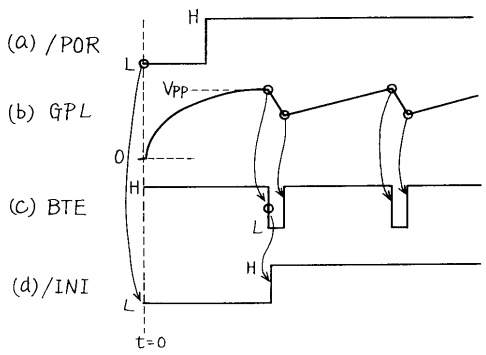
【図６】



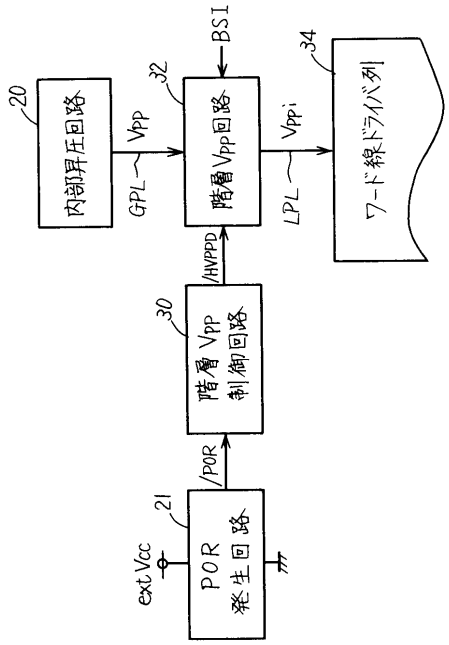
【図７】



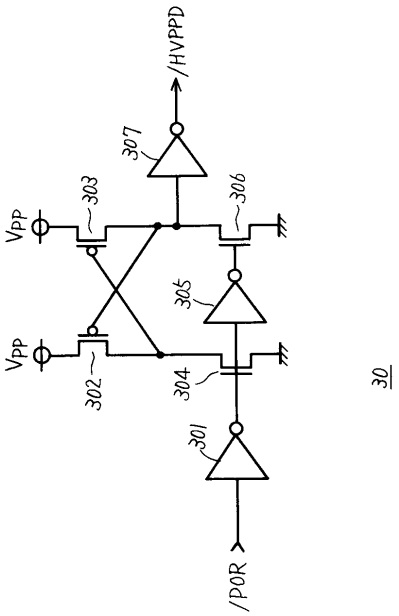
【図８】



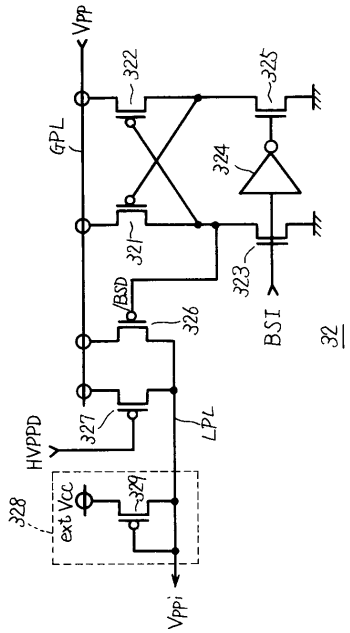
【図９】



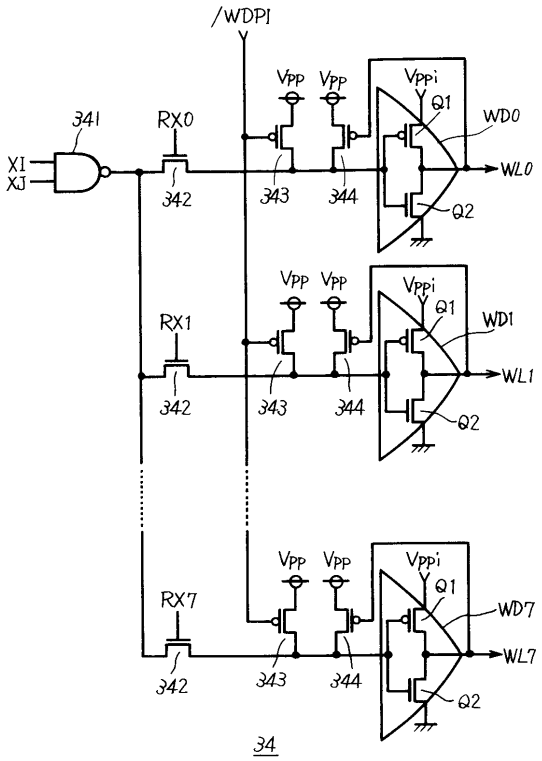
【図１０】



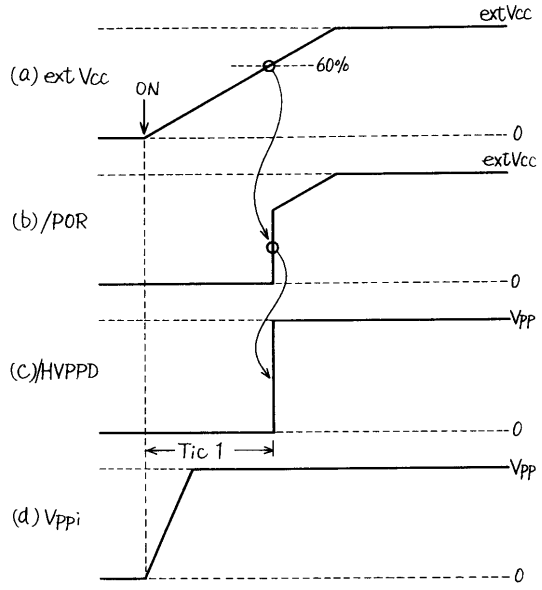
【図１１】



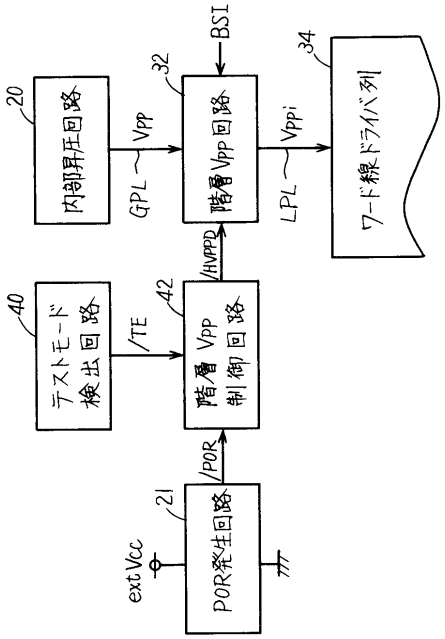
【図１２】



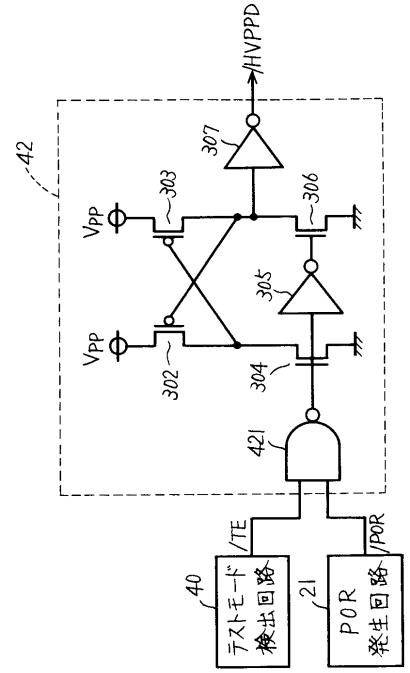
【図１３】



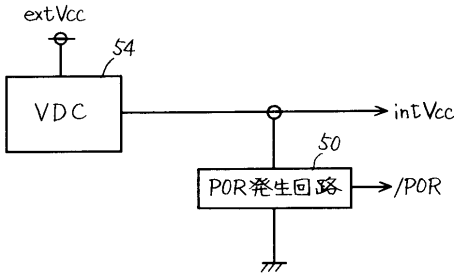
【図１４】



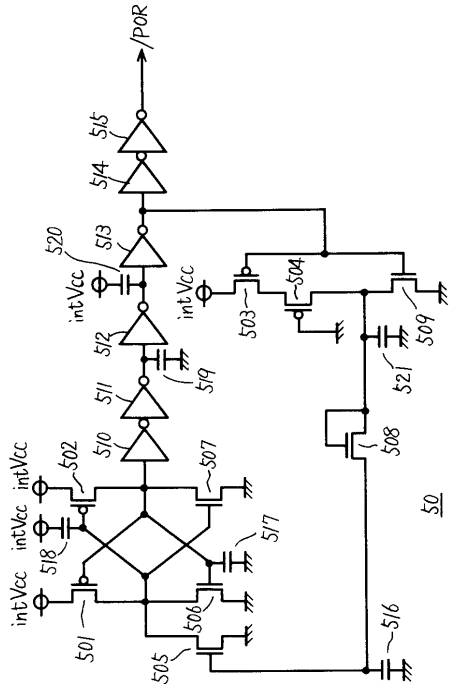
【図１５】



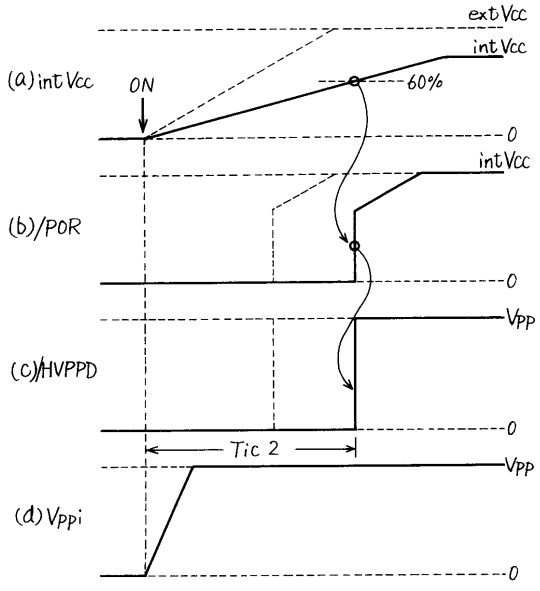
【図１６】



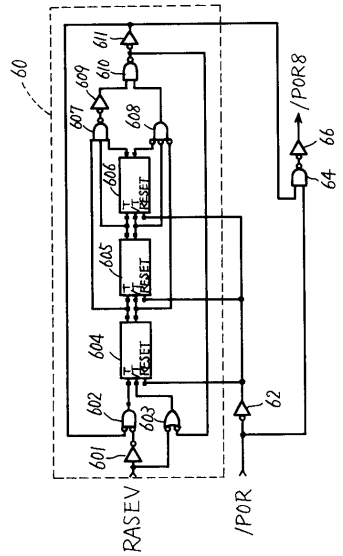
【図１７】



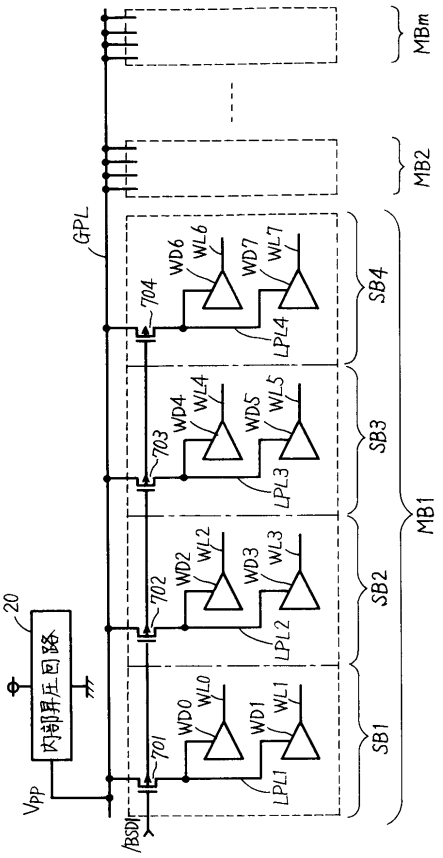
【図１８】



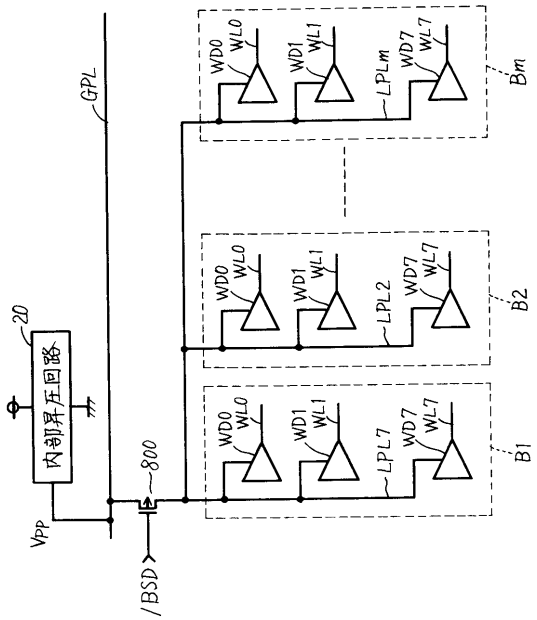
【図１９】



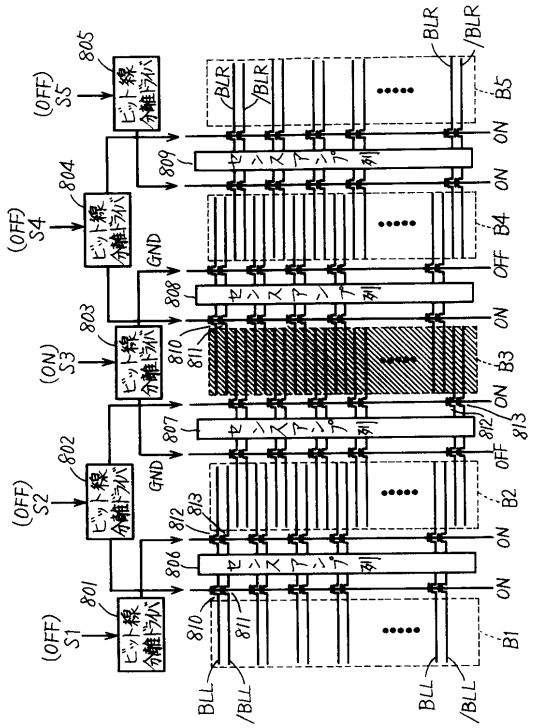
【図２０】



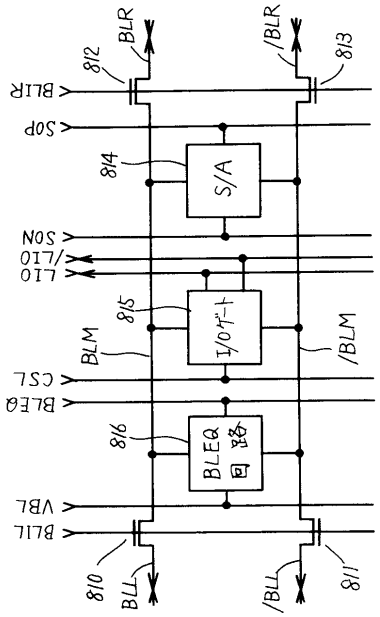
【図２１】



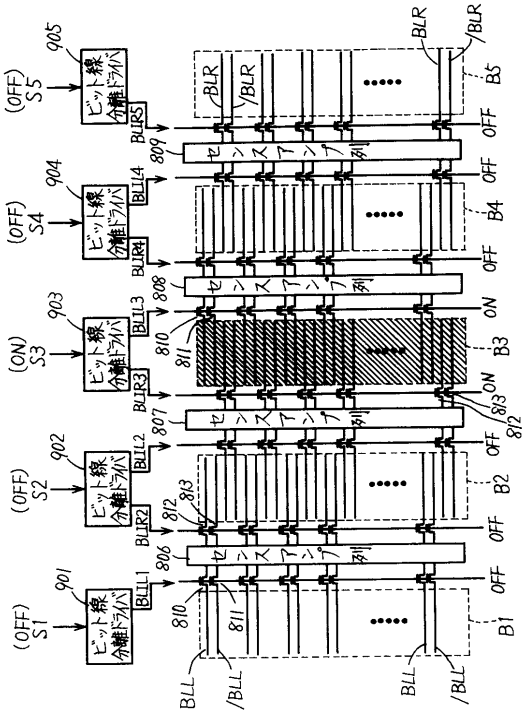
【図２２】



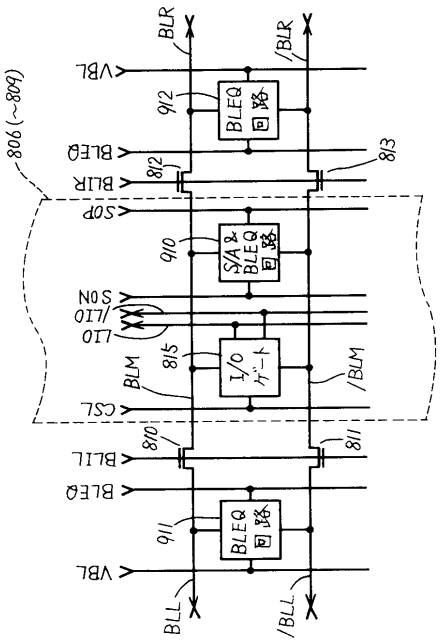
【図２３】



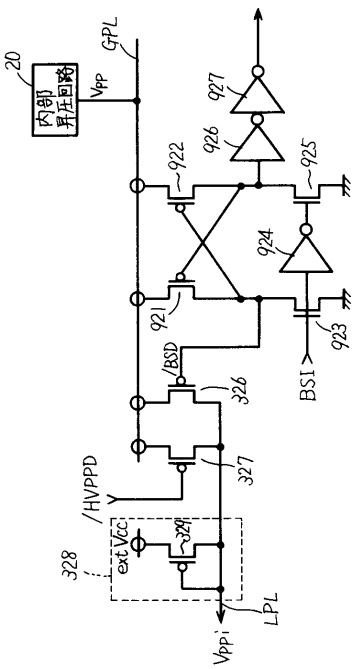
【図２４】



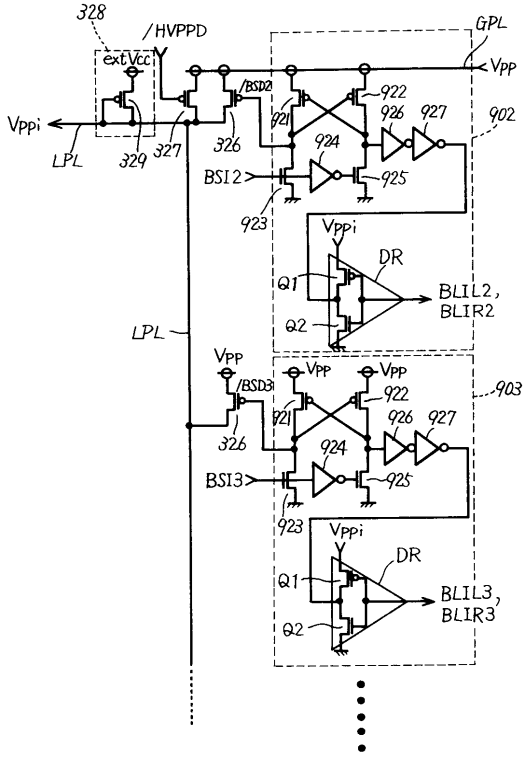
【図２５】



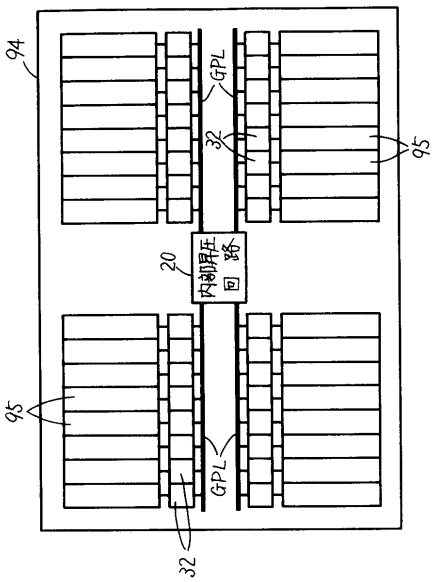
【図２６】



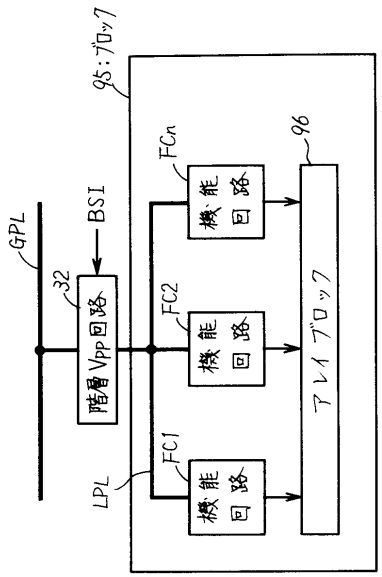
【図２７】



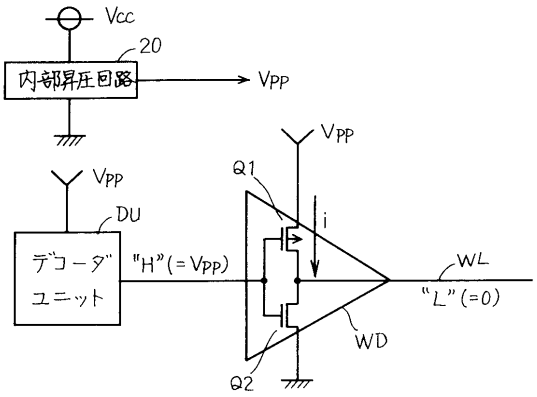
【図２８】



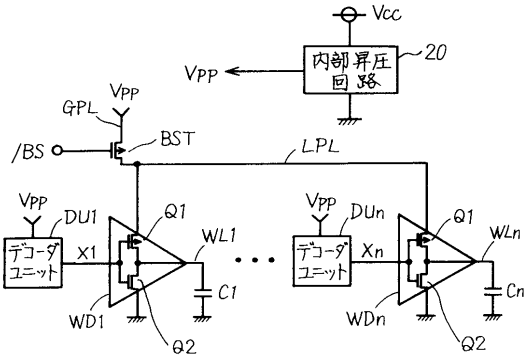
【図２９】


95:ブロック
96
FCn
FC2
FC1
GPL
BSI
32
LPL
機能回路
機能回路
機能回路
階層Vpp回路
アレイブロック

【図３０】


Vcc
20
内部昇圧回路
Vpp
Vpp
DU
デコーダ
ユニット
"H"(=Vpp)
Vpp
Q1
i
WL
"L"(=0)
WD
Q2

【図３１】


Vcc
20
内部昇圧回路
Vpp
GPL
Vpp
/BS
BST
LPL
Vpp
DU1
Q1
デコーダ
ユニット
X1
WL1
C1
WD1
Q2
Vpp
DUn
Q1
デコーダ
ユニット
Xn
WLn
Cn
WDn
Q2

フロントページの続き

(72)発明者　河野　隆司
東京都千代田区丸の内二丁目２番３号　三菱電機株式会社内
(72)発明者　古谷　清広
東京都千代田区丸の内二丁目２番３号　三菱電機株式会社内
(72)発明者　朝倉　幹雄
東京都千代田区丸の内二丁目２番３号　三菱電機株式会社内
(72)発明者　日高　秀人
東京都千代田区丸の内二丁目２番３号　三菱電機株式会社内

審査官　加藤　俊哉

(56)参考文献　特開平０６－２３２３４８（ＪＰ，Ａ）
特開平０５－１２０８７３（ＪＰ，Ａ）
特開平０５－２９１９１５（ＪＰ，Ａ）
特開平０４－０８８５１８（ＪＰ，Ａ）
特開平０６－３２５５６７（ＪＰ，Ａ）
特開平０６－０２１３７６（ＪＰ，Ａ）
特開平０５－２５８５７７（ＪＰ，Ａ）

(58)調査した分野(Int.Cl.[7]，ＤＢ名)
G11C 11/407