

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第4108359号
(P4108359)

(45) 発行日 平成20年6月25日(2008.6.25)

(24) 登録日 平成20年4月11日(2008.4.11)

(51) Int.Cl.

F 1

| | | | |
|------------|-----------|------------|------|
| HO4L 1/00 | (2006.01) | HO4L 1/00 | B |
| GO6F 11/10 | (2006.01) | GO6F 11/10 | 330P |
| GO6F 12/02 | (2006.01) | GO6F 12/02 | 590B |
| HO3M 13/15 | (2006.01) | HO3M 13/15 | |
| HO3M 13/27 | (2006.01) | HO3M 13/27 | |

請求項の数 10 (全 16 頁)

| | |
|--------------|------------------------------|
| (21) 出願番号 | 特願2002-119003 (P2002-119003) |
| (22) 出願日 | 平成14年4月22日 (2002.4.22) |
| (65) 公開番号 | 特開2003-51813 (P2003-51813A) |
| (43) 公開日 | 平成15年2月21日 (2003.2.21) |
| 審査請求日 | 平成16年12月3日 (2004.12.3) |
| (31) 優先権主張番号 | 09/839486 |
| (32) 優先日 | 平成13年4月23日 (2001.4.23) |
| (33) 優先権主張国 | 米国(US) |

| | |
|-----------|--|
| (73) 特許権者 | 596092698 ルーセント テクノロジーズ インコーポ レーテッド アメリカ合衆国。O 7 9 7 4 - 0 6 3 6 ニュージャーシィ、マレイ ヒル、マウン テン アヴェニュー 600 |
| (74) 代理人 | 100064447 弁理士 岡部 正夫 |
| (74) 代理人 | 100085176 弁理士 加藤 伸晃 |
| (74) 代理人 | 100106703 弁理士 産形 和央 |
| (74) 代理人 | 100096943 弁理士 白井 伸一 |

最終頁に続く

(54) 【発明の名称】 等化方法及びその装置

(57) 【特許請求の範囲】

【請求項 1】

光学自由空間媒体を介して送信ペイロードデータビットストリームを送信する装置であつて、

リード・ソロモン符号化を用いて光送信ペイロードデータビットストリームをコードワードへ符号化する手段と、

前記コードワードをセグメントのシーケンスに分割する手段と、

物理ページを蓄積する、SDRAMデバイスからなるバッファストアとを含み、

前記SDRAMデバイスの各々は、メモリセルのマトリクスと、読み出しレートと書き込みレートとを含むサイクルレートとを有し、前記SDRAMデバイスは前記サイクルレートで読み出し可能且つ書き込み可能であり、そして、

前記SDRAMデバイスのメモリセルのマトリクスの各々は、前記物理ページのうちの単一ページをその各々が包含する、定義されたメモリセルのx-y行列サブマトリクスを有し、前記装置はさらに、

第1のページ変更オーバヘッド動作を有する書き込み動作において、コードワードセグメントの連続するブロックを前記メモリセルのx-yサブマトリクスへインタリープする手段と、

符号化されインタリープされたデータビットストリームを生成するために、第2のページ変更オーバヘッド動作を有する読み出し動作において、コードワードセグメントを前記メモリセルのx-yサブマトリクスから読み出す手段と、

10

20

前記第1のページ変更オーバヘッド動作を前記第2のページ変更オーバヘッド動作へ実質的に再分配して前記書き込み動作と前記読み出し動作とのレートを等しくするために、前記メモリセルのサブマトリクスへの書き込み動作と前記メモリセルのサブマトリクスからの読み出し動作を取り扱う手段と、

前記符号化されインタリープされたデータビットストリームを前記光学自由空間媒体へ送信する手段とを含むことを特徴とする装置。

【請求項2】

コードワードセグメントの前記ロックのK個連続するエントリを前記メモリセルのサブマトリクスの各々へ書き込む手段と、

前記連続するエントリ数Kによって決定されたレートで前記読み出し動作においてページを変更する手段とをさらに含むことを特徴とする請求項1に記載の装置。 10

【請求項3】

前記書き込み動作と読み出し動作を取り扱う手段は、

前記メモリセルのサブマトリクスの連続する列に、SDRAMページからなる連続する前記コードワードの対応するセグメントを書き込む手段と、

前記ページの1つで保持する前記列の数を、前記読み出しレートと前記書き込みレートとを実質的に等しくする間隔において物理SDRAMページ変更を保証する数に維持するために、読み出しに対する前記メモリセルのサブマトリクスのアドレスを再マッピングする手段とを含むことを特徴とする請求項2に記載の装置。 20

【請求項4】

列による前記メモリセルのサブマトリクスへのエントリのために前記コードワードセグメントを受信する手段と、

前記第1と第2のページ変更オーバヘッド動作を等しくする行による前記エントリ数の完了に続き、前記物理SDRAMページ変更を生じさせる手段とをさらに含むことを特徴とする請求項2に記載の装置。 20

【請求項5】

前記メモリセルのサブマトリクスの各々は正方であり、前記正方の各側の大きさは、前記物理ページの各々からなる前記コードワードの数の平方根に等しいことを特徴とする請求項3に記載の装置。 20

【請求項6】

シンチレーション効果を引き起こす前記媒体の状態を検出する手段と、

前記状態が検出されたときに前記符号化と前記インタリープとを活動させる手段とをさらに含むことを特徴とする請求項4に記載の装置。 30

【請求項7】

遠隔に位置するレシーバをさらに含み、前記レシーバは前記符号化されインタリープされたデータビットストリームをデインタリープしデコードする手段を含むことを特徴とする請求項6に記載の装置。 30

【請求項8】

前記SDRAMデバイスは、2000万ビットのオーダーのエラーバーストを修正するのに充分な大きさのメモリセルのストレージ容量を有することを特徴とする請求項7に記載の装置。 40

【請求項9】

前記リードソロモン符号は(255、223)フォーマットであることを特徴とする請求項8に記載の装置。

【請求項10】

光学自由空間媒体を介して送信ペイロードデータビットストリームを送信する装置であつて、

リード・ソロモン符号化を用いて光送信ペイロードデータビットストリームをコードワードへ符号化する手段と、

前記コードワードの各々をセグメントに分割する手段と、 50

メモリセルのマトリクスからなる、エントリ受信レートとエントリ送信レートとを有するS D R A M バッファストアとを含み、

前記メモリセルのマトリクスはx - y サブマトリクスを含み、そして前記サブマトリクスの各々は、単一のS D R A M 物理ページを含む前記複数のセグメントを受信するよう構成されており、前記装置はさらに、

連続する前記コードワードの対応するセグメントを前記メモリセルの前記x - y サブマトリクスの各々へインタリープするために、書き込み動作を生じさせる手段を含み、

前記書き込み動作は関連する第1のページ変更オーバヘッド動作を有するものであり、前記装置はさらに、

前記メモリセルの前記x - y サブマトリクスの各々から読み出すために読み出し動作を生じさせる手段を含み、10

前記読み出し動作は関連する第2のページ変更オーバヘッド動作を有し、そして、

前記メモリセルの前記x - y サブマトリクスの各々へ書き込み動作及び前記x - y サブマトリクスの各々からの読み出し動作は、前記書き込み動作からのページ変更オーバヘッド動作を前記読み込み動作に実質的に再分配し、これにより前記書き込み動作と前記読み込み動作のレートが等しくなるよう行われるものであり、前記装置はさらに、

前記インタリープされたセグメントを前記光学自由空間媒体へ送信する手段を含むことを特徴とする装置。

【発明の詳細な説明】

【0001】

20

【発明の属する技術分野】

本発明は光通信に関し、特に、自由空間を伝播する際のシンチレーション効果に起因する劣化を回復する方法及びその装置に関する。

【0002】

【従来の技術】

自由空間光伝送は、伝送媒体におけるシンチレーション効果に起因する劣化を受けやすい。自由空間光信号は、数ミリ秒のオーダーの時間に亘るシンチレーション起因のフェージングを受ける。よって、数ギガビット/秒の信号は、この時間の間に、数千万ビットを失うことになる。例えば、2.5ギガビット/秒のデータストリームにおける8ミリ秒のフェージングは、2千万ビットの喪失に対応する。30

【0003】

データストリームが光ファイバを介して伝播させられる場合には、ロック指向前方エラー修正(F E C)が広く用いられている。しかしながら、自由空間光伝送におけるシンチレーション効果に起因する劣化は、光ファイバ媒体における一般的に遙かに短いエラーバースト持続時間と比較して、数百万ビットに対応する長さで継続しうる。従って、シングルロックF E Cエラー修正プロセスは、自由空間光伝送において発生する長さのエラーを修正するためには極めて非現実的である。シンチレーション効果に起因するこの問題を、影響を受けたブロックを選択的に再送信することによって対処しようとすることも、ビデオ映像などの通信プロセスの特性故に、上述されているような長時間に亘るエラーバーストに関しては実際的ではない。40

【0004】

多くの通信応用例においては、エラーに対してさらに堅固であること及びさらなる雑音低減の実現を目的として、データストリームのインターリープ、すなわちシャッフリング、が利用される。W.Peterson及びE.J.Weldenによる“エラー修正符号”(MIT Press(1972)、第371頁)という出版物(本発明の参照文献である)に述べられているように、その一般的な原理は、度数*i*にインターリープされた*t*エラー修正符号は、*i***t*以下の長さを有する全ての単一バーストを修正することが可能である。インターリープによって、データがバースト持続長よりも長い時間に対応するスパンに亘ってインターリープされている場合には、バーストエラーが複数の孤立エラーとしての効果を有するようになる。

【0005】

50

それゆえ、インターリープは、自由空間光伝送におけるシンチレーション効果のエラー修正に関する候補である。なぜなら、理論的には、連続する数千万ビットに及ぶエラーバーストを修正することが可能であるからである。しかしながら、シングルコードブロック内のバーストエラーにおける数千万ビットを修正するためには、現行の端末設計コンセプトの下では、通信端末が極めて大きなエンコーダ／デコーダ及びバッファストレージを必要としてしまう。コスト、サイズ、及びシンチレーション効果エラー修正装置によって必要とされる電力に関する考察は、商業的に現実的な通信端末の実現に限定されていなければならない。

【0006】

シンクロナスダイナミックランダムアクセスメモリ(S D R A M)デバイスは、インターリープに関して必要とされる大規模な置換行列容量を実現する現実的な手段を提供するものとして利用可能である。しかしながら、S D R A M のロウ、すなわち“ページ”は、通常、ロウアドレスを変更する、すなわち“ページ”を変更することが必要になった場合には、常に、有為な、数サイクルにも及ぶオーバーヘッドコストを被ってしまう。カラムアドレスフィールドは、通常、S D R A M の物理的アドレスにおける下位の数に等置されているため、連続したあるいはひとまとめのデータの組をアドレスする際には、最小のページ変更しか負わない。S D R A M デバイスが直接的にアドレスされる、すなわち、連続したアドレスにブロックF E C コードワードセグメントがストアされる、と仮定すると、インターリープを実現する目的でコードワードシーケンスを置換した順序で読み出すことは、メモリが参照される毎にページアドレスを変更することを必要とする。なぜなら、大きなアドレス増分が必要とされるからである。同様なプロセスは、列要素を連続したアドレスにストアするように行列をストアして、その行列を行毎に読み出すことである。転置行列を読み出すためには、列長に等しいアドレス増分が必要となる。

【0007】

【発明が解決しようとする課題】

より詳細に述べれば、インターリープ及びデインターリープに必要とされる大規模な置換行列に関するバッファストレージを実現するように設定された適切なS D R A M デバイスグルーピングにおいては、ページアドレスを変更するために大きなサイクル数(例えは7サイクル)が必要とされる。結果として、直接的なアドレッシングは、実効メモリ速度を7分の1に低下させることになる。光通信は高ビットレートであるため、このインターリーププロセスを実行する目的で、入手可能な最高速のS D R A M デバイスを用いることを要求している。それゆえ、前述されたような速度低下は、自由空間光伝送におけるシンチレーション効果を克服するプロセスを実現する目的でS D R A M デバイスを用いることの現実性を損なうことになる。

【0008】

【課題を解決するための手段】

本発明は、シンチレーション効果に起因する伝送劣化を克服する目的で光データストリームをエンコード - インターリープ及びデインターリープ - デコードする方法及びその装置を実現する。連続した2千万ビット程度の大きさを有するバーストエラーが、コンポーネントに関して実現可能な程度の費用増及び追加レイテンシーに関して無視しうる程度のコストで修正される。

【0009】

(2 5 5 , 2 2 3) リード - ソロモン(Reed-Solomon) 符号化を用いることにより、ペイロードビットストリームがコードワードにエンコードされ、そのようにして得られたコードワードが分割されて置換バッファに分配される。この際、コードワードは、持続期間がEビットであるバーストエラーがあらゆるコードワードにおいて最大でもbビットだけ影響を与えるだけのものであるように(例えは、E / b = 1 5 6 , 2 5 0)、充分に大きなスパンに亘って他のコードワードとインターリープされる。

【0010】

本発明は、その一実施例においては、置換バッファにS D R A M デバイスを利用する。し

10

20

30

40

50

かしながら、本発明は、通常の S D R A M デバイスが大規模な行列転置を実現する目的で用いられた場合の限界を、読み出しレートと書き込みレートとを本質的に等置するアドレス再マッピングを用いることによって克服する。本発明のこの側面に従って、現行の S D R A M デバイスの特性から、ページ（すなわち、ロウ）内においてデバイスサイクルレートでデバイスを読み出し及び書き込みすることが可能であるという独自の利点が得られる。

【 0 0 1 1 】

送信端でのインターリープロセス及び受信端でのデインターリープロセスにおける S D R A M バッファのローディングの際に用いられる行列の転置に関しては、1 ページにストアされるカラム数が余りにも小さく、すなわち、S D R A M デバイスのオーバーヘッドサイクルが（ロウが読み出される場合に）ページ変更の前に発生しうるメモリ参照の回数に亘って償還されてしまって、実効的なメモリサイクルレートがシステム要求を充足しない場合に、アドレス再マッピングが適用される。

10

【 0 0 1 2 】

本発明に従ったアドレス再マッピングは、オーバーヘッド操作を書き込みから読み出しに再分配し、このことによって、最小限のメモリを用いて実質的にリアルタイムの操作が可能になる。よって、行列要素がロウ毎に受信されると、S D R A M ページの物理的な変更が、例えば 5 1 2 要素毎ではなく 1 5 要素毎に発生する。その結果、ロウアドレス変更に係るオーバーヘッドが、書き込み（すなわち、転置バッファへの入力）と読み出し（転置バッファの読み出し）の双方においてほぼ等しくなる。このように、オーバーヘッドサイクルが読み出し及び書き込みの双方のプロセスに関する多数のメモリ参照に亘って償還され、結果として、実効メモリサイクルレートが物理的なバーストサイクルレートに漸近することになる。

20

【 0 0 1 3 】

よって、本発明は、自由空間光通信における 2 千万ビットのオーダーのエラーバースト、例えば、2 . 5 ギガビット / 秒の伝送において発生した 8 ミリ秒のフェージング、を克服するために必要とされる、非常に大規模なインターリープすなわち転置スパンを経済的に処理する問題を解決する。

【 0 0 1 4 】

以下、本明細書においては、本発明は自由空間光伝送に関連した実施例を利用して記述されるが、本発明は、例えば R F 無線通信システム（例えば、ミリメートル波）に対しても適用可能である。この種のシステムがより高いデータレートで動作している場合には、発生しうるフェージングによって数百万ビットが失われることになる。本発明に従った方法及び装置を用いることにより、R F 無線通信システムにおけるフェージングによって失われていた数百万ビットが回復されうる。

30

【 0 0 1 5 】

【 発明の実施の形態 】

以下に記述される実施例においては、中庸のサイズを有するバーストエラー修正コードブロックをインターリープするという原理が用いられるが、巨視的に見れば、従来技術に係る方法よりも遙かに大きなサイズが用いられ、その結果、以下に例示されているインターリープ例は、数千万ビットのオーダーを有するバーストエラーの回復をサポートすることを目的とした、数億ビットに亘るものとなっている。シンクロナスダイナミックランダムアクセスメモリ（S D R A M ）デバイステクノロジーが、この種のプロセスを実現するために必要とされる極めて大規模なメモリアレイをサポートするための現実的かつ経済的な例として用いられる。S D R A M テクノロジーにおいては普遍的である、大きなロウ - カラムランダムアクセスオーバーヘッドが、物理的アドレスのアドレス再マッピングを行なうことによって実質的に低減される。アドレス再マッピングの効果は、オーバーヘッドサイクルバーストが、メモリアドレス空間の通常の単純な利用の場合に一般的であるような連続したメモリ参照の際に発生するのではなく、分散されることである。このことは、本発明に係る高速メモリ参照レートが、データフローの弾力性を最小にしつつ確保されるこ

40

50

とを可能にする。

【0016】

本発明に係るプロセスは、まず、従来技術に従ってデータストリームをコードワードにエンコードする段階を有している。コードワードとは、 k 個のペイロードビットと ($n - k$) 個のエラー修正コードビットとを含む n ビットよりなるブロックである。その後、当該プロセスは、コードワード内で修正されうるエラーの最大数を b として規定する。この際、あらゆる線型コードによって修正されうる最大ビット数が

$$(式1) \quad b = 0.5 * (n - k)$$

である、及び、この制限が、以下に述べられるリード・ソロモン符号化に関して得られるものであることを考慮する。

10

【0017】

例として、(255, 223) リード・ソロモン符号を仮定すると、これは、コードワードのシンボル長が 255、そのうち、223 個がペイロードシンボル、 $255 - 223 = 32$ がチェックシンボルであって、各シンボルは 8 ビットオクテットである。式1によつて示される修正可能なシンボルの制限は、この例の場合には、 $0.5 * (255 - 223) = 16$ シンボルとなる。この例では、ビット数で表わしたコードワードのサイズが $8 * 255 = 2040$ ビットであり、1 コードワード内に発生したエラーバーストの個数が最大で $b = 16 * 8 = 128$ ビットまでなら修正可能である。

【0018】

目的が、持続長 E ビットのエラーバーストをマスクすることである場合には、インターリープされなければならないコードワードの個数 M は、

20

$$(式2) \quad M = E / b$$

となる。よつて、2千万ビットのオーダーのエラーバーストにを修正するためには、 $M = 20 \times 10^6 / 128 = 156$ 、250 個のコードワードをインターリープする必要がある。インターリープのスパン（すなわち、置換行列の次元、つまり、本発明に係るプロセスによって必要とされるバッファのサイズ S 及び追加されるレイテンシーの持続時間）は

$$(式3) \quad S = M * n$$

となる。

【0019】

30

上述された例の場合には、 $M = 156$ 、250 であり、 n は（ビット表示で）2040 であるため、バッファストアは $M * n = 3.1875 \times 10^8$ ビット分が必要になる。

【0020】

自由空間光伝送におけるシンチレーション劣化の影響は、多くの周囲状況の関数として変化しうる。例えば、4.4 km という距離を有するポイント・ツー・ポイント光通信に関して、横風が毎時 10 マイルの場合には、シンチレーションの時間的相関が 15 ミリ秒のオーダーである。1 km の距離、及び毎時 10 マイルの横風の場合には、時間スケールは 7 - 8 ミリ秒のオーダーである。横風が毎時 20 マイルのオーダーであつて距離が 1 km の場合には、時間的相関はおよそ 4 ミリ秒になる。シンチレーション効果の程度も、例えば、空気の温度、排出物質、相対湿度などを含む他の大気状況の関数として変化しうる。シンチレーション状況の開始は、自由空間光リンクの逆経路における受信された信号のモニタリングによって決定される。

40

【0021】

図1は、本発明を、自由空間光伝送システムの一部として模式的に表わしたものである。当該システムは、入力端において、データストリームペイロード 10 を受信する。ペイロードは、連続的なデータストリームの形態を有するか、あるいは、ペイロードのビット長がバースト毎に変化するようなデータバーストよりなる。

【0022】

バーストエラー修正プロセスは、送信される全てのデータに対して無条件かつ連続的に適用されるか、あるいは、例えばセンサ 19 などによって前述されたようなある種の自由空

50

間条件が検出された場合に選択的に適用されるかのいずれかである。センサ 19 は、コンピュータコントローラ 26 に接続されており、自由空間シンチレーション条件が存在するか否かを決定するスレッショルド値を当該コンピュータコントローラ 26 内のインストラクションが有している。自由空間媒体条件が発生した場合には、データストリームペイロード 10 は信号コンディショナ 11 を通じてルーティングされる。ここでは、以下に記述されるように、データがエンコードされてバッファストアにインターリープされる。信号コンディショナ 11 の出力は、トランスマッタ 12 によって自由空間媒体 13 を介してレシーバ 14 宛に送出される。受信された信号は、シンチレーション条件向けの対応をなされている場合には、例えばビデオあるいは高速データアプリケーションなどの最終目的において用いられるようにルーティングされる前に、信号エクストラクタ 15 に供給されて 10 デインターリープ及びデコードされる。

【0023】

図 2 に示されているように、信号コンディショナ 11 はエンコーダ 20 を有しているが、これは、(255, 223) リード - ソロモンタイプのものであることが望ましい。2.5 Gbit のデータペイロード 10 が、リード - ソロモンエンコーダ 20 に供給され、この実施例の場合には、2.86 Gbit のストリームを出力する。この際、リード - ソロモン符号化が、8 ビットシンボルのガロワ (Galois) フィールドと (255, 223) コード配置を有するように用いられることが望ましい。リード - ソロモン符号化は、前述された出版物である “エラー修正符号” (W.Peterson 及び E.J.Welden, 1992) に包括的に記述されている。エンコーダ 20 は、データストリーム 10 を、図 3 に示されているように各々 n の長さを有するコードワードにエンコードする。このコードワード例 30 は、所望の個数 (例えば 30) のコードワード断片に分割されるが、ここでは、簡単のためにそのうちの 6 つの断片 30a - 30f のみが示されている。その後、次のコードワードが同様に 34 個の断片に分割され、これら後者の断片がそれ以前の 34 個の断片とインターリープされる。コードワードのインターリープは、充分に大きなスパンに亘って実行され、その結果、長さ E ビットのバーストエラーが与えられた全てのコードワードにおいて最大でも b ビットしか影響を与えないようになる。インターリープを実現する方法論は公知であり、その一例は米国特許 5,899,791 号に記載されている (これは、本発明の参考文献である)。 20

【0024】

図 4 は、各コードワードが 2 つの要素からなる集合として記述された場合の処理方法を示している。ここで、n はコードワードの個数であり、m は表示されたコードワード内の 60 ビットセグメントである。ラベルが付された後、156, 250 コードワードのうちの最初のブロックが、バッファ 22 のセルにインターリープされる。156, 250 コードワードの最初のブロックをインターリープした後に、コードワードシーケンスは括弧付き番号シーケンスとして表示されており、後にロウとしての読み出しに対応する “カラムエントリ” の書き込みを表わしている。同様に、コードワードの第二ブロック以降がインターリープされる。同一のコードワードからの連続したエントリは、 $60 \times 156, 250 = 9,375$ メガビット分分離される。よって、括弧付きシーケンスのうちのあらゆる 2 つ (それぞれ 9,375 メガビット長) の消失あるいは損失は、あらゆるコードワードにおいて 120 ビットを越えないエラーのみを生成する。 40

【0025】

図 2 において、60 ビット入力のシフトレジスタ 21 は、エンコーダ 20 の出力を受信する。コードワードの 60 ビットセグメントが選択された理由は、60 が 2040 の因数であり、 $60 \text{ビット} \times 156, 250 \times 2 = 18,750$ メガビットが公称 20 メガビットのバーストエラー長に近いからである。18,750 メガビット長のバーストエラーは、インターリープされた 156, 250 コードワードの各々における 2 つの 60 ビットセグメント (すなわち 120 ビット) を破壊する可能性があるが、全てのコードワードは 128 ビットのエラー修正を行なう能力があるために、この例の場合には全てのデータが回復される。 50

【0026】

入力シフトレジスタ21は、エンコーダ20において生成された断片を、4つのグループに編成された8個のSDRAM22a...22hのバンクより構成されるバッファストア22に分配する。SDRAMは、16ビット×8メガワードストアである。SDRAMデバイスは、アドレスジェネレータ23、24として設定されたフィールドプログラマブルゲートアレイ(FPGA)によって供給されるアドレスに従ってロードされる。バッファストア22、及びFPGAアドレスジェネレータ23、24の動作は、コンピュータコントローラ26によって指示される。SDRAMデバイスからは、出力シフトレジスタ25へ出力され、この出力シフトレジスタ25は、エンコードされてインターリープされたビットストリームをトランスマッタ12に供給する。レシーバにおける実質的に同一のバッファストア52が、後に図5に関して記述されているように、デインターリープ目的で用いられる。10

【0027】

エンコーダ20の符号化プロセス、アドレスジェネレータ23、24のアドレッシング機能、SDRAM22a...hのストレージ機能、及び、入出力シフトレジスタ21、25の機能は、図2に示されているように、コンピュータコントローラ26において実行される命令コードによって調整された機能を有する個別のハードウェアコンポーネントによって実行される。ハードウェアがより好まれる場合には、適切な市販のコンポーネントは、シフトレジスタ21、25としてはVitesse Semiconductor社のVSC7146デバイスアドレスジェネレータ23、24としてはLucent Technology社のORCA_FPGA_ORT8850コンポーネントである。アドレスジェネレータ23、24及びシフトレジスタ21、25、及び、エンコーダ20の機能は、コンピュータコントローラ26の制御下における命令コードとして実現されることも可能である。20

【0028】

この実施例においては、リード-ソロモンコードは、8ビットシンボルよりなるガロワフィールド及び(255-223)コードを用いる。よって、コードワードは255オクテット(バイト)長であり、そのうちの223がペイロード、残りの32がチェックシンボルである。コードは、32/2すなわち16バイトのエラーを修正する能力を有している。このことは、16個までの孤立したエラー(すなわち、個々のエラーが相異なったオクテット内に存在する)は、修正されうることを意味している。しかしながら、全てのエラーがある16バイトに収まっている場合には、あらゆるブロックにおける 16×8 すなわち128ビットのエラーまでが修正されうることを意味している。30

【0029】

10km範囲に亘る自由空間光伝送の現実のフィールド実験例では、およそ90%までのフェージングが8ミリ秒未満の持続時間を有していた。毎秒 2.5×10^9 のビットレートを有するデータストリームにおいては、8ミリ秒の持続時間のうちに $E = 20 \times 10^6$ ビットが失われることになる。バーストエラーによって最大128ビットのコードワードが失われる可能性があって、しかも、そのバーストエラーがマスクされなければならないとすると、この例においてはインターリープされなければならないコードワードの個数は、40

$$(式4) E/b = 2 \times 10^7 / 128 = 156,250$$

となる。

【0030】

コードワードは $255 \times 8 = 2040$ ビット長であるため、インターリープバッファストア22の大きさは、

$$(式5) (E/b) * n = 156,250 * 2040 = 318,750,000 \text{ビット} \\ \text{となる。}$$

【0031】

このサイズのバッファストアは、容量128メガビットあるいは256メガビットのSDRAMを用いて実現されうる。50

【0032】

バッファストア22におけるSDRAMデバイスへの書き込みプロセスは、20.8ナノ秒（毎秒 2.8×10^9 ビットでエンコードされたデータストリームのビット期間の60倍）のうちに60ビットワードを生成することを要求する。単純な方法でインターリープを実現するためには、156,250というアドレス増分（すなわち、行列のカラムエンタリ）でエントリを書き込むこと、及び、その後に、インターリープされたコードワードを送出する目的で、連続したアドレス（ロウ）を読み出すこと、が必要となる。現行のSDRAMデバイスに係るパラメータを考えると、このことは困難である。なぜなら、孤立した読み出しあるいは書き込み動作に係るレイテンシー効果が存在するためである。CASレイテンシーが2のSDRAMデバイスに関しては、SDRAMの別個のロウ（ページ）への書き込みに係る最大レートは7サイクル毎である。これは、Micron Technologies社製のMT48LC8M16A2の場合の例である。Micron Technologies社製のこのSDRAMデバイス及び同様のものに係るさらなる情報は、同社のウェブサイトであるhttp://www.micron.comより得られる。他のメーカーもSDRAMデバイスを製造しており、それらの同様のデバイスが本発明を実施する際に適用されうることは当業者には明らかである。10

【0033】

SDRAMデバイスにおけるオーバーヘッド動作を最小にする性能を実現する目的では、133MHzの最大クロックレート、すなわち、7.5ナノ秒のサイクルタイムを有するCAS=2のSDRAMを用いることが望ましい。しかしながら、バッファストア22のSDRAMデバイスに係りしている7サイクルの書き込み期間は、新たに60ビットコードワードセグメントが生成されるために必要とされる20.8ナノ秒の読み出しレートを実現することはできない。20

【0034】

この問題を克服するために、本発明は現行の技術に係るSDRAMデバイスの特徴、すなわち、ページ（すなわちロウ）内であればデバイスサイクルレートでSDRAMデバイスを読み出しあるいは書き込み可能である、という特徴をうまく利用する。このことを例示するために、例えば、前掲されたMicron Technologies社製のMT48LC8M16A2という型番を有するSDRAMデバイス（16ビット×2M×4バンク）を考えると、そのページサイズは 512×16 ビットワードであり、クロックレートは133MHz（7.5ナノ秒）である。これらのデバイスが旧来の方式でアドレシングされると、書き込み当たりに $7 \times 7.5 = 52.5$ ナノ秒が必要となる。なぜなら、書き込みアドレス増分がページサイズを遙かに超過するからである。しかしながら、連続してアドレシングされた読み出し動作は、漸近的に7.5ナノ秒で実行されることが可能であり、これは、実際の送信に必要とされる20.7ナノ秒よりも充分に小さい。30

【0035】

それゆえ、一般的な再マッピングストラテジーは、“読み出し”レートと“書き込み”レートとを等化することである。原理的には、この考え方は、SDRAMメモリの各ページを多数の“仮想”ページと見なすことであり、置換操作における読み出し動作の間になされるページ変更をより頻繁に必要とするようにする代わりに（物理的に）同一のページでの高速書き込みレートを勝つようとしようとするものである。図6は、K個の連続したエントリを单一の物理ページの書き込むための一般的な方法が示されており、その結果として、読み出しプロセスの際に、連続したアドレスの单一読み出しシーケンスにおいてSDRAMのP個の各ページエントリを単に読み出す場合と比較して、K倍多くのページ変更を必要とする（ここで、Pはページサイズである）。40

【0036】

前述されている例の場合では、512ワードよりなるSDRAMの各物理ページは、各々15ワードずつよりなる34ページから構成されるものとして定義されている（2ワードは無駄になっている）。置換行列は 34×150250 という大きさであるため、インデックス化を系統的にするために34という数が選ばれている。50

【 0 0 3 7 】

次に、デインターリープ - デコードを実行するハードウェアコントローラ、及び、バッファストア 22 及び 52 のアドレス再マッピングをいつ実行するのかについての決定、が記述される。

【 0 0 3 8 】

図 5において、レシーバ側の信号抽出器 15 は、コンピュータコントローラ 50、及び、トランスマッタ側のバッファストア 22 と実質的に同一となるように構成された SDRAM バッファストア 52 を有している。しかしながら、図 5においては、バッファストアは、セル 51 のようなメモリセルより構成されたマトリックスとして記されており、各々のセルがロウ 1, 2, . . . , R 及びカラム 1, 2, . . . , C の交点によって規定されている。コンピュータコントローラ 50 は、トランスマッタ 12 によって送信されたエンコード及びインターリープ済みの信号 9 を自由空間媒体 13 を介して受信する。コンピュータコントローラ 50 によって制御されたアドレスデコーダ 53 が、図 3 のセグメント 30 f のような受信された各インターリープ済みコードワードセグメントに係るアドレス情報を獲得し、バッファストア 52 内のセルアドレスを規定して、そこにシーケンシャルに受信されたコードワードセグメントがストアされることになる。10

【 0 0 3 9 】

バッファストア 52 のセルの各ロウは、書き込みイネーブルドライバ 54 によって制御されており、バッファストア 52 のセルの各カラムは書き込みデータドライバ 55 によって制御されている。インターリープされたセグメントを送り込む宛先のアドレスは、アドレスデコーダ 53 によって書き込みイネーブルドライバ 54 に供給される。受信されたインターリープ済みコードワードセグメントは、入力シフトレジスタ 56 において集積され、書き込みデータドライバ 55 に転送される。書き込みイネーブルドライバ 54 の制御下で、書き込みデータドライバ 55 は、コードワードセグメントを、SDRAM バッファストア 52 のメモリセルマトリックスに転送する。20

【 0 0 4 0 】

読み出しに関しては、読み出しイネーブルドライバ 57 が SDRAM バッファストア 52 のセルの各ロウに接続されており、読み出しデータドライバ 58 が SDRAM バッファストア 52 のセルの各カラムに接続されている。SDRAM バッファストア 52 からの読み出しに際しては、コンピュータコントローラ 50 において、仮に単純な方式でマッピングされた場合に SDRAM バッファストア 52 よりなるマトリックスが読み出しの際に処理速度を低下させないか否か、あるいは、読み出しレートと書き込みレートとを等化するようにデインターリープを実行する目的で行列を再マッピングする必要があるか否か、に関する決定が先になされる。バッファストア 52 から読み出されたデータは出力シフトレジスタ 59 に集積され、その後、デインターリープされた出力データストリーム 60 がリード - ソロモンデコーダ 61 に供給されて、デインターリープ済みデータストリームがデコードされる。デインターリープ及びデコードされたデータストリーム 62 は、リード - ソロモンデコーダ 61 から出力されて、最終目的であるビデオあるいはデータアプリケーションに供給される。簡単のために全て 51 という符号が付された制御信号経路は、コンピュータコントローラ 50 から、機能ブロック 53, 54, 55, 56, 57, 58 及び 59 に対して供給される。30

【 0 0 4 1 】

デインターリープに関しては、バッファストア 52 は、読み出しイネーブルドライバ 57 をアクティベートすることによって、読み出しデータドライバ 58 によってアクセスされたマトリックスからデータが読み出される。必要とされる場合には、物理的なアドレスの再マッピングが以下の基準に従って実行される。一般に、トランスマッタあるいはレシーバにおいて、アドレス再マッピングは、SDRAM バッファストア 52 の 1 ページにストアされるうるマトリックスのから無数が余りにも小さい場合、すなわち、オーバーヘッドサイクルがページ変更前に（ロウが読まれる場合に）発生するメモリ参照回数に亘って償還されなければならず、結果として、システム要求を満たさない実効メモリサイクルレート40

となってしまう場合に実行される。本明細書に記されている具体的なデバイス速度パラメータに関しては、1ページに保持されなければならないカラム数は4以上でなければならない。ページ変更の際に7サイクルのオーバーヘッドが発生するのに対してシステムサイクルレートが20.8ナノ秒であるため、4エントリのFIFOエラスティックメモリ(先入れ先出しメモリ)が、ページ変更に関する橋渡しとなる手段を提供する。ページ変更によって負わされる52.5ナノ秒の中斷は、当該エラスティックメモリの3エントリ分のバックログで実効的にマスクされうる。

【0042】

バッファストア52のアドレスの再マッピングに係る方法が、図6から図8に示されている。(バッファストア22におけるアドレス再マッピングも、以下に記述されているものと同一の方式で実現されうる。)図6において、書き込み動作の間、エントリ1, 1, 1, 2 . . . 1, 34は、第一SDRAMページの物理アドレス0, 15, . . . , 495にストアされる。しかしながら、これらは、それぞれ、アドレス0, 156, 250, 33×156, 250の読み出し動作の際に処理される。アドレスマップの分割によってロウ長が1ファクタとなっているため、この例においては34エントリ中の正確に15ロウが1物理ページにフィットすることになる。図6に示された“仮想”アドレスは、置換を完了させるために実行される読み出しのシーケンスを指し示している。

10

【0043】

以下に、再マッピング方法が、行列転置操作に関連して記述される。インターリープ目的で34個の60ビットエントリに分割された2040ビット長のコードワードに係る前述のパラメータに関して、第一コードワード中の60ビットエントリが

20

1, 1 1, 2 1, 3 . . . 1, 34

として指し示されており、一般に、コードワードm中のn番目のエントリがm, nで指し示されると仮定する。

【0044】

156, 250コードワードの各々からの対応するエントリのインターリープを要求する前述の例においては、マトリックスの次元は34ロウ×156, 250カラムとなる。マトリックスが図7に示されているように書き表わされる場合には、この例の場合では、トランスマッタ側においてカラム順に読み出される。なぜなら、カラムの次元が小さいために、トランスマッタ側においてアドレス再マッピングを適用する必要がないからである。このマトリックスの15カラムは、512アドレスSDRAMの1ページを専有する($15 \times 34 = 510$ であって2つのアドレスはスキップされる)。それゆえ、図7において27で示されているように、これら最初の510エントリを第一ページに書き込み動作の間にストアすることは、読み出し動作の間(すなわち、転置が実行されつつある間)のアドレスパターンを実現する。このアドレスパターンにおいては、SDRAMの物理ページ変更が、当該マトリックスがロウによって読み出されている間に15回のメモリ参照毎にのみ発生することになる。すなわち、マトリックスの一部である27の読み出しに引き続く連続した一部の読み出しにおいて、15回のメモリ参照毎にのみSDRAM物理ページの変更が必要になる。このページ変更オーバーヘッドの償還は、前述されたパラメータ例に係るリアルタイム動作を維持するためには充分である。

30

【0045】

しかしながら、レシーバ側では、同一のマトリックスがロウで受信されてSDRAMバッファストア52よりなるマトリックスに書き込まれる。このマトリックスは、デインターリープを実現するために転置されなければならない。図8に示されているように、受信されたエントリがSDRAMバッファストア52にシーケンシャルに書き込まれるとすると、結果として、書き込みの間に512メモリ参照毎にページ変更がなされることになるが、その後にマトリックスをカラム毎に読み出す際に各メモリ参照毎にSDRAMページ変更が必要になる。このため、ここで考えているパラメータ例に関しては、リアルタイム動作は維持できない。

【0046】

40

50

この問題は、本発明に従ったアドレス再マッピングによって克服される。図7に例示されているものと同一の 34×15 のマトリックスの一部が、レシーバ側で、オーバーヘッド動作を書き込みから読み出しへ再分配し、最小量のエラスティックメモリでリアルタイム動作を可能にする目的で、複製される。このことは、エントリがロウで受信される際に、SDRAMの物理ページ変更が、512エントリ毎ではなく15エントリ毎に発生することを意味している。マトリックスのあるロウ全体にストアする目的で10416ページの各々に15エントリをステップ書き込みした後（ここで考えている例では、最終ページは、15エントリではなく10エントリのみを保持している）、次の15エントリが最初のSDRAM物理ページに書き込まれ、マトリックスの第二ロウの各々のエントリが対応する第一ロウと同一の物理ページに現われるようになる。

10

【0047】

読み出し及び書き込みオーバーヘッドの正確な等化のためには、ページサイズの平方根に等しい次元を有する正方サブマトリックスを選択することが必要である。本明細書において述べられている例（512ワードというページサイズ）の場合には、これは整数ではない。（ページ変更前に発生する連続したメモリ参照数を表わす）マトリックスの最小次元がページ変更に係るSDRAMオーバーヘッドを償還するために充分である場合には、どのような次元のサブマトリックス（サブマトリックスは、単一の物理ページに書き込まれるエントリの組を表わしている）でも充分である。この償還は、メモリの最大バーストレートと新たなエントリが読み出しあるいは書き込みされる際の転送レートとの関係に依存している。バーストレートは、オーバーヘッドサイクルをカバーするために、転送レートよりも充分大きくなければならない。よって、20.8ナノ秒でのエントリ受信あるいは送信レート、1ページに対する7.5ナノ秒のSDRAMレート、及び、52.5ナノ秒のページ変更オーバーヘッドの場合には、オーバーヘッドを15回のメモリ参照に対して償還することは、4ワードのエラスティックストアを用いてリアルタイム動作を維持するのに充分である。

20

【0048】

一般に、どのような場合に再マッピングが実装されるかという質問は、使用するSDRAMデバイスのスピード、1ページに保持されなければならないカラム数（前記実施例の場合は4以上）、データレートその他のファクタに依存する。

30

【0049】

例えば、前記実施例のパラメータは、データストリームの高速性及びクロックレートを容易に入手可能なメモリ及びデジタルロジックデバイスにおいて実現可能な値に低減することの必要性のために、（60ビットという）大きなデータ断片、すなわちワードサイズを選択することを必要としている。ワードサイズが大きいため、2040ビットのリード-ソロモンコードワードをインターリーブ目的で分割する際に必要となるワード数はわずかに34である。このことは、入力ワードが連続したアドレスにストアされる場合には、7サイクルオーバーヘッドを償還するためのページ変更間の連続したメモリ参照数としては充分ではなく、従ってアドレス再マッピングが適用される。

【0050】

図9に示された流れ図は、トランスマッタ側においてSDRAM読み出し動作と書き込み動作とのバランスを実現するための前述された重要なプロセス段階をまとめたものである。図10は、レシーバ側において、送信側の装置及びプロセスによって生成された符号化及びインターリーブ済み信号をデインターリーブするための重要なプロセス段階を例示している。

40

【0051】

以上の説明は、本発明の一実施例に関するもので、この技術分野の当業者であれば、本発明の種々の変形例が考え得るが、それらはいずれも本発明の技術的範囲に包含される。

【0052】

【発明の効果】

以上述べたごとく、本発明によれば、連続した2千万ビット程度の大きさを有するバース

50

トエラーが、コンポーネントに関して実現可能な程度の費用増及び追加レイテンシーに関して無視しうる程度のコストで修正されるような装置及びその実現方法が提供される。

【図面の簡単な説明】

【図 1】 自由空間光通信システムを模式的に示すブロック図。

【図 2】 本発明を実行する送信端システム及びそのコンポーネントを模式的に示すブロック図。

【図 3】 インターリープを行なうための準備としてのコードワード分割例を模式的に示す図。

【図 4】 分割されたコードワードブロックをインターリープするためのプロトコルを示す流れ図。 10

【図 5】 本発明を実行する受信端システム及びそのコンポーネントを模式的に示すブロック図。

【図 6】 SDRAMページ変更に関して“読み出し”と“書き込み”的オーバーヘッドをバランスする目的でSDRAMマトリックスのアドレスを再マッピングする方法を模式的に示す図。

【図 7】 “読み出し”と“書き込み”的オーバーヘッドをバランスする目的でSDRAMマトリックスのアドレスを再マッピングする別の方法を模式的に示す図。

【図 8】 レシーバがエントリをシーケンシャルにストアするばあいに、512アドレスよりなる一ページに受信したマトリックスを保持する方式を模式的に示す図。

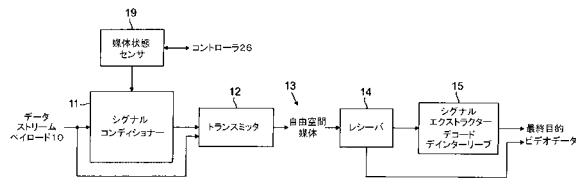
【図 9】 送信端におけるアドレス再マッピングを含むプロセスを示す流れ図。 20

【図 10】 受信端におけるアドレス再マッピングを含むプロセスを示す流れ図。

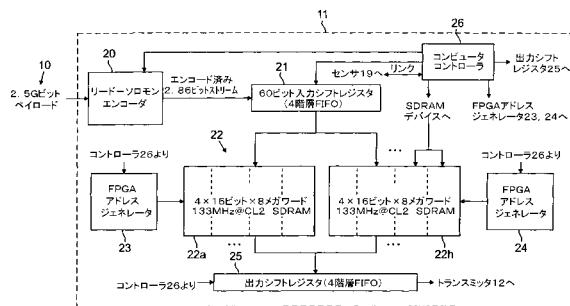
【符号の説明】

- 1 0 データストリームペイロード
- 1 1 シグナルコンディショナー
- 1 2 トランスマッタ
- 1 3 自由空間媒体
- 1 4 レシーバ
- 1 5 シグナルエクストラクタ
- 1 9 媒体状態センサ
- 2 0 リード - ソロモンエンコーダ 30
- 2 1 入力シフトレジスタ
- 2 2 バッファストア
- 2 3、2 4 アドレスジェネレータ
- 2 5 出力シフトレジスタ
- 2 6 コンピュータコントローラ
- 3 0 コードワード例

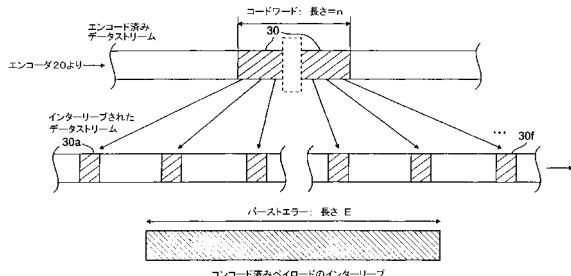
【図1】



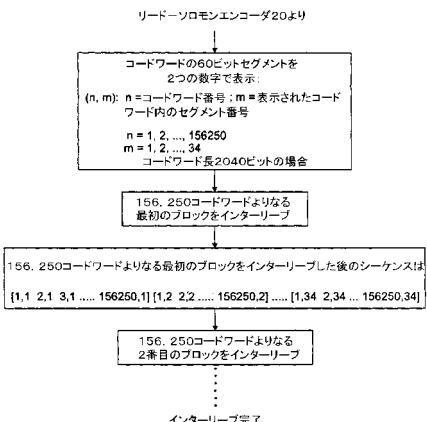
【図2】



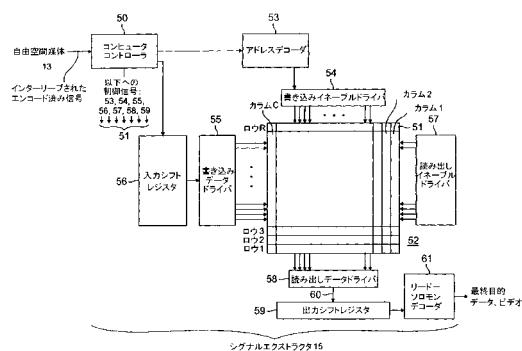
【図3】



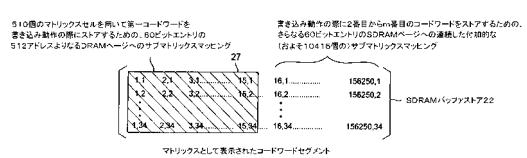
【図4】



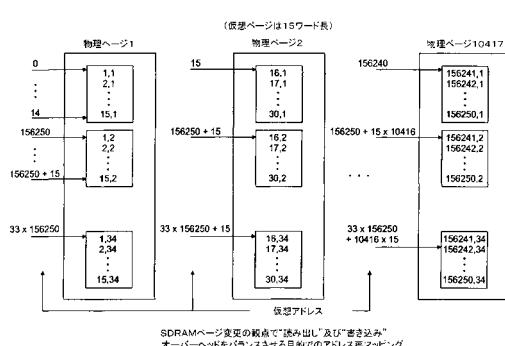
【図5】



【図7】



【図6】



【図8】



510個のマトリックスセルを用いて第nコードワードを書き込み動作の際にストアするための、60ビットエントリーの512フレーム数よりもSDRAMページへのサブマトリックスマッピング

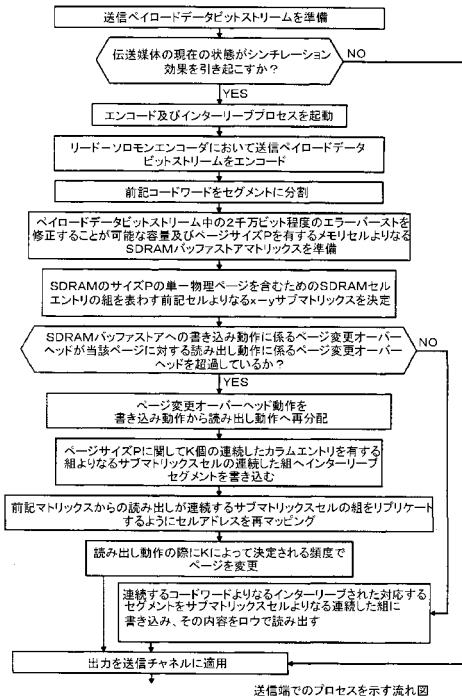
書き込み動作の際に2番目からm番目のコードワードをストアするための、さらなる60ビットエントリのSDRAMページへの連続した位相的な(合計m/10416個の)サブマトリックスマッピング

マトリックスとして表示されたコードワードセグメント

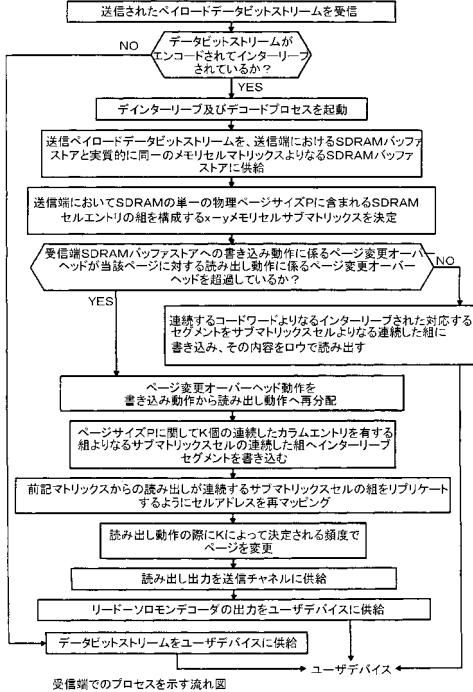
使用されたもののレシーバにおいてシーケンシャルにストアされる場合には、データを完了するために各メモリ参照箇所に物理ページ変更が必要になる

実装されたマトリックスのセグメントを示している

【図9】



【図10】



フロントページの続き

(74)代理人 100091889
弁理士 藤野 育男

(74)代理人 100101498
弁理士 越智 隆夫

(74)代理人 100096688
弁理士 本宮 照久

(74)代理人 100102808
弁理士 高梨 憲通

(74)代理人 100104352
弁理士 朝日 伸光

(74)代理人 100107401
弁理士 高橋 誠一郎

(74)代理人 100106183
弁理士 吉澤 弘司

(74)代理人 100081053
弁理士 三俣 弘文

(74)代理人 100100505
弁理士 刈谷 光男

(72)発明者 マーク ジェー ビーケン
アメリカ合衆国、ニュージャージー州 07869、ランドルフ タウンシップ、クレスト ドラ
イブ 11

(72)発明者 アレックス ピドウェルベスキー
アメリカ合衆国、07869 ニュージャージー州、ランドルフ タウンシップ、クエーカー チ
ャーチ ロード 342-51

(72)発明者 デニス エム ロマン
アメリカ合衆国、07960 ニュージャージー州、モリスタウン、エリン コート 1

(72)発明者 リチャード アール シャイブリ
アメリカ合衆国、07961 ニュージャージー州、モリスタウン、オールド グレーン ロード
5

審査官 小曳 満昭

(56)参考文献 特開2000-260178(JP,A)
特開平09-148992(JP,A)
特開平09-046296(JP,A)
特開平10-283213(JP,A)

(58)調査した分野(Int.Cl., DB名)

H04L 1/00
G06F 11/10
G06F 12/02
H03M 13/15
H03M 13/27