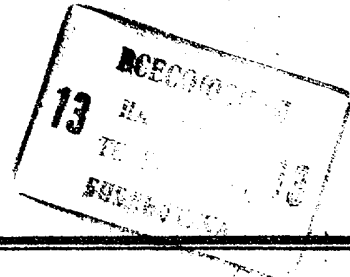




ГОСУДАРСТВЕННЫЙ КОМИТЕТ СССР
ПО ДЕЛАМ ИЗОБРЕТЕНИЙ И ОТКРЫТИЙ

ОПИСАНИЕ ИЗОБРЕТЕНИЯ К АВТОРСКОМУ СВИДЕТЕЛЬСТВУ



(21) 3702962/24-24
(22) 24.02.84
(46) 15.07.85. Бюл. № 26

(72) В.А. Лопухин, Н.П. Меткин,
Д.К. Шелест, Б.М. Лебедев,
А.С. Шумилин, А.Г. Михайлов,
Г.Н. Явнов и М.Г. Крюков

(53) 681.396(088.8)

(56) Патент ГДР № 215183,
кл. G 01 B 11/14, опублик. 1980.
Патент США № 3909602,
кл. G 01 N 21/32, опублик. 1975.
Авторское свидетельство СССР
№ 813202, кл. G 01 N 21/27,
1978.

(54)(57) 1. УСТРОЙСТВО ДЛЯ КОНТРОЛЯ ПЛАНАРНЫХ СТРУКТУР, содержащее два оптических дефектоскопа, соединенные выходами с входами соответственно первого и второго блоков преобразования оптических сигналов в электрические дискретные сигналы, к входам строчной и кадровой синхронизации которых подключены соответственно первый и второй выходы синхронизатора, блок сравнения, выход которого соединен с первым входом блока индикации, второй вход которого подключен к первому входу блока сравнения, отличающееся тем, что, с целью повышения достоверности результатов контроля, в устройстве введены первый и второй коммутаторы, управляющий триггер, первый и второй блоки распознавания метки, блок запуска, генератор тактовых импульсов, блок определения координат метки, первый

элемент задержки, блок формирования задержки, блок переключения, блок счетчиков, первый счетный вход которого подключен к первому управляющему входу генератора тактовых импульсов, к первому счетному входу блока определения координат метки и к первому выходу синхронизатора, второй выход которого соединен с вторым управляющим входом генератора тактовых импульсов и с информационным входом блока запуска, подключенного выходом к входу сброса управляющего триггера, второму счетному входу блока счетчиков и входу сброса блока определения координат метки, второй счетный вход которого соединен с тактовым входом блока счетчиков, выходом генератора тактовых импульсов, тактовым входом блока формирования задержки и первым входом элемента задержки, второй вход которого подсоединен к первому выходу первого коммутатора, подключенного вторым выходом к информационному входу блока формирования задержки, первый и второй выходы второго коммутатора соединены соответственно с первым и вторым входами блока сравнения, первый и второй управляющие входы первого коммутатора соединены соответственно с первым и вторым управляющими входами второго коммутатора и с первым и вторым выходами управляющего триггера, второй выход управляющего триггера также соединен с первым управляющим входом блока определения координат метки, второй управляющий вход которого подключен к первому информационному входу управляющего триггера и выходу первого

(19) SU (11) 1167620 A

блока распознавания метки, третий управляющий вход — к выходу блока распознавания метки и второму информационному входу управляющего триггера, четвертый и пятый управляющий входы — соответственно к второму и третьему выходам блока счетчиков, выход которого подсоединен к управляющим входам первого и второго блоков распознавания метки, информационный вход первого блока распознавания метки соединен с выходом первого блока преобразования оптических сигналов в электрические дискретные сигналы и с первым информационным входом первого коммутатора, информационный вход второго блока распознавания метки соединен с выходом второго блока преобразования оптических сигналов в электрические дискретные сигналы и с вторым информационным входом первого коммутатора, первый, второй и третий входы блока определения координат метки соединены соответственно с первым, вторым и третьим входами блока переключения, четвертый вход которого подключен к выходу блока формирования задержки, первый и второй информационные входы второго коммутатора соединены соответственно с выходами блока переключения и элемента задержки, управляющий вход блока запуска является запускающим входом устройства.

2. Устройство по п. 1, отличающееся тем, что блок формирования задержки содержит $m-1$ вторых элементов задержки и m регистров сдвига, информационный вход первого из которых соединен с информационным входом блока и входом первого элемента задержки, выход i -го элемента задержки подключен к информационному входу соответствующего регистра сдвига и входу $(i+1)$ -го элемента задержки, тактовые входы регистров сдвига соединены с тактовым входом блока, выходы разрядов регистров сдвига являются выходом блока.

3. Устройство по п. 1, отличающееся тем, что блок переключения содержит третий коммутатор, первый элемент ИЛИ, первый и второй дешифраторы, $2n$ четвертых коммутаторов, первые и вторые входы которых соединены соответственно с третьим и четвертым входами блока, третьи входы каждого из четвертых коммута-

торов с первого по n подключены к соответствующим выходам первого дешифратора, третьи входы остальных четвертых коммутаторов — к соответствующим выходам второго дешифратора, входы первого и второго дешифраторов подсоединены соответственно к первым и вторым выходам третьего коммутатора, первый и второй входы которого соединены соответственно с первым и вторым входом блока, выходы четвертых коммутаторов подключены к входам первого элемента ИЛИ, выход которого является выходом блока.

4. Устройство по п. 1, отличающееся тем, что блок определения координат метки содержит второй, третий и четвертый элемент ИЛИ, с первого по шестой элементы И, с первого по пятый SR-триггеры, сумматор, первый, второй и третий счетчики, T-триггер, элемент ИСКЛЮЧАЮЩЕЕ ИЛИ, первый вход которого подсоединен к знаковому разряду сумматора, первый и второй входы которого соединены соответственно с выходами второго и третьего счетчиков, входы сброса которых подключены соответственно к выходам второго и третьего элемента ИЛИ, входы разрешения счета — соответственно к выходам пятого и шестого элементов И, счетные входы — к второму счетному входу блока, второй вход элемента ИСКЛЮЧАЮЩЕЕ ИЛИ соединен с первым управляющим входом блока, счетный вход первого счетчика подключен к первому счетному входу блока, S-входам первого и второго SR-триггеров, вход разрешения счета — к выходу T-триггера, вход сброса — к входу сброса блока, R-входу T-триггера, S-входу пятого SR-триггера, R-входам третьего и четвертого SR-триггеров, первым входам второго и третьего элементов ИЛИ, вторые входы которых соединены соответственно с выходами первого и второго элементов И, первые входы которых подключены к R-входам первого и второго SR-триггеров и пятому управляющему входу блока, второй вход первого элемента И подключен к второму входу третьего элемента И и инверсному входу третьего SR-триггера, S-вход которого соединен с первым входом четвертого элемента ИЛИ и вторым управляющим входом блока, второй

вход второго элемента И подключен к второму входу четвертого элемента И и инверсному выходу четвертого SR-триггера, S-вход которого соединен с вторым входом четвертого элемента ИЛИ и третьим управляющим входом блока, выходы первого и второго SR-триггеров подключены соответственно к первым входам третьего и четвертого элементов И, выходы которых соединены соответственно с первыми

входами пятого и шестого элементов И, вторые входы которых подключены к выходу пятого SR-триггера, R-вход которого подключен к четвертому управляющему входу блока, выход четвертого элемента ИЛИ подключен к С-входу Т-триггера, выход элемента ИСКЛЮЧАЮЩЕЕ ИЛИ, разрядные выходы сумматора и первого счетчика являются соответственно первым, вторым и третьим выходами блока.

1

Изобретение относится к электронной технике и предназначено для контроля планарных структур, к которым относятся незагерметизированные дискретные и интегральные полупроводниковые структуры, толсто-пленочные платы гибридных интегральных микросхем, фотошаблоны.

Цель изобретения - повышение достоверности результатов контроля.

На фиг. 1 представлена структурная схема предлагаемого устройства для контроля планарных структур; на фиг. 2 - структурная схема блока сравнения; на фиг. 3 - структурная схема первого (второго) коммутатора; на фиг. 4 - структурная схема управляющего триггера; на фиг. 5 - структурная схема первого (второго) блока распознавания метки; на фиг. 6 - структурная схема блока счетчиков; на фиг. 7 - структурная схема блока запуска; на фиг. 8 - структурная схема генератора тактовых импульсов; на фиг. 9 - структурная схема блока формирования задержки; на фиг. 10 - структурная схема блока переключения; на фиг. 11 - структурная схема третьего коммутатора; на фиг. 12 - структурная схема блока определения координат метки.

Устройство содержит координатный стол 1, два оптических дефектоскопа 2, первый преобразователь 3 оптических сигналов в электрические дискретные сигналы, второй преобразователь 4 оптических сигналов в электрические дискретные сигналы, синхро-

2

низатор 5, блок 6 сравнения, блок 7 индикации, первый коммутатор 8, второй коммутатор 9, управляющий триггер 10, первый блок 11 распознавания метки, второй блок 12 распознавания метки, блок 13 запуска, блок 14 счетчиков, генератор 15 тактовых импульсов, блок 16 определения координат метки, элемент 17 задержки, блок 18 формирования задержки, блок 19 переключения, первая 20₁ и вторая 20₂ схемы совпадения, первый 21₁ и второй 21₂ инверторы, элемент ИЛИ 22, элементы И с 23₁ по 23₄, элементы ИЛИ 24 и 24₂, SR-триггеры 25₁ и 25₂, элементы И 26₁ и 26₂, регистры с 27₁ по 27_к сдвига, с 27_м по 27_{кн} разряды соответствующих регистров сдвига, электронное окно 28, коммутационные поля 29₁ и 29₂, элементы И с 30₁ по 30₃, элементы И с 31₁ по 31₃, первый 32₁ и второй 32₂ счетчики, дешифраторы 33₁ и 33₂, SR-триггер 34, элемент И 35, элемент 36 задержки, эмиттерный повторитель 37, инверторы с 38₁ по 38₃, резистор 39, конденсатор 40, регистры с 41₁ по 41_м сдвига, элементы с 42₁ по 42_{м-1} задержки, третий коммутатор 43, первый 44₁ и второй 44₂ коммутаторы, 2n четвертых коммутаторов 45, элемент ИЛИ 46, инвертор 47, информационные каналы с 48₁ по 48₁, элементы И 49₁ и 49₂, второй 50₁, третий 50₂ и четвертый 50₃ элементы ИЛИ, с первого 51₁ по шестой 51₆ элементы И, с первого 52, по пятый 52, SR-триггеры, первый 53₁,

второй 53, и третий 53, счетчики, Т-триггер 54, сумматор 55, элемент ИСКЛЮЧАЮЩЕЕ ИЛИ 56, эталонная планарная структура 57, контролируемая планарная структура 58.

В устройстве обеспечивается повышение достоверности контроля за счет того, что достигается электронное и автоматическое предварительное совмещение изображений контролируемой и эталонной планарных структур.

В предлагаемом устройстве контроля планарных структур для выполнения требуемого совмещения изображений сравниваемых структур используются имеющиеся на этих структурах технологические метки, т.е. в устройстве обеспечивается и контролируется точное совмещение изображений технологических меток. Корректность такого подхода, т.е. использования для этой цели меток, определяется тем, что они наносятся одновременно с основным рисунком (в одном технологическом цикле, с использованием одних и тех же трафаретов, масок и т.п.), и поэтому координаты всей структуры могут быть идентифицированы координатами метки. Целесообразность использования меток для этой цели, т.е. для осуществления автоматического предварительного с высокой точностью совмещения сравниваемых планарных структур для последующего дефектоскопического контроля на блоке индикации и включающего в себя распознавание структур, определение разности координат их взаимного положения и последующего электронного совмещения определяется простотой технической реализации в этом случае, что, в свою очередь, определяется такими преимуществами меток, как четкий и простой геометрический рисунок (как правило, прямолинейный контур), небольшие (по отношению к основному рисунку) размеры и то, что метки отделены от основного рисунка (т.е. могут быть легко выделены).

Устройство работает следующим образом.

Сравниваемые планарные структуры 57 и 58 устанавливаются на координатный стол 1 и фиксируются. Увеличенные с помощью дефектоскопов 2 изображения контролируемой и эталонной планарных структур проецируются на мишени видеоконвекторов соответствующих

преобразователей 3 и 4, в которых происходит квантование, кодирование и фильтрация сигналов.

Преобразованные видеосигналы с выходов преобразователей 3 и 4 поступают соответственно на третий вход коммутатора 8 и на первый вход блока 11, на четвертый вход коммутатора 8 и первый вход блока 12.

Работа преобразователей 3 и 4, блоков 14 и 16, генератора 15 синхронизируется с помощью строчных и кадровых синхроимпульсов, поступающих с первого и второго выходов синхронизатора 5, причем тактовые импульсы, выдаваемые генератором 15, принудительно синхронизируются строчными и кадровыми синхроимпульсами. Кроме того, кадровые синхроимпульсы, поступающие на второй вход блока 13, используются для управления работой устройства - включения его в цепь распознавания и совмещения.

Генератор 15 генерирует тактовые импульсы, синхронизированные со строчными и кадровыми синхроимпульсами, поступающими соответственно на его первый и второй входы. Тактовые импульсы обеспечивают работу регистров сдвига, входящих в состав блоков 11 и 12, блока 18 и элемента 17 задержки, а также обеспечивают работу блока 16, являясь носителями временной информации. С выхода генератора 15 тактовые импульсы поступают на первые входы элемента 17 задержки и блока 18 и на третьи входы блоков 14 и 16.

Включение устройства и цикл распознавания и совмещения осуществляются по командному импульсу (подаваемому оператором путем нажатия соответствующей кнопки), поступающему на вход запуска блока 13. В результате, блок 13 обеспечивает пропуск одного из непрерывно поступающей на его второй вход последовательности синхроимпульсов кадрового синхроимпульса. Этот кадровый синхроимпульс разрешения совмещения поступает с выхода блока 13 на первый вход триггера 10 и на вторые входы блоков 14 и 16 и устанавливает их в исходное состояние, тем самым подготавливая и включая эти блоки в цикл распознавания и совмещения.

По командному импульсу, поступающему на вход блока 13, первый по вре-

мени после этого кадровый синхрои-
 мпульс (разрешение совмещено) посту-
 пает на второй вход блока 14, который
 пропускает по этой команде из после-
 довательности непрерывно поступающих
 на его третий вход тактовых импуль-
 сов m пачек по n тактовых импульсов,
 которые поступают с его первого
 выхода на вторые входы первого 11
 и второго 12 блоков. Одновременно
 и синхронно с этими импульсами на
 первые входы этих блоков поступает
 в темпе развертки информация с раст-
 ра мишени видиконов соответствующих
 преобразователей 3 и 4. В результа-
 те, в электронные окна 28 блоков 11
 и 12 записывается информация с час-
 ти (или области) растра мишени види-
 конов соответствующих преобразова-
 телей 3 и 4, выделенной для распозна-
 вания. При этом в блоках 11 и 12
 происходит непрерывное сравнение
 получаемого в электронном окне 28
 "изображения" с "изображением" мет-
 ки, записанным в коммутационных по-
 лях 29. В момент совпадения этих
 "изображений" первый 11 и второй 12
 блоки распознавания метки выдают им-
 пульсы распознавания, который с их
 выходов поступает соответственно
 на второй или третий входы триггера
 10 и на четвертый или пятый входы
 блока 16. Так как в положении планар-
 ных структур на координатном столе
 существует рассогласование, а считыва-
 ние изображений происходит строго
 синхронно, то распознавание меток
 происходит в разные моменты времени.
 Соответственно, в разные моменты
 времени выдают импульсы распознава-
 ния блоки 11 и 12. В зависимости от
 того, на какой вход триггера 10 -
 второй или третий поступает первым
 импульс распознавания, т.е. в зави-
 симости от того, на какой планарной
 структуре - контролируемой или эта-
 лонной метка распознается раньше,
 триггер 10 выдает соответствующие
 управляющие воздействия на первый и
 второй входы коммутаторов 8 и 9
 и на восьмой вход блока 16. В соот-
 ветствии с этими воздействиями
 (т.е. в соответствии с тем, какая
 метка распознана раньше, а точнее,
 в соответствии с реальным простран-
 ственным взаимным положением сравни-
 ваемых планарных структур) коммута-
 тор 8 переключает видеосигналы со

своих третьего и четвертого входов
 на первый и второй выходы таким
 образом, чтобы видеосигнал изображе-
 ния той планарной структуры, чья
 метка была распознана первой (опере-
 жающий видеосигнал), поступил на
 второй вход блока 18, а второй видео-
 сигнал (отстающий) - на второй вход
 элемента 17 задержки. Коммутатор 9
 обеспечивает выбранный режим контро-
 ля с использованием блока 7. Для то-
 го, чтобы на экране блока 7 разност-
 ная картина представлялась на фоне
 изображения эталонной структуры не-
 обходимо, чтобы на первый вход бло-
 ка 6 и второй вход блока 7 постоянно
 поступал видеосигнал, соответствующий
 изображению эталонной планарной
 структуры. Для этого необходимо син-
 хронное переключение входов и выхо-
 дов обоих коммутаторов 8 и 9, что
 осуществляется в устройстве за счет
 использования для управления ими
 одних и тех же управляющих воздейст-
 вий, выдаваемых триггером 10. Эти
 же управляющие воздействия обеспечи-
 вают необходимую последовательность
 вычисления разности координат взаим-
 ного положения меток в блоке 16.

Кадровый синхрои импульс "Разре-
 шение совмещения", поступая на второй
 вход блока 16, подготавливает (обну-
 ляет) и включает его в работу. Блок 16
 вычисляет разность координат между
 метками по осям X (количество так-
 тов) и Y (количество строк) и таким
 образом определяет разность коорди-
 нат взаимного положения сравниваемых
 планарных структур. На четвертый и
 пятый входы блока 16 поступают им-
 пульсы распознавания с выходов пер-
 вого 11 и второго 12 блоков. Эти им-
 пульсы разнесены по времени и харак-
 теризуют взаимное пространственное
 положение сравниваемых структур.
 Определение разности координат по
 осям X и Y в блоке 16 происходит по-
 разному. Разность координат по оси Y
 определяется числом строчных син-
 хрои импульсов, укладывающихся между
 первым и вторым импульсами распозна-
 вания. Эта разность всегда положи-
 тельна. Определение разности коорди-
 нат по оси X происходит иначе.
 В блоке 16 подсчитывается число так-
 товых импульсов от начала строки до
 момента поступления каждого из им-
 пульсов распознавания, эти значения

запоминаются, а затем вычитаются, причем, так как взаимное положение меток по оси X не определяется тем, какая метка будет распознана первой, а блок 16 всегда выдает результат вычитания из координаты метки, распознанной второй, координаты метки, распознанной первой (всегда именно в такой последовательности, что обеспечивается поступающим с второго выхода триггера 10 на восьмой вход блока 16 соответствующего управляющего воздействия), эта разность может иметь любой знак. Таким образом, блок 16 вычисляет разность координат положения сравниваемых структур по оси Y и абсолютную величину разности и знак разности координат по оси X. Эти значения в виде соответствующего двоичного кода поступают с первого, второго и третьего выходов блока 16 определения координат на первый, второй и третий входы блока 19. Для того, чтобы реализовать требуемое электронное совмещение и в том случае, когда разность координат по оси X отрицательна, т.е. возникает необходимость не задержать, а "ускорить" опережающий видеосигнал, в устройстве предусмотрено дополнительная временная задержка отстающего видеосигнала на время n тактовых импульсов. Эта временная задержка реализуется с помощью элемента 17 задержки, выполненного в виде регистра сдвига, содержащего соответственно n разрядов. Таким образом, на первый вход элемента 17 задержки поступает последовательность тактовых импульсов, а на второй вход с первого выхода первого коммутатора 8 - отстающий видеосигнал. Этот видеосигнал, дополнительно задержанный, поступает с выхода элемента 17 задержки на четвертый вход коммутатора 9.

Блок 19 в соответствии с поступающими на его первый, второй и третий входы двоичными кодами, характеризующими разность координат взаимного положения сравниваемых планарных структур, подключает к третьему входу коммутатора 9 выход требуемого одного разряда электронного окна, выбирая его из подключенных на его четвертый вход с выхода блока 18 выходов всех разрядов регистров сдвига электронного окна и подклю-

чая его на свой выход. Тем самым, формируется необходимая (требуемая) величина временной задержки для опережающего видеосигнала.

Опережающий видеосигнал поступает с второго выхода первого коммутатора 8 на второй вход блока 18, на первый вход которого поступают тактовые импульсы. Временная задержка осуществляется блоком 18 за счет того, что блок 19 подключает к третьему входу второго коммутатора 9 выход только одного (требуемого) разряда электронного окна блока 18, формируя таким образом из элементов этого блока элемент задержки, реализующий требуемую временную задержку опережающего видеосигнала. Таким образом, в предлагаемом устройстве реализуется электронное совмещение изображений сравниваемых планарных структур в блоке 7.

Второй коммутатор 9 обеспечивает постоянство подключения видеосигнала, соответствующего изображению эталонной структуры к первому входу блока 6, видеосигнал, соответствующий изображению контролируемой структуры, подключается к второму входу блока 6.

После выполнения совмещения изображений контролируемой и эталонной структур осуществляется сам процесс контроля, заключающийся в выделении дефектов контролируемой структуры. В блоке 6 обеспечивается одновременное совмещение позитивного изображения контролируемой структуры с негативным изображением эталонной и негативного изображения контролируемой структуры с позитивным изображением эталонной и сложение этих разностных изображений. При сложении обоих разностных изображений получаем полную разностную картину, характеризующую отличие изображения контролируемой планарной структуры от эталонной. Этот разностный сигнал поступает с выхода блока 6 на первый вход блока 7. С целью визуального наблюдения изображения выделенных дефектов и их визуальной классификации при настройке устройства, анализе отказов интегральных схем и т.д. на второй вход блока 7 дополнительно подается сигнал, соответствующий позитивному изображению эта-

лонной структуры. В результате сложения двух сигналов в блоке 7 воспроизводится изображение выделенных дефектов на фоне частично подавленного изображения эталонной топологии, что позволяет наиболее правильно классифицировать дефекты и осуществить отбраковку дефектных структур.

При необходимости цикл распознавания, совмещения и анализа может быть повторен, для этого необходимо на вход запуска блока 13 подать командный импульс.

Первый коммутатор 8 видеосигнала работает следующим образом.

На первый и второй входы первого коммутатора 8 поступают управляющие воздействия (в виде логической единицы "1" или "0") соответственно с первого и второго выходов триггера 10, а на третий и четвертый - соответственно видеосигнал изображения контролируемой планарной структуры (с выхода блока 3) и видеосигнал изображения эталонной планарной структуры (с выхода блока 4). Таким образом, первый видеосигнал поступает на вторые входы второго 23_2 и третьего 23, элементов И, а второй - на входы первого 23_1 и четвертого 23_4 элементов И. Если первой распознана метка на контролируемой планарной структуре, то на первый вход первого коммутатора 8 и соответственно на первые входы первого 23_1 и второго 23_2 элементов И поступает логическая "1", т.е. на первом входе коммутатора 8 устанавливается "1", а на втором остается "0". В результате, видеосигнал изображения контролируемой планарной структуры (в этом случае опережающий) с выхода второго элемента И 23_2 поступает на первый вход второго элемента ИЛИ 24_2 , с выхода которого образующего второй выход коммутатора 8, он поступает на второй вход блока 18, который и обеспечивает требуемую временную задержку этого видеосигнала. Одновременно второй видеосигнал (отстающий) с выхода первого элемента И 23_1 поступает на первый вход первого элемента ИЛИ 24_1 , с выхода которого, образующего первый выход коммутатора 8, он поступает на второй вход элемента 17 задержки. Если первой распознана метка

на эталонной структуре, то на втором входе коммутатора 8 устанавливается "1", а на первом остается "0" и, в результате, на первый выход коммутатора 8 и соответственно на второй вход элемента 17 задержки поступает видеосигнал изображения контролируемой планарной структуры (в этом случае отстающий), а на второй выход и соответственно на второй вход блока 18 - видеосигнал эталонной структуры (в этом случае опережающий). Таким образом, на второй вход блока 18 всегда обеспечивается поступление опережающего видеосигнала.

Второй коммутатор 9 выполнен и работает аналогично первому коммутатору 8 видеосигнала, обеспечивая постоянство на своих выходах: на первом - видеосигнала, соответствующего эталонной планарной структуре, а на втором - видеосигнала, соответствующего контролируемой планарной структуре, что достигается синхронностью работы обоих коммутаторов 8 и 9 видеосигнала. Синхронность работы обеспечивается общим управлением, осуществляемым триггером 10.

Триггер 10 работает следующим образом.

По команде "Разрешение совмещения" управляющий триггер 10 подготавливается к работе, а именно кадровый синхроимпульс "Разрешение совмещения" поступает на первый вход управляющего триггера 10 и соответственно на R-входы первого 25_1 и второго 25_2 SR-триггеров, обнуляя их (на прямых выходах устанавливается "0", на инверсных - "1"). В результате, на первых входах первого 26_1 и второго 26_2 элементов И устанавливаются "1", поступающие с инверсных выходов соответственно первого 25_1 и второго 25_2 SR-триггеров. Если первой распознана метка на контролируемой планарной структуре, то импульс распознавания с выхода первого блока 11 поступает на второй вход триггера 10 и соответственно на второй вход второго элемента И 26_2 , на первый вход которого "1" уже подана. В результате, с выхода второго элемента И 26_2 сигнал поступает на S-вход первого SR-триггера 25_1 , и он опрокидывается. При этом на его прямом выходе устанавливается "1", на инверсном - "0". В результате, на первом входе элемен-

та И 26, устанавливается "0", т.е. он запирается и прохождение сигнала (импульса распознавания) о распознавании метки на эталонной планарной структуре на S-вход второго SR-триггера 25₂ исключается. Таким образом, на первом выходе управляющего триггера 10 устанавливается "1", а на втором - "0". Если первой распознана метка на эталонной планарной структуре, то триггер 10 работает аналогично, но в результате на его первом выходе устанавливается "0", а на втором - "1".

Блок 11 работает следующим образом. 15

На первый вход блока 11 и соответственно на информационный вход первого регистра 27₁ электронного окна 28 с выхода преобразователя 3 поступает квантованный по уровню и кодированный видеосигнал (в виде последовательности логических "1" и "0", причем метке соответствует "1", а фону - "0"), соответствующий контролируемой планарной структуре. На его второй вход и соответственно на тактовые входы всех регистров 27 с первого выхода блока 14 поступают m пачек из n тактовых импульсов, которые этот блок пропускает из непрерывно поступающей на его третий вход последовательности тактовых импульсов при поступлении на его второй вход кадрового синхроимпульса "Разрешение совмещения" (т.е. поступает с первого по n -й тактовые импульсы первой строки, затем пропуск, затем с первого по n -й тактовые импульсы второй строки, опять пропуск и т.д. по m -ю строку включительно). В соответствии с этим в регистры 27, образующие электронное окно 28, считывается информация с требуемого выделенного для распознавания участка раstra мишени видикона преобразователя 3, который имеет размеры $n \times m$ (т.е. m строк с первой по m -ю и n тактов с первого по n -й). Записываемая информация последовательно смещается по разрядам регистров 27 сдвига. 45

В соответствии с предварительными сведениями о конфигурации и размерах метки на коммутационных полях 29 до начала работы набирается ("записывается") их изображение, причем на первом коммутационном поле 29₁ замыкаются контакты, соответствующие конфигурации метки, а на втором поле 29₂

наоборот - контакты вне ее, остальные контакты разомкнуты. Так как входы всех контактных ячеек первого коммутационного поля 29₁ подключены к прямым выходам соответствующих разрядов регистров 27 электронного окна 28, а входы второго коммутационного поля 29₂ - к их инверсным выходам, в момент совпадения перемещающегося по электронному окну 28 "изображения" с "изображением", записанным на коммутационных полях 29, с выходов замкнутых контактных ячеек коммутационных полей 29 на все входы первого 30₁ и второго 30₂ элементов И поступает логическая "1", с выходов которых она поступает на соответствующие входы третьего элемента И 30₃. В результате, на выходе третьего элемента И 30₃ и соответственно на выходе блока 11 появляется логическая "1" - импульс распознавания. Если хотя бы один элемент "изображения", полученного в электронном окне 28, не совпадает с "изображением" первого коммутационного поля 29₁ (для прямых выходов соответствующих разрядов регистров 27) или второго коммутационного поля 29₂ (для инверсных выходов тех же разрядов), то импульс распознавания блоком 11 метки не выдается, т.е. если метка на планарной структуре имеет иную, чем требуемая, конфигурацию, то она не распознается и совмещение сравниваемых планарных структур, а следовательно, и дефектоскопия не производятся.

Блок 12 выполнен и работает аналогично блоку 11. Он осуществляет распознавание метки на эталонной планарной структуре.

Блок 13 работает следующим образом.

Исходно SR-триггер 34 находится в состоянии "0", таким образом, на втором входе элемента И 35 присутствует "0", что препятствует прохождению на вход блока кадровых синхроимпульсов, поступающих на второй вход блока 13 и соответственно на первый вход элемента И 35. Как только на S-вход SR-триггера 34 поступает командный импульс, имеющий потенциал "1", SR-триггер опрокидывается в состояние "1". Поскольку его прямой выход подключен к второму входу элемента И 35, последний таким образом подготавливается к пропуску кадрово-

го синхроимпульса из последовательности непрерывно поступающих на его первый вход кадровых синхроимпульсов. Первый после этого поступивший на второй вход блока 13 и соответственно на первый вход элемента И 35 кадровый синхроимпульс поступает с выхода элемента И 35 на выход и на вход элемента 36 задержки. После необходимой задержки, обеспечивающей пропуск только одного кадрового синхроимпульса, этот импульс поступает с выхода элемента 36 задержки на R-вход SR-триггера 34 и устанавливает его в исходное состояние "0", тем самым снимая "1" с второго входа элемента И 35, т.е. запирая его, препятствуя прохождению последующих кадровых синхроимпульсов на выход блока. В результате, блок 13 переводится в исходное состояние.

Блок 14 работает следующим образом.

После того, как кадровый синхроимпульс "Разрешение совмещения" с выхода блока 13 поступает на R-вход (вход обнуления) второго счетчика 32₂, происходит сброс (обнуление) этого счетчика, и он подготавливается к новому циклу работы (счета). Связанный с этим счетчиком второй дешифратор 33₂ устроен и работает так, что при наличии на его входе соответствующего текущему значению номера строки с первой по m-ю на его выходе присутствует сигнал, который снимается, как только текущее значение номера строки становится больше m. Таким образом, после обнуления второго счетчика 32₂ на выходе второго дешифратора 33₂ появляется сигнал, который поступает на третий вход третьего элемента И 31₃ и второй вход первого элемента И 31₁, обеспечив тем самым пропуск поступающих на первый вход первого элемента И 31₁ строчных синхроимпульсов на счетный вход второго счетчика 32₂. Аналогично каждый из строчных синхроимпульсов, поступая на R-вход (вход обнуления) первого счетчика 32₁, обеспечивает сброс (обнуление) этого счетчика и, тем самым, подготовку его к новому циклу работы (счета). Связанный с этим счетчиком первый дешифратор 33₁ устроен и работает так, что при наличии на его входе кода, соответствующего текущему значению номера такто-

вого импульса с первого по n-й (в каждой строке), на его выходе присутствует сигнал, который снимается, как только текущее значение номера тактового импульса становится больше n. Таким образом, после обнуления первого счетчика 32₁ на выходе первого дешифратора 33₁ появляется сигнал, который поступает на второй вход третьего элемента И 31₃ и второй вход второго элемента И 31₂, обеспечив тем самым, пропуск поступающих на первый вход второго элемента И 31₂ тактовых импульсов на счетный вход первого счетчика 32₁. В результате, после поступления на его второй вход кадрового синхроимпульса "Разрешение совмещения" блок 14 подготавливается к пропуску на его первый выход поступающих на его третий вход тактовых импульсов в требуемом для этого количестве и порядке (m последовательностей из n тактовых импульсов или m пачек по n тактовых импульсов с требуемым временным интервалом между ними), что осуществляется следующим образом. Наличие на втором и третьем входах третьего элемента И 31₃ сигналов, поступающих с выходов соответственно первого 33₁ и второго 33₂ дешифраторов, обеспечивает пропуск поступающих на его первый вход тактовых импульсов на первый выход блока 14. После отсчета первых n тактовых импульсов на выходе первого дешифратора 33₁ и соответственно на вторых входах второго 31₂ и третьего 31₃ элементов И сигнал снимается и, тем самым, прекращается поступление тактовых импульсов соответственно на счетный вход первого счетчика 32₁ и на первый выход блока 14. Информация об отсчете первых n тактовых импульсов поступает также с выхода первого дешифратора 33₁ на третий выход блока 14 и соответственно на седьмой вход блока 16. Точно также следующий по порядку строчный синхроимпульс обнуляет первый счетчик 32₁, в результате появляется сигнал на выходе первого дешифратора 33₁ и соответственно на вторых входах второго 31₂ и третьего 31₃ элементов И, и цикл работы блока 14 повторяется, т.е. обеспечивается пропуск следующей пачки из n тактовых импульсов на первый выход блока и т.д. Одновременно второй счетчик 32₂ считает

количество поступающих на его счетный вход строчных синхроимпульсов. После отсчета первых m строчных синхроимпульсов на выходе второго дешифратора 33_2 и соответственно на втором входе первого элемента И 31_1 и третьем входе третьего элемента И 31_3 снимается сигнал и, тем самым, прекращается поступление строчных синхроимпульсов на счетный вход второго счетчика 32_2 и тактовых импульсов на первый вход блока 14. Информация об отсчете первых m строк (строчных синхроимпульсов) в кадре поступает также с выхода второго дешифратора 33_2 на второй выход блока 14 и соответственно на шестой вход блока 16.

Блок 16 работает следующим образом.

В работе блока 16 можно выделить три составных элемента: подготовка и включение блока в работу; определение разности координат взаимного положения сравниваемых структур по оси Y ; определение разности координат взаимного положения сравниваемых планарных структур по оси X .

По команде "Разрешение" кадровый синхроимпульс "Разрешение совмещения" поступает с выхода блока 13 на второй вход блока 16. При этом он поступает на R -входы (входы обнуления) T -триггера 54, третьего 52₃ и четвертого 52₄ SR-триггеров, на вход обнуления первого счетчика 53₁, а через второй 50₁ и третий 50₂ элементы ИЛИ - на входы обнуления соответственно второго 53₂ и третьего 53₃ счетчиков, обеспечивая их обнуление, и на S -вход пятого SR-триггера 52₅, опрокидывая его в "1" и, тем самым, обеспечивая наличие "1" на вторых входах пятого 51₅ и шестого 51₆ элементов И. В результате, блок 16 подготавливается к работе. В блоке вычисляется разность координат между метками по осям X (в числе тактов) и Y (в числе строк), и таким образом определяется разность координат взаимного положения сравниваемых планарных структур для выполнения последующего электронного совмещения их изображений в блоке 7.

Разность взаимного положения сравниваемых планарных структур по оси Y в блоке 16 вычисляется путем подсчета целого числа строчных синхроимпульсов, укладываемых между импульсами

распознавания, поступающими из первого 11 и второго 12 блоков соответственно на его четвертый и пятый входы. В зависимости от того, какая метка распознана первой - метка на контролируемой планарной структуре или на эталонной первый импульс распознавания поступает соответственно на четвертый или пятый входы блока 16 и соответственно на первый или второй вход четвертого элемента ИЛИ 50₃, с выхода которого импульс потенциала "1" поступает на S -вход T -триггера 54, который опрокидывается в состояние "1" и с выхода которого "1" поступает на вход "Разрешение счета" первого счетчика 53₁. В результате, первый счетчик 53₁ начинает считать строчные синхроимпульсы, непрерывно поступающие на первый вход блока 16 и соответственно на счетный вход этого счетчика. После прихода второго импульса распознавания T -триггер 54 опрокидывается в состояние "0", "0" с его выхода поступает на вход "Разрешение счета" первого счетчика 53₁ и запрещает счет. В результате, на выходах первого счетчика 53₁ формируется двоичный код координаты Y разности координат взаимного положения сравниваемых планарных структур, соответствующий количеству строчных синхроимпульсов (строк), укладываемых по времени между первым и вторым импульсами распознавания. Этот код (координата Y) поступает на третий выход блока 16.

Разность координат взаимного положения сравниваемых планарных структур по оси X в блоке 16 вычисляется следующим образом. Определяется координата X каждой из распознаваемых меток, а именно подсчитывается число тактовых импульсов (тактов) от начала строки до момента поступления соответствующего импульса распознавания. Для этой цели используются второй 53₂ и третий 53₃ счетчики. Если распознавания метки не происходит, то каждый строчной синхроимпульс обнуляет эти счетчики. Если распознавание произошло, т.е. если поступил импульс распознавания, то число тактовых импульсов от начала строки до момента распознавания, т.е. до поступления импульса распознавания, запоминается. Эти значения поступают в сумматор 55, где определяется коор-

дината X разности положения сравниваемых планарных структур, причем в зависимости от взаимного положения меток эта разность имеет знак "+" или "-".

Итак, определение координаты X в блоке 16 определения координат происходит следующим образом.

Строчной синхроимпульс, поступающий на S-входы первого 52₁ и второго 52₂ SR-триггеров, опрокидывает их в положение "1". "1" с выхода этих SR-триггеров поступает на первые входы соответственно третьего 51₃ и четвертого 51₄ элементов И, на вторые входы которых "1" подана с инверсных выходов третьего 52₃ и четвертого 52₄ SR-триггеров (кадровый синхроимпульс "Разрешение совмещения", подготавливая блок 16 к работе, обнуляет эти SR-триггеры). "1" с выхода третьего 51₃ и четвертого 51₄ элементов И поступает на первые входы соответственно пятого 51₅ и шестого 51₆ элементов И, на вторые входы которых "1" подана с выхода пятого SR-триггера 52₅ (кадровый синхроимпульс "Разрешение совмещения", подготавливая блок 16 к работе, опрокидывает этот триггер в "1"). "1" с выходов этих элементов И поступает на входы разрешения счета соответственно второго 53₂ и третьего 53₃ счетчиков, которые начинают считать поступающие на их счетные входы с третьего входа блока 16 (тактовые импульсы поступают непрерывно на третий вход блока 16) тактовые импульсы. Если распознавания меток не произошло (т.е. импульсы распознавания не поступили), то поступающий с третьего выхода блока 14 на седьмой вход блока 16 и соответственно на R-входы первого 52₁ и второго 52₂ SR-триггеров сигнал обнуляет их. "0" с выхода этих SR-триггеров поступает на первые входы соответственно третьего 51₃ и четвертого 51₄ элементов И, с выхода которых он поступает на первые входы соответственно пятого 51₅ и шестого 51₆ элементов И, с выхода которых - на входы разрешения счета соответственно второго 53₂ и третьего 53₃ счетчиков, запрещая, тем самым, счет. Кроме того, сигнал с третьего выхода блока 14 поступает на первые входы первого 51₁ и второго 51₂ элементов И, на вторые входы которых

подана "1" с инверсных выходов соответственно третьего 52₃ и четвертого 52₄ SR-триггеров (кадровый синхроимпульс "Разрешение совмещения", подготавливая блок 16 к работе, обнуляет эти SR-триггеры). В результате, "1" с выходов первого 51₁ и второго 51₂ элементов И поступает на вторые входы соответственно первого 50₁ и второго 50₂ элементов ИЛИ, с выходов которых она поступает на входы обнуления соответственно второго 53₂ и третьего 53₃ счетчиков, обнуляя их. При поступлении следующего строчного синхроимпульса цикл работы блока 16 повторяется. Если метка распознается, т.е. на четвертый или пятый входы блока 16 поступает импульс распознавания, то (для определенности предположим, что импульс распознавания поступил на четвертый вход блока 16 и соответственно на S-вход третьего SR-триггера 52₃), поступая на S-вход третьего SR-триггера 52₃, этот импульс опрокидывает триггер в "1". "0" с инверсного выхода этого SR-триггера поступает на вторые входы первого 51₁ и третьего 51₃ элементов И, с выходов которых он передается соответственно на второй вход второго элемента ИЛИ 50₁ и на первый вход пятого элемента И 51₅, с выходов которых он поступает соответственно на вход обнуления второго счетчика 53₂, предотвращая его обнуление сигналом с третьего выхода блока 14, и на вход разрешения счета этого же счетчика, обеспечивая запоминание в нем числа тактовых импульсов с начала текущей строки до прихода импульса распознавания (т.е. до момента распознавания метки). Это сформированное (в виде двоичного кода) на выходе второго счетчика 53₂ значение поступает на первый вход сумматора 55. Сброс этого значения может теперь осуществить только следующий кадровый синхроимпульс "Разрешение совмещения". До того, как поступит сигнал о распознавании второй метки (второй импульс распознавания на пятый вход блока 16), третий счетчик 53₃ подсчитывает число тактовых импульсов с начала каждой строки (текущей) до сигнала с третьего выхода блока 14 и обнуляется этим сигналом и т.п. Как только на пятый вход блока 16 поступает второй им-

пульс распознавания (сигнал о распознавании второй метки) и в третьем счетчике 53₃ происходит запоминание числа тактовых импульсов от начала текущей строки до момента прихода импульса распознавания, код этого значения поступает с выхода третьего счетчика 53₃ на второй вход сумматора 55, работающего в режиме вычитания, в котором из значения, поступающего на первый вход (т.е. из координаты метки на контролируемой планарной структуре), вычитается значение, поступающее на второй вход (т.е. координата метки на эталонной планарной структуре), причем вне зависимости от того, какая из этих меток распознана первой. В результате, абсолютное значение этой разности, т.е. разности координат взаимного положения сравниваемых планарных структур по оси X, и ее знак поступают соответственно на второй и первый выходы сумматора 55. Для согласованной работы блоков 16 и 19 (т.е. для правильного формирования требуемой временной задержки опережающего видеосигнала) необходимо, чтобы блок 16 выдавал результат вычитания из координаты метки, распознанной второй, координаты метки, распознанной первой. Этот результат отличается от выдаваемого сумматором 55 только знаком и только в том случае, если первой распознана метка на контролируемой планарной структуре. Для необходимой коррекции знака разности используется элемент ИСКЛЮЧАЮЩЕЕ ИЛИ 56. В том случае, когда первой распознана метка на контролируемой планарной структуре, с второго выхода триггера 10 на восьмой вход блока 16 и соответственно на второй вход элемента ИСКЛЮЧАЮЩЕЕ ИЛИ 56 поступает "0". В результате, на второй выход блока 16 поступает с второго выхода сумматора 55 абсолютное значение разности координат взаимного положения меток по оси X (точнее, соответствующий этому значению код), а на первый выход с выхода элемента ИСКЛЮЧАЮЩЕЕ ИЛИ 56 - код знака, противоположного знаку, выдаваемому сумматором 55, т.е. этот результат соответствует требуемому и обеспечивает правильное формирование временной задержки. Если первой распознана метка на эталонной планарной струк-

туре, то на второй вход элемента ИСКЛЮЧАЮЩЕЕ ИЛИ 56 поступает "1" и, в результате, на первый выход блока 16 поступает код знака, выдаваемый сумматором 55.

Таким образом, абсолютное значение разности координат взаимного положения сравниваемых планарных структур по оси X и ее знак поступают соответственно на второй и первый выходы блока 16 определения координат.

Блок 16 работает следующим образом.

На информационные входы регистра 41 поступает информация (в нашем случае видеосигнал), на тактовые входы регистров 41 - последовательность тактовых импульсов, в результате происходит последовательная запись информации в разряды регистров, но, в отличие от известных примеров использования, электронное окно в предлагаемом устройстве позволяет получить требуемую временную задержку видеосигнала. В предлагаемом устройстве в регистр 41 блока 18 информация поступает прямо с выхода соответствующего преобразователя 3 или 4 и записывается без задержки, в регистр 41₂ эта информация поступает уже с задержкой на одну строку, что обеспечивается элементом 42₁ задержки, в регистр 41₃ с задержкой на две строки, что обеспечивается последовательным включением элементов 42₁ и 42₂ задержки и т.д. Используя выходы разрядов каждого из регистров 41 сдвига, можно получить требуемую временную задержку опережающего видеосигнала, т.е. подсоединяя к входу блока 7 выход нужного разряда соответствующего регистра 41, получаем требуемую временную задержку, причем номер регистра 41 соответствует числу строк, а номер разряда этого регистра - числу тактов и знаку, сформированным в блоке 16 в соответствии с реальной разницей в положении сравниваемых планарных структур.

Блок 19 работает следующим образом.

На первый, второй и третий входы блока 19 поступают (с соответствующих выходов блока 16) двоичные коды, соответствующие знаку разности координат положения сравниваемых планар-

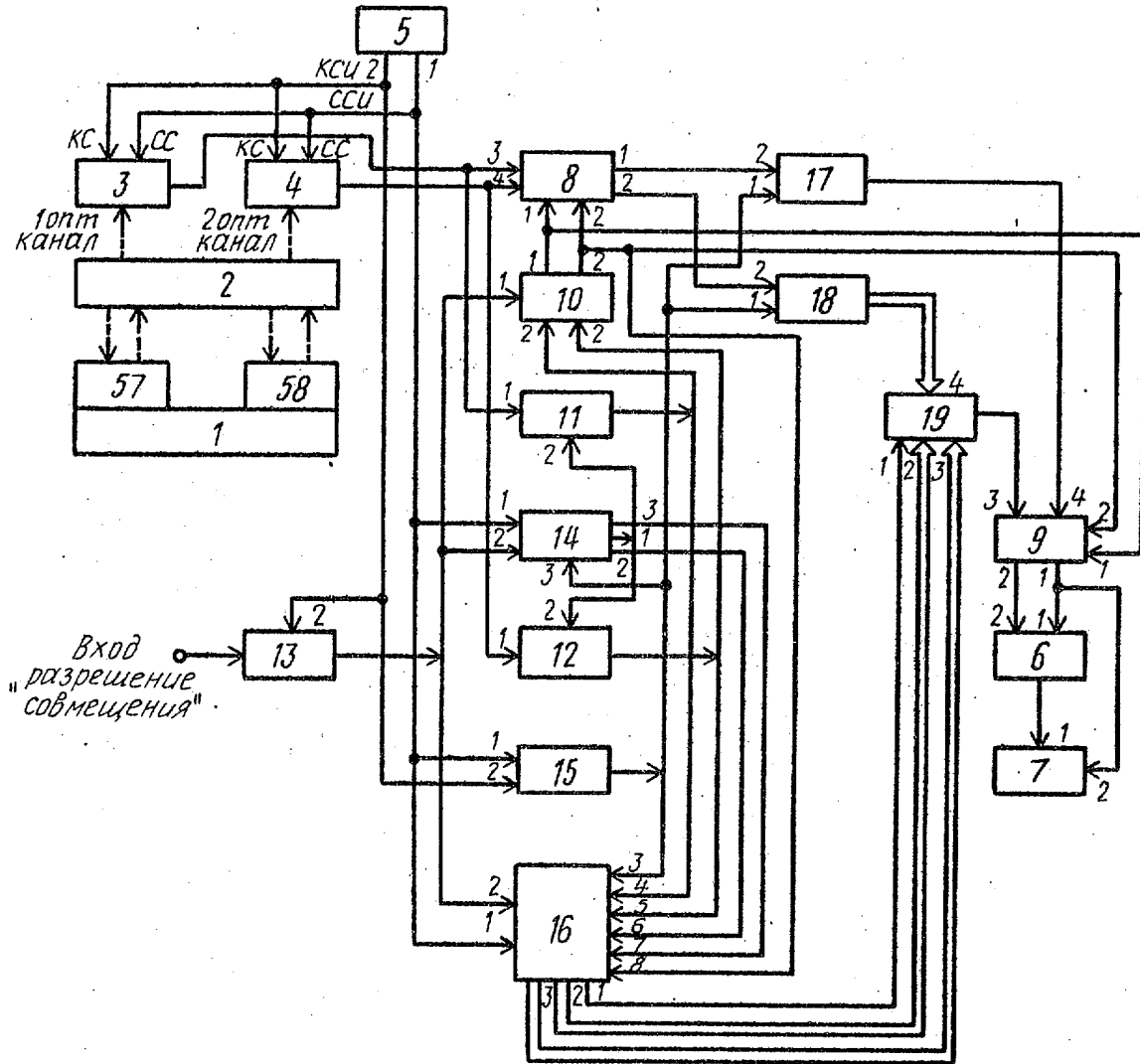
ных структур по оси X, абсолютному значению этой разности и значению разности координат положения сравниваемых планарных структур по оси Y. Соответственно первые два кода поступают на первый и второй входы коммутатора 43, который работает следующим образом. Каждый элемент кода, имеющий значение "1" или "0", поступает на вход соответствующего информационного канала 48₁ и соответственно на вторые входы первого 49₁ и второго 49₂ элементов И. На первый вход второго элемента И 49₂ всех информационных каналов 48 поступает сигнал ("1" или "0") с выхода инвертора 47, а первые входы первых элементов И 49₁ всех информационных каналов 48 объединены с входом инвертора 47. Таким образом, если разность координат положения сравниваемых планарных структур по оси X положительна, то на первый вход коммутатора 43 знака и соответственно на вход инвертора 47 и первые входы первых элементов И 49₁ всех информационных каналов 48 поступает "1" (на первые входы вторых элементов И 49₂ всех информационных каналов 48 поступает "0" с выхода инвертора 47), в результате обеспечивается пропуск кода с второго входа коммутатора 43 знака на его второй выход. Если разность координат отрицательна, то на первый вход коммутатора 43 знака и соответственно на вход инвертора 47 и первые входы первых элементов И 49₁ всех информационных каналов 48 поступает "0". С выхода инвертора 47 на первые входы вторых элементов И всех информационных каналов 48 поступает "1", в результате обеспечивается пропуск кода с второго входа коммутатора 43 знака на его первый вы-

Таким образом, двоичный код, соответствующий разности положения сравниваемых планарных структур по оси X (с учетом знака разности), с первого или второго выхода коммутатора 43 знака поступает на вход либо первого 44₁, либо второго 44₂ дешифраторов. Дешифраторы 44 преобразуют поступающие на их входы двоичный код в десятичный, т.е. в результате преобразования "1" сформируется только на одном, соответствующем

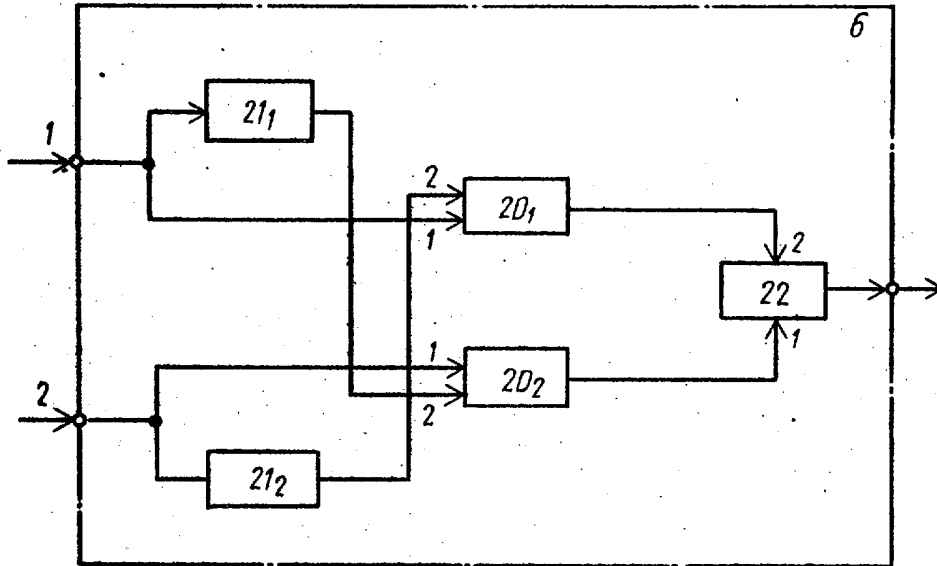
значению разности координат взаимного положения сравниваемых планарных структур по оси X, выходе одного из дешифраторов. Эта "1" поступает на третий вход соответствующего (имеющего соответствующий номер) одного коммутатора 45, тем самым только этот коммутатор 45 подготавливается к пропуску видеосигнала. К второму входу каждого коммутатора 45 столбца подключен выход столбца регистров 41 блока 18, который образуют объединенные в подгруппу разряды, имеющие тот же номер, всех регистров 41 сдвига блока 18. В результате, подготавливается подключение к третьему входу коммутатора 9 выхода одного из тех разрядов регистров 41 блока 18, которые имеют соответствующий величине разности координат положения сравниваемых планарных структур по оси X номер и, тем самым, обеспечивается (путем формирования, таким образом, необходимой временной задержки) требуемое смещение изображения, соответствующего опережающему видеосигналу, на блоке 7 по оси X. На третий вход блока 19 и соответственно на первые входы всех коммутаторов 45 с третьего выхода блока 16 поступает соответствующий значению координаты Y двоичный код, т.е. код соответствующего этой разности положения сравниваемых планарных структур по оси Y числа строк. В результате, в каждом коммутаторе 45 осуществляется для подключения на его выход выбор одного из подключенных на его второй вход выходов одноименных разрядов регистров 41 блока 18, а именно разряда того регистра 41, номер которого соответствует коду координаты Y, т.е. числу строк, на которое необходимо сместить изображение, соответствующее опережающему видеосигналу на блоке 7 по оси Y для выполнения требуемого совмещения изображений сравниваемых планарных структур. Но только в одном коммутаторе 45 обеспечивается подключение выхода этого разряда соответствующего регистра 41 на выход коммутатора 45 и соответственно через элемент ИЛИ 46 на выход блока 19. Итак, блок 19 обеспечивает в соответствии с поступающими на его первый, второй и третий входы координатами разности по-

ложения сравниваемых планарных структур подключение на его выход из всех, подключенных на его четвертый вход выходов разрядов регистров 41 блока 18 выход только одного, соответствующего этим координатам (т.е. числу строк, числу и знаку тактов), разряда, т.е. подключение выхода только этого одного разряда регист-

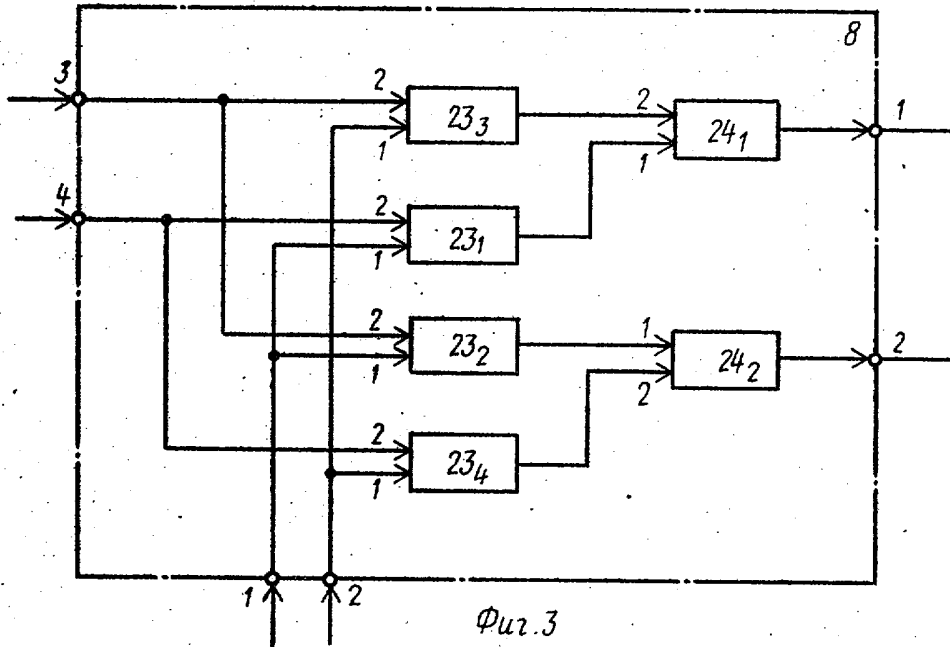
ра 41 к третьему входу коммутатора 9. Таким образом, блок 19 формирует с помощью элементов 42 задержки и разрядов регистров 41 блока 18 необходимую для выполнения точного совмещения в блоке 7 изображений сравниваемых планарных структур временную задержку опережающего видеосигнала.



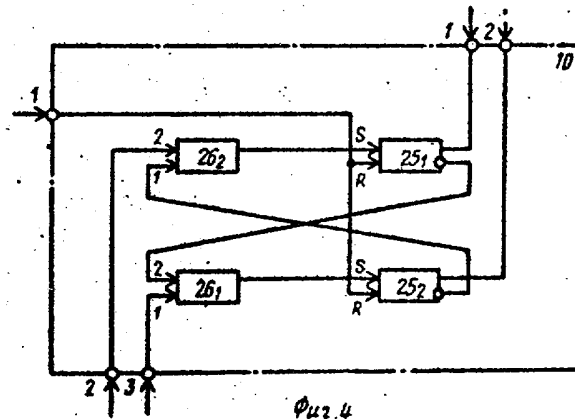
Фиг.1



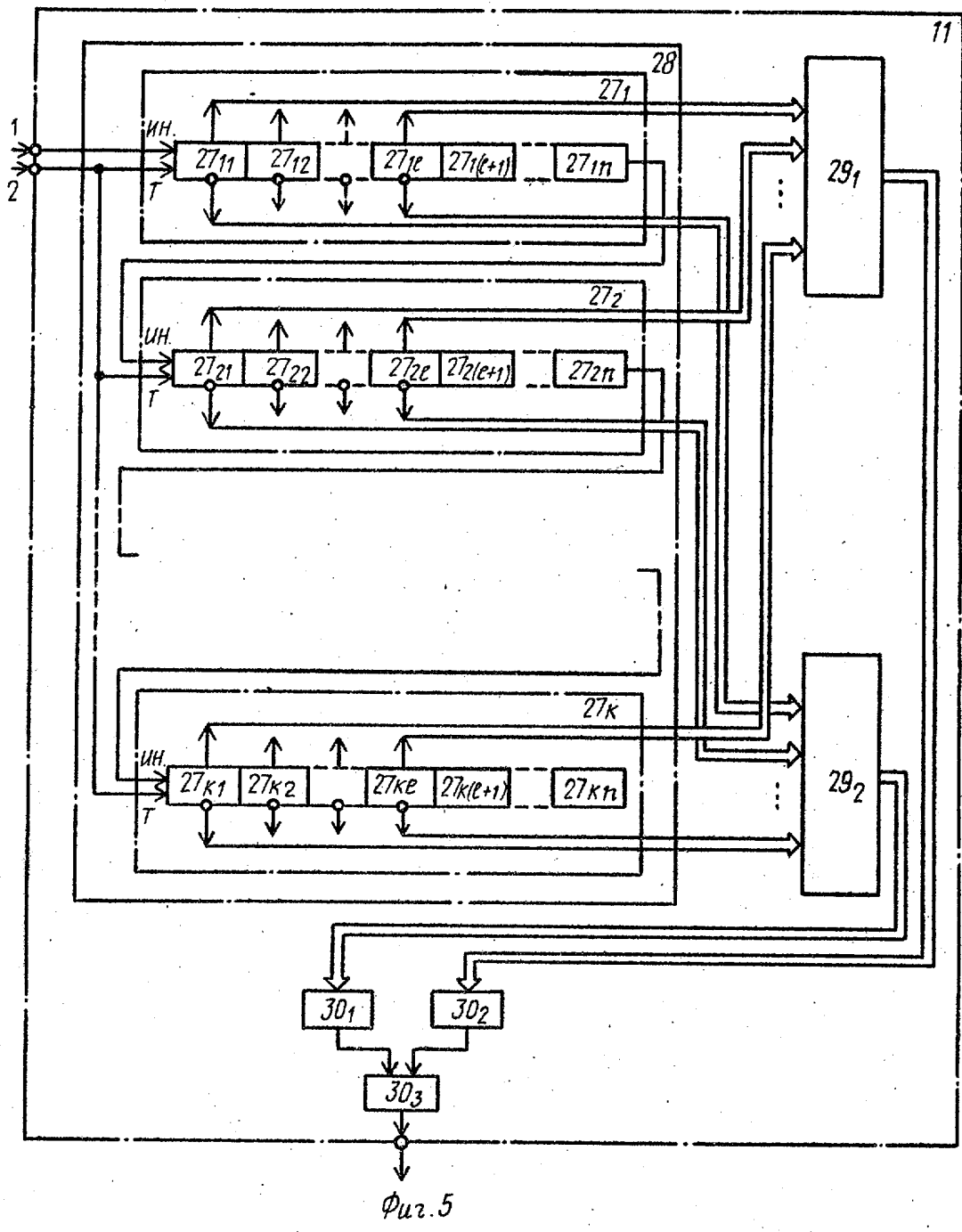
$\Phi_{uz.2}$

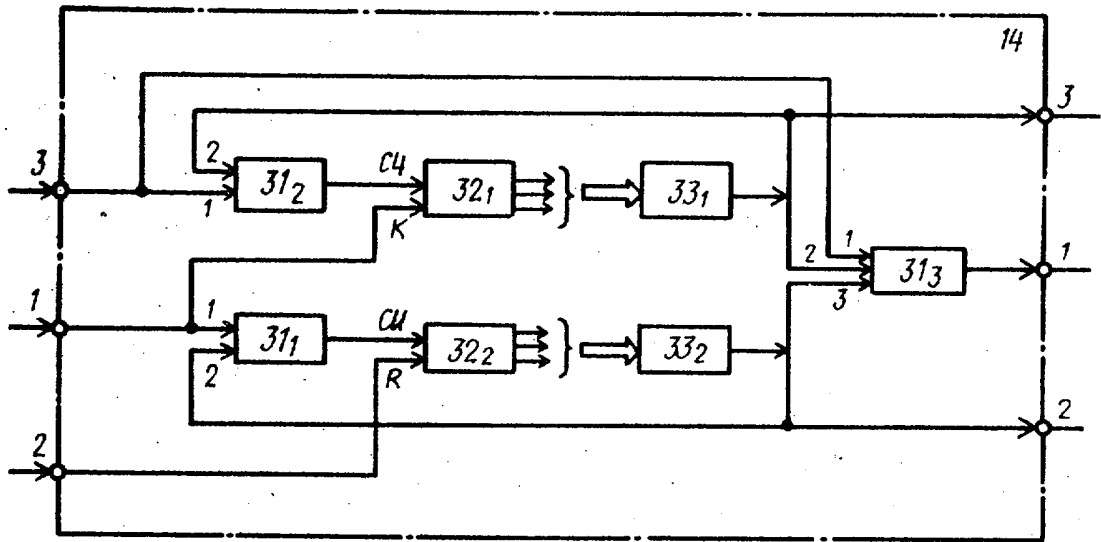


$\Phi_{uz.3}$

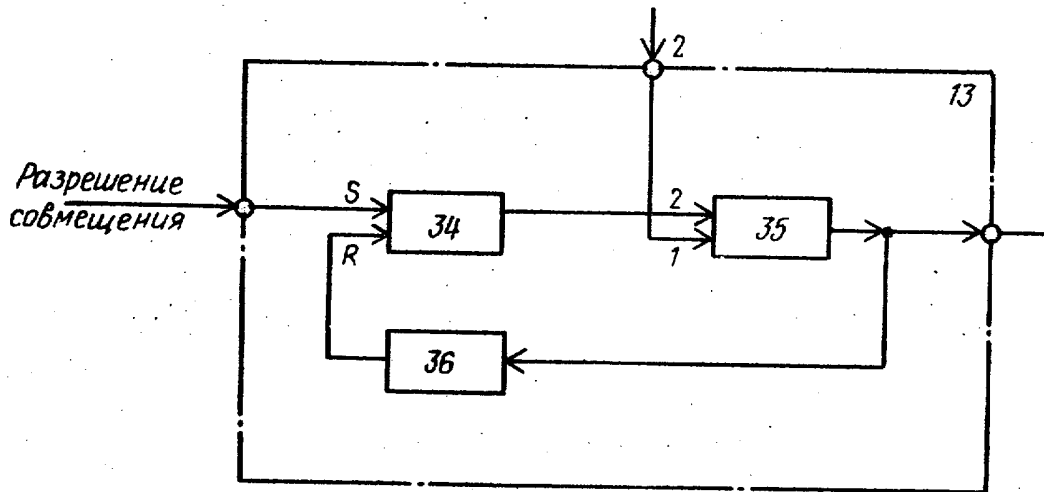


$\Phi_{uz.4}$

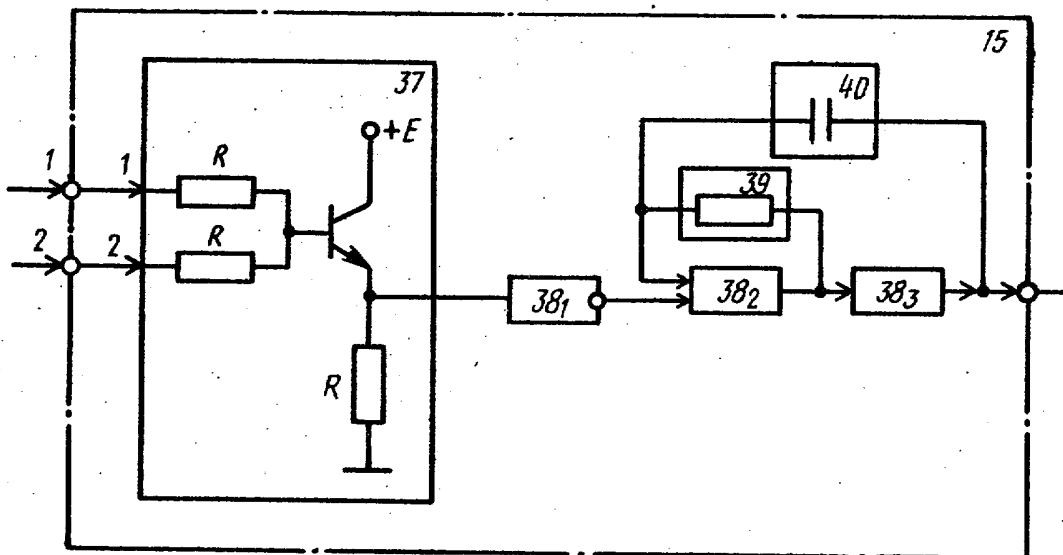




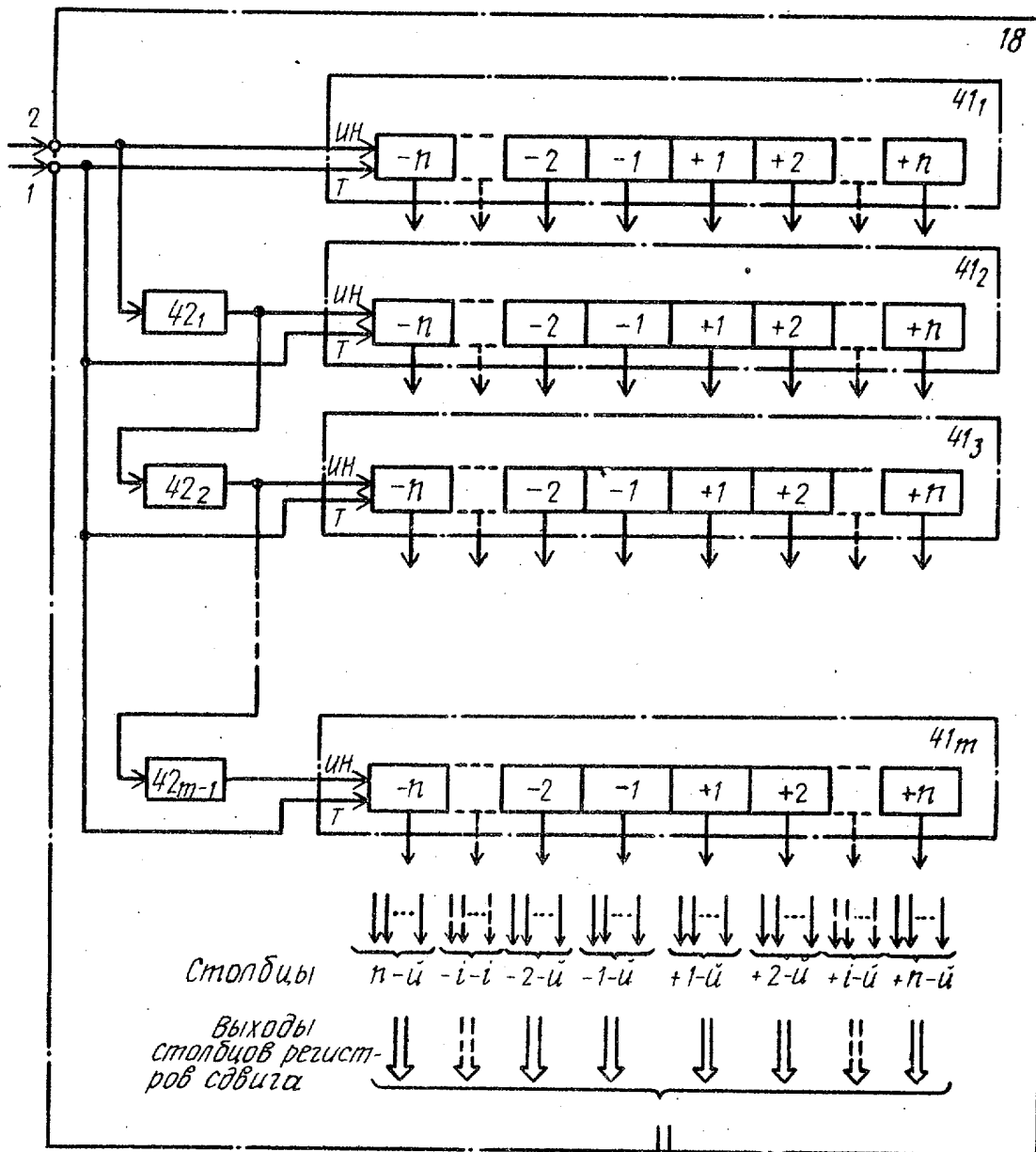
Фиг. 6



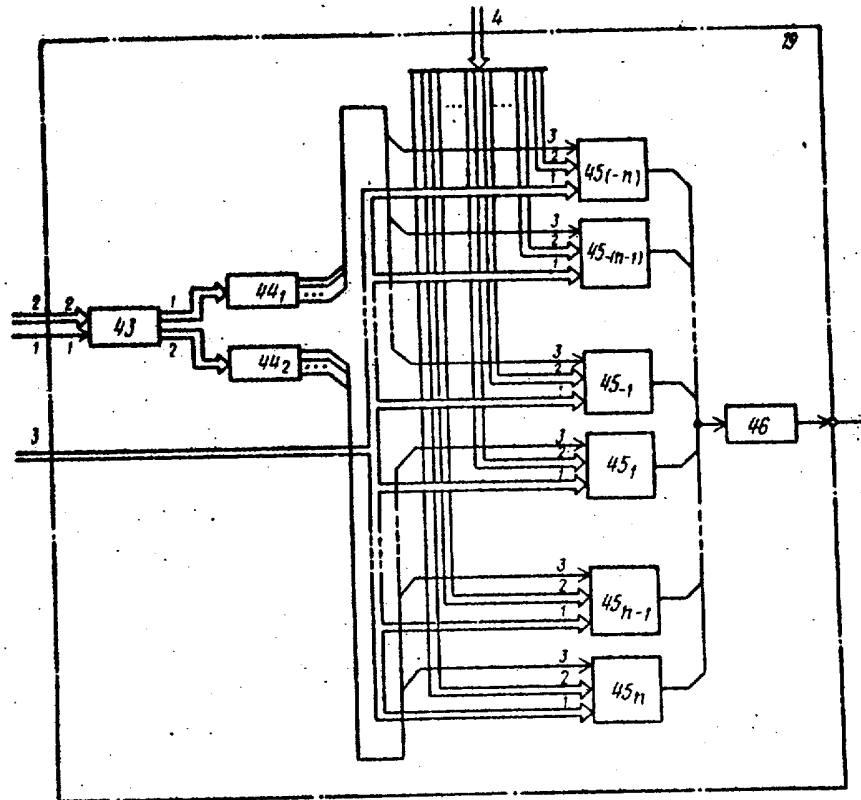
Фиг. 7



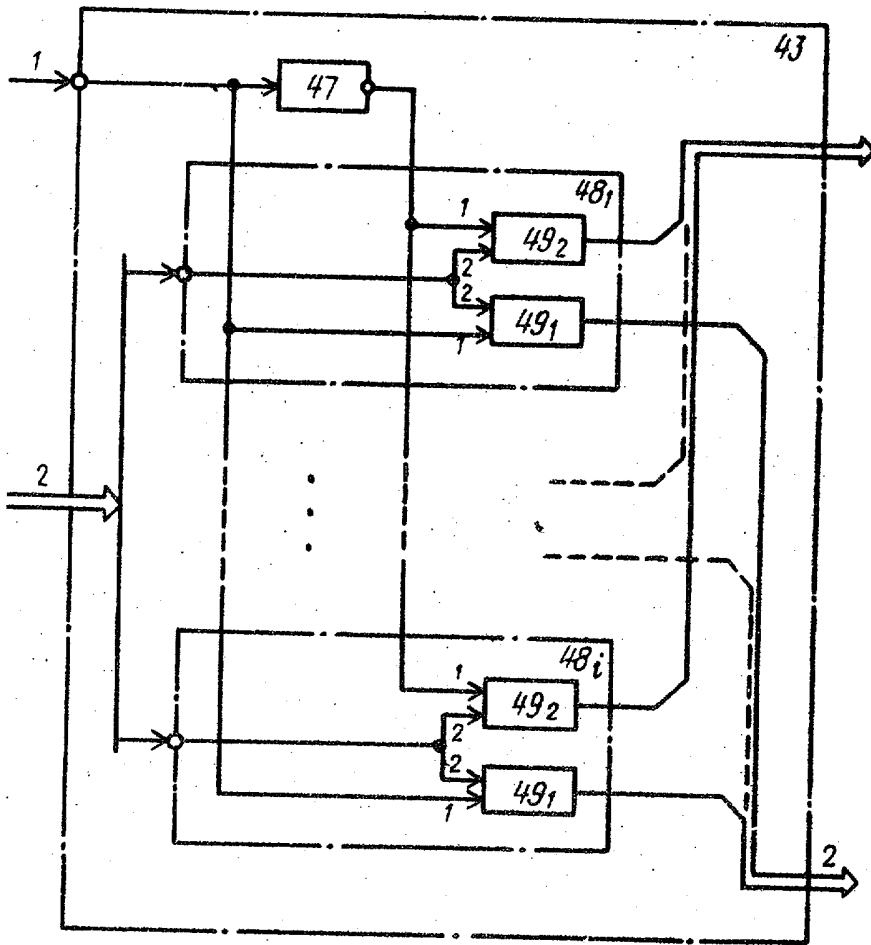
Фиг. 8



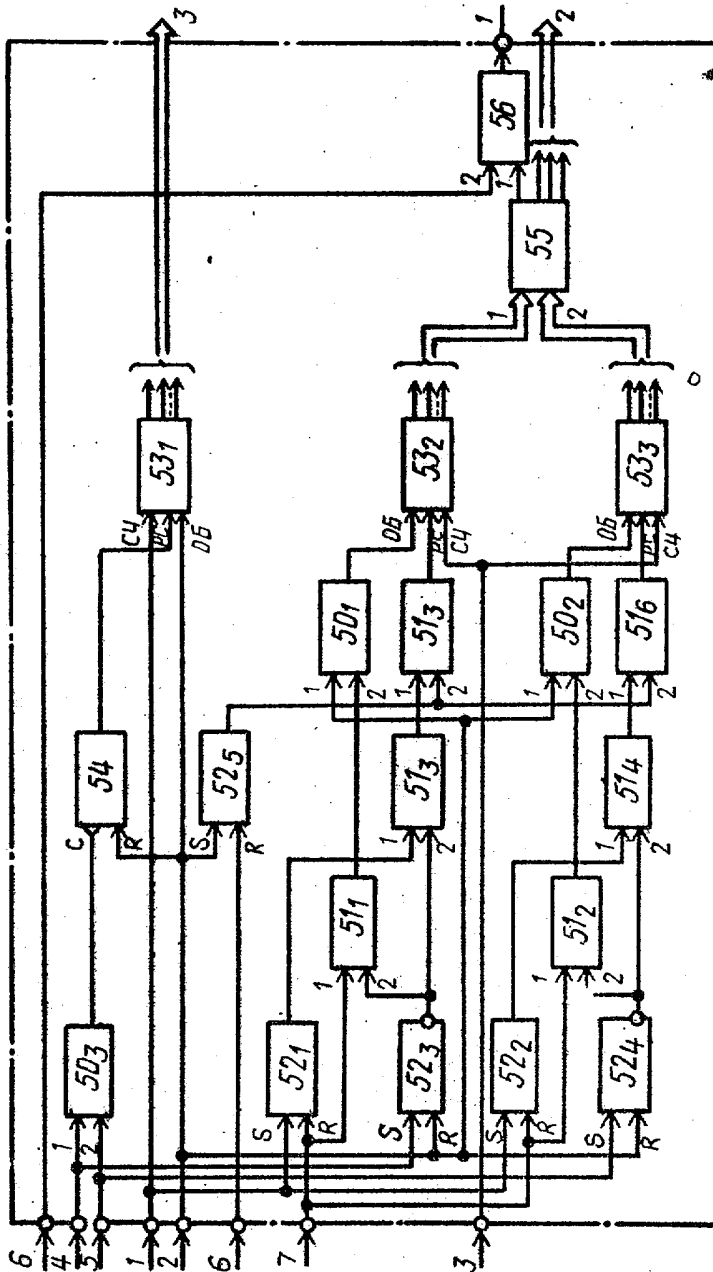
Фиг. 9



Фиг. 10



Фиг. 11



Фиг. 12

Составитель Д. Хачикян

Редактор Л. Алексеенко Техред А. Бабинец Корректор Л. Бескид

Заказ 4438/48

Тираж 710

Подписное

ВНИИПИ Государственного комитета СССР
по делам изобретений и открытий
113035, Москва, Ж-35, Раушская наб., д. 4/5

Филиал ИПИ "Патент", г. Ужгород, ул. Проектная, 4