(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2018年5月11日(11.05.2018)

WIPO | PCT

(10) 国際公開番号
WO 2018/083990 A1

(51) 国際特許分類:
H01L 27/146 (2006.01) *H04N 5/369* (2011.01)
H01L 21/302 (2006.01)

(21) 国際出願番号： PCT/JP2017/037791

(22) 国際出願日： 2017年10月19日(19.10.2017)

(25) 国際出願の言語： 日本語

(26) 国際公開の言語： 日本語

(30) 優先権データ：
特願 2016-215045 2016年11月2日(02.11.2016) JP

(71) 出願人: ソニーセミコンダクタソリューションズ株式会社(**SONY SEMICONDUCTOR SOLUTIONS CORPORATION**) [JP/JP]; 〒2430014 神奈川県厚木市旭町四丁目14番1号 Kanagawa (JP).

(72) 発明者: 閨 宏司 (**NEYA Koji**); 〒2430014 神奈川県厚木市旭町四丁目14番1号 ソニーセミコンダクタソリューションズ株式会社内 Kanagawa (JP).

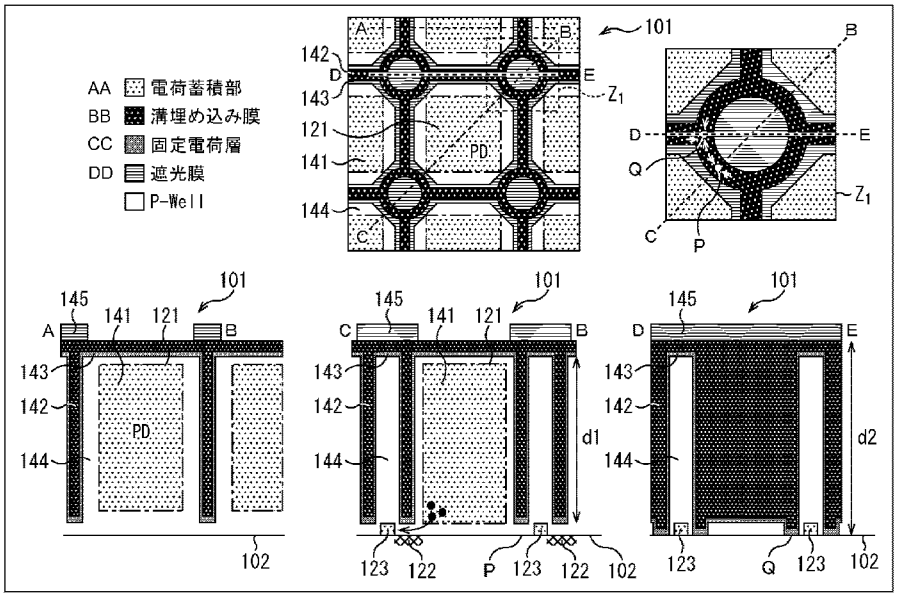
(74) 代理人: 西川 孝, 外 (**NISHIKAWA Takashi** et al.); 〒1600023 東京都新宿区西新宿7丁目5番25号 西新宿木村屋ビルディング9階 Tokyo (JP).

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO,

(54) **Title:** IMAGING ELEMENT, IMAGING DEVICE AND ELECTRONIC DEVICE

(54) 発明の名称： 撮像素子、撮像装置、並びに電子機器

FIG. 3



AA Charge storage part
BB Groove-buried film
CC Fixed charge layer
DD Light blocking film

(57) **Abstract:** The present disclosure relates to: an imaging element which is capable of blocking light to a charge storage part at low cost, while retaining a charge transfer path from a photodiode to the charge storage part; an imaging device; and an electronic device. According to the present invention, the depth and the number of intersections of a groove, in which a reactive gas flows, in a portion of a photomask pattern, where a groove in which a groove-buried film having light blocking properties for preventing color mixing of photodiodes is to be formed, are adjusted, so that the depth of

WO 2018/083990 A1

[続葉有]

DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

一 国際調査報告(条約第21条(3))

the groove is adjusted in accordance with the amount of contact with the reactive gas. Consequently, groove-buried films having a plurality of depths are able to be formed by a single dry etching with use of a single mask pattern, so that the production cost is able to be reduced. The present invention is applicable to an imaging element.

(57) 要約:本開示は、フォトダイオードから電荷蓄積部への電荷転送路を保持しつつ、低コストで電荷蓄積部を遮光することができるようにする撮像素子、撮像装置、並びに電子機器に関する。フォトマスクパターンの形状をのうち、フォトダイオードのそれぞれの混色を防止する遮光性を備えた溝埋め込み膜を形成する溝を形成する部位の反応性ガスが流通する溝の幅や交差数を調整することで反応性ガスとの接触量に応じた溝の深さを調整する。これにより1枚のマスクパターンにより1回のドライエッチングにより複数の深さの溝埋め込み膜を形成することが可能となるので、製造コストを低減させることが可能となる。撮像素子に適用することができる。

明　細　書

発明の名称 ： 撮像素子、撮像装置、並びに電子機器

技術分野

[0001] 本開示は、撮像素子、撮像装置、並びに電子機器に関し、特に、フォトダイオードから電荷蓄積部への電荷転送路を保持しつつ、低コストで電荷蓄積部を遮光できるようにした撮像素子、撮像装置、並びに電子機器に関する。

背景技術

[0002] 撮像装置に採用される撮像素子は、一般に、フォトダイオードから電荷蓄積部への電荷転送路を保持しつつ、遮光構造を形成することで、画素間の混色を防止する構成とされている（特許文献１参照）。

先行技術文献

特許文献

[0003] 特許文献1：特開２０１４－０９６４９０号公報

発明の概要

発明が解決しようとする課題

[0004] しかしながら、上述した特許文献１に記載の技術では、フォトダイオードから電荷蓄積部への電荷転送路を保持しつつ、電荷蓄積部の遮光構造を形成するためには、裏面側からの複数回加工、または両面からの複数回加工が必要である。そのため、エッチングに必要とされるフォトマスクパターンが複数必要となり、工程数も加工回数分増加してしまう。結果として、製造コストを増大させてしまう恐れがあった。

[0005] 本開示は、このような状況に鑑みてなされたものであり、特に、フォトダイオードから電荷蓄積部への電荷転送路を保持しつつ、低コストで電荷蓄積部を遮光できるようにするものである。

課題を解決するための手段

[0006] 本開示の一側面の撮像素子は、アレイ状に配置され、入射光の光量に応じた電荷を発生する複数のフォトダイオードと、前記フォトダイオードより転

送される電荷を蓄積する電荷蓄積部と、前記フォトダイオードおよび前記電荷蓄積部をそれぞれ個別に遮光する遮光壁とを含み、前記遮光壁は、前記電荷蓄積部を取り囲むように構成され、一部の部位が第１の深さで構成され、その他の部位については、第２の深さで構成され、前記遮光壁の前記第１の深さ、および前記第２の深さは、マイクロローディング効果による加工変換差を利用した、フォトマスクパターンを用いたドライエッチングにより形成される撮像素子である。

[0007] 前記遮光壁は、前記電荷蓄積部を取り囲むように構成され、このうち、前記フォトダイオードから前記電荷蓄積部へと前記電荷を転送する電荷転送路として機能する部位については、前記フォトダイオードがアレイ状に配置された面上から基板層に到達しない第１の深さで構成され、その他の部位については、前記フォトダイオードがアレイ状に配置された面上から基板層に到達する第２の深さで構成され、前記第１の深さ、および前記第２の深さを有する前記遮光壁は、マイクロローディング効果による加工変換差を利用した制御により、１枚のフォトマスクパターンによる１回のドライエッチングにより形成されるようにすることができる。

[0008] 前記電荷蓄積部は、複数のフォトダイオードにより共有されるようにすることができ、前記複数のフォトダイオードのそれぞれとの間に前記電荷転送路が形成されるようにすることができる。

[0009] 前記フォトマスクパターンには、前記ドライエッチングにより使用される反応性ガスのシリコン基板への接触量を制御させるようにすることで、前記ドライエッチングによる前記遮光壁を形成する溝の深さを制御させるようにすることができる。

[0010] 前記フォトマスクパターンは、前記ドライエッチングにより使用される反応性ガスのシリコン基板への接触面積、または、前記反応性ガスの流通経路数により接触量を制御させるようにすることで、前記ドライエッチングによる前記遮光壁を形成する溝の深さを制御させるようにすることができる。

[0011] 前記フォトマスクパターンには、前記電荷蓄積部を取り囲むような環状構

造で形成することにより、前記流通経路数による、前記反応性ガスの接触量を制御させるようにすることができる。

[0012] 前記環状構造は、円形、ひし形、方形、または、多角形とすることができる。

[0013] 前記電荷蓄積部には、浮遊拡散領域、およびメモリを含ませるようにすることができる。

[0014] 前記遮光壁は、透過性のある、シリコンよりも屈折率が低い絶縁膜、または、内部に遮光性の金属が設けられた前記絶縁膜より構成されるようにすることができる。

[0015] 本開示の一側面の撮像装置は、アレイ状に配置され、入射光の光量に応じた電荷を発生する複数のフォトダイオードと、前記フォトダイオードより転送される電荷を蓄積する電荷蓄積部と、前記フォトダイオードおよび前記電荷蓄積部をそれぞれ個別に遮光する遮光壁とを含み、前記遮光壁は、前記電荷蓄積部を取り囲むように構成され、一部の部位が第１の深さで構成され、その他の部位については、第２の深さで構成され、前記遮光壁の前記第１の深さ、および前記第２の深さは、マイクロローディング効果による加工変換差を利用した、フォトマスクパターンを用いたドライエッチングにより形成される撮像装置である。

[0016] 本開示の一側面の電子機器は、アレイ状に配置され、入射光の光量に応じた電荷を発生する複数のフォトダイオードと、前記フォトダイオードより転送される電荷を蓄積する電荷蓄積部と、前記フォトダイオードおよび前記電荷蓄積部をそれぞれ個別に遮光する遮光壁とを含み、前記遮光壁は、前記電荷蓄積部を取り囲むように構成され、一部の部位が第１の深さで構成され、その他の部位については、第２の深さで構成され、前記遮光壁の前記第１の深さ、および前記第２の深さは、マイクロローディング効果による加工変換差を利用した、フォトマスクパターンを用いたドライエッチングにより形成される電子機器である。

[0017] 本開示の一側面においては、アレイ状に配置され、入射光の光量に応じた

電荷を発生する複数のフォトダイオードより転送される電荷を蓄積する電荷蓄積部および前記フォトダイオードが遮光壁によりそれぞれ個別に遮光され、前記遮光壁は、前記電荷蓄積部を取り囲むように構成され、一部の部位が第１の深さで構成され、その他の部位については、第２の深さで構成され、前記遮光壁の前記第１の深さ、および前記第２の深さは、マイクロローディング効果による加工変換差を利用した、フォトマスクパターンを用いたドライエッチングにより形成される。

発明の効果

[0018] 本開示の一側面によれば、フォトダイオードから電荷蓄積部への電荷転送路を保持しつつ、低コストで電荷蓄積部を遮光することが可能となる。

図面の簡単な説明

[0019] [図1]従来の撮像素子の第１の構成例を説明する図である。

[図2]従来の撮像素子の第２の構成例を説明する図である。

[図3]本開示の撮像素子の構成例を説明する図である。

[図4]図３の撮像素子の画素回路を説明する図である。

[図5]図３の撮像素子の製造処理を説明するフローチャートである。

[図6]第１の変形例を説明する図である。

[図7]第２の変形例を説明する図である。

[図8]第３の変形例を説明する図である。

[図9]第４の変形例を説明する図である。

[図10]本開示の撮像素子を適用した電子機器としての撮像装置の構成例を示すブロック図である。

[図11]本開示の技術を適用した撮像素子の使用例を説明する図である。

発明を実施するための形態

[0020] 以下に添付図面を参照しながら、本開示の好適な実施の形態について詳細に説明する。なお、本明細書及び図面において、実質的に同一の機能構成を有する構成要素については、同一の符号を付することにより重複説明を省略する。

[0021] また、以下の順序で説明を行う。

１．従来の撮像素子の概要

２．第１の実施の形態

３．図３の撮像素子の製造処理

４．第１の変形例

５．第２の変形例

６．第３の変形例

７．第４の変形例

８．電子機器への適用例

９．撮像素子の使用例

[0022] ＜＜１．従来の撮像素子の概要＞＞

本開示の撮像素子を説明するにあたって、従来の撮像素子の概要について説明する。

[0023] ＜従来の撮像素子の第１の構成例＞

図１は、従来の撮像素子における単位画素を上面（受光面の反対側の面）から見たときの構成を示す図である。図１に示した構成は、２画素共有の構成であり、ここでは、フォトダイオード１１－１と、フォトダイオード１１－１の右側に位置するフォトダイオード１１－２とでリセットゲートなどが共有されている。

[0024] 単位画素１は、中央部分にフォトダイオード１１－１を備えるが、上面から見たときにはＰ領域があるため、直接的には見えないが、図１には、他の部分との位置関係を示すために符号を付している。

[0025] メモリ部１６－１の下側に並ぶように、フローティングゲート（ＦＧ）１５、浮遊拡散領域（FD：Floating Diffusion）１４、リセットゲート（ＲＳＴ：Reset Gate）１３が配置されている。リセットゲート１３は、フォトダイオード１１－１とフォトダイオード１１－２で共有される。

[0026] また、フォトダイオード１１－１の一部には、転送ゲート（ＴＧ：Transfer Gate）１７が配置されている。この転送ゲート１７とメモリ部１６－１と

を接続するように配線１８が配置されている。フォトダイオード１１－１の右側には、フォトダイオード１１－１の右側に配置されているフォトダイオード１１－２用のメモリ部１６－２、フローティングゲート２１、浮遊拡散領域２０が設けられている。そして、その浮遊拡散領域２０の下側に、増幅トランジスタ（ＡＭＰ：amplifier）１９が設けられている。この増幅トランジスタ１９は、複数のフォトダイオードと共有され、この場合、フォトダイオード１１－１とフォトダイオード１１－２で共有される。

[0027] このような構成を有する単位画素１の転送ゲート１７は、フォトダイオード１１－１で光電変換され、フォトダイオード１１－１の内部に蓄積された電荷を、ゲート電極に駆動信号が印加されることによってメモリ部１６－１に、配線１８を介して転送する。同様に、転送ゲート２２は、フォトダイオード１１－２で光電変換され、フォトダイオード１１－２の内部に蓄積された電荷を、ゲート電極に駆動信号が印加されることによってメモリ部１６－２に、配線２３を介して転送する。

[0028] メモリ部１６－１は、遮光膜１２－１と遮光膜１２－２により遮光されている。図１に示したように、メモリ部１６－１を囲うように、遮光膜１２－１と遮光膜１２－２が設けられている。このため、この遮光膜１２－１，１２－２により、メモリ部１６－１は、遮光されている。また、図１に示すように、遮光膜１２は、絶縁膜に挟まれた状態で設けられている。

[0029] このように、遮光膜１２－２が、フォトダイオード１１－１とメモリ部１６－１との間に設けられているため、フォトダイオード１１－１からの電荷は、配線１８を介して転送される。なお、詳細は後述するが、絶縁膜と遮光膜１２の一部を欠き、その部分に転送ゲートを設ける事で、配線１８を設けない構成とすることも可能である。

[0030] 単位画素１のフローティングゲート１５は、メモリ部１６－１に蓄積された電荷を、フローティングゲート１５のゲート電極に駆動信号が印加されることによって、浮遊拡散領域１４に転送する。浮遊拡散領域１４は、Ｎ型層からなる電荷電圧変換部であり、フローティングゲート１５の制御によりメ

モリ部１６－１から転送されてきた電荷を電圧に変換する。

[0031] 単位画素１はさらに、フォトダイオード１１－２と共有されるリセットゲート１３と増幅トランジスタ１９を有している。リセットゲート１３は、電源と浮遊拡散領域１４との間に接続されており、ゲート電極に駆動信号が印加されることによって浮遊拡散領域１４と浮遊拡散領域２０をリセットする。

[0032] 増幅トランジスタ１９は、ドレイン電極が電源に接続され、ゲート電極が浮遊拡散領域１４に接続されており、浮遊拡散領域１４の電圧を読み出す。図示はしていないが、単位画素１は選択トランジスタも備え、選択トランジスタは、例えば、ドレイン電極が増幅トランジスタ１９のソース電極に、ソース電極が図示せぬ垂直信号線にそれぞれ接続されており、ゲート電極に駆動信号が印加されることで、画素信号を読み出すべき単位画素１を選択する。選択トランジスタについては、電源と増幅トランジスタ１９のドレイン電極との間に接続した構成を採用することも可能である。

[0033] このようにして構成される撮像素子（CMOSイメージセンサ）は、全画素同時に露光を開始し、全画素同時に露光を終了し、フォトダイオード１１－１に蓄積された電荷を、遮光されたメモリ部１６へ転送することで、グローバルシャッタ動作（グローバル露光）を実現する。このグローバルシャッタ動作により、全画素一致した露光期間による歪みのない撮像が可能となる。

[0034] ＜従来の撮像素子の第２の構成例＞

図１の従来の撮像素子においては、転送ゲート１７とメモリ部１６－１は、配線１８を介して接続された例を示したが、配線１８は省略するようにしてもよい。図２の左部は、配線１８は省略するようにした単位画素を上面（受光面と反対側の面）から見たときの構成を示す図である。また、図２の右上部は、図２の左部の単位画素の側面図である。

[0035] 図２に示した単位画素３１－１の構成は、基本的に、図１に示した単位画素１の構成と同様である。すなわち、単位画素３１は、フォトダイオード４１－１、転送ゲート４７－１、メモリ部４６－１、フローティングゲート４

５－１、浮遊拡散領域４４－１、リセットゲート４３、増幅トランジスタ４８から構成されている。

[0036] 図２に示した単位画素３１－１も２画素共有型であり、リセットゲート４３と増幅トランジスタ４８は、フォトダイオード４１－１とフォトダイオード４１－２で共有される。図２に示した単位画素３１と図１に示した単位画素１とを比較する。

[0037] 図２に示した単位画素３１－１も、図１に示した単位画素１と同じく、メモリ部４６－１、フローティングゲート４５－１、浮遊拡散領域４４－１、リセットゲート４３は、遮光膜４２－１と遮光膜４２－２の間に配置されている。同じく、メモリ部４６－２、フローティングゲート４５－２、浮遊拡散領域４４－２、増幅トランジスタ４８は、遮光膜４２－３と遮光膜４２－４の間に配置されている。

[0038] 遮光膜４２－２の一部は、フォトダイオード４１－１側に開口されており、その開口されている部分に転送ゲート４７－１が設けられている。転送ゲート４７－１が、遮光膜４２－２の一部分が開口されて設けられることで、フォトダイオード４１－１からの電荷がメモリ部４６－１に、配線を介さずに転送される。

[0039] 他の単位画素、例えば、単位画素３１－２も同様に、遮光膜４２－４の一部は、フォトダイオード４１－２側に開口されており、その開口されている部分に転送ゲート４７－２が設けられている。このように、遮光膜の一部分を開口し、その開口された部分に転送ゲートを設けることも可能である。

[0040] このように、配線を用いずにフォトダイオード４１－１からメモリ部４６－１に電荷を転送できるように構成することで、シリコン基板上で電荷の転送ができるようになり、ノイズがのりづらくなり、ノイズにより影響を低減することが可能となる。

[0041] 図２の右部は、図２の左部に示した単位画素３１－１の側面図である。図２の右上段は、図２の左部に示した単位画素３１－１をａ－ａ’断面で切断したときの側面から見たときの図であり、図２の右下段は、図２の左部に示

した単位画素３１－１をｂ－ｂ’断面で切断したときの側面から見たときの図である。

[0042] 図２の右上端に示した側面図は、転送ゲート４７－１が位置している部分であるため、遮光膜４２－２は、単位画素３１－１の下面から上方向に設けられているが、上面までは設けられず、途中まで設けられている構成とされる。遮光膜４２－２に対して、遮光膜４２－１は、単位画素３１－１の下面から上面まで貫通した状態で設けられている。このように、転送ゲート４７が設けられる部分の遮光膜４２は、基板の途中まで設けられている状態にされ、他の遮光膜４２は、基板を貫通する状態で設けられる。

[0043] 図２の右下段に示した側面図は、転送ゲート４７が位置していない部分であるため、遮光膜４２は、基板の下面から上面に貫通する状態で設けられている。

[0044] また、図２の右上段および右下段に示したように、２つの遮光膜４２の間、例えば、遮光膜４２－１と遮光膜４２－２の間であり、基板の下面には、遮光膜５１－１が設けられている。この遮光膜５１は、裏面側からの不要な光による影響を低減させるために設けられている。

[0045] ところが、図１，図２の従来の撮像素子において、フォトダイオードから電荷蓄積部となるメモリ、または浮遊拡散領域（メモリとFGを省略した構成の場合）への電荷転送路を保持したまま、遮光構造を形成するためには、裏面側からの複数回加工、または、表面側および裏面側の両側からの複数回加工が必要となる。このため、フォトマスクパターンが複数必要となり、工程数もフォトマスクパターン数に応じた加工回数分だけ増加してしまう。結果として、製造コストが増大してしまう恐れがあった。

[0046] ＜＜２．第１の実施の形態＞＞

＜本開示の撮像素子の構成例＞

そこで、本開示の撮像素子は、少ないフォトマスクパターンで、フォトダイオードから電荷蓄積部への電荷転送路を確保しつつ、電荷蓄積部を遮光できるような埋め込み膜を形成できるようにし、加工回数を低減して、製造コ

ストの増大を抑制させるものである。

[0047] 図３は、本開示の撮像素子の構成例を示している。図３の中央上段は、撮像素子１０１における光が入射する方向からみた上面図であり、図３の右上段は、図３の中央上段における範囲Ｚ１の拡大図である。また、図３の左下段は、図３の中央上段におけるＡ－Ｂ断面であり、図３の中央下段は、図３の中央上段におけるＣ－Ｂ断面であり、図３の右下段は、図３の中央上段におけるＤ－Ｅ断面である。

[0048] 図３の中央上段で示されるように、撮像素子１０１は、P-Well１４４に対して、アレイ状にＮ型層１４１からなるフォトダイオード（ＰＤ）１２１が配置されており、さらに、それぞれを方形状に囲むように表層部であって、フォトダイオード１２１の上面を除いた範囲に、遮光膜１４５が配置されている。また、光の入射方向（図３の中央上段においては、紙面手前から奥手方向、図３の下段においては、上方から下方向を見る方向）からみて、遮光膜１４５の下には、アレイ状に配置されたフォトダイオード１２１のそれぞれを取り囲むように、溝埋め込み膜１４２が設けられている。

[0049] 溝埋め込み膜１４２は、透過性のある、シリコンよりも屈折率が低い絶縁膜からなり、フォトダイオード１２１へと光を透過すると共に、深い掘り込みであるDTI（Deep Trench Isolation）に形成される部位については臨界角までは光を遮光することで、隣接するフォトダイオード１２１に入射される光を遮光し、混色を抑制するものである。すなわち、DTIに構成された溝埋め込み膜１４２は、実質的にフォトダイオード１２１を個別に遮光すると共に、電荷蓄積部１２３を個別に遮光する遮光壁として機能する。

[0050] また、この溝埋め込み膜１４２は、図３の上段で示されるように、フォトダイオード１２１がアレイ状に配置された面の、水平方向および垂直方向に対して直線的に形成され、さらに、それぞれの交点となる部位が、円形の環状構造となるように接続されている。さらに、溝埋め込み膜１４２は、P-Well１４４との境界に固定電荷層１４３が成膜されて、全体が取り囲まれている。尚、以降においては、特に断りがない限り、固定電荷層１４３を含めて、

溝埋め込み膜１４２と称するものとする。

[0051] また、光の入射方向からみて円形の環状構造に形成された溝埋め込み膜１４２の中央底部となる基板層１０２上には、電荷蓄積部１２３が形成されている。ここでいう電荷蓄積部１２３は、例えば、図４で示される浮遊拡散領域（ＦＤ：フローティングディフュージョン）（以下、単にＦＤとも称する）である。

[0052] 尚、図４は、一般的な画素回路の配線図を示している。図４の画素回路は、フォトダイオード１２１、転送トランジスタ１２２、電荷蓄積部１２３、リセットトランジスタ１２４、増幅トランジスタ１２５、および選択トランジスタ（ＳＥＬ）１２６より構成される。

[0053] フォトダイオード１２１は、入射光の光量に応じた電荷を蓄積する。転送トランジスタ（転送Ｔｒ．）１２２は、フォトダイオード１２１に蓄積された電荷をＦＤ（浮遊拡散領域）からなる電荷蓄積部１２３に転送する。リセットトランジスタ１２４は、電荷蓄積部１２３、または、フォトダイオード１２１をリセットするとき動作する。

[0054] 増幅トランジスタ１２５は、ゲートに電荷蓄積部１２３に蓄積された電荷に応じた電圧が印加される構成とされており、ゲートに印加された電圧に応じた電圧を画素信号として出力する。選択トランジスタ１２６は、選択信号に応じて開閉し、画素信号を転送する際に選択信号が供給されるときオンにされて、増幅トランジスタ１２５より出力される画素信号を、垂直転送線１２７を介して出力する。

[0055] 水平方向および垂直方向に対して直線状の溝埋め込み膜１４２と交差する部位における、円形の環状構造からなる溝埋め込み膜１４２については、遮光性を備えた空間が形成される。電荷蓄積部１２３は、この遮光性を備えた溝埋め込み膜１４２によりなる円形の環状構造で取り囲まれた空間内に形成されることで遮光性が保たれる。また、この円形の環状構造の溝埋め込み膜１４２の一部は、基板層１０２に到達しないように浅く形成されており、この部位に、図３の中央下段で示されるように、転送トランジスタ１２２が形

成されることにより、電荷の転送経路を確保することが可能となる。

[0056] ここで、円形の環状構造の溝埋め込み膜１４２のうち、画素アレイが形成される面上であって、直線状に形成される溝埋め込み膜１４２と交差する部位についてのみ、溝埋め込み膜１４２が深く形成されるのは、マイクロローディング効果によるものである。

[0057] すなわち、フォトリソグラフィにより円形の環状構造にエッチングパターンが形成された後、エッチングパターンが形成された表面に対して、反応性ガス（反応性の気体（エッチングガス）やイオン、ラジカル等を含む）が吹き付けられてドライエッチングがなされることにより、溝埋め込み膜１４２が形成される領域のみが反応することにより、溝が掘り込まれる。その後、掘り込まれた溝の表層に対して、固定電荷層１４３が形成され、そして、溝を埋めるように溝埋め込み膜１４２が形成される。

[0058] この際、円形の環状構造の溝埋め込み膜１４２のうち、画素アレイが形成される面上であって、水平方向、および垂直方向に対して直線状に形成される溝埋め込み膜１４２と交差する部位については、反応性ガスとの反応による掘り込みが進むと、環状構造における部位に応じて、反応性ガスの接触量にばらつきが生じ、掘り込みの深さが変化する。

[0059] 例えば、図３の右上段の範囲Ｚ１で示されるように、円形の環状構造の溝埋め込み膜１４２のうち、位置Ｐは、図３の中央下段で示される位置Ｐに対応する位置であり、図３の右上段の矢印で示されるように２方向から反応性ガスが流れ込む構造となっている。これに対して、環状構造の溝埋め込み膜１４２のうち、位置Ｑは、図３の右下段で示される位置Ｑに対応する位置であり、図３の右上段の矢印で示されるように３方向から反応性ガスが流れ込む構造となっている。

[0060] この結果、位置Ｑは、位置Ｐよりも多くの反応性ガスが接触することにより、反応性ガスの接触量が多い分だけ、位置Ｐより深く掘り込まれることで、溝が深く形成される。逆に、位置Ｐは、位置Ｑよりも反応性ガスの接触量が少ない分だけ、位置Ｑよりも浅く掘り込まれることで、溝が浅く形成され

る。結果として、図３の中央下段の位置Ｐの溝の深さｄ１は、図３の右下段の位置Ｑにおける溝深さｄ２（＞ｄ１）よりも浅い溝となる。

[0061] 換言すれば、位置Ｑは、位置Ｐよりも多くの方向から反応性ガスが接触することで、反応性ガスとの接触量が増えることにより溝がより深く掘り込まれる（加工変換差が生じる）。したがって、加工変換差を調整することで、位置Ｑの溝深さｄ２は基板層１０２に到達するように構成し、位置Ｐの溝深さｄ１を基板層１０２に到達しないように構成することが可能となる。これにより、１種類のフォトマスクパターンを用いたドライエッチングで、深さの異なる溝埋め込み膜１４２を形成することが可能となる。

[0062] すなわち、これまでは、深さの異なる溝を形成するには、それぞれの深さに対して、それぞれのフォトマスクパターンが必要であったが、マイクロローディング効果に基づいた加工変換差を利用したフォトマスクパターンを用いることで、１枚のフォトマスクパターンでも複数の異なる深さの溝を１回のドライエッチングで加工することが可能となる。

[0063] 結果として、この深さの異なる溝を１枚のフォトマスクパターンを用いて、１回のドライエッチングにより実現することができるので、図３の右下段で示されるように、電荷蓄積部１２３の周囲を溝埋め込み膜１４２により囲い込むことが可能になると共に、図３の中央下段で示されるように、溝埋め込み膜１４２の浅い部位に転送トランジスタ１２２を形成することで、電荷転送路を構成することが可能となる。

[0064] 尚、マイクロローディング効果とは、ドライエッチングの際、反応性ガスによりエッチングされる部位、すなわち、反応性ガスとの接触により掘り込まれる部位に対して、単位面積当たりの反応性ガスの接触量が多いほど、より深く掘り込まれることを表す効果を表すものである。また、以降において、マイクロローディング効果を用いた加工により、反応性ガスとの単位面積当たりの接触量の違いに応じて掘り込まれる溝の深さに対して生じる差を加工変換差とも称する。

＜＜３．図３の撮像素子の製造処理＞＞

次に、図５のフローチャートを参照して、図３の撮像素子の製造処理について説明する。尚、事前にフォトダイオード１２１、転送トランジスタ１２２、および電荷蓄積部１２３が形成されていることを前提とする。

[0065] ステップＳ１１において、マイクロローディング効果に基づいた加工変換差により溝の深さが位置に応じて変化するようにフォトリソグラフィによりフォトマスクパターンが形成される。ここで、形成されるフォトマスクパターンは、事前に形成されたフォトダイオード１２１、転送トランジスタ１２２、および電荷蓄積部１２３に対応したものとされる。

[0066] ステップＳ１２において、反応性ガスを用いたドライエッチングによりフォトマスクパターンに沿って位置に応じて深さが変化する溝が形成される。

[0067] すなわち、水平方向および垂直方向に対して直線状の溝埋め込み膜１４２が形成される領域が交差する部位を、円形の環状構造とすることで、上述した図３の右上段で示される位置Ｐ，Ｑのそれぞれで示されるように深さが異なる溝が形成される。

[0068] ステップＳ１３において、掘り込まれた溝を含めた全面に対して固定電荷層１４３が成膜される。

[0069] ステップＳ１４において、掘り込まれた溝に対して溝埋め込み膜１４２が埋め込まれる。

[0070] ステップＳ１５において、遮光膜１４５が形成される。

[0071] 以上のような処理により、１枚のフォトマスクパターンによる１回のドライエッチングにより複数の深さの溝埋め込み膜１４２を形成することが可能となる。

[0072] 尚、マイクロローディング効果を利用した加工変換差により深さの異なる溝埋め込み膜１４２を１枚の１枚のフォトマスクパターンによる１回のドライエッチングで実現する例について説明してきたが、それ以上の枚数のフォトマスクパターンを用いて複数回数のドライエッチングにより、深さの異なる溝埋め込み膜１４２を形成するようにしてもよい。

[0073] ＜＜４．第１の変形例＞＞

以上においては、溝埋め込み膜１４２は、透過性のある絶縁膜のみから構成される例について説明してきたが、さらに、ＤＴＩに遮光膜１４５の金属膜を埋め込むようにしてもよい。

[0074] すなわち、図６の下段で示されるように、溝埋め込み膜１４２におけるＤＴＩ部には、遮光膜１４５から続く遮光性を備えた金属膜が埋め込まれている。絶縁膜からなる溝埋め込み膜１４２とシリコンの臨界角までは全反射で光がフォトダイオード１２１内に反射されるが、臨界角を超えると遮光膜１４５を形成する金属膜によって反射、あるいは吸収されることにより、混色が抑制される。

[0075] ＜＜５．第２の変形例＞＞

以上においては、アレイ状にフォトダイオード１２１が配列される面の水平方向および垂直方向に対して直線状に形成される溝埋め込み膜１４２の交点部分を円形の環状構造にして接続する撮像素子１０１の例について説明してきたが、溝埋め込み膜１４２の交点部分における接続の形状については、環状構造であれば、円形以外の形状であってもよい。例えば、図７の左部で示されるように、アレイ状にフォトダイオード１２１が配列される面の水平方向および垂直方向に対して直線状に形成される溝埋め込み膜１４２の交点部分をひし形の環状構造とするようにしてもよいし、図７の右部で示されるように、方形状の構造としてもよい。

[0076] 図７の左部、および図７の右部のいずれにおいても、Ａ－Ｂ断面、Ｃ－Ｂ断面、およびＤ－Ｅ断面の基本構成は図３の下段におけるそれぞれと同様である。ただし、図３の下段における３種類の断面図における水平方向の幅、および位置については、形状の違いに応じて異なるものとなる。

[0077] また、環状構造であれば、図７で示されるような形状を含めて円形以外の形状であってもよいが、マイクロローディング効果により生じる加工変換差により、電荷転送路が形成される範囲以外の範囲については、電荷蓄積部１２３を遮光するように基板層１０２に到達するように深く溝埋め込み膜１４２が形成され、転送トランジスタ１２２が構成される範囲については、電荷

転送路として機能できるように、基板層１０２に到達しない程度に浅い溝埋め込み膜１４２が形成されるようにする。

[0078] いずれの環状構造であっても、電荷蓄積部１２３を遮光しつつ、フォトダイオード１２１との電荷転送路となる転送トランジスタを形成するための、深さの異なる溝埋め込み膜１４２を形成する溝を１枚のフォトマスクパターンを用いて、１回のドライエッチングにより形成することができるので、マスクパターン数、および工程数を低減し、結果として、製造コストを低減することが可能となる。

[0079] ＜＜６．第３の変形例＞＞

以上においては、アレイ状にフォトダイオード１２１が配列される面の水平方向および垂直方向に対して直線状に形成される溝埋め込み膜１４２の交点部分を環状構造とすることで、マイクロローディング効果による加工変換差により溝埋め込み膜１４２の深さを調整する撮像素子１０１の例について説明してきたが、溝埋め込み膜１４２を形成するための溝を形成するフォトリソグラフィにおける幅を変化させることで、反応性ガスとの接触量（接触面積）を調整して、掘り込まれる溝の深さを調整するようにしてもよい。

[0080] すなわち、図８の左部で示されるように、溝埋め込み膜１４２は、アレイ状にフォトダイオード１２１が配列される面に対して、フォトダイオード１２１をそれぞれ取り囲むように形成されている。また、図８の左部におけるＡ－Ｂ線上の位置Ｐと位置Ｑとは、フォトマスクパターンにより設定される溝埋め込み膜１４２の幅が異なり、位置Ｑを中心とする溝埋め込み膜１４２の幅は、位置Ｐを中心とする溝埋め込み膜１４２の幅よりも広く設定されている。このような構成により、位置Ｑにおける反応性ガスの接触量は、位置Ｐにおける反応性ガスの接触量よりも多くなる。

[0081] このため、図８の右部で示されるように、位置Ｑにおける溝埋め込み膜１４２の深さは、位置Ｐにおける溝埋め込み膜１４２の深さよりも深い構成とされ基板層１０２に到達して、電荷蓄積部１２３の完全な遮光空間を形成する。一方、位置Ｐにおける溝埋め込み部１４２は、位置Ｑにおける溝埋め込

み膜１４２の深さよりも浅くなり、基板層１０２には到達しない。結果として、位置Ｐにおいては、基板層１０２に到達しないので、転送トランジスタ１２２が設けられることにより電荷転送路として機能する。

[0082] また、図８の中央部で示されるように、アレイ状にフォトダイオード１２１が配列される面の水平方向および垂直方向に対して直線状に形成される溝埋め込み膜１４２の交点部分を環状構造としたうえで、溝埋め込み膜１４２の幅に変化を付けて、深さを調整するようにしてもよい。

[0083] すなわち、図８の中央部においては、アレイ状にフォトダイオード１２１が配列される面の水平方向および垂直方向に対して直線状に形成される溝埋め込み膜１４２の交点部分が環状構造とされているが、図中のＡ－Ｂ上の位置Ｐと位置Ｑとでは、フォトマスクパターンにより設定される溝埋め込み膜１４２の幅が異なり、位置Ｑを中心とする溝埋め込み膜１４２の幅は、位置Ｐの溝埋め込み膜１４２の幅よりも広く設定されている。このような構成により、位置Ｑにおける反応性ガスの接触量は、位置Ｐにおける反応性ガスの接触量よりも多くなる。

[0084] このため、図８の右部で示されるように、位置Ｑにおける溝埋め込み膜１４２の深さは、位置Ｐにおける溝埋め込み膜１４２の深さよりも深く構成とされ、基板層１０２に到達して、電荷蓄積部１２３の完全な遮光空間を形成する。一方、位置Ｐにおける溝埋め込み部１４２は、位置Ｑにおける溝埋め込み膜１４２の深さよりも浅く、基板層１０２に到達していないため、転送トランジスタ１２２が設けられることにより電荷転送路として機能する。

[0085] すなわち、図８の左部、および図８の中央部は、アレイ状にフォトダイオード１２１が配列される面の水平方向および垂直方向に対して直線状に形成される溝埋め込み膜１４２の本数、および、交点部分が異なる構成例であるが、それぞれのＡ－Ｂ断面は、図８の右部で示されるものとなる。尚、図８の左部、および図８の中央部のそれぞれのＡ－Ｂ断面は、詳細には、水平方向の幅や位置が異なるものであるが、外形形状は、ほぼ同様である。

[0086] いずれの構造であっても、電荷蓄積部１２３を遮光しつつ、フォトダイオ

ード１２１との転送路となる転送トランジスタを形成するための、深さの異なる溝埋め込み膜１４２を１枚のマスクパターンを用いて、１回のドライエッチングにより形成することができるので、マスクパターン数、および工程数を低減し、結果として、製造コストを低減することが可能となる。

[0087] ＜＜７．第４の変形例＞＞

以上においては、電荷蓄積部１２３が、１個のフォトダイオード毎に設定される浮遊拡散領域（ＦＤ：フローティングディフュージョン）である撮像素子１０１の例について説明してきたが、電荷蓄積部１２３を、浮遊拡散領域（ＦＤ：フローティングディフュージョン）に代えて、複数のフォトダイオードで共有するメモリにするようにしてもよい。

[0088] この場合、例えば、図９の左部のＡ－Ｂ上で示されるように、フォトダイオード１２１のそれぞれを囲む溝埋め込み膜１４２のうち、位置Ｐ１，Ｐ２を中心とする一部の幅を、位置Ｑ１，Ｑ２を中心とする幅よりも狭く形成することで、ドライエッチングの際の反応性ガスとの接触量を低減させ、図７の右部で示されるように、フォトダイオード１２１－１，１２１－２とが隣接する間の溝埋め込み膜１４２の深さを、浅くして、基板層１０２に到達しない構成とする。

[0089] このような構成とすることで、位置Ｐ１，Ｐ２との間の空間の底部であって基板層１０２上に、電荷蓄積部１２３であるメモリとフォトダイオード１２１－１，１２１－２等を含む複数のフォトダイオード１２１とを接続する、転送トランジスタ１２２－１乃至１２２－３を設けるようにすることで、複数のフォトダイオード１２１からの電荷転送路として機能させることができる。

[0090] 一方、位置Ｑ１，Ｑ２の溝埋め込み膜１４２は、位置Ｐ１，Ｐ２における溝埋め込み膜１４２よりも幅が広く、ドライエッチングの際の反応性ガスとの接触量が多くなるため、より深く掘り込まれることにより、基板層１０２に到達する構成とする。このような構成とすることで、溝埋め込み膜１４２間に遮光空間を形成することができ、例えば、トランジスタ１２４乃至１２

６のいずれかなどの画素トランジスタを形成することができる。

[0091] 以上の構造によれば、電荷蓄積部１２３を遮光する基板層１０２に到達する深さの溝埋め込み膜１４２と、フォトダイオード１２１との電荷転送路となる転送トランジスタを形成するための、基板層１０２に到達しない深さの溝埋め込み膜１４２とからなる、深さの異なる溝埋め込み膜１４２を１枚のフォトマスクパターンを用いて、１回のドライエッチングにより形成することが可能となる。これにより、フォトマスクパターン数、および工程数を低減することが可能となるので、結果として、製造コストを低減することが可能となる。

[0092] 以上をまとめると、それぞれ深さの異なる、浮遊拡散領域（ＦＤ：フローティングディフュージョン）、またはメモリを構成する電荷蓄積部１２３を遮光する溝埋め込み膜１４２と、フォトダイオード１２１からの電荷転送路として機能させる転送トランジスタを形成するための溝埋め込み膜１４２との幅を、反応性ガスの接触量を制御するように調整したフォトマスクパターンを用いて、ドライエッチング処理を施すことにより、１枚のフォトマスクパターンにより１回のドライエッチングで複数の深さの溝埋め込み膜１４２を形成することが可能となる。結果として、フォトマスクパターン数を低減して、ドライエッチングの工程数を低減させることで、撮像素子の製造コストを低減することが可能となる。

[0093] より具体的には、浮遊拡散領域（ＦＤ：フローティングディフュージョン）、またはメモリを構成する電荷蓄積部１２３を遮光する溝埋め込み膜１４２を形成するためのマスクパターンは、溝埋め込み膜１４２の最深部を基板層１０２に到達するように、深さを増大させるため、反応性ガスの接触量が増大するように、接触面積を増大させる、または、反応性ガスの流通経路数を増大させる。

[0094] 一方、フォトダイオード１２１からの電荷転送路として機能させる転送トランジスタを形成するための溝埋め込み膜１４２を形成するためのマスクパターンは、溝埋め込み膜１４２の最深部が基板層１０２に到達しないように

、深さを浅く形成するので、遮光するための溝埋め込み膜１４２を形成する部位よりも、反応性ガスの接触量を低減させるため、接触面積を縮小させる、または、反応性ガスの流通経路数を低減させる。

[0095] 以上のような特徴を備えたマスクパターンを形成することにより、１枚のマスクパターンを用いて、１回のドライエッチングで、電荷蓄積部１２３の遮光する空間を形成する部位と、電荷転送路として機能させる転送トランジスタを形成する部位とのそれぞれの用途に適切な深さの溝埋め込み膜１４２を形成することが可能となる。結果として、マスクパターンを低減させることができ、ドライエッチングの回数、すなわち、製造に係る工数を低減させることができるので、製造コストを低減させることが可能となる。

[0096] ＜＜８．電子機器への適用例＞＞

上述した撮像素子は、例えば、デジタルスチルカメラやデジタルビデオカメラなどの撮像装置、撮像機能を備えた携帯電話機、または、撮像機能を備えた他の機器といった各種の電子機器に適用することができる。

[0097] 図１０は、本技術を適用した電子機器としての撮像装置の構成例を示すブロック図である。

[0098] 図１０に示される撮像装置２０１は、光学系２０２、シャッタ装置２０３、固体撮像素子２０４、駆動回路２０５、信号処理回路２０６、モニタ２０７、およびメモリ２０８を備えて構成され、静止画像および動画像を撮像可能である。

[0099] 光学系２０２は、１枚または複数枚のレンズを有して構成され、被写体からの光（入射光）を固体撮像素子２０４に導き、固体撮像素子２０４の受光面に結像させる。

[0100] シャッタ装置２０３は、光学系２０２および固体撮像素子２０４の間に配置され、駆動回路１００５の制御に従って、固体撮像素子２０４への光照射期間および遮光期間を制御する。

[0101] 固体撮像素子２０４は、上述した固体撮像素子を含むパッケージにより構成される。固体撮像素子２０４は、光学系２０２およびシャッタ装置２０３

を介して受光面に結像される光に応じて、一定期間、信号電荷を蓄積する。固体撮像素子２０４に蓄積された信号電荷は、駆動回路２０５から供給される駆動信号（タイミング信号）に従って転送される。

[0102] 駆動回路２０５は、固体撮像素子２０４の転送動作、および、シャッタ装置２０３のシャッタ動作を制御する駆動信号を出力して、固体撮像素子２０４およびシャッタ装置２０３を駆動する。

[0103] 信号処理回路２０６は、固体撮像素子２０４から出力された信号電荷に対して各種の信号処理を施す。信号処理回路２０６が信号処理を施すことにより得られた画像（画像データ）は、モニタ２０７に供給されて表示されたり、メモリ２０８に供給されて記憶（記録）されたりする。

[0104] このように構成されている撮像装置２０１においても、上述した光学系２０２、シャッタ装置２０３、および固体撮像素子２０４に代えて、本開示の図３で示される撮像素子１０１を適用することにより、製造コストを低減させることが可能となる。

＜＜９．撮像素子の使用例＞＞

[0105] 図１１は、上述の図３の撮像素子１０１を使用する使用例を示す図である。

[0106] 上述した撮像素子は、例えば、以下のように、可視光や、赤外光、紫外光、X線等の光をセンシングする様々なケースに使用することができる。

[0107] ・ディジタルカメラや、カメラ機能付きの携帯機器等の、鑑賞の用に供される画像を撮影する装置

・自動停止等の安全運転や、運転者の状態の認識等のために、自動車の前方や後方、周囲、車内等を撮影する車載用センサ、走行車両や道路を監視する監視カメラ、車両間等の測距を行う測距センサ等の、交通の用に供される装置

・ユーザのジェスチャを撮影して、そのジェスチャに従った機器操作を行うために、TVや、冷蔵庫、エアーコンディショナ等の家電に供される装置

・内視鏡や、赤外光の受光による血管撮影を行う装置等の、医療やヘルス

ケアの用に供される装置

・防犯用途の監視カメラや、人物認証用途のカメラ等の、セキュリティの用に供される装置

・肌を撮影する肌測定器や、頭皮を撮影するマイクロスコープ等の、美容の用に供される装置

・スポーツ用途等向けのアクションカメラやウェアラブルカメラ等の、スポーツの用に供される装置

・畑や作物の状態を監視するためのカメラ等の、農業の用に供される装置

[0108] 尚、本開示は、以下のような構成も取ることができる。

＜１＞ アレイ状に配置され、入射光の光量に応じた電荷を発生する複数のフォトダイオードと、

前記フォトダイオードより転送される電荷を蓄積する電荷蓄積部と、

前記フォトダイオードおよび前記電荷蓄積部をそれぞれ個別に遮光する遮光壁とを含み、

前記遮光壁は、前記電荷蓄積部を取り囲むように構成され、一部の部位が第１の深さで構成され、その他の部位については、第２の深さで構成され、前記遮光壁の前記第１の深さ、および前記第２の深さは、マイクロローディング効果による加工変換差を利用した、フォトマスクパターンを用いたドライエッチングにより形成される

撮像素子。

＜２＞ 前記遮光壁は、前記電荷蓄積部を取り囲むように構成され、このうち、前記フォトダイオードから前記電荷蓄積部へと前記電荷を転送する電荷転送路として機能する部位については、前記フォトダイオードがアレイ状に配置された面上から基板層に到達しない第１の深さで構成され、その他の部位については、前記フォトダイオードがアレイ状に配置された面上から基板層に到達する第２の深さで構成され、前記第１の深さ、および前記第２の深さを有する前記遮光壁は、マイクロローディング効果による加工変換差を利用した制御により、１枚のフォトマスクパターンによる１回のドライエッチ

ングにより形成される

＜１＞に記載の撮像素子。

＜３＞　前記電荷蓄積部は、複数のフォトダイオードにより共有され、前記複数のフォトダイオードのそれぞれとの間に前記電荷転送路が形成される

＜２＞に記載の撮像素子。

＜４＞　前記フォトマスクパターンは、前記ドライエッチングにより使用される反応性ガスのシリコン基板への接触量を制御することで、前記ドライエッチングによる前記遮光壁を形成する溝の深さを制御する

＜１＞に記載の撮像素子。

＜５＞　前記フォトマスクパターンは、前記ドライエッチングにより使用される反応性ガスのシリコン基板への接触面積、または、前記反応性ガスの流通経路数により接触量を制御することで、前記ドライエッチングによる前記遮光壁を形成する溝の深さを制御する

＜４＞に記載の撮像素子。

＜６＞　前記フォトマスクパターンは、前記電荷蓄積部を取り囲むような環状構造で形成することにより、前記流通経路数による、前記反応性ガスの接触量を制御する

＜５＞に記載の撮像素子。

＜７＞　前記環状構造は、円形、ひし形、方形、または、多角形である

＜６＞に記載の撮像素子。

＜８＞　前記電荷蓄積部は、浮遊拡散領域、およびメモリを含む

＜１＞乃至＜７＞のいずれかに記載の撮像素子。

＜９＞　前記遮光壁は、透過性のある、シリコンよりも屈折率が低い絶縁膜、または、内部に遮光性の金属が設けられた前記絶縁膜より構成される

＜１＞乃至＜８＞のいずれかに記載の撮像素子。

＜１０＞　アレイ状に配置され、入射光の光量に応じた電荷を発生する複数のフォトダイオードと、

前記フォトダイオードより転送される電荷を蓄積する電荷蓄積部と、

前記フォトダイオードおよび前記電荷蓄積部をそれぞれ個別に遮光する遮光壁とを含み、

前記遮光壁は、前記電荷蓄積部を取り囲むように構成され、一部の部位が第１の深さで構成され、その他の部位については、第２の深さで構成され、前記遮光壁の前記第１の深さ、および前記第２の深さは、マイクロローディング効果による加工変換差を利用した、フォトマスクパターンを用いたドライエッチングにより形成される

撮像装置。

＜１１＞　アレイ状に配置され、入射光の光量に応じた電荷を発生する複数のフォトダイオードと、

前記フォトダイオードより転送される電荷を蓄積する電荷蓄積部と、

前記フォトダイオードおよび前記電荷蓄積部をそれぞれ個別に遮光する遮光壁とを含み、

前記遮光壁は、前記電荷蓄積部を取り囲むように構成され、一部の部位が第１の深さで構成され、その他の部位については、第２の深さで構成され、前記遮光壁の前記第１の深さ、および前記第２の深さは、マイクロローディング効果による加工変換差を利用した、フォトマスクパターンを用いたドライエッチングにより形成される

電子機器。

符号の説明

[0109]　１０１　撮像素子，　１０２　基板層，　１２１　フォトダイオード，　１２２　転送トランジスタ，　１２３　電荷蓄積部，　１２４　リセットトランジスタ，　１２５　増幅トランジスタ，　１２６　選択トランジスタ，　１２７　垂直転送線，　１４１　Ｎ型層，　１４２　溝埋め込み層，　１４３　固定電荷層，　１４４　P-Well，　１４５　遮光膜

請求の範囲

[請求項1] アレイ状に配置され、入射光の光量に応じた電荷を発生する複数のフォトダイオードと、

前記フォトダイオードより転送される電荷を蓄積する電荷蓄積部と、

前記フォトダイオードおよび前記電荷蓄積部をそれぞれ個別に遮光する遮光壁とを含み、

前記遮光壁は、前記電荷蓄積部を取り囲むように構成され、一部の部位が第１の深さで構成され、その他の部位については、第２の深さで構成され、前記遮光壁の前記第１の深さ、および前記第２の深さは、マイクロローディング効果による加工変換差を利用した、フォトマスクパターンを用いたドライエッチングにより形成される

撮像素子。

[請求項2] 前記遮光壁は、前記電荷蓄積部を取り囲むように構成され、このうち、前記フォトダイオードから前記電荷蓄積部へと前記電荷を転送する電荷転送路として機能する部位については、前記フォトダイオードがアレイ状に配置された面上から基板層に到達しない第１の深さで構成され、その他の部位については、前記フォトダイオードがアレイ状に配置された面上から基板層に到達する第２の深さで構成され、前記第１の深さ、および前記第２の深さを有する前記遮光壁は、マイクロローディング効果による加工変換差を利用した制御により、１枚のフォトマスクパターンによる１回のドライエッチングにより形成される

請求項１に記載の撮像素子。

[請求項3] 前記電荷蓄積部は、複数のフォトダイオードにより共有され、前記複数のフォトダイオードのそれぞれとの間に前記電荷転送路が形成される

請求項２に記載の撮像素子。

[請求項4] 前記フォトマスクパターンは、前記ドライエッチングにより使用さ

れる反応性ガスのシリコン基板への接触量を制御することで、前記ドライエッチングによる前記遮光壁を形成する溝の深さを制御する

請求項１に記載の撮像素子。

[請求項5] 前記フォトマスクパターンは、前記ドライエッチングにより使用される反応性ガスのシリコン基板への接触面積、または、前記反応性ガスの流通経路数により接触量を制御することで、前記ドライエッチングによる前記遮光壁を形成する溝の深さを制御する

請求項４に記載の撮像素子。

[請求項6] 前記フォトマスクパターンは、前記電荷蓄積部を取り囲むような環状構造で形成することにより、前記流通経路数による、前記反応性ガスの接触量を制御する

請求項５に記載の撮像素子。

[請求項7] 前記環状構造は、円形、ひし形、方形、または、多角形である

請求項６に記載の撮像素子。

[請求項8] 前記電荷蓄積部は、浮遊拡散領域、およびメモリを含む

請求項１に記載の撮像素子。

[請求項9] 前記遮光壁は、透過性のある、シリコンよりも屈折率が低い絶縁膜、または、内部に遮光性の金属が設けられた前記絶縁膜より構成される

請求項１に記載の撮像素子。

[請求項10] アレイ状に配置され、入射光の光量に応じた電荷を発生する複数のフォトダイオードと、

前記フォトダイオードより転送される電荷を蓄積する電荷蓄積部と、

前記フォトダイオードおよび前記電荷蓄積部をそれぞれ個別に遮光する遮光壁とを含み、

前記遮光壁は、前記電荷蓄積部を取り囲むように構成され、一部の部位が第１の深さで構成され、その他の部位については、第２の深さ

で構成され、前記遮光壁の前記第１の深さ、および前記第２の深さは、マイクロローディング効果による加工変換差を利用した、フォトマスクパターンを用いたドライエッチングにより形成される

撮像装置。

[請求項11] アレイ状に配置され、入射光の光量に応じた電荷を発生する複数のフォトダイオードと、

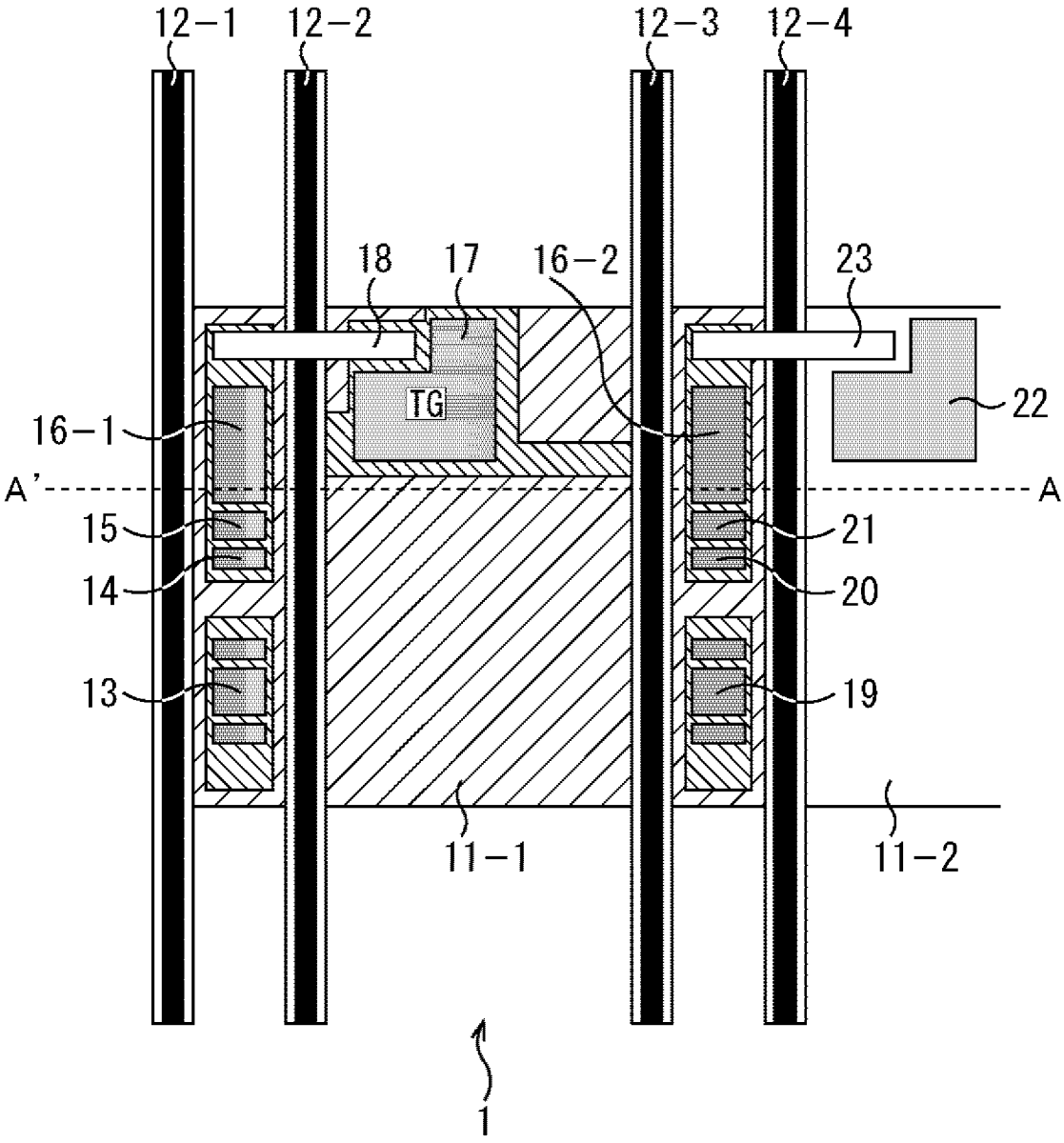
前記フォトダイオードより転送される電荷を蓄積する電荷蓄積部と、

前記フォトダイオードおよび前記電荷蓄積部をそれぞれ個別に遮光する遮光壁とを含み、

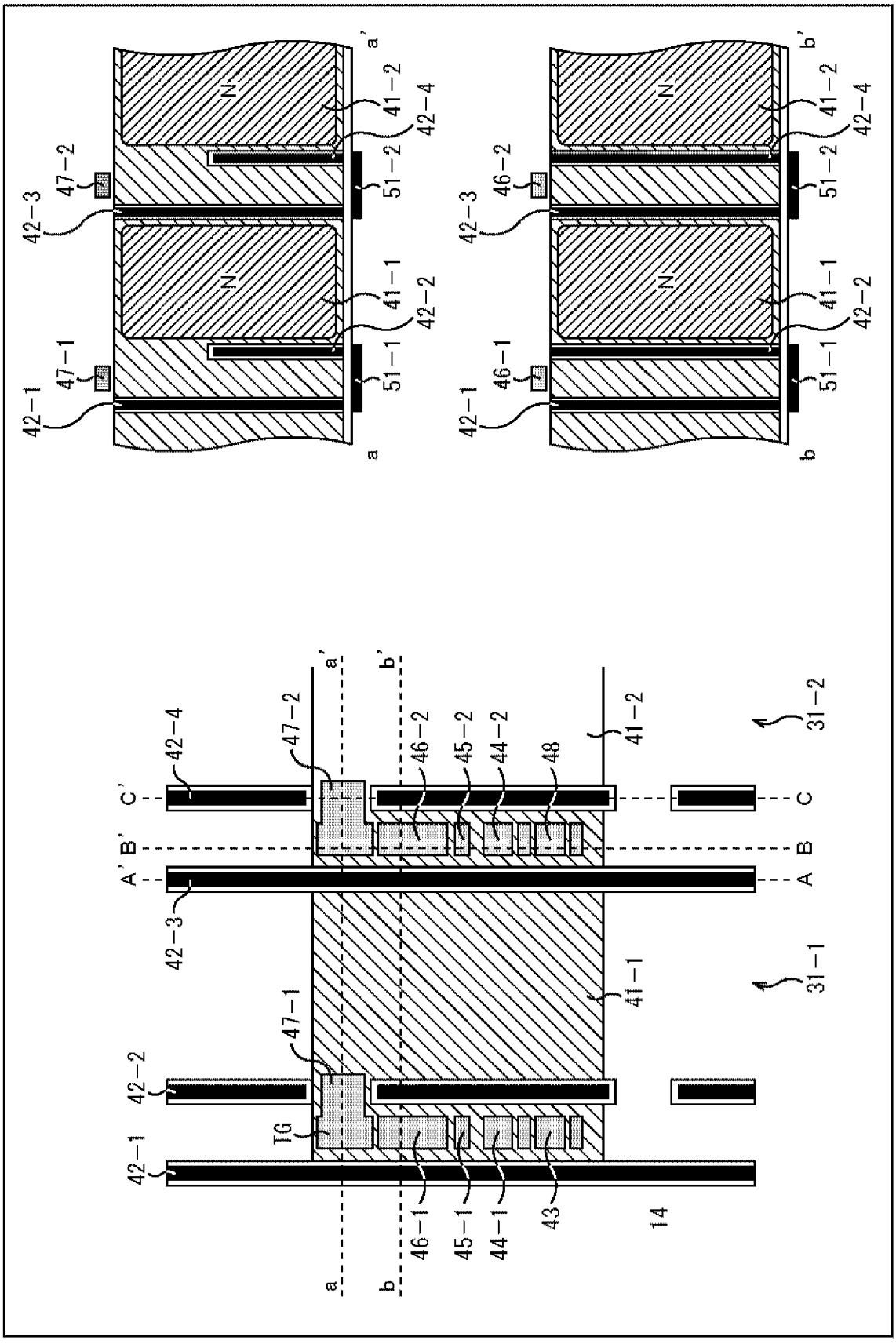
前記遮光壁は、前記電荷蓄積部を取り囲むように構成され、一部の部位が第１の深さで構成され、その他の部位については、第２の深さで構成され、前記遮光壁の前記第１の深さ、および前記第２の深さは、マイクロローディング効果による加工変換差を利用した、フォトマスクパターンを用いたドライエッチングにより形成される

電子機器。

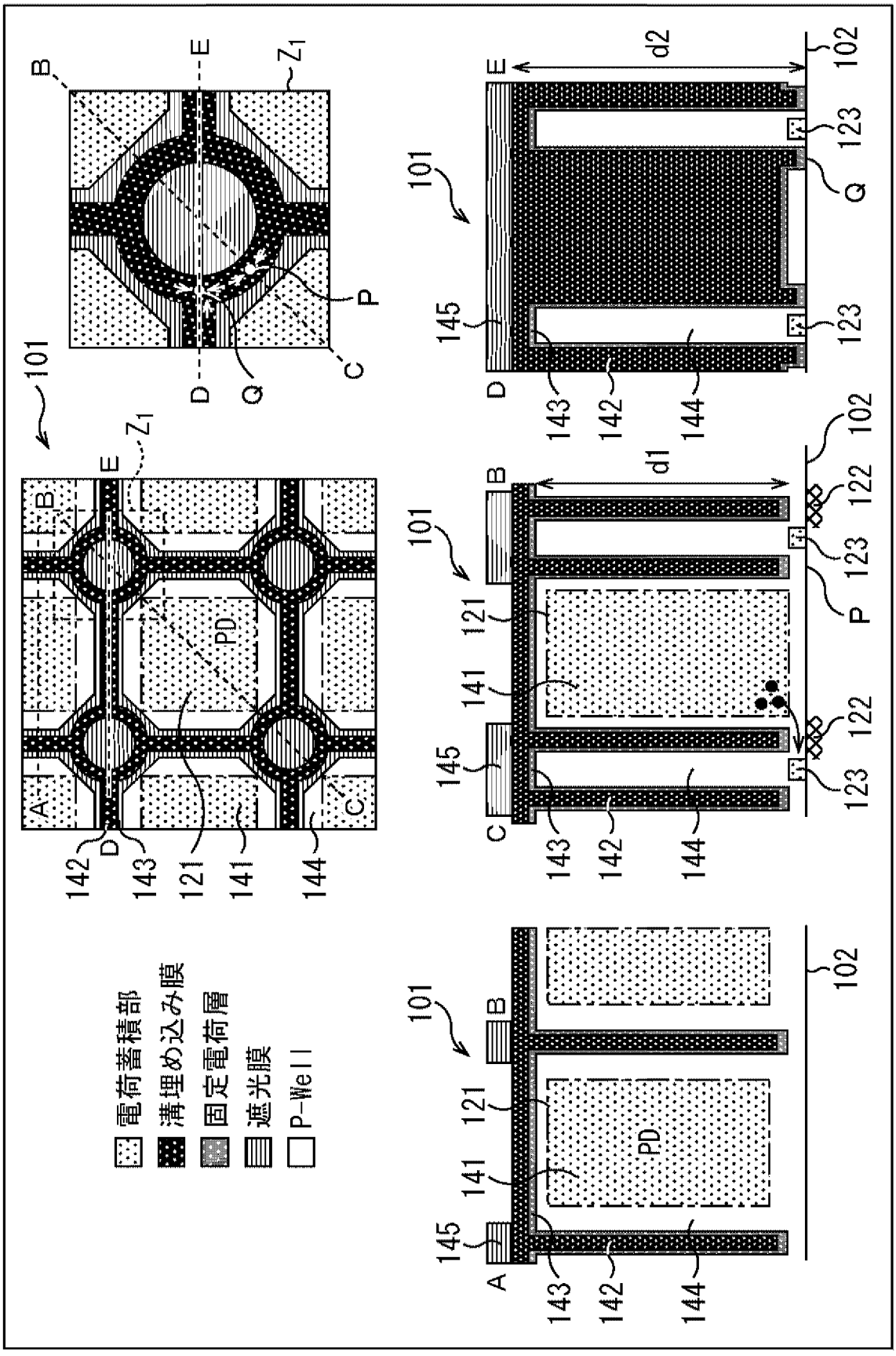
[図1]
FIG. 1



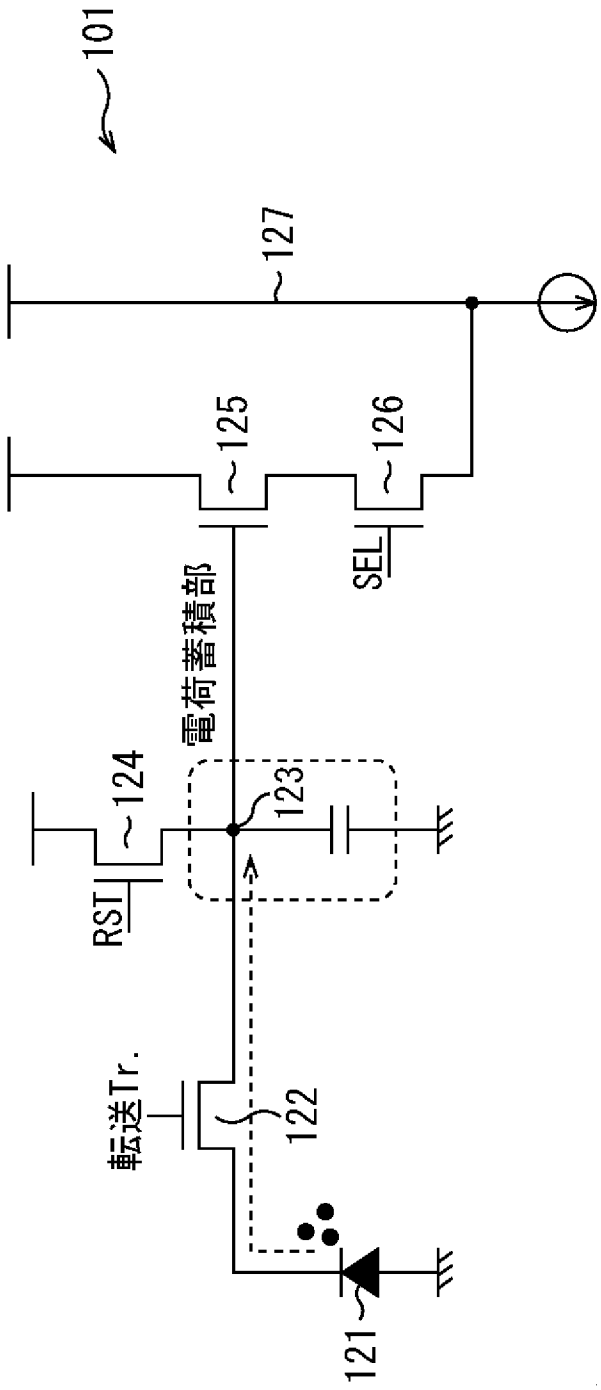
[図2]
FIG. 2


a
a'
b
b'
N
42-1
42-2
42-3
42-4
47-1
47-2
51-1
51-2
41-1
41-2
46-1
46-2
A
A'
B
B'
C
C'
TG
43
44-1
44-2
45-1
45-2
48
14
31-1
31-2

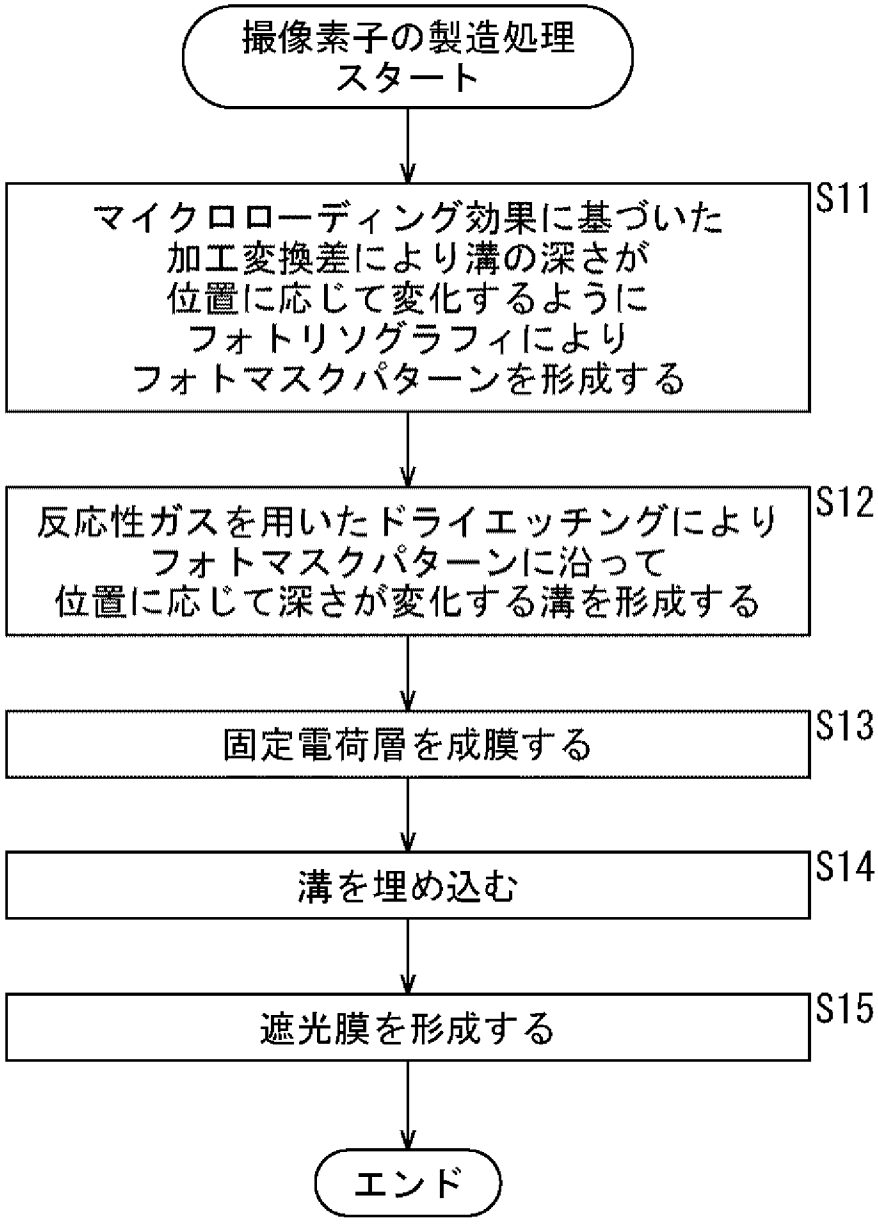
[図3]
FIG. 3


101
102
A
B
C
D
E
P
Q
Z_1
d1
d2
PD
121
122
123
141
142
143
144
145
電荷蓄積部
溝埋め込み膜
固定電荷層
遮光膜
P-Well

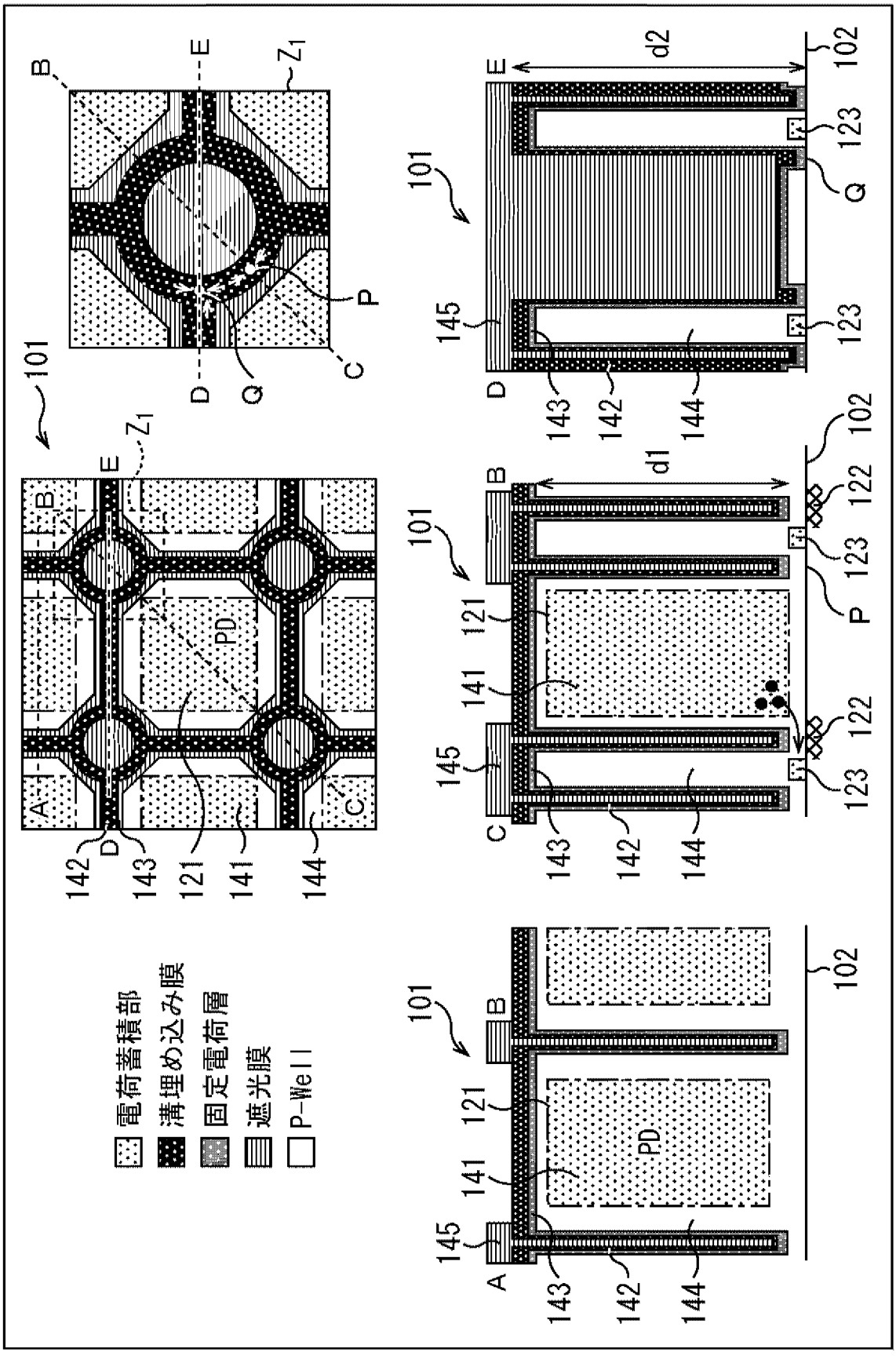
[図4]
FIG. 4



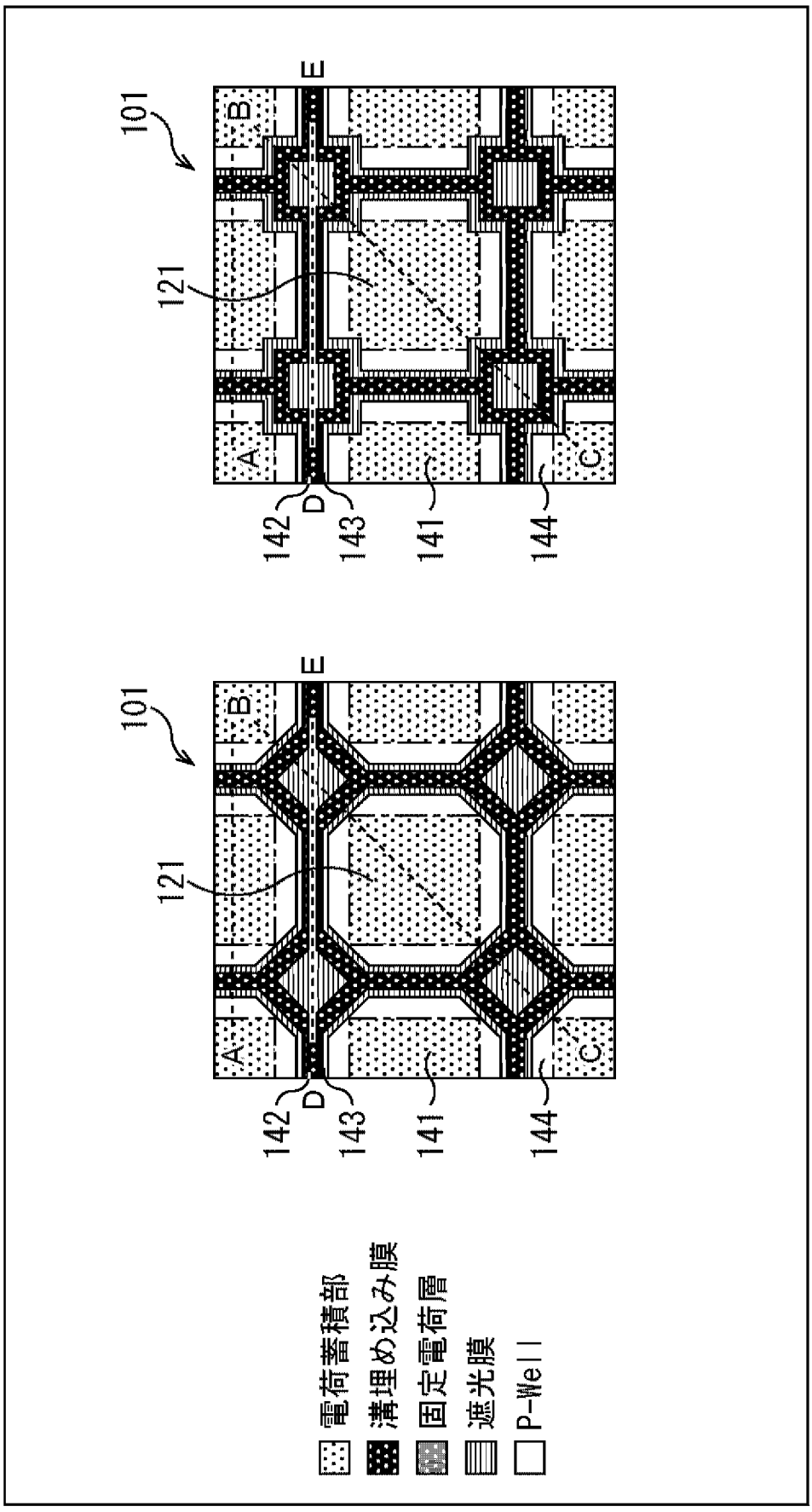
[図5]
FIG. 5


撮像素子の製造処理
スタート
マイクロローディング効果に基づいた
加工変換差により溝の深さが
位置に応じて変化するように
フォトリソグラフィにより
フォトマスクパターンを形成する
S11
反応性ガスを用いたドライエッチングにより
フォトマスクパターンに沿って
位置に応じて深さが変化する溝を形成する
S12
固定電荷層を成膜する
S13
溝を埋め込む
S14
遮光膜を形成する
S15
エンド

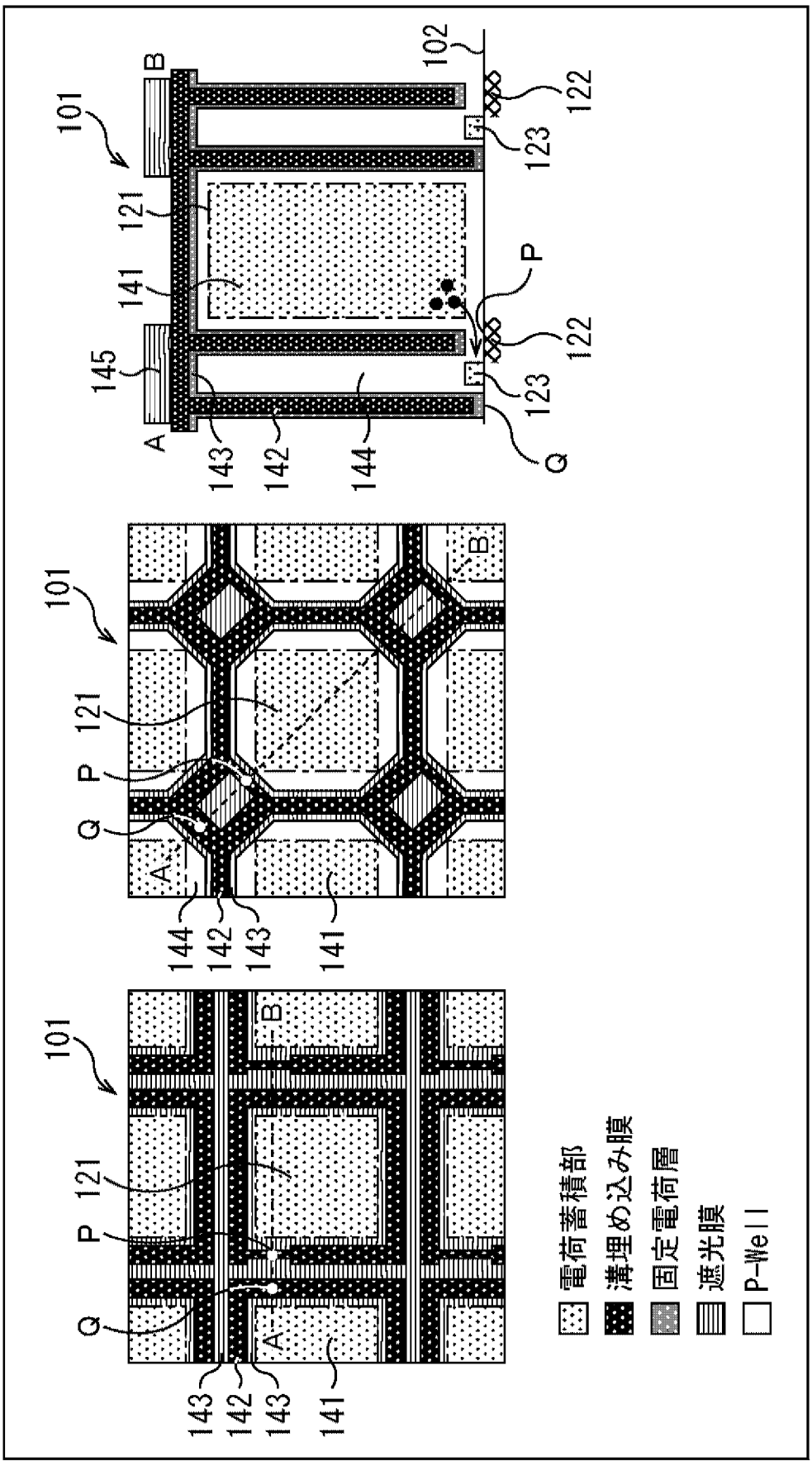
[図6]
FIG. 6


電荷蓄積部
溝埋め込み膜
固定電荷層
遮光膜
P-Well
101
102
121
122
123
141
142
143
144
145
PD
d1
d2
A
B
C
D
E
P
Q
Z1

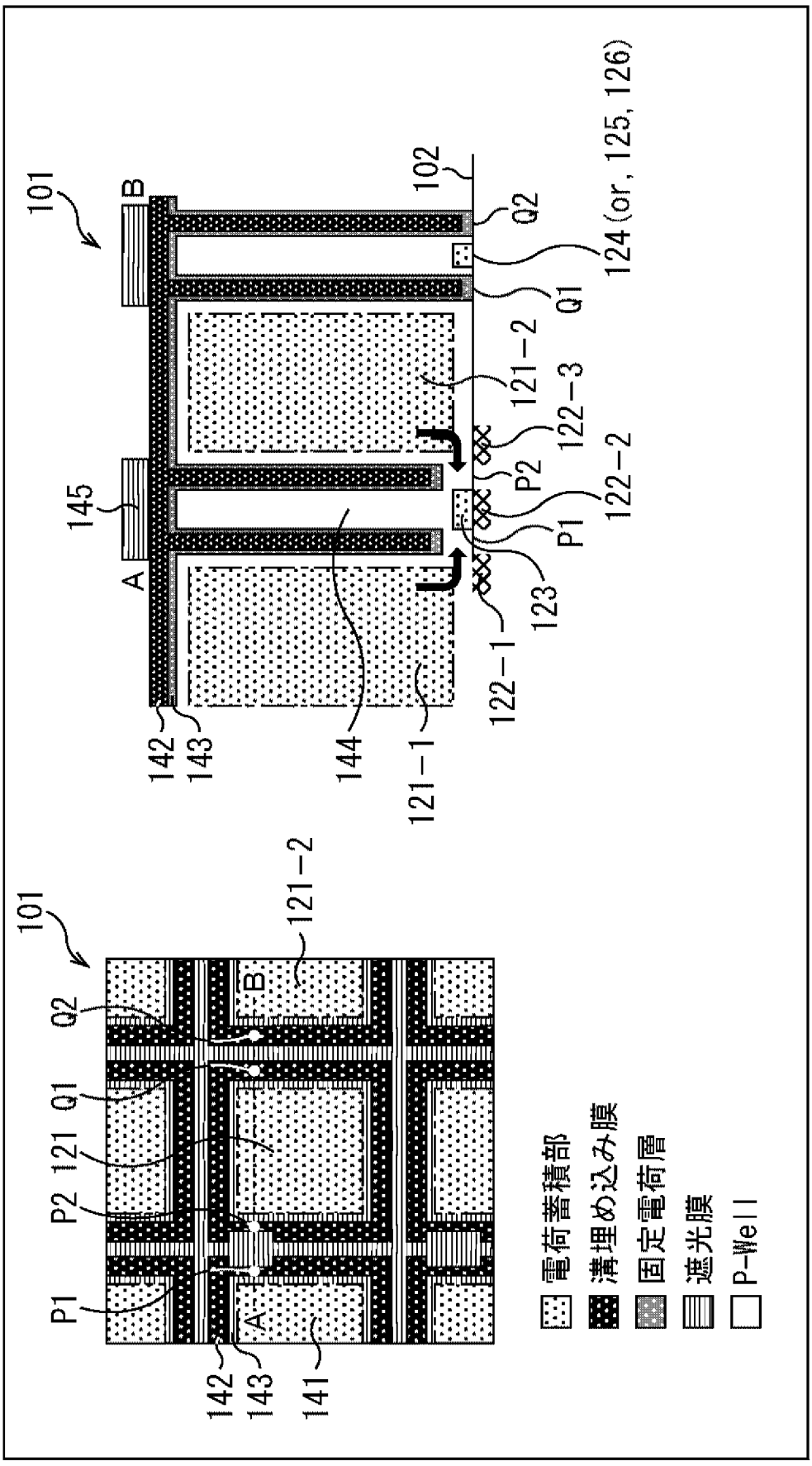
[図7]
FIG. 7


101
121
A
B
C
D
E
141
142
143
144
101
121
A
B
C
D
E
141
142
143
144
電荷蓄積部
溝埋め込み膜
固定電荷層
遮光膜
P-Well

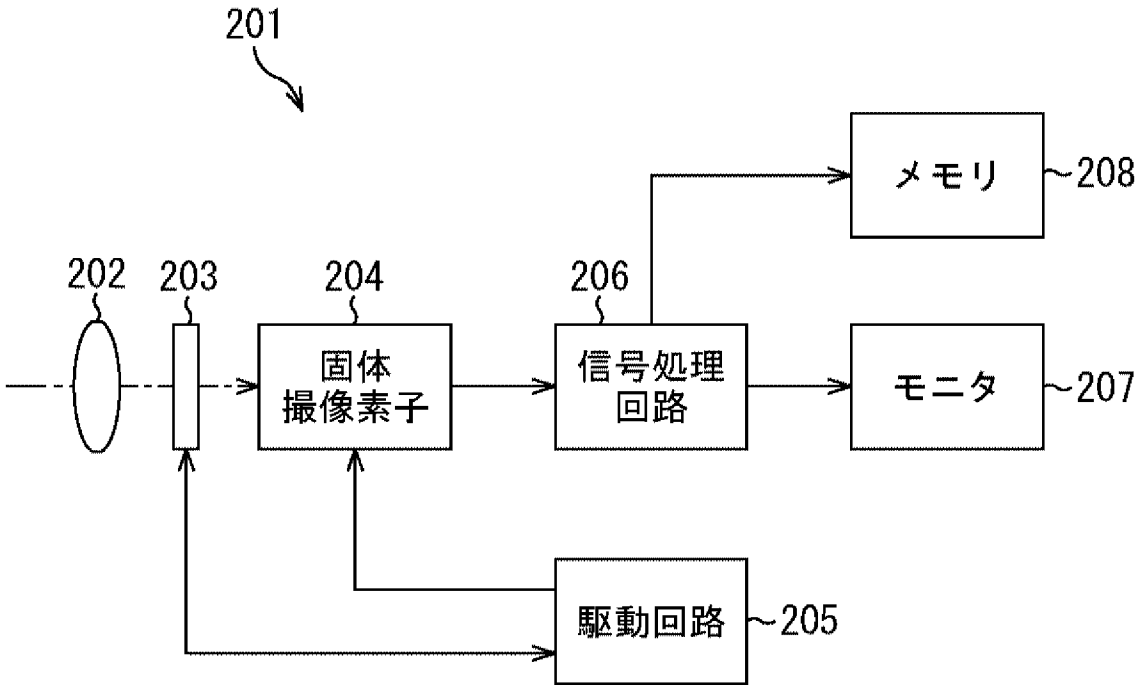
[図8]
FIG. 8


101
121
141
145
102
122
123
P
Q
A
B
143
142
144
電荷蓄積部
溝埋め込み膜
固定電荷層
遮光膜
P-Well

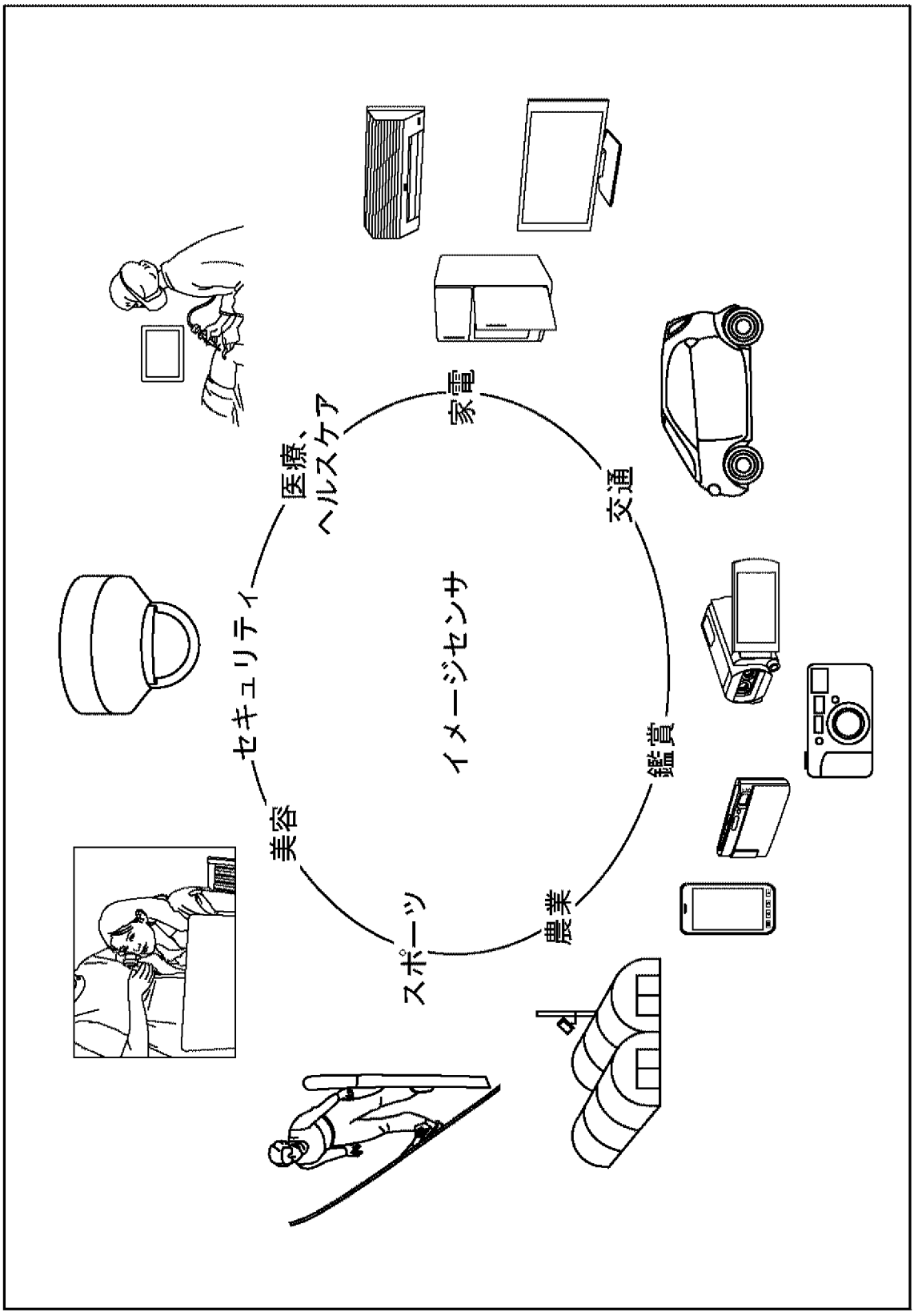
[図9]
FIG. 9


101
B
A
145
142
143
144
121-1
122-1
123
P1
P2
122-2
122-3
121-2
Q1
Q2
102
124(or, 125, 126)
141
電荷蓄積部
溝埋め込み膜
固定電荷層
遮光膜
P-Well

[図10]
FIG. 10



[図11]
FIG. 11



INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2017/037791

A. CLASSIFICATION OF SUBJECT MATTER
Int. Cl. H01L27/146(2006.01)i, H01L21/302(2006.01)i, H04N5/369(2011. Q1)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
Int. Cl. H01L27/146, H01L21/302, H04N5/369

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched
Published examined utility model applications of Japan 1922-1996
Published unexamined utility model applications of Japan 1971-2017
Registered utility model specifications of Japan 1996-2017
Published registered utility model applications of Japan 1994-2017

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 2013-65688 A (SONY CORP.) 11 April 2013, paragraphs [0033]-[0060], [0094], [0095], fig. 4-7, 23	1-11
Y	& US 2013/0070131 A1, [0056]-[0083], [0116]-[0118] & CN 103000644 A	1-11

☒ Further documents are listed in the continuation of Box C. ☐ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
Name and mailing address of the ISA/ Japan Patent Office 3-4-3, Kasumigaseki, Chiyoda-ku, Tokyo 100-8915, Japan	Authorized officer Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2017/037791

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 2014-96490 A (SONY CORP.) 22 May 2014, paragraphs [0088]-[0108], [0128]-[0131], fig. 11, 17	1-11
Y	& US 2014/0131779 A1, [0112]-[0132], [0152]-[0155] & CN 103811507 A	1-11
X	JP 2015-53411 A (SONY CORP.) 19 March 2015, paragraphs [0096]-[0119], fig. 12-15	1-11
Y	& US 2015/0069471 A1, paragraphs [0123]-[0146] & CN 104425535 A	1-11
Y	WO 2016/143531 A1 (SONY CORP.) 15 September 2016, paragraphs [0076]-[0078], fig. 7, 8 & TW 201703149 A	1-11
Y	JP 2015-23259 A (TOSHIBA CORP.) 02 February 2015, paragraphs [0048]-[0052], fig. 9 (Family: none)	1-11
Y	JP 2006-32549 A (TOSHIBA CORP.) 02 February 2006, paragraphs [0014]-[0026], fig. 2-5 & US 2006/0014360 A1, [0026]-[0040]	1-11
A	US 2014/0327051 A1 (SAMSUNG ELECTRONICS CO., LTD.) 06 November 2014, entire text, all drawings & KR 10-2014-0130969A	1-11

国際調査報告

国際出願番号　ＰＣＴ／ＪＰ２０１７／０３７７９１

Ａ．　発明の属する分野の分類（国際特許分類（ＩＰＣ））

Int.Cl.　H01L27/146(2006.01)i, H01L21/302(2006.01)i, H04N5/369(2011.01)i

Ｂ．　調査を行った分野

調査を行った最小限資料（国際特許分類（ＩＰＣ））

Int.Cl.　H01L27/146, H01L21/302, H04N5/369

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	１９２２－１９９６年
日本国公開実用新案公報	１９７１－２０１７年
日本国実用新案登録公報	１９９６－２０１７年
日本国登録実用新案公報	１９９４－２０１７年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

Ｃ．　関連すると認められる文献

引用文献のカテゴリー＊	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
X	JP 2013-65688 A（ソニー株式会社）2013.04.11, ［００３３］－［００６０］, ［００９４］, ［００９５］,	1-11
Y	図４－７，２３ & US 2013/0070131 A1,[0056]-[0083],[0116]-[0118] & CN 103000644 A	1-11

☑　Ｃ欄の続きにも文献が列挙されている。　　☐　パテントファミリーに関する別紙を参照。

＊　引用文献のカテゴリー
「Ａ」特に関連のある文献ではなく、一般的技術水準を示すもの
「Ｅ」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「Ｌ」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「Ｏ」口頭による開示、使用、展示等に言及する文献
「Ｐ」国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献
「Ｔ」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「Ｘ」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Ｙ」特に関連のある文献であって、当該文献と他の１以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「＆」同一パテントファミリー文献

国際調査を完了した日	国際調査報告の発送日
１５．１１．２０１７	２８．１１．２０１７

国際調査機関の名称及びあて先
日本国特許庁（ＩＳＡ／ＪＰ）
郵便番号１００－８９１５
東京都千代田区霞が関三丁目４番３号

特許庁審査官（権限のある職員）　５Ｆ　３０３５
柴山　将隆
電話番号　０３－３５８１－１１０１　内線　３５１６

Ｃ（続き）．　関連すると認められる文献

引用文献のカテゴリー＊	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
X Y	JP 2014-96490 A（ソニー株式会社）2014.05.22, ［００８８］－［０１０８］,［０１２８］－［０１３１］, 図１１，１７ & US 2014/0131779 A1,[0112]-[0132],[0152]-[0155] & CN 103811507 A	1-11 1-11
X Y	JP 2015-53411 A（ソニー株式会社）2015.03.19, ［００９６］－［０１１９］，図１２－１５ & US 2015/0069471 A1,[0123]-[0146] & CN 104425535 A	1-11 1-11
Y	WO 2016/143531 A1（ソニー株式会社）2016.09.15, ［００７６］－［００７８］，図７，８ & TW 201703149 A	1-11
Y	JP 2015-23259 A（株式会社東芝）2015.02.02, ［００４８］－［００５２］，図９（ファミリーなし）	1-11
Y	JP 2006-32549 A（株式会社東芝）2006.02.02, ［００１４］－［００２６］，図２－５ & US 2006/0014360 A1,[0026]-[0040]	1-11
A	US 2014/0327051 A1（SAMSUNG ELECTRONICS CO.,LTD.）2014.11.06, 全文，全図 & KR 10-2014-0130969 A	1-11