

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第5174246号  
(P5174246)

(45) 発行日 平成25年4月3日(2013.4.3)

(24) 登録日 平成25年1月11日(2013.1.11)

(51) Int.Cl. F I  
**G06F 7/501 (2006.01)** G O 6 F 7/501  
**G06F 7/49 (2006.01)** G O 6 F 7/49 Z

請求項の数 10 (全 33 頁)

(21) 出願番号	特願2011-531714 (P2011-531714)	(73) 特許権者	000003078 株式会社東芝 東京都港区芝浦一丁目1番1号
(86) (22) 出願日	平成21年9月17日 (2009.9.17)	(74) 代理人	100108062 弁理士 日向寺 雅彦
(86) 国際出願番号	PCT/JP2009/066291	(72) 発明者	森瀬 博史 東京都港区芝浦一丁目1番1号 株式会社東芝内
(87) 国際公開番号	W02011/033640	(72) 発明者	中村 志保 東京都港区芝浦一丁目1番1号 株式会社東芝内
(87) 国際公開日	平成23年3月24日 (2011.3.24)	(72) 発明者	才田 大輔 東京都港区芝浦一丁目1番1号 株式会社東芝内
審査請求日	平成23年9月15日 (2011.9.15)		

最終頁に続く

(54) 【発明の名称】 加算器

(57) 【特許請求の範囲】

【請求項1】

第1の波動演算器であって、

2進数値AおよびBの第i桁ないし(i+m-1)桁のビット値(i、mは整数)のうち、前記2進数値Aの(i+k-1)桁のビット値A[i+k-1]と、前記2進数値Bの(i+k-1)桁のビット値B[i+k-1]と、前記Aと前記2進数値Bとの加算により生じる(i+k-2)桁から(i+k-1)桁への桁上げビット値C[i+k-2]と、から選択された2つのビット値(kは整数、1 ≤ k ≤ m)に対応した信号を入力する第1の入力部と、

前記第1の入力部に接続された磁性体を含む連続膜を有する第1の波動伝達媒体と

10

前記2つのビット値に対応した信号によって前記第1の波動伝達媒体に誘起されたスピン波による演算の結果であるX(k-1)を出力する第1の波動検出部と、

を有する第1の波動演算器と、

第2の波動演算器であって、

前記A[i+k-1]およびB[i+k-1]、C[i+k-2]のうち、第1の入力部への入力として選択されなかったビット値に対応した信号と、前記第1の波動演算器の出力X(k-1)と、を入力する第2の入力部と、

前記第2の入力部に接続された磁性体を含む連続膜を有する第2の波動伝達媒体と

20

前記選択されなかったビット値に対応した信号と、前記第1の波動演算器の出力 $X(k-1)$ と、によって前記第2の波動伝達媒体に誘起されたスピン波による演算の結果である $S(k-1)$ を出力する第2の波動検出部と、

を有する第2の波動演算器と、  
閾値波動演算器であって、

前記 $A[i]$ ないし $A[i+k-1]$ と、前記 $B[i]$ ないし $B[i+k-1]$ と、前記桁上げビット値 $C[i-1]$ と、に対応する信号を入力する第3の入力部と、

前記第3の入力部に接続された磁性体を含む連続膜を有する第3の波動伝達媒体と、

前記 $A[i]$ ないし $A[i+k-1]$ 、および $B[i]$ ないし $B[i+k-1]$ 、 $C[i-1]$ に対応する信号によって、前記第3の波動伝達媒体に誘起されたスピン波による演算の結果である $C(k-1)$ を出力する第3の波動検出部と、

を有する閾値波動演算器と、  
を備えたことを特徴とする加算器。

#### 【請求項2】

第1の波動演算器であって、

2進数値 $A$ および $B$ の第 $i$ 桁ないし $(i+m-1)$ 桁のビット値 $(i, m$ は整数)のうち、前記2進数値 $A$ の $(i+k-1)$ 桁のビット値 $A[i+k-1]$ と、前記2進数値 $B$ の $(i+k-1)$ 桁のビット値 $B[i+k-1]$ と、前記 $A$ と前記2進数値 $B$ との加算により生じる $(i+k-2)$ 桁から $(i+k-1)$ 桁への桁上げビット値 $C[i+k-2]$ と、から選択された2つのビット値 $(k$ は整数、 $1 \leq k \leq m)$ に対応した信号を入力する第1の入力部と、

前記第1の入力部に接続された圧電体を含む連続膜を有する第1の波動伝達媒体と、

前記2つのビット値に対応した信号によって前記第1の波動伝達媒体に誘起された弾性波による演算の結果である $X(k-1)$ を出力する第1の波動検出部と、

を有する第1の波動演算器と、  
第2の波動演算器であって、

前記 $A[i+k-1]$ および $B[i+k-1]$ 、 $C[i+k-2]$ のうち、第1の入力部への入力として選択されなかったビット値に対応した信号と、前記第1の波動演算器の出力 $X(k-1)$ と、を入力する第2の入力部と、

前記第2の入力部に接続された圧電体を含む連続膜を有する第2の波動伝達媒体と、

前記選択されなかったビット値に対応した信号と、前記第1の波動演算器の出力 $X(k-1)$ と、によって前記第2の波動伝達媒体に誘起された弾性波による演算の結果である $S(k-1)$ を出力する第2の波動検出部と、

を有する第2の波動演算器と、  
閾値波動演算器であって、

前記 $A[i]$ ないし $A[i+k-1]$ と、前記 $B[i]$ ないし $B[i+k-1]$ と、前記桁上げビット値 $C[i-1]$ と、に対応する信号を入力する第3の入力部と、

前記第3の入力部に接続された圧電体を含む連続膜を有する第3の波動伝達媒体と、

前記 $A[i]$ ないし $A[i+k-1]$ 、および $B[i]$ ないし $B[i+k-1]$ 、 $C[i-1]$ に対応する信号によって、前記第3の波動伝達媒体に誘起された弾性波による演算の結果である $C(k-1)$ を出力する第3の波動検出部と、

を有する閾値波動演算器と、  
を備えたことを特徴とする加算器。

#### 【請求項3】

前記2進数値 $A$ の第 $j$ 桁ないし $(j+n-1)$ 桁 $(j, n$ は整数、 $i \leq j, j+n \leq i+m)$ のビット値 $A[j]$ ないし $A[j+n-1]$ と、前記2進数値 $B$ の第 $j$ 桁ないし $(j$

10

20

30

40

50

+ n - 1) 桁のビット値  $B[j]$  ないし  $B[j + n - 1]$  と、前記桁上げビット値  $C[j - 1]$  と、に対応する信号の入力に対して、前記演算結果  $S(j)$  ないし  $S(j + n - 1)$  を出力する第 1 ないし第  $n$  の加算演算器と、

前記桁上げビット値  $C[j + n - 1]$  に対応する演算結果  $C(j + n - 1)$  を出力する桁上げ演算器と、

を有する部分加算器をさらに備え、

前記第 1 の加算演算器は、

前記  $A[j]$ 、 $B[j]$ 、および  $C[j - 1]$  のうちの、2 つに対応する信号を前記第 1 の波動演算器に入力して前記  $X(j)$  を出力させ、

さらに、前記  $A[j]$ 、 $B[j]$ 、および  $C[j - 1]$  のうちの、前記第 1 の波動演算器に入力されなかった残りの一つに対応する信号と、前記  $X(j)$  と、を前記第 2 の波動演算器に入力して前記  $S(j)$  を出力させ、

前記第  $p$  の加算演算器 ( $p$  は整数、 $1 < p < n$ ) は、

前記  $A[j]$  ないし  $A[j + p - 2]$  と、前記  $B[j]$  ないし  $B[j + p - 2]$  と、前記  $C[j - 1]$  と、に対応する信号を前記閾値波動演算器に入力して前記  $C(j + p - 2)$  を出力させ、

前記  $A[j + p - 1]$  と、前記  $B[j + p - 1]$  と、に対応する信号を前記第 1 の波動演算器に入力して前記  $X(j + p - 1)$  を出力させ、

さらに、前記  $C(j + p - 2)$  と、前記  $X(j + p - 1)$  と、を前記第 2 の波動演算器に入力して前記  $S(j + p - 1)$  を出力させ、

前記桁上げ演算器は、

前記  $A[j]$  ないし  $A[j + p - 1]$ 、および  $B[j]$  ないし  $B[j + p - 1]$  と、前記  $C[j - 1]$  と、に対応する信号を前記閾値波動演算器に入力して前記  $C(j + p - 1)$  を出力させることを特徴とする請求項 1 記載の加算器。

#### 【請求項 4】

前記第 1 の波動演算器、前記第 2 の波動演算器および前記閾値波動演算器の少なくともいずれかは、前記入力部を複数有し、

これら複数の入力部のそれぞれと、前記いずれかが有する前記波動検出部と、の間隔は、等しいことを特徴とする請求項 1 記載の加算器。

#### 【請求項 5】

前記第 1 の波動演算器および前記第 2 の波動演算器の少なくともいずれかは、前記入力部を複数有し、

これら複数の入力部のそれぞれと、前記いずれかが有する前記波動検出部と、の間隔の差は、前記いずれかが有する前記波動伝達媒体に誘起される波動の半波長の奇数倍に等しいことを特徴とする請求項 1 記載の加算器。

#### 【請求項 6】

前記第 1 の波動演算器、前記第 2 の波動演算器および前記閾値波動演算器のそれぞれは、前記波動伝達媒体に誘起された前記スピン波の局所的な振幅に対応する信号と、所定の閾値と、を比較した結果を出力する検出器をさらに有することを特徴とする請求項 1 記載の加算器。

#### 【請求項 7】

前記第 1 の波動演算器、前記第 2 の波動演算器および前記閾値波動演算器のそれぞれは、前記波動伝達媒体に誘起された前記スピン波の局所的な振幅に対応する信号を増幅する増幅器を有することを特徴とする請求項 6 記載の加算器。

#### 【請求項 8】

前記第 1 の波動演算器、前記第 2 の波動演算器および前記閾値波動演算器のそれぞれは、前記波動伝達媒体に誘起された前記波動の局所的な振幅に対応する信号を整流する整流器を有することを特徴とする請求項 1 記載の加算器。

#### 【請求項 9】

前記第 1 ないし第 3 の入力部のそれぞれは、前記波動伝達媒体に接続する領域が直径 2

10

20

30

40

50

00nmの円よりも小さいことを特徴とする請求項1に記載の加算器。

【請求項10】

前記第1の波動演算器、前記第2の波動演算器および前記閾値波動演算器のそれぞれは、

前記波動伝達媒体に作用させる外部磁界を付与する外部磁界付与部をさらに有することを特徴とする請求項1記載の加算器。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、加算器に関し、例えば、固体中の波動現象を論理演算に用いる加算器に関する。

10

【背景技術】

【0002】

加算器は、計算機に用いられる算術論理演算器の一つであり、整数値、固定または浮動小数値などの多ビット加算演算を実行する。また、加算器は、減算器、乗算器など他の算術演算器の要素にもなるため、汎用性を有し、高速であることが求められている。

【0003】

多ビット加算器では、下位桁から上位桁への桁上げ信号の伝播時間が加算器全体の処理速度を制限するため、上位桁の桁上げ処理を先行して行う桁上げ先見方式などの回路技術を採用して高速化を図っている。一方、論理素子そのものの動作速度を向上させる観点から、CMOSデバイスを微細化して高速動作させる方法が採られてきた。

20

【0004】

しかしながら、桁上げ先見方式を組み込んだCMOS回路では回路規模が増大し、微細化技術における物理的限界も、回避できない現実として視野に入りつつある。また、回路規模の増大と微細化に伴い、寄生容量に起因する動的消費電力の増加や、リーク電流による静的消費電力の増加が、大きな課題として顕在化している。そこで、消費電力を所望の範囲に収めて、演算処理の高速化を実現する技術が強く求められている。

【0005】

既存技術の壁を突破する一つの有力な方策として、所謂Beyond CMOSと呼ばれるブール代数やCMOSアーキテクチャに拘らないアプローチが追求されている。そこには、光や磁気スピン、バイオテクノロジーなど、電荷の移動を伴わない情報処理の手法が含まれている。特に、磁性体中の磁気モーメントの時空間的な揺らぎであるスピン波は、原理的に小さなエネルギーで発生させることが可能であり、且つ、GHz以上の高速振動現象であることから、スピン波を用いた論理素子は、省電力情報処理デバイスとして、将来の実用化が期待されている。スピン波を用いた論理素子の例として、特許文献1または非特許文献1に記載されているものがあるが、回路規模の増大を抑制した加算器を構成する方法は、知られていない。

30

【先行技術文献】

【特許文献】

【0006】

【特許文献1】米国特許出願公開第2007/0296516号明細書

40

【非特許文献】

【0007】

【非特許文献1】Applied Physics Letters 87, 153501(2005)

【発明の概要】

【発明が解決しようとする課題】

【0008】

本発明の目的は、回路規模を小さくすることができ、また、消費電力が少なく汎用性の高い加算器を提供することである。

【課題を解決するための手段】

50

## 【0009】

本発明の一態様によれば、第1の波動演算器であって、2進数値AおよびBの第*i*桁ないし(*i* + *m* - 1)桁のビット値(*i*、*m*は整数)のうちの、前記2進数値Aの(*i* + *k* - 1)桁のビット値A[*i* + *k* - 1]と、前記2進数値Bの(*i* + *k* - 1)桁のビット値B[*i* + *k* - 1]と、前記Aと前記2進数値Bとの加算により生じる(*i* + *k* - 2)桁から第(*i* + *k* - 1)桁への桁上げビット値C[*i* + *k* - 2]と、から選択された2つのビット値(*k*は整数、1 ≤ *k* ≤ *m*)に対応した信号を入力する第1の入力部と、前記第1の入力部に接続された磁性体を含む連続膜を有する第1の波動伝達媒体と、前記2つのビット値に対応した信号によって前記第1の波動伝達媒体に誘起されたスピン波による演算の結果であるX(*k* - 1)を出力する第1の波動検出部と、を有する第1の波動演算器と、

10

第2の波動演算器であって、前記A[*i* + *k* - 1]およびB[*i* + *k* - 1]、C[*i* + *k* - 2]のうちの、選択されなかったビット値に対応した信号と、前記第1の波動演算器の出力X(*k* - 1)と、を入力する第2の入力部と、前記第2の入力部に接続された磁性体を含む連続膜を有する第2の波動伝達媒体と、前記第1の入力部への入力として前記選択されなかったビット値に対応した信号と、前記第1の波動演算器の出力X(*k* - 1)と、によって前記第2の波動伝達媒体に誘起されたスピン波による演算の結果であるS(*k* - 1)を出力する第2の波動検出部と、を有する第2の波動演算器と、

閾値波動演算器であって、前記A[*i*]ないしA[*i* + *k* - 1]と、前記B[*i*]ないしB[*i* + *k* - 1]と、前記桁上げビット値C[*i* - 1]と、に対応する信号を入力する第3の入力部と、前記第3の入力部に接続された磁性体を含む連続膜を有する第3の波動伝達媒体と、前記A[*i*]ないしA[*i* + *k* - 1]、およびB[*i*]ないしB[*i* + *k* - 1]、C[*i* - 1]に対応する信号によって、前記第3の波動伝達媒体に誘起されたスピン波による演算の結果であるC(*k* - 1)を出力する第3の波動検出部と、を有する閾値波動演算器と、を備えたことを特徴とする加算器が提供される。

20

## 【0010】

また、本発明の別の態様によれば、第1の波動演算器であって、2進数値AおよびBの第*i*桁ないし(*i* + *m* - 1)桁のビット値(*i*、*m*は整数)のうちの、前記2進数値Aの(*i* + *k* - 1)桁のビット値A[*i* + *k* - 1]と、前記2進数値Bの(*i* + *k* - 1)桁のビット値B[*i* + *k* - 1]と、前記Aと前記2進数値Bとの加算により生じる(*i* + *k* - 2)桁から(*i* + *k* - 1)桁への桁上げビット値C[*i* + *k* - 2]と、から選択された2つのビット値(*k*は整数、1 ≤ *k* ≤ *m*)に対応した信号を入力する第1の入力部と、前記第1の入力部に接続された圧電体を含む連続膜を有する第1の波動伝達媒体と、前記2つのビット値に対応した信号によって前記第1の波動伝達媒体に誘起された弾性波による演算の結果であるX(*k* - 1)を出力する第1の波動検出部と、を有する第1の波動演算器と、

30

第2の波動演算器であって、前記A[*i* + *k* - 1]およびB[*i* + *k* - 1]、C[*i* + *k* - 2]のうちの、前記第1の入力部への入力として選択されなかったビット値に対応した信号と、前記第1の波動演算器の出力X(*k* - 1)と、を入力する第2の入力部と、前記第2の入力部に接続された圧電体を含む連続膜を有する第2の波動伝達媒体と、前記選択されなかったビット値に対応した信号と、前記第1の波動演算器の出力X(*k* - 1)と、によって前記第2の波動伝達媒体に誘起された弾性波による演算の結果であるS(*k* - 1)を出力する第2の波動検出部と、を有する第2の波動演算器と、

40

閾値波動演算器であって、前記A[*i*]ないしA[*i* + *k* - 1]と、前記B[*i*]ないしB[*i* + *k* - 1]と、前記桁上げビット値C[*i* - 1]と、に対応する信号を入力する第3の入力部と、前記第3の入力部に接続された圧電体を含む連続膜を有する第3の波動伝達媒体と、前記A[*i*]ないしA[*i* + *k* - 1]、およびB[*i*]ないしB[*i* + *k* - 1]、C[*i* - 1]に対応する信号によって、前記第3の波動伝達媒体に誘起された弾性波による演算の結果であるC(*k* - 1)を出力する第3の波動検出部と、を有する閾値波動演算器と、を備えたことを特徴とする加算器が提供される。

## 【発明の効果】

## 【0011】

50

本発明によれば、回路規模を小さくすることができ、また、消費電力が少なく汎用性の高い加算器を実現することができる。

【図面の簡単な説明】

【0012】

【図1】第1の実施形態に係る1ビット加算器の構成を模式的に示すブロック図である。

【図2】第1の実施形態に係る1ビット加算器の変形例を模式的に示すブロック図である。

【図3】第1の実施形態に係る演算器1または2を示す模式図である。

【図4】第1の実施形態に係る演算器1または2の部分断面を示す模式図である。

【図5】第1の実施形態に係る演算器1または2の部分断面を示す模式図である。

10

【図6】第1の実施形態に係る加算器の部分断面を示す模式図である。

【図7】第1の実施形態に係る演算器1から出力される電圧信号の例を示す模式図である。

【図8】第1の実施形態に係る演算器1および2を模式的に示す平面図である。

【図9】第1の実施形態に係る演算器1または2に入力される信号と、出力信号と、の関係を示すタイミングチャートである。

【図10】第1の実施形態に係る演算器1または2に入力される信号と、出力信号と、の関係を示すタイミングチャートである。

【図11】第1の実施形態に係る演算器1および2の別の配置例を模式的に示す平面図である。

20

【図12】第1の実施形態に係る演算器1および2の別の配置例に係るタイミングチャートである。

【図13】第1の実施形態に係る演算器3を模式的に示す平面図である。

【図14】第1の実施形態に係る演算器3に入力される信号と、出力信号と、の関係を示すタイミングチャートである。

【図15】第1の実施形態に係る演算器3に入力される信号と、出力信号と、の関係を示すタイミングチャートである。

【図16】第1の実施形態の変形例に係る演算器を模式的に示す部分断面図である。

【図17】第1の実施形態の変形例に係る演算器の断面を示す模式図である。

【図18】第1の実施形態の第2の変形例に係る演算器を模式的に示す部分断面図である。

30

【図19】第1の実施形態の第2の変形例に係る演算器を示す模式図である。

【図20】第1の実施形態の第3の変形例に係る演算器の部分断面を示す模式図である。

【図21】第1の実施形態の第4の変形例に係る演算器1および2の部分断面を示す模式図である。

【図22】第1の実施形態の第5の変形例に係る演算器を模式的に示す斜視図である。

【図23】第1の実施形態の第6の変形例に係る演算器3を示す模式図である。

【図24】第2の実施形態に係る加算器を示すブロック図である。

【図25】第2の実施形態に係る2ビット加算器を示すブロック図である。

【図26】第2の実施形態に係る2ビット加算器の演算器56の構成を模式的に示す平面図である。

40

【図27】第3の実施形態に係る加算器を示すブロック図である。

【図28】第3の実施形態に係る4ビット部分加算器を示すブロック図である。

【発明を実施するための形態】

【0013】

以下、本発明の実施の形態について図面を参照しながら説明する。なお、以下の実施形態では、図面中の同一部分には同一番号を付してその詳しい説明は適宜省略し、異なる部分について適宜説明する。

【0014】

本発明の一実施形態に係る加算器は、第1の波動演算器と、第2の波動演算器と、閾値

50

波動演算器を備えている。

第1の波動演算器は、第1の入力部と、第1の入力部に接続された第1の波動伝達媒体と、第1の波動検出部と、を有している。第1の入力部には、2進数値AおよびBの第*i*桁ないし( $i + m - 1$ )桁のビット値( $i$ 、 $m$ は整数)の内、 $A[i + k - 1]$ と、 $B[i + k - 1]$ と、2進数値AおよびBの加算により生じる( $i + k - 2$ )桁から( $i + k - 1$ )桁への桁上げビット値 $C[i + k - 2]$ と、から選択された2つのビット値に対応した信号が入力される。ここで、最下位の桁を第0桁として、第*i*桁とは、下位から数えて*i* + 1番目の桁を言う。また、 $k$ は、1から*m*までの整数である。

【0015】

一方、第1の波動検出部は、第1の入力部に入力された2つのビット値に対応した信号によって、第1の波動伝達媒体に誘起された波動による演算の結果である $X(k - 1)$ を出力する。

10

【0016】

また、第2の波動演算器は、第2の入力部と、第2の入力部に接続された第2の波動伝達媒体と、第2の波動検出部を有している。第2の入力部には、 $A[i + k - 1]$ および $B[i + k - 1]$ 、 $C[i + k - 2]$ の内、第1の入力部への入力として選択されなかったビット値に対応した信号と、第1の波動演算器の出力 $X(k - 1)$ と、が入力される。一方、第2の波動検出部は、第1の入力部に入力された、選択されなかったビット値に対応した信号と、第1の波動演算器の出力 $X(k - 1)$ と、によって、第2の波動伝達媒体に誘起された波動による演算の結果である $S(k - 1)$ を出力する。

20

【0017】

さらに、閾値波動演算器は、第3の入力部と、第3の入力部に接続された第3の波動伝達媒体と、第3の波動検出部を有する。第3の入力部には、2進数値AおよびBの第*i*桁ないし( $i + k - 1$ )桁のビット値 $A[i]$ ないし $A[i + k - 1]$ と、ビット値 $B[i]$ ないし $B[i + k - 1]$ と、前記桁上げビット値 $C[i - 1]$ と、に対応する信号が入力される。一方、第3の波動検出部は、 $A[i]$ ないし $A[i + k - 1]$ 、および $B[i]$ ないし $B[i + k - 1]$ 、 $C[i - 1]$ に対応する信号によって、第3の波動伝達媒体に誘起された波動による演算の結果である $C(k - 1)$ を出力する。

【0018】

(第1の実施形態)

30

第1図は、第1の実施形態に係る1ビット加算器の構成を模式的に示すブロック図である。特に $m = 1$ 、 $k = 1$ とした場合に対応する。 $A(0)$ 、 $B(0)$ は、 $n$ 桁( $n$ は1以上の整数)の2進数値AおよびBの第*i*桁のビット値 $A[i]$ と、ビット値 $B[i]$ と、に対応する信号であり、 $C(-1)$ は、第*i* - 1桁から第*i*桁への桁上げビット値 $C[i - 1]$ に対応する下位桁からの桁上がり信号である。いずれも、ビット値0に対応する「0」またはビット値1に対応する「1」で表わされる入力のうちのいずれかに応じた電気信号で与えられる。ここで、 $i$ は、0から*n* - 1の整数のうちのいずれかであり、 $i$ が0のとき、 $C(-1)$ は、「0」に対応した電気信号である。

【0019】

図1中に示す演算器1および2、3は、多入力論理演算器である。演算器1は、第1の波動演算器であり、 $A(0)$ と $B(0)$ との入力に対し、中間出力 $X(0)$ を出力する。また、演算器2は、第2の波動演算器であり、演算器1の出力 $X(0)$ と $C(-1)$ とを入力とし、 $S(0)$ を出力する。さらに、演算器3は、閾値波動演算器であり、 $A(0)$ と $B(0)$ と $C(-1)$ とを入力とし、 $C(0)$ を出力する。

40

【0020】

表1は、演算器1の真理値表であり、表2は、演算器2の真理値の表である。すなわち、演算器1、2は、排他的論理和演算を行う。また、表3は、演算器3の真理値表を示しており、演算器3が閾値論理演算、すなわち3つの数の和が2以上なら1を出力し、1以下なら0を出力する演算を実行する。これらの真理値表には、2進数値AおよびBのビット値 $A[i]$ 、 $B[i]$ および桁上げビット値 $C[i - 1]$ 、演算結果に対応するビット

50

値  $S[i]$ 、 $X[i]$ 、 $C[i]$  が示されているが、各演算器に入力される信号  $A(0)$  および  $B(0)$ 、 $C(-1)$  と、演算結果  $S(0)$  および  $X(0)$ 、 $C(0)$  と、の関係に対応している。以下、表 4 ないし表 7 についても同様である。

【表 1】

A[i]	B[i]	X[i]
0	0	0
1	0	1
0	1	1
1	1	0

10

【表 2】

X[i]	C[i-1]	S[i]
0	0	0
1	0	1
0	1	1
1	1	0

20

【表 3】

A[i]	B[i]	C[i-1]	C[i]
0	0	0	0
1	0	0	0
0	1	0	0
1	1	0	1
0	0	1	0
1	0	1	1
0	1	1	1
1	1	1	1

30

40

【0021】

表 4 は、本実施形態に係る演算器 1 および 2、3 の入力と出力の関係をまとめた真理値表である。表 4 から、 $A(0)$  および  $B(0)$ 、 $C(-1)$  を相互に入れ替えても出力は変わらない。例えば、 $B(0)$  と  $C(-1)$  を入れ替えても、出力  $S(0)$  および  $C(0)$  は同じである。

【表 4】

A[i]	B[i]	C[i-1]	S[i]	C[i]
0	0	0	0	0
1	0	0	1	0
0	1	0	1	0
0	0	1	1	0
1	1	0	0	1
0	1	1	0	1
1	0	1	0	1
1	1	1	1	1

10

## 【0022】

図2は、第1の実施形態に係る1ビット加算器の変形例を模式的に示すブロック図である。図1に示す加算器の入力B(0)とC(-1)とを入れ替えた構成となっている。すなわち、A(0)とC(-1)とが、演算器1に入力され、演算器1の出力X(0)とB(0)が、演算器2に入力される構成となっている。

20

## 【0023】

次に、本実施形態に係る演算器1ないし3の構成について説明する。これらの演算器は、構成要素として、第1ないし3の波動伝達媒体である膜状の媒体(以下では連続膜と称す)と、連続膜の面上に設けられ、演算器の入力ビット値に応じた電気信号を与えることが可能な第1ないし第3の入力部と、同じ連続膜の面上に設けられ、波動の局所的な振幅の大きさに応じた大きさの電気信号を取り出すことのできる第1ないし第3の波動検出部と、を有している。

## 【0024】

(波動演算器の実施例)

図3は、本実施形態に係る演算器1または2を示す模式図である。図3(a)は、正面図、また、図3(b)は、平面図を示している。

30

## 【0025】

図3に示す演算器1または2は、波動演算器であり、連続膜11が図示しない基板の上に設けられ、連続膜11の上には、2つの入力部5と、スピン波を検出する波動検出部8と、が設けられている。また、連続膜11は、室温において強磁性を示す磁性層を、少なくとも1層含んでいる。

## 【0026】

入力部5は、連続膜11との間に所定の接触面を有するように設けられ、連続膜11の表面に略垂直な方向に電圧を印加するか、または、連続膜11の表面に略垂直な方向に電流を流す。これにより、入力部5の直下の領域において、スピントルクが発生し、連続膜11を構成する磁性層にスピン波を励起することができる。

40

## 【0027】

入力部5と連続膜11とが電氣的に接続する接触面は、直径200nm面の円より小さいことが望ましい。接触面が直径200nmの円より大きい場合には、ボルテックス状あるいは多磁区の磁化構造が励起され、スピン波が複数の成分を含む複雑な構造となるため、制御が難しくなる。また、入力部5のサイズを小さくすることにより、演算器全体のサイズを小さくすることができる。

## 【0028】

50

これらの理由により、入力部 5 の接触面は、長辺長さが 200 nm 以下の楕円、もしくは、円形、多角形であることが望ましい。また、その範囲内であれば、励起されるスピン波による演算の制御が容易となる。

【0029】

図 4 に示す各図は、入力部 5 と連続膜 11 の部分断面を示す模式図である。図 4 (a) に示す断面構造では、連続膜 11 は、表面から磁性層 13 / スペース層 14 / 磁性層 15 の層構造となるように構成されている。また、非磁性導電材料からなる入力部 5 は、連続膜 11 の表面に設けられている。

【0030】

磁性層 13 は、スピン波の伝達媒体としての役割を担い、また、磁性層 15 は、入力部 5 から磁性層 13 を介して流れる電流により、磁性層 13 にスピントルクを付与し、スピン波を励起する。すなわち、磁性層 13 に与えられるスピントルクは、磁性層 13 の磁化方向  $M_2$  と、磁性層 15 の磁化方向  $M_1$  との間の角度に依存し、この角度が  $0^\circ$  あるいは  $180^\circ$  のとき、スピントルクの大きさはほぼ 0 となる。一方、スピントルクは、 $M_1$  と  $M_2$  との角度が  $0^\circ$  から  $180^\circ$  に変化する間で連続的に変化し、この間に極大となる  $M_1$  と  $M_2$  との角度が存在する。

【0031】

また、入力部 5 に印加する電圧の極性、または、入力部 5 と磁性層 15 の間を流れる電流の方向は、磁性層 13 および 15 の磁化方向との関係において、スピントルクが大きくなる電圧極性、または電流方向を選択することが望ましい。

【0032】

通常、磁性層 13 の磁化方向  $M_2$  に対して磁性層 15 の磁化方向  $M_1$  が  $60^\circ$  から  $120^\circ$  となる範囲で、スピントルクが極大となる角度が含まれる。したがって、 $M_1$  と  $M_2$  との間の角度を、この範囲に設定することにより、少ない電流で大きなスピントルクを与える構成とすることができる。

【0033】

例えば、図 4 (a) に示す構造では、磁性層 13 の磁化方向  $M_2$  は、連続膜 11 の表面に平行な方向とし、磁性層 15 の磁化方向  $M_1$  は、連続膜の表面に垂直な方向としている。また、図 4 (b) では、磁性層 13 の磁化方向  $M_2$  と磁性層 15 の磁化方向  $M_1$  とを、共に連続膜 11 の表面に平行な方向とし、連続膜 11 の面内で略直交するように構成している。さらに、図 4 (c) では、磁性層 13 の磁化方向  $M_2$  を連続膜 11 の表面に対して垂直とし、磁性層 15 の磁化方向を連続膜 11 の表面に平行としている。

【0034】

図 4 の各図に示した構造の内、図 4 (c) に示すように、磁性層 13 の磁化方向  $M_2$  を連続膜 11 の表面に対して略垂直とすると、連続膜 11 の面内においてスピン波の伝播特性が等方的となり、伝播方向に依存しないというメリットを得ることができる。また、磁性層 13 は、スピン波伝達媒体であることから、スピントルクを効率的に受けることができ、また伝達損失が小さい材料を用いることが望ましい。

【0035】

連続膜 11 の表面に対して垂直に磁化する磁性材料として、例えば、FeVpd、また、FeCrpd、CoFePt 等の合金を用いることができる。また、イットリウム鉄ガーネット (YIG) やマンガンフェライト等のフェライト系酸化物を用いると、スピン波の伝達損失を少なくすることができる。

【0036】

これに対し、磁性層 15 は、一定のスピントルクを磁性層 13 に与えるために、磁化が固着されていることが望ましい。このため、磁性層 15 の層厚を 10 nm 以上とすることが望ましい。あるいは、図 4 (b) および図 4 (c) に示すように、磁性層 15 に隣接して反強磁性層 16 を設けることにより、磁性層 15 の磁化方向  $M_1$  を固着することができる。

【0037】

10

20

30

40

50

連続膜 11 の表面に略平行な磁化方向となる磁性層の材料としては、例えば、鉄 (Fe)、コバルト (Co)、ニッケル (Ni)、マンガン (Mn)、クロム (Cr) よりなる群から選択された少なくとも一つの元素を含む磁性合金を用いることができる。また、反強磁性層 16 には、例えば、IrMn 合金を使用することができる。

【0038】

また、スペーサ層 14 は、磁性層 13 と磁性層 15 との間を移動する電子のスピン偏極が失われる長さ (スピン拡散長) よりも薄く設ける。さらに、連続膜 11 には、最上層として、磁性層 13 の上に保護膜を形成しても良い。保護膜は、スピン波を効率的に励起するために、導電性を有し、且つ、厚さが 100 nm 以下であることが望ましい。

【0039】

スペーサ層 14 としては、トンネルバリア材料、または非磁性金属材料を用いることができる。トンネルバリア材料を用いると、読み出し時に大きな再生信号出力を得ることが可能となる。例えば、アルミニウム (Al)、チタン (Ti)、亜鉛 (Zn)、ジルコニウム (Zr)、タンタル (Ta)、コバルト (Co)、ニッケル (Ni)、シリコン (Si)、マグネシウム (Mg)、鉄 (Fe) よりなる群から選択された少なくとも一つの元素を含む酸化物、窒化物、フッ化物、酸窒化物を用いることができる。あるいは、GaAlAs などの大きなエネルギーギャップを有する半導体を用いても良い。

【0040】

一方、スペーサ層 14 に非磁性金属材料を用いると、スピントルクを発生させるための電流注入を容易にすることができる。例えば、銅 (Cu)、金 (Au)、銀 (Ag)、アルミニウム (Al)、また、これらよりなる群から選択された少なくとも一つの元素を含む合金を使用することができる。この場合、スペーサ層を 1.5 nm 以上、20 nm 以下の厚さとする、磁性層 13 と磁性層 15 とが層間結合せず、且つ、電子のスピン偏極を保持することができる。

【0041】

さらに、連続膜 11 の最上層に設ける保護膜としては、Ta、Ru、銅 (Cu)、金 (Au)、銀 (Ag)、アルミニウム (Al)、また、これらよりなる群から選択された少なくとも一つの元素を含む合金、グラフェンなどの材料を用いることができる。

【0042】

また、入力部 5 に使用される非磁性導電材料は、例えば、銅 (Cu)、金 (Au)、銀 (Ag)、アルミニウム (Al)、また、これらよりなる群から選択された少なくとも一つの元素を含む合金とすることができる。さらに、非磁性導電材料として、カーボンナノチューブやカーボンナノワイヤ、グラフェン等の材料を用いることもできる。

【0043】

図 5 は、波動検出部 8 と連続膜 11 との部分断面を示す模式図である。波動検出部 8 は、連続膜 11 の上に接触面を介して設けられている。入力部 5 の直下で発生し連続膜 11 を伝播したスピン波は、波動検出部 8 において、合成信号として検出される。また、図 5 の各図における磁化方向の構成は、図 4 に示す、連続膜 11 の部分断面の各構造に対応する。すなわち、入力部 5 側と、波動検出部 8 側とにおいて、連続膜 11 に含まれる磁性層 13 および 15 の磁化方向は同じである。

【0044】

図 5 (a) に示す構成では、磁性層 15 の磁化方向  $M_1$  は、連続膜 11 の表面に垂直な方向であり、磁性層 13 の磁化方向  $M_2$  は、連続膜 11 の表面に平行な方向となっている。また、図 5 (b) では、磁性層 15 の磁化方向  $M_1$  および磁性層 13 の磁化方向  $M_2$  が、共に連続膜 11 の表面に平行となっている。さらに、 $M_1$  と  $M_2$  とは、連続膜 11 の面内で直交している。また、図 5 (c) に示す構成では、磁性層 15 の磁化方向  $M_1$  は、連続膜 11 の表面に平行であり、磁性層 13 の磁化方向  $M_2$  は、連続膜 11 の表面に垂直な方向となっている。

【0045】

図 5 に示す連続膜 11 は、磁性層 13 および 15 でスペーサ層 14 を挟んだ構造となっ

10

20

30

40

50

ており、波動検出部 8 から連続膜 1 1 に電圧を印加するか、または電流を流すことにより、TMR 効果 (Tunnel Magnetoresistance effect) もしくは GMR 効果 (Giant Magnetoresistance effect) により磁化の変化、すなわち、スピン波を検出することができる。通常、スピン波による信号変化は小さいので、2つの磁性層 1 3 および 1 5 の磁化方向は、略直交するように配置した、図 5 に示すいずれかの構造とし、検出感度を上げることが望ましい。特に、図 5 (b) に示した磁化配置は、磁性層 1 3 の磁化がともに面内方向であり、磁性層 1 3 の磁化方向の面内方向の変化を検出するのに適した構成となっているため、望ましい。

#### 【0046】

図 6 は、本実施形態に係る演算器 1 および 2 の部分断面を示す模式図である。

10

図示しない基板の上に、絶縁膜を介して連続膜 1 1 a および 1 1 b が設けられている。連続膜 1 1 a の表面には、入力部 5 a と波動検出部 8 a が接続されている。連続膜 1 1 a、および入力部 5 a、波動検出部 8 a は、例えば、演算器 1 を構成する。さらに、連続膜 1 1 b には、入力部 5 b と、図示しない波動検出部と、が接続され、演算器 2 を構成する。

#### 【0047】

入力部 5 a には、入力電極 6 が接続されており、例えば、入力 A (0) または B (0) に対応する電気信号が印加される。その結果、入力部 5 a の直下でスピン波が励起され、連続膜 1 1 a に沿って波動検出部 8 a に向かって伝播する。一方、波動検出部 8 a には、出力電極 9 が接続されており、例えば、TMR 効果を生じさせるためのバイアス電圧が印加されている。これにより、入力部 5 から伝播したスピン波は、TMR 効果によって生じる電圧の変化として検出され、出力電極 9 の基板側の端子 9 a から電圧信号として出力される。

20

#### 【0048】

さらに、端子 9 a から出力された電圧信号は、増幅器 2 2 で増幅されてコンパレータ 2 3 に入力される。コンパレータ 2 3 では、入力された電圧信号と、閾値電圧  $V_{th}$  が比較され、例えば、電圧信号が閾値電圧  $V_{th}$  より大きい場合に、対応する電圧信号が出力される。

#### 【0049】

コンパレータ 2 3 の出力は、連続膜 1 1 b 上に設けられた入力部 5 b に接続された入力電極 6 の端子 6 a に入力される。すなわち、コンパレータ 2 3 の出力は、例えば、演算器 1 から出力される  $X(0)$  に該当し、演算器 2 の入力端子 6 a に入力される。

30

#### 【0050】

増幅器 2 2 やコンパレータ 2 3 は、連続膜 1 1 a および 1 1 b と同一の面に配置すること、また、図 6 中に示す絶縁膜 2 1 の上下のいずれかに配置することも可能である。例えば、図 6 中に示すように、連続膜 1 1 の下層に配置することにより、演算器の集積度を高めることが可能である。具体的には、シリコン基板の表面に、増幅器 2 2 およびコンパレータ 2 3 を含む集積回路を形成した後、さらに連続膜 1 1 および入力部 5、波動検出部 8 等を形成し、図 6 中に示すように、電気的な接続を取ることで実施することができる。

#### 【0051】

40

図 7 は、図 6 に示す出力電極 9 の端子 9 a から出力される電圧信号の例を示す模式図である。図 7 (a) は、波動検出部 8 で検出されたスピン波の振幅が相対的に大きい場合の電圧波形であり、図 7 (b) は、スピン波の振幅が相対的に小さい場合の電圧波形を示している。一般に、TMR 効果あるいは GMR 効果において、2層以上の磁性層を含む積層膜の電気抵抗は、各磁性層の磁化方向の相対角度に依存して変化する。スピン波の振幅は磁化方向の時間的変化であるから、磁性層 1 3 を伝播するスピン波の振幅の大きさに応じて、磁性層 1 3 の磁化方向と、磁性層 1 5 の磁化方向と、の間の相対角度が変化し、連続膜 1 1 の抵抗を変化させる (図 5 参照)。したがって、入力部 5 a で励起されたスピン波の振幅が大きいほど、波動検出部 8 の直下における連続膜 1 1 の抵抗変化が大きくなり、端子 9 a に出力される電圧の変化が大きくなる。

50

## 【 0 0 5 2 】

例えば、図 6 中に示すコンパレータ 2 3 の入力端子 ( I N ) に、図 7 に示す電圧信号を入力し、基準電圧の入力端子 ( REF ) に、閾値電圧として図 7 中に示す  $V_{th}$  を入力する。入力端子 ( I N ) に入力される信号の大きさが  $V_{th}$  を超えた場合、コンパレータ 2 3 の出力は、1 に対応する電圧を出力し、入力端子 ( I N ) に入力される信号の大きさが  $V_{th}$  超えない場合、コンパレータ 2 3 の出力は、0 に対応する電圧を出力するように、設定することができる。これにより、コンパレータ 2 3 は、図 7 ( a ) に示す、信号電圧が  $V_{th}$  を超える時間においてのみ、1 に対応する信号電圧を出力する。

## 【 0 0 5 3 】

なお、図 6 では、出力電極 9 の端子 9 a から出力される電圧信号を、増幅器 2 2 で増幅する構成としているが、波動検出部 8 で検出される抵抗変化が十分に大きい場合には、直接コンパレータ 2 3 の入力端子 ( I N ) に電圧信号を入力することも可能である。また、コンパレータ 2 3 や増幅器 2 2 は、標準的な集積回路技術を用いて構成することができる。

## 【 0 0 5 4 】

次に、演算器 1、2 における、入力部 5 および波動検出部 8 の配置について説明する。連続膜 1 1 に含まれる磁性層 1 3 の磁化方向を、連続膜 1 1 の表面に垂直となるように形成すると、スピン波の伝播特性が等方的となる ( 図 4 ( c ) 参照 )。また、磁性層 1 3 としてスピン波の伝達損失の少ない材料を用いれば、入力部 5 および波動検出部 8 の配置に関する制約が小さくなり、さまざまな配置が可能となる。

## 【 0 0 5 5 】

図 8 は、演算器 1 および 2 における、2 つの入力部 5 と、波動検出部 8 と、の配置例を示す模式図である。図 8 ( a ) および ( b )、( c ) は、波動検出部 8 と入力部 5 との間隔  $d$  が等しくなるように配置した例である。図 8 ( b ) に示すように、波動検出部 8 と入力部 5 とが、直線上にあっても良いし、図 8 ( a )、( c ) に示すように、波動検出部 8 から等間隔な位置に、入力部 5 を任意に配置しても良い。このような配置とすることにより、2 つの入力部 5 で発生したスピン波が、それぞれ連続膜 1 1 を伝播して波動検出部 8 に到達するまでの時間が等しくなる。これにより、2 つの入力部 5 に入力される信号の同期をとる上で有利となる。

## 【 0 0 5 6 】

また、図 8 ( d ) に示すように、入力部 5 の径  $r$  が、入力部 5 と波動検出部 8 との間隔  $d$  の 2 倍以上となるようにすれば、入力部 5 で励起されるスピン波の波長を、間隔  $d$  に比べて長くすることができる。これにより、入力部 5 と波動検出部 8 との間隔  $d$  が、2 つの入力部 5 の間で異なっても、波動検出部 8 に到達するスピン波の位相差を小さくすることができる。

## 【 0 0 5 7 】

前述したように、入力部 5 と連続膜 1 1 とが電氣的に接続する接触面は、直径 2 0 0 n m 面の円より小さいことが望ましい。したがって、例えば、入力部 5 が全面で連続膜に接触する場合、入力部の径  $r$  は、2 0 0 n m 以下とすることが望ましい。一方、波動検出部 8 の大きさは、入力部 5 の大きさに関係なく設定することができるが、検出するスピン波の位相を均一に保持して出力信号の減衰を防ぐために、連続膜 1 1 との接触面を小さくすることが望ましい。しかし、波動検出部 8 を小さくしすぎると、連続膜 1 1 との接触面の電流密度が高くなり、検出動作時に大きなスピントルクが働いて、意図しないスピン波を励起してしまう場合がある。したがって、意図しないスピン波を励起しない範囲で、波動検出部 8 の接触面を小さくすることが望ましい。少なくとも、波動検出部 8 のサイズは、検出するスピン波の波長より小さいことが望ましい。

## 【 0 0 5 8 】

図 9 は、演算器 1 または 2 に入力される信号  $A(0)$ 、 $B(0)$  と、出力信号  $X(0)$  と、の関係を示すタイミングチャートである。横軸に時間を取り、各信号の波形を模式的に示している。例えば、「1」が入力される場合には、入力のタイミングに合わせて、パ

10

20

30

40

50

ルス形状の波形が表示されている。「0」の場合は、信号波形は平坦であり、パルス形状の波形は表示されない。(以下、タイミングチャートについては、同様に表示)

入力信号A(0)、B(0)の波形に対応して、信号値が「1」に該当する期間、入力部5に電圧 $V_1$ を印加する。あるいは、入力部5から連続膜11へ電流 $I_1$ を流す。一方、信号値が「0」のときは、電圧 $V_0$ を印加する。あるいは、電流 $I_0$ を流す。例えば、信号値が「0」の場合に、 $V_0 = 0$ 、あるいは $I_0 = 0$ とすれば、信号値「1」の場合との区別が容易となるので好ましい。

【0059】

図9(a)では、入力信号A(0)、B(0)が、それぞれ「1」であるから、所定のタイミングで入力部5に電圧 $V_1$ を一定時間印加する。例えば、図8(a)または(b)、(c)に示すように、入力部5と波動検出部8との間の間隔dが、2つの入力部5の間で等しい演算器の場合、信号A(0)が入力される入力部5と、信号B(0)が入力される入力部5と、に電圧 $V_1$ を印加するタイミングは、励起されるスピン波の位相が半波長ずれるように設定することが望ましい。例えば、図9(a)中に示すように、信号B(0)が入力される入力部5に、電圧 $V_1$ を印加するタイミングは、式(3)で算出される時間だけ遅らせるように設定する。

【0060】

$$t_r = (2f)^{-1} \dots (\text{式3})$$

ここで、fはスピン波の周波数である。

【0061】

これにより、2つの入力部5で発生したスピン波が、波動検出部8に到達した時に、位相が半波長ずれることになる。その結果、2つのスピン波の合成波の振幅が減衰し、波動検出部8で検出される抵抗変化が小さくなる。したがって、例えば、図6に示す端子9aから出力される電圧信号が小さくなり、演算器からの出力信号X0は、「0」となる。

【0062】

図9(b)では、信号A(0)は、「0」であり、信号B(0)は、「1」である。したがって、信号A(0)が入力される入力部5には、電圧が印加されず、信号B(0)が入力される入力部5に、電圧 $V_1$ が印加される。この場合、信号A(0)が入力された入力部5ではスピン波が励起されず、信号B(0)が入力された入力部5のみでスピン波が励起される。したがって、スピン波の干渉は生じないので、波動検出部8は、信号B(0)の入力により励起されたスピン波を検出し、出力信号X(0)は、「1」となる。

【0063】

図9(c)では、信号A(0)が、「1」であり、信号B(0)は、「0」である。この場合も、スピン波は、信号A(0)が入力される入力部5のみで励起され、出力信号X(0)は、「1」となる。また、図9(d)では、信号A(0)、B(0)が、共に「0」であり、スピン波は励起されず、出力信号X(0)も「0」となる。

【0064】

図10は、演算器1または2に入力される信号A(0)、B(0)と、出力X(0)との関係を示す、別のタイミングチャートである。

【0065】

スピン波による演算を行う場合、入力部5に、電圧 $V_1$ を印加する時間、あるいは電流 $I_1$ を流す時間は、ある程度、任意に設定することができる。例えば、図10に示すように、信号A(0)、B(0)のそれぞれの波形に対応して、電圧 $V_1$ を印加(オン)してからオフするまでの時間を長くすることができる。

【0066】

図10(a)では、信号A(0)、B(0)は、ともに「1」であり、信号A(0)が入力される入力部5に電圧 $V_1$ が印加されるタイミングと、信号B(0)が入力される入力部5に電圧 $V_1$ が印加されるタイミングとは、 $t_r$ だけずらしている。さらに、電圧 $V_1$ が印加されている時間 $t_A$ 、 $t_B$ を等しくしておけば、スピン波が干渉して減衰し、出力信号X(0)は、「0」となる。

10

20

30

40

50

## 【 0 0 6 7 】

図 1 0 ( b ) では、信号 A ( 0 ) は、「 0 」であり、信号 B ( 0 ) は、「 1 」である。信号 B ( 0 ) が入力される入力部 5 に電圧  $V_1$  が印加される時間は、 $t_B$  である。この際、図 1 0 ( b ) 中に示すように、波動検出部 8 側で出力信号 X ( 0 ) が検出され始めた後で、電圧  $V_1$  がオフされても良い。

## 【 0 0 6 8 】

図 1 0 ( c ) では、信号 A ( 0 ) が、「 1 」であり、信号 B ( 0 ) は、「 0 」である。この場合も、信号 A ( 0 ) が入力される入力部 5 に電圧  $V_1$  が印加される時間は、 $t_A$  であり、波動検出部 8 側で出力信号 X ( 0 ) が検出され始めた後で、電圧  $V_1$  がオフされても良い。また、図 1 0 ( d ) では、信号 A ( 0 )、B ( 0 ) が、共に「 0 」であり、スピ  
ン波は励起されず、出力信号 X ( 0 ) も「 0 」となる。

10

## 【 0 0 6 9 】

図 9 に示すように、短い時間幅のパルス電圧で  $V_1$  を印加すると、消費電力を抑えることができる。また、図 1 0 に示すように、長い時間幅の電圧  $V_1$  を印加すると、波動の持続時間が長くなるため、検出の安定性を向上させることができる。また、信号 A ( 0 )、B ( 0 ) に対応して、入力部 5 に電流  $I_1$  を流す場合も同様である。

## 【 0 0 7 0 】

図 1 1 は、演算器 1 および 2 における、2 つの入力部 5 と、波動検出部 8 と、の別の配置例を模式的に示す平面図である。

図 1 1 に示す演算器では、2 つの入力部 5 と、波動検出部 8 と、の間隔の内、一方の間隔を他方に比べてスピ  
ン波の波長  $\lambda$  の半奇数倍だけ広くしている。図 1 1 中に示す  $n$  は、整数である。

20

## 【 0 0 7 1 】

図 1 2 は、図 1 1 に示す演算器に入力される信号 A ( 0 )、B ( 0 ) と、出力 X ( 0 ) と、の関係を示すタイミングチャートである。

## 【 0 0 7 2 】

図 1 2 ( a ) では、入力信号 A ( 0 )、B ( 0 ) が、それぞれ「 1 」であるから、信号 A ( 0 ) が入力される入力部 5 と、信号 B ( 0 ) が入力される入力部 5 と、に、同時に電圧  $V_1$  を印加する。2 つの入力部 5 と波動検出部 8 との間隔の内、一方の間隔が他方に比べてスピ  
ン波の波長  $\lambda$  の半奇数倍だけ長いので、それぞれの入力部 5 で励起された 2 つの  
スピ  
ン波は、波動検出部 8 に到達する時点で位相が半波長分ずれている。これにより、2 つのスピ  
ン波の合成波の振幅が減衰し、出力される電圧信号が小さくなる。したがって、  
図 1 2 ( a ) 中に示すように、出力信号 X ( 0 ) は、「 0 」となる。

30

## 【 0 0 7 3 】

図 1 2 ( b )、( c ) では、信号 A ( 0 )、B ( 0 ) の一方は、「 0 」であり、他方は、「 1 」である。したがって、2 つの入力部 5 の片方のみでスピ  
ン波が励起され、干渉は生じない。波動検出部 8 は、いずれかの入力部 5 で励起されたスピ  
ン波を検出し、出力信号 X ( 0 ) は、「 1 」となる。また、図 9 ( d ) では、信号 A ( 0 )、B ( 0 ) が、共に「 0 」であり、スピ  
ン波は励起されず、出力信号 X ( 0 ) も「 0 」となる。

## 【 0 0 7 4 】

( 閾値波動演算器の実施例 )

図 1 3 は、演算器 3 における、3 つの入力部 5 と、波動検出部 8 と、の配置例を模式的に示す平面図である。演算器 3 は閾値波動演算器であり、入力部 5 および波動検出部 8、連続膜 1 1 の断面構造は、波動演算器である演算器 1 または 2 と同じにすることができる。

40

## 【 0 0 7 5 】

図 1 3 ( a ) に示す例では、3 つの入力部 5 と、波動検出部 8 と、の間隔  $d$  が、それぞれ等しい。したがって、3 つの入力部 5 に同時に入力された電圧、もしくは電流により、それぞれ励起された 3 つのスピ  
ン波は、波動検出部 8 に位相差なく同時に到達する。その結果、波動検出部 8 では、それぞれスピ  
ン波の振幅の和に等しい振幅を有する合成波が検

50

出される。

【0076】

これにより、例えば、波動検出部8に接続された端子9a(図6参照)からは、波動検出部8に到達したスピン波の数に対応する大きさの電圧信号が出力される。この電圧信号と、所定の閾値電圧と、を比較することにより、例えば、スピン波、すなわち信号「1」の数が、所定数より多い場合に、「1」を出力し、所定数を下回る場合に、「0」を出力する閾値演算器として機能させることができる。具体的には、図6のコンパレータ23のREF端子に閾値電圧を入力し、信号電圧との比較結果を出力させる。

【0077】

図13(b)に示す例では、励起されるスピン波の波長が、入力部5と波動検出部8との間隔dより長くなるように、3つの入力部5の直径rを、相対的に大きく形成する。これにより、3つの入力部5で同時に励起されたスピン波が、波動検出部8に到達する時の位相差を小さくすることができる。その結果、波動検出部8で検出される合成波の振幅の大きさが、3つの入力部5で励起されたスピン波の数に対応し、閾値演算器として機能することができる。

10

【0078】

図14および図15は、演算器3に入力される信号A(0)、B(0)、C(-1)と、出力C(0)と、の関係を示すタイミングチャートである。演算器3は閾値演算器であり、信号「1」が2つ以上入力されると、出力C(0)に「1」を出力し、信号「1」が1つ以下であると、出力C(0)に「0」を出力する。

20

【0079】

図14(a)では、入力信号A(0)、B(0)、C(-1)が、それぞれ「1」であるから、信号A(0)が入力される入力部5と、信号B(0)が入力される入力部5と、信号C(-1)が入力される入力部5と、に、同時に電圧 $V_1$ を印加される。例えば、図13(a)の配置例に従う演算器であれば、それぞれの入力部5で励起された3つのスピン波は、波動検出部8に到達して合成され、入力部5で励起されたスピン波の3倍の振幅を有する合成波が、波動検出部8で検出される。これにより、出力C(0)に「1」が出力される。

【0080】

図14(b)、(c)、(d)では、信号A(0)、B(0)、C(-1)の内、2つの入力は、「1」であり、残る1つは、「0」である。したがって、3つの入力部5の内、2つでスピン波が励起される。波動検出部8では、2つのスピン波が合成された合成波が検出され、出力C(0)に、「1」が出力される。

30

【0081】

また、図15(a)、(b)、(c)では、信号A(0)、B(0)、C(-1)の内、1つの入力は、「1」であり、残る2つは、「0」である。したがって、3つの入力部5の内、いずれか1つでスピン波が励起され、波動検出部8では、励起されたスピン波を検出する。しかしながら、出力される電圧信号は、閾値電圧より低いので、出力C(0)には、「0」が出力される。図9(d)では、信号A(0)、B(0)、C(-1)は、全て「0」であり、スピン波は励起されず、出力C(0)も「0」を出力する。

40

【0082】

(変形例1)

図16は、第1の実施形態の変形例に係る演算器の入力部5および連続膜を模式的に示す部分断面図である。本変形例に係る演算器では、連続膜11の周辺に、永久磁石あるいは配線磁界等の外部磁界の付与部を設け、磁性層13の磁化に作用させる構成とする。

【0083】

外部磁界が磁性層13の磁化に作用を及ぼす構成とした場合、入力部5に印加される電圧または電流の信号により生じるスピントルクによる磁化方向 $M_2$ と、外部磁界による磁化方向 $H_0$ と、が競合するように構成すれば、スピン波の安定した発振状態が得られ、スピン波を効率よく発生させることができる。例えば、図16(a)および(b)に示す構

50

成では、連続膜 11 の表面に平行に磁化した磁性層 15 の磁化方向  $M_1$  と、外部磁界の方向  $H_0$  と、が逆向きで、双方の間の角度が 180 度に近い状態となっている。この場合、入力部 5 から、磁性層 13 を介して磁性層 15 に向けて電流  $J_1$  を流すと、磁性層 13 を磁性層 15 と同じ方向  $M_1$  に磁化させようとするスピントルクが作用する。一方、外部磁界からは、磁性層 15 と逆向きの方向  $H_0$  に磁化させようとする作用が働いている。この結果、両方の作用が競合し、スピン波を容易に励起することができる。

【0084】

一方、図 16 (c) および (d) に示す構成では、外部磁界の方向  $H_0$  と、磁性層 15 の磁化方向  $M_1$  は一致している。この場合、磁性層 15 から磁性層 13 を介して入力部 5 に向けて電流  $J_2$  を流すと、磁性層 15 の磁化方向  $M_1$  に対して逆向きの方向  $M_2$  に磁性層 13 を磁化させようとするスピントルクが作用する。この結果、外部磁界の作用と、スピントルクの作用と、が競合するようになり、スピン波の励起を容易にすることができる。

10

【0085】

図 17 は、外部磁界付与部 18 を設けた本変形例に係る演算器の断面を示す模式図である。

【0086】

図示しない基板上に、絶縁膜 21 を介して連続膜 11 が設けられ、連続膜 11 の表面には、入力部 5 および波動検出部 8 が接続されている。また、入力部 5 は、入力電極 6 に接続し、波動検出部 8 は、出力電極 9 に接続されている。さらに、連続膜 11 の上方に絶縁膜 21 を介して外部磁界付与部 18 が設けられている。外部磁界付与部 18 には、永久磁石を使用しても良いし、また、図の奥行き方向に伸びる金属配線として形成し、その金属配線に電流を流して発生する磁界を連続膜 11 に作用させる構成としても良い。

20

【0087】

(変形例 2)

図 18 は、第 1 の実施形態の第 2 の変形例に係る演算器の入力部 5 および連続膜 11 を模式的に示す部分断面図である。本変形例では、連続膜 11 に含まれる磁性層は 1 層である。

【0088】

図 18 (a) では、図示しない基板上に形成された磁性層 25 に、非磁性の導電性材料を用いて形成された入力部 5 が接続されている。連続膜 11 は、磁性層 25 そのものであり、また、磁性層 25 の磁化方向  $M_3$  は、磁性層 25 の表面に垂直となるように形成されている。

30

【0089】

このように、磁性層が一層であっても、入力部 5 を形成することにより局所的に磁気異方性が異なる部分が生じ、入力部 5 へ電圧を印加するか、もしくは、入力部 5 を介して磁性層 25 に電流を流すことにより、スピントルクが発生しスピン波が励起される。また、磁化方向  $M_3$  が磁性層 25 の表面に垂直であることから、磁性層 25 内を伝播するスピン波の伝播特性が等方的となる。

【0090】

また、図 18 (b) に示すように、磁性層 25 の磁化方向  $M_3$  を磁性層 25 の表面に平行に形成することもできる。この場合、入力部 5 が設けられた面の反対側に反強磁性層 16 を設け、磁性層 25 中の磁化方向  $M_3$  を固着することが望ましい。このようにすることで、入力信号以外の要因で連続膜 25 中にスピン波が発生することを防ぐことができる。このように、磁化方向が表面に平行な磁性層は、容易に製造できるという利点がある。

40

【0091】

さらに、磁性層 25 の表面には、キャップ層として図示しない導電性保護膜を形成しても良いし、図 18 (c) に示すように、磁性層 25 と入力部 5 との間に絶縁層 26 を設けてもよい。

【0092】

50

図19は、第2の変形例に係る演算器の断面(a)および平面(b)を示す模式図である。本変形例に係る演算器は、図19(a)に示すように、連続膜11に接続して設けられた入力部5と、入力電極6と、さらに、絶縁膜21を介して設けられた波動検出部28を有している。

【0093】

波動検出部28は、図19(b)に示すように、平行に形成されたコプレーナ線路28aおよび28bであり、連続膜11中を伝播するスピン波による磁界の変化を電磁誘導作用により検出する。すなわち、入力電極6から入力された信号により入力部5で励起されたスピン波が、連続膜11中を伝播し、そのスピン波による磁界の変化を、波動検出部28で高周波の誘導電流として検出し、さらに出力することができる。また、コプレーナ線路の代わりにマイクロストリップライン等の各種導波路を用いることができる。

10

【0094】

(変形例3)

図20は、第3の変形例に係る入力部7の部分断面(a)、および、波動検出部8の部分断面(b)を示す模式図である。

【0095】

本変形例では、図20(a)に示すように、入力部7も導電性の磁性体で形成される。さらに、入力部7と磁性層25との間にはスペーサ層14が設けられる。このような構成でも、入力部7に電圧を印加するか、または、入力部7からスペーサ層14を介して磁性層25に電流を流すことにより、スピン波を励起することができる。この際、スピン波の励起をより低エネルギーで行うために、入力部7の磁化方向 $M_5$ と磁性層25の磁化方向 $M_4$ とは、直交することが望ましい。

20

【0096】

一方、磁性層25中を伝播するスピン波を検出する波動検出部は、図19(b)に示すコプレーナ線路28aおよび28bとすることができる。また、図20(b)に示すように、磁性層25と、スペーサ層14と、磁性層27と、が積層された層構造の表面に波動検出部8が設けられた構成とすることができる。図20(b)に示す構成とすることにより、TMR効果やGMR効果を用いてスピン波を検出することができる。

【0097】

(変形例4)

図21は、第4の変形例に係る演算器1および2の部分断面を示す模式図である。

30

【0098】

本変形例では、演算器1の端子9aから出力される電圧信号が、ローパスフィルタ32を介して、演算器2の入力端子6aに入力される構成となっている。また、端子9aとローパスフィルタ32との間には、整流用のダイオード31が配置されている。これにより、演算器1から出力される電圧信号を、単一極性の信号に変換して演算器2に入力することができる。なお、演算器1から出力される電気信号の波形に応じて、ローパスフィルタ32のない実施形態とすることが可能である。

【0099】

(変形例5)

図22は、第5の変形例に係る演算器を模式的に示す斜視図である。本変形例に係る演算器においても、連続膜11の上に、非磁性導電材料からなる2つの入力部5と波動検出部8とが設けられている。連続膜11は、表面から磁性層13/スペーサ層14/磁性層15の層構造となるように構成されている。また、本変形例における波動検出部8は、図22中に示すように、非磁性導電材料からなる配線として設けられている。

40

【0100】

すなわち、磁性層13においてスピン波が励起されると、その振幅の大きさに応じたスピン流が、波動検出部8として設けられた配線に流入する。そうすると、非磁性体である配線において、スピン-軌道相互作用の効果のために、スピン流の大きさに応じた電流が配線中を流れる。このような現象は、逆スピンホール効果と呼ばれる。結果として、スピ

50

ン波の振幅の大きさを、配線を流れる電流の大きさに変換して検出することができる。

【0101】

この際、検出感度を大きくするために、配線に用いる非磁性導電材料として、スピン - 軌道相互作用が大きい物質を含む材料を用いることが望ましい。具体的には、原子番号が37以上の物質は、スピン - 軌道相互作用が大きいので好適である。例えば、白金Ptや金Au、あるいは、これらを含む合金を用いることができる。

【0102】

また、図22に示した演算器は、演算器1または2の構成を有する波動演算器であるが、演算器3の構成を有する閾値波動演算器においても、本実施例に係る波動検出器8を用いることができる。

10

【0103】

(変形例6)

図23は、第6の変形例に係る演算器3を示す模式図である。図23(a)は、正面図を示し、図23(b)は、平面図を示している。本変形例では、図示しない基板上に連続膜34が設けられ、連続膜34上に3つの入力部35と波動検出部38とが設けられている。連続膜34は、圧電体からなる表面層を有している。

【0104】

入力部35は、第1電極35aと第2電極35bとからなる電極対を有する。この第1電極35aと第2電極35bとの間に、入力信号に対応したパルス電圧あるいは交流電圧を印加することにより圧電体の表面が歪み、表面弾性波が発生する。表面弾性波は、第1電極35aと第2電極35bとの間隔に対応した波長を有し、連続膜34の表面に沿って伝播する。

20

【0105】

この際、表面弾性波の伝播特性は、圧電体の結晶性に依存し、結晶方位に応じた方向に伝播する。特に、単結晶の圧電体では、均一な表面弾性波が励起されるので、連続膜34の表面層、もしくは、連続膜34を、単結晶の圧電体で形成することが望ましい。

【0106】

さらに、各入力部35で励起される表面弾性波の波長を同じにするために、例えば、各入力部35の間で、電極形状を同一とし、第1電極35aと第2電極35bとの間隔を等しくすることが望ましい。

30

【0107】

一方、連続膜34上に設けられた波動検出部38は、図23(b)に示すように、楕形に形成された2つの電極38aおよび38bが入れ子状に配置された構成となっている。各入力部35で励起され、連続膜34の表面を伝播した表面弾性波は、波動検出部38の位置で合成される。そして、波動検出部38では、合成波の振幅に応じた電気信号を、圧電効果により取り出すことができる。

【0108】

この際、線形に形成された電極38aおよび38bの長辺は、入力部35の方向に垂直となるように配置されることが望ましい。すなわち、入力部35から波動検出部38に向かう表面弾性波の伝播方向に直交するように配置することで、表面弾性波の検出効率を向上させることができる。また、入力部35から波動検出部へ向かう方向(図23中の横方向)を、表面弾性波の伝播速度が最大となる結晶方向に合わせることが望ましい。

40

【0109】

さらに、第1電極35aと第2電極35bとの間隔と、波動検出部38の楕形電極38aと38bとの間隔と、を一致させることにより、入力部35で励起された弾性波のみを検出することができる。

【0110】

図23に示した演算器では、各入力部35から波動検出部38までの距離を一定としており、入力部35に電圧を印加するタイミングを合わせることにより、波動検出部38の位置で合成される各表面弾性波の位相を合わせることができる。これにより、閾値波動演

50

算器として機能させることが可能となる。

【0111】

一方、連続膜34上に設けられる入力部35を2つとして、各入力部35から波動検出部38（合成位置）までの距離を、表面弾性波の半波長分ずらすことにより、合成される表面弾性波を逆位相とすることができる。これにより、排他的論理和演算を実行する波動演算器として機能させることも可能である。

【0112】

また、波動検出部38の位置で合成される表面弾性波の位相を逆転させる方法として、入力部35に電圧を印加するタイミングを、半波長の伝播時間分だけずらす方法、または、いずれかの入力部35において、第1電極35aおよび第2電極35bに印加する電圧の極性を逆にする方法を用いることもできる。

10

【0113】

（第2の実施形態）

図24は、第2の実施形態に係る加算器を示すブロック図である。本実施形態に係る加算器は、 $m + 1$ ビット加算器40であり、2進数値Aの第*i*桁ないし第( $i + m$ )桁のビット値に対応する信号であるA(0)ないしA( $m$ )と、2進数値Bの第*i*桁ないし第( $i + m$ )桁のビット値に対応する信号であるB(0)ないしB( $m$ )と、2進数値Aと2進数値Bとの和の第( $i - 1$ )桁から第*i*桁への桁上げビット値に対応する信号であるC( $-1$ )と、に対応する信号の入力に対し、演算結果S(0)ないしS( $m$ )、およびC( $m$ )を出力する加算器である。ここで*m*は、0以上の整数である。

20

【0114】

A(0)ないしA( $m$ )、およびB(0)ないしB( $m$ )、C( $-1$ )は、「0」または「1」で表わされる2つの入力のうちのいずれかであり、加算器の入力端子には、「0」または「1」のそれぞれに応じた電気信号が入力される。一方、出力端子には、同じく「0」または「1」のいずれかであるS(0)ないしS( $m$ )、およびC( $m$ )に対応する信号が出力される。

【0115】

また、図24中に示すように、 $m + 1$ ビット加算器40は、 $m$ ビット加算器41、演算器3 $m + 1$ 、演算器3 $m + 2$ 、演算器3 $m + 3$ を有する加算器と考えることができる。

【0116】

さらに、 $m$ ビット加算器41は、 $m - 1$ ビット加算器と、演算器3 $m - 2$ 、演算器3 $m - 1$ 、演算器3 $m$ を有し、A(0)ないしA( $m - 1$ )と、B(0)ないしB( $m - 1$ )と、C( $-1$ )と、の入力に対し、S(0)ないしS( $m - 1$ )と、C( $m - 1$ )を出力する。

30

【0117】

またさらに、 $m - 1$ ビット加算器は、 $m - 2$ ビット加算器と、演算器3 $m - 5$ と、演算器3 $m - 4$ 、演算器3 $m - 3$ を有する加算器と考えられ、A(0)ないしA( $m - 2$ )と、B(0)ないしB( $m - 2$ )と、C( $-1$ )と、の入力に対し、S(0)ないしS( $m - 2$ )と、C( $m - 2$ )と、を出力する。

【0118】

一方、 $m = 0$ の場合、加算器40は、図1に示す1ビット加算器であり、演算器1および演算器2、演算器3を有し、A(0)、B(0)、C( $-1$ )を入力として、S(0)およびC(0)を出力する。

40

【0119】

結局、 $m + 1$ ビット加算器40は、演算器1ないし3 $m + 3$ を有している。その内、演算器3 $k + 1$ は、第1の波動演算器であり、A( $k$ )とB( $k$ )とを入力とし、中間出力X( $k$ )を出力する。ここで、 $k$ は、0から*m*の整数である。演算器3 $k + 1$ の真理値を、表5に示す。また、演算器3 $k + 2$ は、第2の波動演算器であり、X( $k$ )とC( $k - 1$ )とを入力とし、演算結果S( $k$ )を出力する。演算器3 $k + 2$ の真理値を、表6に示す。

50

【表 5】

A [k]	B [k]	X [k]
0	0	0
1	0	1
0	1	1
1	1	0

10

【表 6】

X [k]	C [k-1]	S [k]
0	0	0
1	0	1
0	1	1
1	1	0

20

## 【 0 1 2 0 】

表 7 に示す真理値表は、表 5 と表 6 とを結合し、入力  $A(k)$  と  $B(k)$  と  $C(k-1)$  とに対する演算結果  $S(k)$  を示している。表 7 から明らかなように、入力  $A(k)$  および  $B(k)$ 、 $C(k-1)$  のいずれかを入れ替えても、演算結果  $S(k)$  は変化しない。例えば、第 1 の波動演算器に  $A(k)$ 、 $C(k-1)$  を入力し、第 2 の波動演算器に  $X(k)$  と  $B(k)$  を入力するように構成しても、演算結果  $S(k)$  は、上記の場合と変わらないことを示している。

30

【表 7】

A [k]	B [k]	C[k-1]	S [k]
0	0	0	0
1	0	0	1
0	1	0	1
0	0	1	1
1	1	0	0
0	1	1	0
1	0	1	0
1	1	1	1

10

## 【 0 1 2 1 】

20

さらに、演算器 3 k + 3 は、閾値波動演算器であり、A ( 0 ) ないし A ( k ) と、B ( 0 ) ないし B ( k ) と、C ( - 1 ) と、を入力とし、C ( k ) を出力する。また、演算器 3 k + 3 は、数式 1 にしたがって、 $2^{k+1}$  に対応する閾値を基準として「0」または「1」に対応する信号を出力する。

## 【 0 1 2 2 】

このとき、各入力信号に対して、重み付けを行う。すなわち、入力信号 A ( 0 ) の重みを 1 とするとき、入力信号 A ( i ) ( i は 0 から k までの整数 ) の重みが  $2^i$  倍となるように重み付けを行う。具体的には、例えば、信号 a ( i ) を与える入力電極を  $2^i$  個設けることによって行うことができる。

## 【 0 1 2 3 】

30

あるいは、入力信号 A ( i ) の大きさが入力信号 A ( 0 ) の大きさの  $2^i$  倍になるように電圧または電流を入力部に与えることによっても実施することができる。これにより、励起される波動の振幅の大きさに対して重み付けが行われ、その結果、数式 1 に示す閾値論理演算が実行される。

## 【数 1】

$$C[k]=\begin{cases} 1 & \text{if } \sum_{i=0}^k 2^i A[i] + \sum_{i=0}^k 2^i B[i] + C[-1] \geq 2^{k+1} \\ 0 & \text{if } \sum_{i=0}^k 2^i A[i] + \sum_{i=0}^k 2^i B[i] + C[-1] \leq 2^{k+1} - 1 \end{cases}$$

40

## 【 0 1 2 4 】

第 1 の波動演算器、および、第 2 の波動演算器、閾値波動演算器は、それぞれ、第 1 の実施形態において説明した波動演算器および閾値波動演算器と同様な構成とすることができる。

## 【 0 1 2 5 】

図 2 5 は、m = 1 とした場合の 2 ビット加算器 4 2 を示すブロック図である。2 ビット加算器 4 2 は、演算器 5 1 ないし 5 6 を有しており、A ( 0 )、B ( 0 )、A ( 1 )、B ( 1 )、C ( - 1 ) の入力に対し、S ( 0 )、S ( 1 )、C ( 1 ) を出力する。演算器 5 1 および演算器 5 4 は、第 1 の波動演算器であり、それぞれ中間出力 X ( 0 ) および X ( 1 ) を出力する。演算器 5 2 および演算器 5 5 は、第 2 の波動演算器であり、X ( 0 )、

50

C ( - 1 ) および X ( 1 )、C ( 0 ) の入力に対し、S ( 0 ) および S ( 1 ) を出力する。さらに、閾値波動演算器である演算器 5 3 は、A ( 0 )、B ( 0 )、C ( - 1 ) の入力に対し、C ( 0 ) を出力し、演算器 5 6 は、A ( 0 )、B ( 0 )、A ( 1 )、B ( 1 )、C ( - 1 ) の入力に対し、C ( 1 ) を出力する。

#### 【 0 1 2 6 】

図 2 6 は、図 2 5 に示す 2 ビット加算器における演算器 5 6 の構成を模式的に示す平面図である。演算器 5 6 は、数式 2 に従って閾値論理演算を行う。すなわち、A ( 0 ) および B ( 0 )、C ( - 1 )、さらに、それぞれ 2 つの A ( 1 ) および B ( 1 ) を入力とし、C ( 1 ) を出力する。つまり、演算器 5 6 は、7 入力 1 出力の演算器であり、図 2 6 ( a )、( b )、( c ) の各図に示すように、7 つの入力部 5 と 1 つの波動検出部 8 とが設けられている。各入力部 5 で励起されたスピン波は、波動検出部 8 の位置で合成され、合成波に対応した信号が出力される。この際、波動検出部 8 で検出した信号強度が、閾値 4 に対応するレベルより高ければ、数式 2 にしたがって、「 1 」に対応する演算結果が出力され、閾値 4 を下回る信号レベルであれば、「 0 」に対応する演算結果が出力される。

10

#### 【 数 2 】

$$C_1 = \begin{cases} 1 & \text{if } 2A[1] + 2B[1] + A[0] + B[0] + C[-1] \geq 4 \\ 0 & \text{if } 2A[1] + 2B[1] + A[0] + B[0] + C[-1] \leq 3 \end{cases}$$

#### 【 0 1 2 7 】

また、前述したように、スピン波の波長に比べて、入力部 5 と波動検出部 8 との間隔が狭く、且つ、スピン波の伝播特性が等方的であり、また、伝播損失が小さければ、入力部 7 と波動検出部 8 は、図 2 6 ( a ) および ( b ) に示すように、任意に配置することができる。また、図 2 6 ( c ) に示すように、波動検出部 8 を中心として、入力部 5 を等距離に配置しても良い。

20

#### 【 0 1 2 8 】

( 第 3 の実施形態 )

図 2 7 は、第 3 の実施形態に係る m ビット加算器 4 4 を示すブロック図である。本実施形態に係る加算器 4 4 は、q 個 ( q は 1 以上の整数 ) の部分加算器を備えている。例えば、図 2 7 中に示す例では、q = 2 であり、部分加算器 4 5 と、部分加算器 4 6 と、を備える。

30

#### 【 0 1 2 9 】

本実施形態に係る部分加算器は、2 進数値 A および B の第 j 桁ないし第 ( j + n - 1 ) 桁のビット値 A [ j ] ないし A [ j + n - 1 ]、および B [ j ] ないし B [ j + n - 1 ] と、桁上げビット値 C [ j - 1 ] と、に対応する信号の入力に対し、演算結果 S ( j ) ないし S ( j + n - 1 ) を出力する第 1 ないし第 n の加算演算器と、桁上げビット値 C [ j + n - 1 ] に対応する演算結果 C ( j + n - 1 ) を出力する桁上げ演算器と、を有している。ここで、j、n は整数、また、i = j、j + n = i + m である。

#### 【 0 1 3 0 】

第 1 の加算演算器は、A [ j ] および B [ j ]、C [ j - 1 ] の内、2 つに対応する信号を、第 1 の波動演算器に入力して X ( j ) を出力させる。さらに、A [ j ] および B [ j ]、C [ j - 1 ] の内、第 1 の波動演算器に入力されなかった残りの一つに対応する信号と、X ( j ) と、を第 2 の波動演算器に入力して前記 S ( j ) を出力させる。

40

#### 【 0 1 3 1 】

また、第 p ( p は 1 から n までの整数 ) の加算器は、A ( j ) ないし A ( j + p - 2 ) と、B ( j ) ないし B ( j + p - 2 ) と、C ( j - 1 ) と、を閾値波動演算器に入力して C ( j + p - 2 ) を出力させる。さらに、A ( j + p - 1 ) と、B ( j + p - 1 ) と、を、第 1 の波動演算器に入力して X ( j + p - 1 ) を出力させ、C ( j + p - 2 ) と、X ( j + p - 1 ) と、を第 2 の波動演算器に入力して S ( j + p - 1 ) を出力させる。

#### 【 0 1 3 2 】

さらに、桁上げ演算器は、A ( j ) ないし A ( j + n - 1 )、および B ( j ) ないし B

50

( $j + n - 1$ )と、 $C(j - 1)$ と、を閾値波動演算器に入力して $C(i + n - 1)$ を出力させる。

【0133】

図27中に示す部分加算器45は、 $A(j)$ ないし $A(j + n - 1)$ 、および、 $B(j)$ ないし $B(j + n - 1)$ 、 $C(j - 1)$ を入力として、 $S(j)$ ないし $S(j + n - 1)$ 、および $C(j + n - 1)$ を出力する $n$ ビットの部分加算器である。また、部分加算器46は、 $A(j + n)$ ないし $A(j + n + w - 1)$ 、および、 $B(j + n)$ ないし $B(j + n + w - 1)$ 、 $C(j + n - 1)$ を入力として、 $S(j + n)$ ないし $S(j + n + w - 1)$ 、および $C(j + n + w - 1)$ を出力する $w$ ビットの部分加算器である。ここで、 $w$ は1以上の整数であり、 $n + w = m$ である。

10

【0134】

例えば、 $n = 4$ 、 $w = 4$ とすれば、部分加算器45および46は、4ビットの部分加算器であり、加算器44は、 $A(0)$ ないし $A(7)$ 、および、 $B(0)$ ないし $B(7)$ 、 $C(-1)$ を入力として、 $S(0)$ ないし $S(7)$ 、および $C(7)$ を出力する8ビット加算器と考えることができる。

【0135】

図28は、4ビット部分加算器45aの構成を示すブロック図である。4ビット部分演算器45aは、演算器51ないし62を有し、 $A(0)$ ないし $A(3)$ 、および、 $B(0)$ ないし $B(3)$ 、 $C(-1)$ を入力として、 $S(0)$ ないし $S(3)$ 、および $C(3)$ を出力する。演算器51および演算器54、演算器57、演算器60は、第1の波動演算器であり、演算器52および演算器55、演算器58、演算器61は、第2の波動演算器である。また、演算器53および演算器56、演算器59、演算器62は、閾値波動演算器である。

20

【0136】

第1の加算演算器は、 $A(0)$ および $B(0)$ を入力として $X(0)$ を出力する演算器51、および、 $C(-1)$ と $X(0)$ を入力として $S(0)$ を出力とする演算器52で構成される。また、図2に示すように、 $B(0)$ と $C(-1)$ との入力を入れ替えても、出力 $S(0)$ は変化しない。

【0137】

第2の加算演算器は、 $A(0)$ 、 $B(0)$ 、 $C(-1)$ を入力として $C(0)$ を出力する演算器53と、 $A(1)$ 、 $B(1)$ を入力として $X(1)$ を出力する演算器54と、 $C(0)$ 、 $X(1)$ を入力として $S(1)$ を出力する演算器55と、で構成されている。さらに、第3の加算演算器は、演算器56および演算器57、演算器58で構成され、第4の加算演算器は、演算器59および演算器60、演算器61で構成されている。

30

【0138】

一方、桁上げ演算器である演算器62は、 $A(0)$ ないし $A(3)$ 、および、 $B(0)$ ないし $B(3)$ 、 $C(-1)$ を入力として、 $C(3)$ を出力する。

【0139】

さらに、加算器44は、例えば、4ビット部分加算器を4つ備える16ビット加算器とすることも可能であり、また、8ビット部分加算器を2つ備える16ビット加算器とすることもできる。この際、部分加算器45および46のビット数を増やすには、4ビット部分加算器45aと同じ規則性を持って加算演算器を付加すれば良い。また、部分加算器を加算器44と見なし、さらに部分加算器を備える構成としても良い。

40

【0140】

以上、第1ないし第3の実施形態を参照して本発明を説明したが、本発明は、これらの実施形態に限定されるものではない。

【0141】

例えば、連続膜を構成する各要素の具体的な寸法や材料、その他、電極、保護膜、絶縁膜などの形状や材質に関しては、当業者が、出願時の技術水準に基づいて適宜選択することにより本発明を実施し、同様の効果を得ることができる限り、本発明の範囲に含まれる

50

。

【0142】

また、第1ないし第3の実施形態において、例えば、図に示された構成を上下反転させた構造とすることができる。また、連続膜における反強磁性層、中間層、絶縁層などの構成要素は、それぞれ、単層としても良く、あるいは、2以上の層を積層した構造としても良い。

【産業上の利用可能性】

【0143】

本発明によれば、回路規模を小さくすることができ、また、消費電力が少なく汎用性の高い加算器が提供される。

10

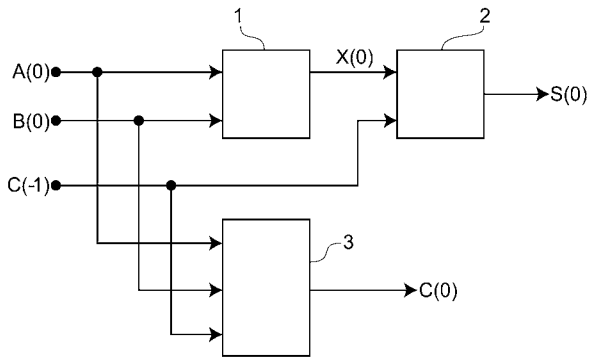
【符号の説明】

【0144】

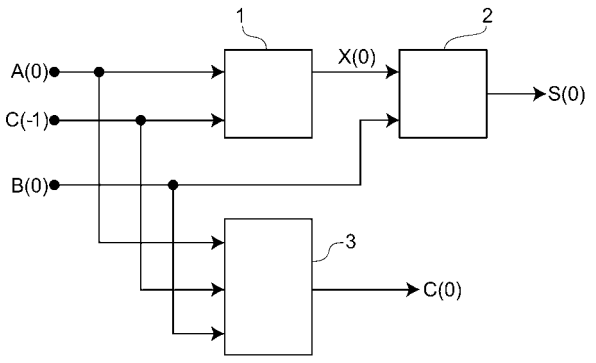
- 1 演算器
- 2 演算器
- 3 演算器
- 5、7 入力部
- 8 波動検出部
- 11 連続膜
- 13 磁性層
- 14 スペース層
- 15 磁性層
- 16 反強磁性層
- 22 増幅器
- 23 コンパレータ
- 31 ダイオード
- 35 a、35 b 電極
- 40、44 加算器
- 45、46 部分加算器

20

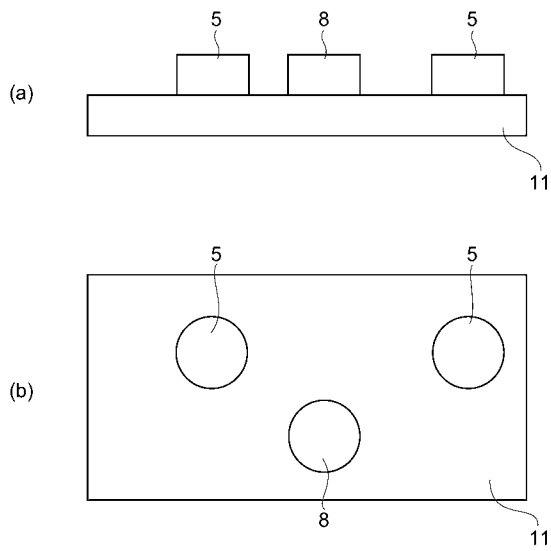
【図 1】



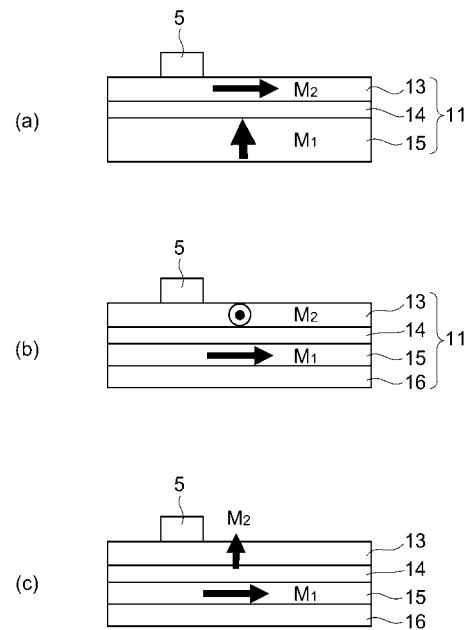
【図 2】



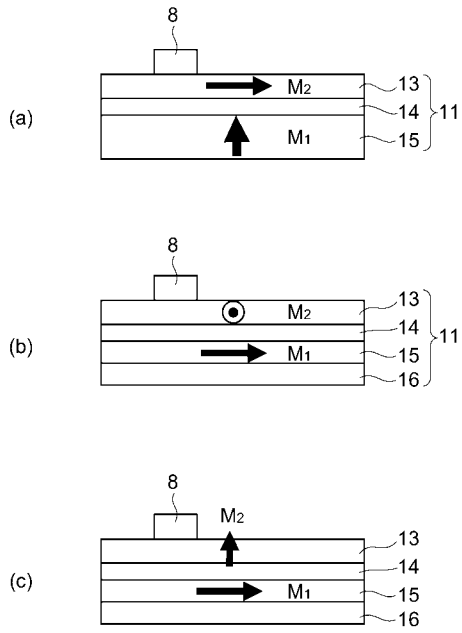
【図 3】



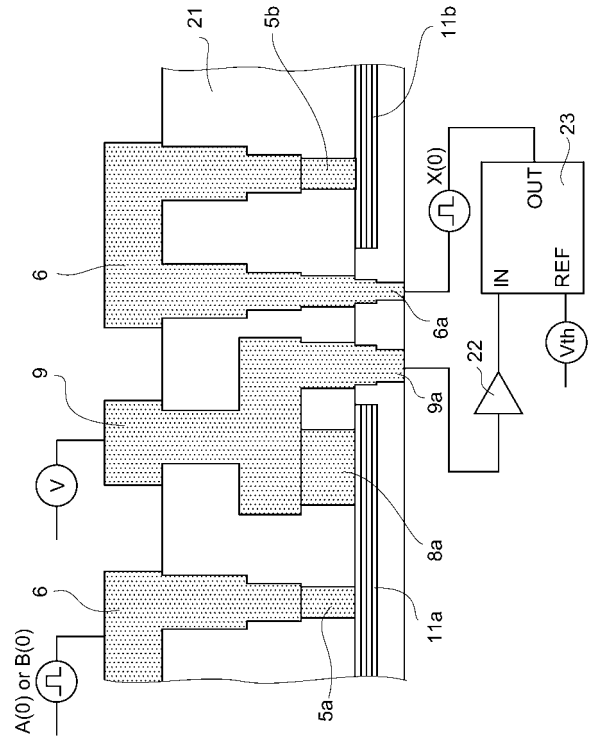
【図 4】



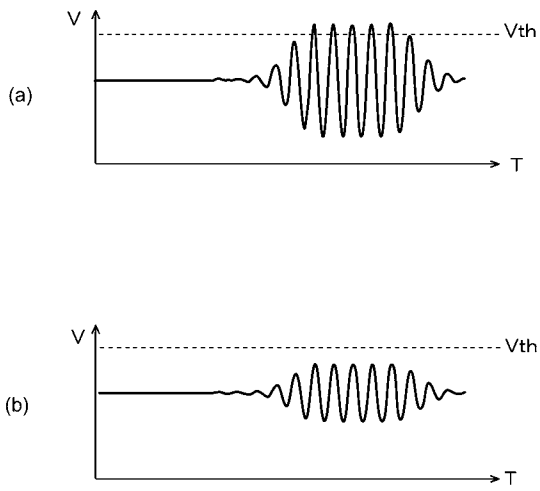
【 図 5 】



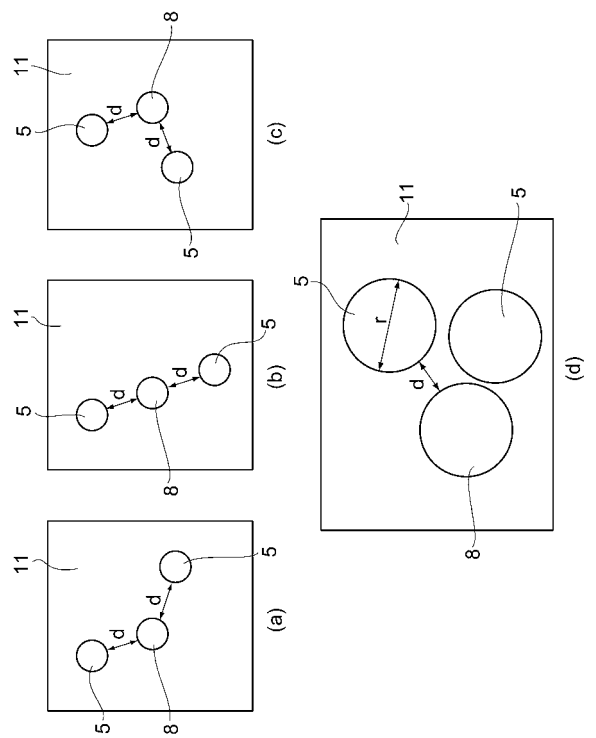
【 図 6 】



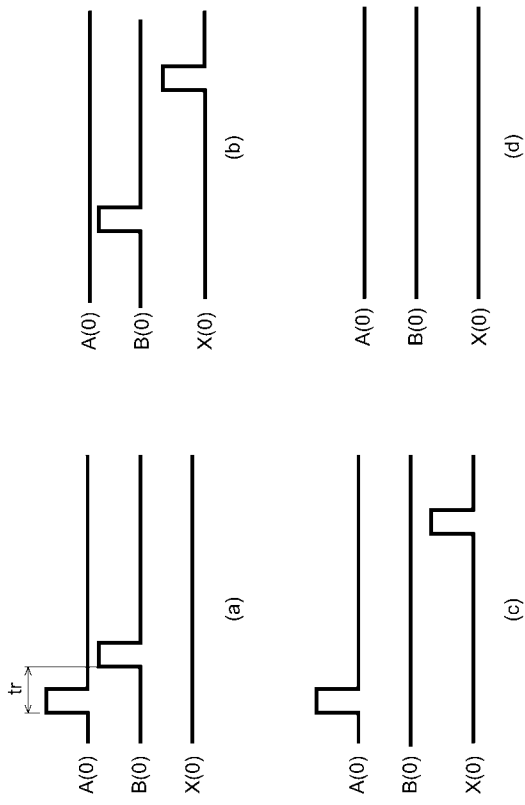
【 図 7 】



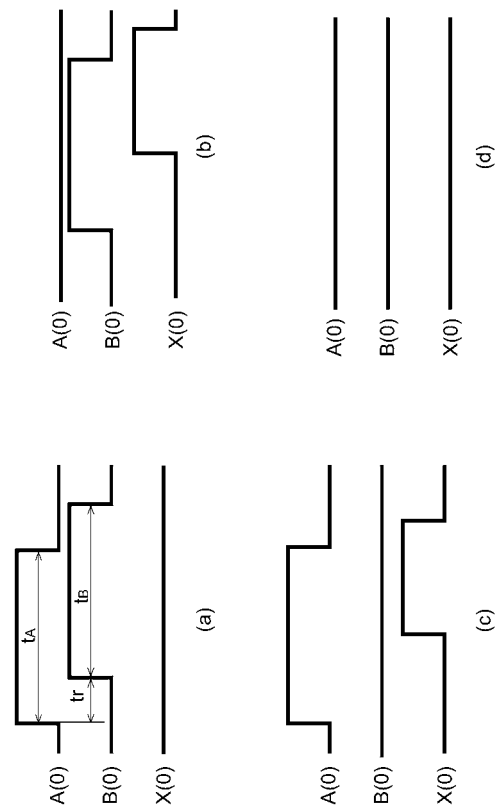
【 図 8 】



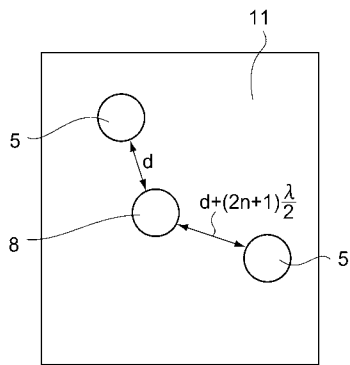
【 図 9 】



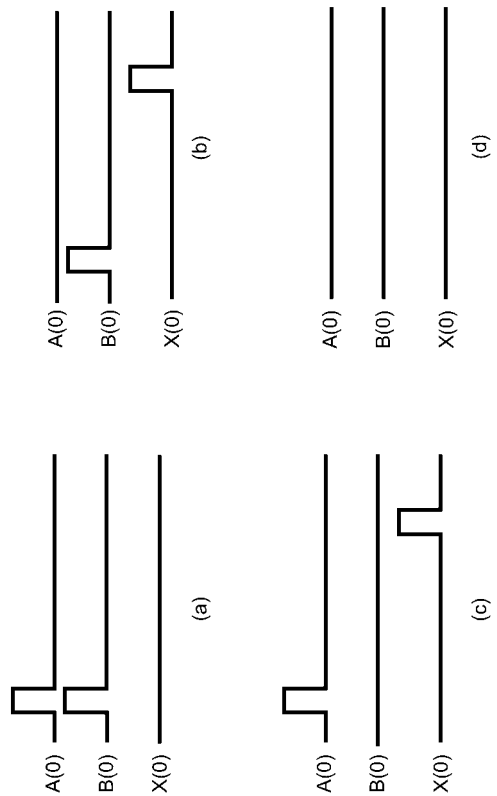
【 図 10 】



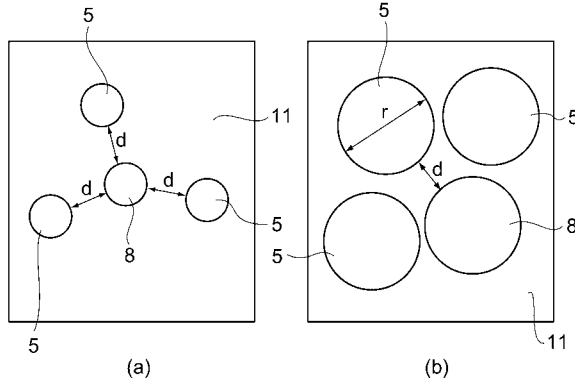
【 図 11 】



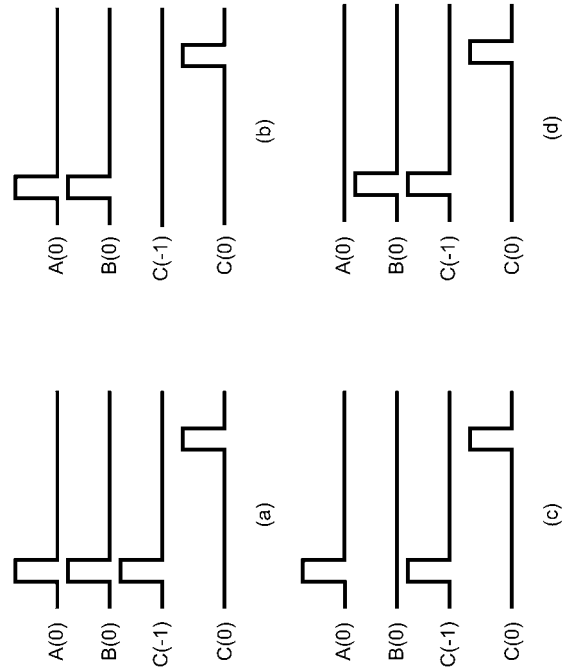
【 図 12 】



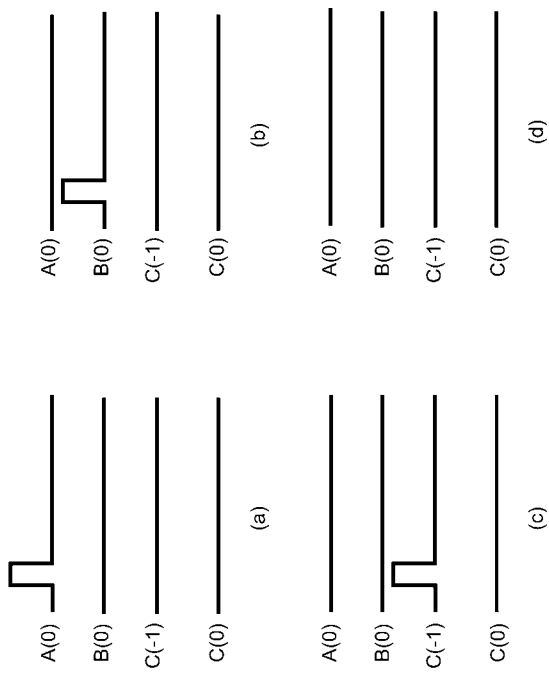
【 図 1 3 】



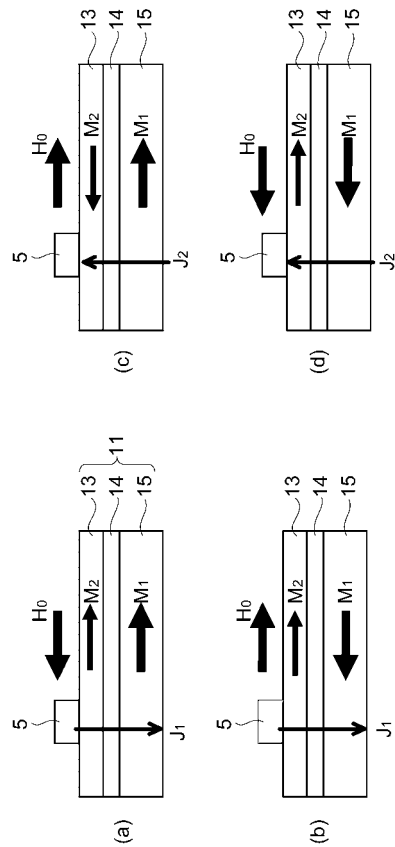
【 図 1 4 】



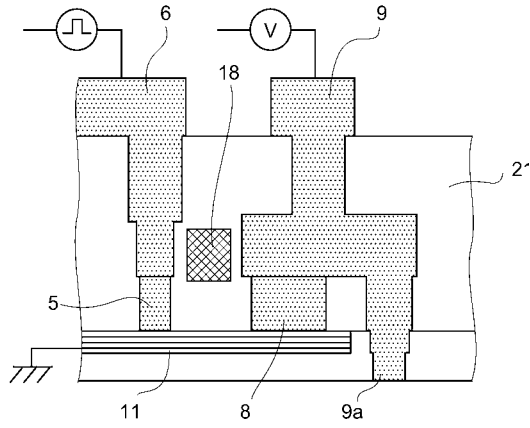
【 図 1 5 】



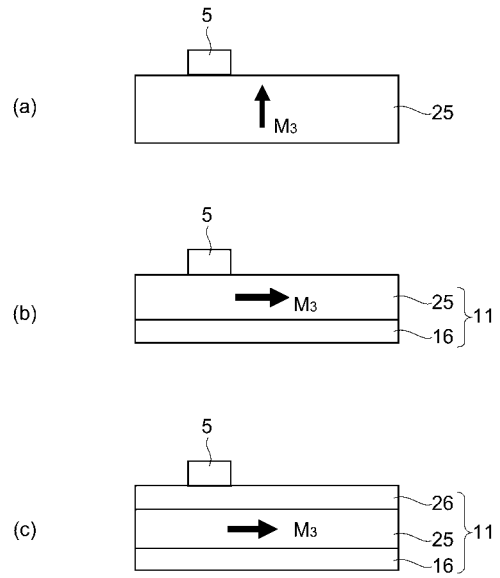
【 図 1 6 】



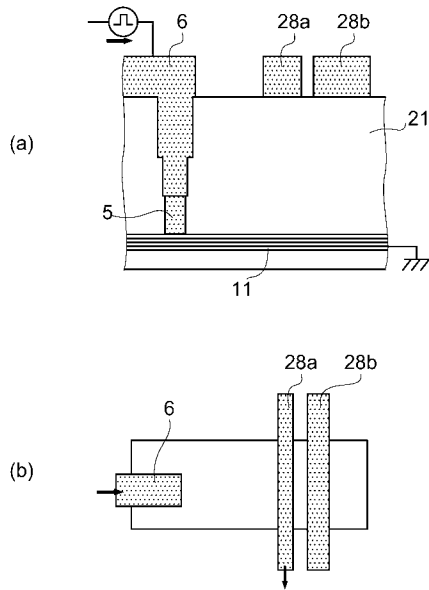
【図 17】



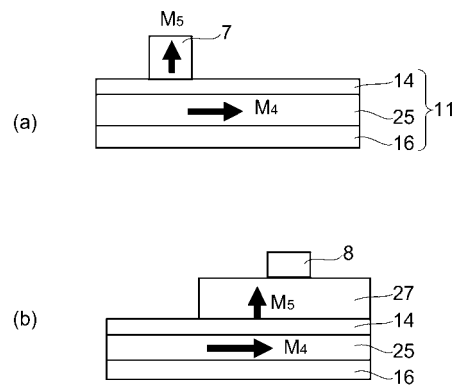
【図 18】



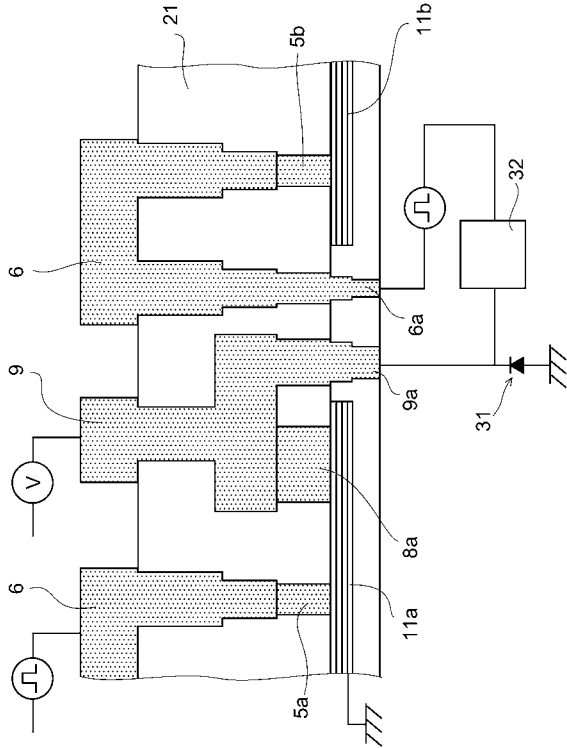
【図 19】



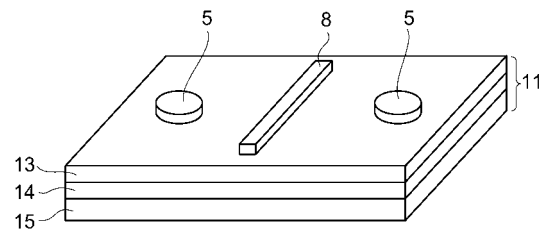
【図 20】



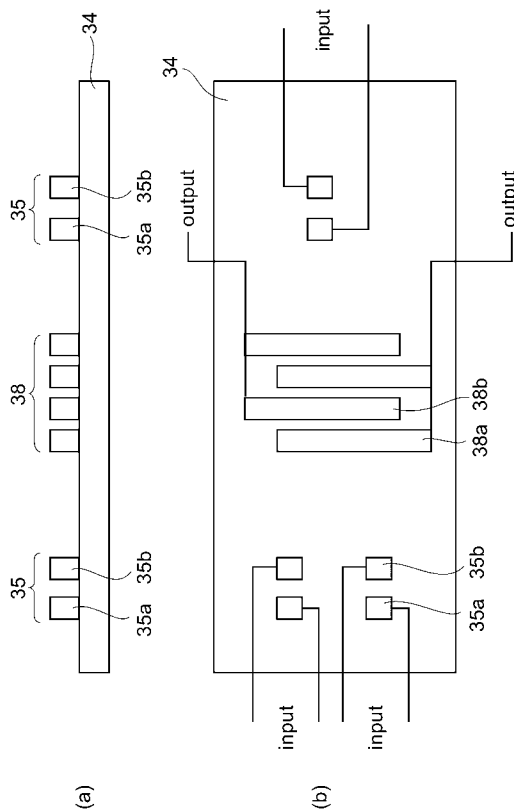
【 図 2 1 】



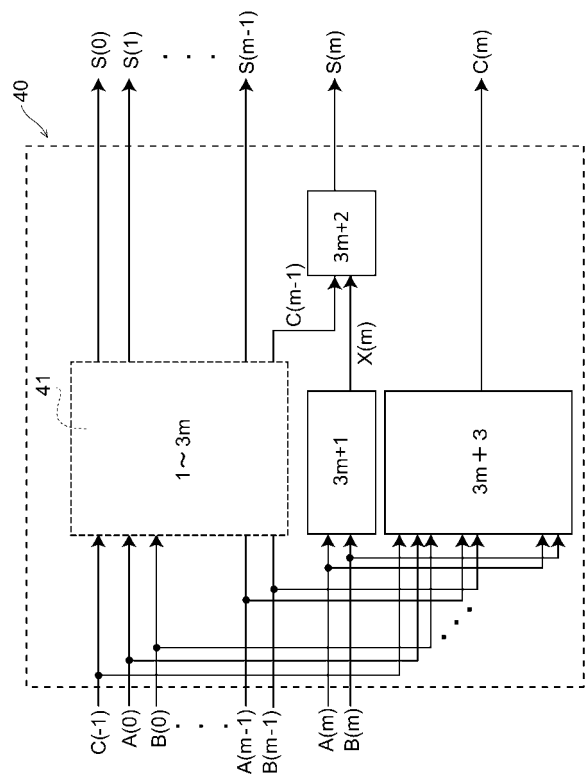
【 図 2 2 】



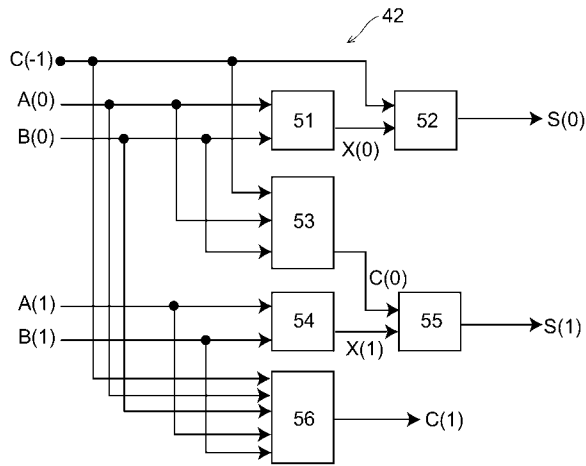
【 図 2 3 】



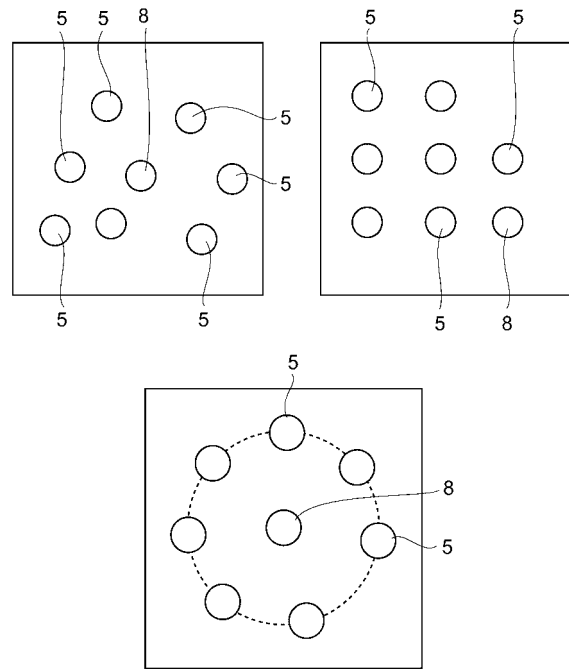
【 図 2 4 】



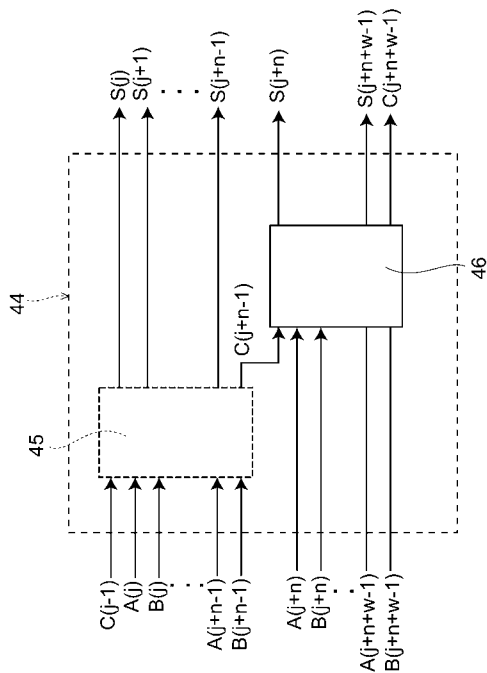
【 図 2 5 】



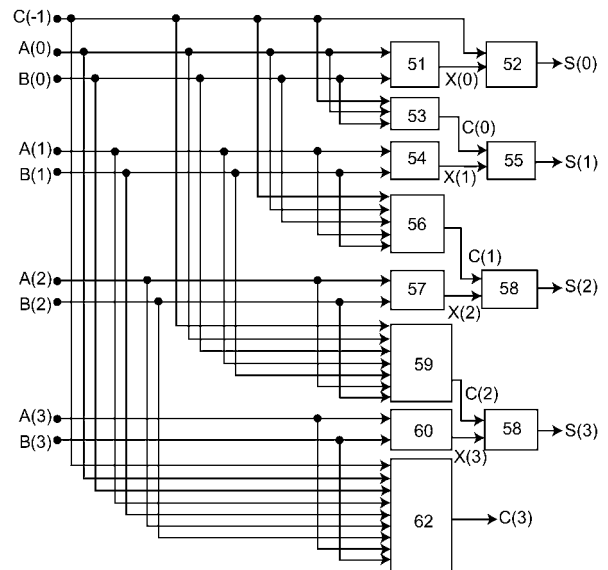
【 図 2 6 】



【 図 2 7 】



【 図 2 8 】



---

フロントページの続き

(72)発明者 近藤 剛  
東京都港区芝浦一丁目1番1号 株式会社東芝内

審査官 田中 友章

(56)参考文献 特開2009-021352(JP,A)  
国際公開第2007/037625(WO,A1)  
特開2009-176948(JP,A)  
H. Meng, et al., "A Spintronics Full Adder for Magnetic CPU", IEEE Electron Device Letters, 2005年6月, Vol.26, No.6, P.360-362

(58)調査した分野(Int.Cl., DB名)  
G06F 7/501  
H01L 43/08