(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号
特許第4627632号
(P4627632)
(45)発行日　平成23年2月9日(2011.2.9)　(24)登録日　平成22年11月19日(2010.11.19)

(51)Int.Cl.　F I
HO1L 23/12 (2006.01)　HO1L 23/12　501P

請求項の数 24　(全 15 頁)

(21)出願番号　特願2004-146645(P2004-146645)
(22)出願日　平成16年5月17日(2004.5.17)
(65)公開番号　特開2005-327994(P2005-327994A)
(43)公開日　平成17年11月24日(2005.11.24)
審査請求日　平成18年8月2日(2006.8.2)

(73)特許権者　308033711
ＯＫＩセミコンダクタ株式会社
東京都八王子市東浅川町５５０番地１
(74)代理人　100079049
弁理士　中島　淳
(74)代理人　100084995
弁理士　加藤　和詳
(74)代理人　100085279
弁理士　西元　勝一
(74)代理人　100099025
弁理士　福田　浩志
(72)発明者　茨木　聡一郎
東京都港区虎ノ門１丁目７番１２号　沖電気工業株式会社内

最終頁に続く

(54)【発明の名称】半導体装置

(57)【特許請求の範囲】
【請求項１】
第１主面に集積回路が形成された半導体チップと、
前記第１主面側に形成されると共に、前記集積回路と電気的に接続される配線層と、
前記第１主面側から前記配線層を封止する封止樹脂層と、
前記第１主面側に形成されると共に、前記配線層と共に前記封止樹脂層により封止され、前記封止樹脂層との接触面の一部に段差部が設けられた段状部材であって、該第１主面側において最外周に沿って一列の列を成すよう配列された最外周段状部材並びに該最外周段状部材よりも内側において複数の行及び複数の列を成すよう配列された内側段状部材を有する複数の該段状部材と、
を備え、
前記配線層は、前記最外周段状部材と電気的に接続されず且つ前記内側段状部材の全てと電気的に接続されて前記第１主面側に延在して形成されていることを特徴とする半導体装置。
【請求項２】
前記段状部材は、階段状の前記段差部が設けられていることを特徴とする請求項１に記載の半導体装置。
【請求項３】
前記段状部材は、その前記接触面の一部に溝が設けられて、前記段差部が設けられていることを特徴とする請求項１に記載の半導体装置。

【請求項４】
前記段状部材は、導電材料で構成されたことを特徴とする請求項１に記載の半導体装置。
【請求項５】
第１主面に集積回路が形成された半導体チップと、
前記第１主面側に形成されると共に、前記集積回路と電気的に接続される配線層と、
前記第１主面側から前記配線層を封止する封止樹脂層と、
前記第１主面側に形成されると共に、前記配線層と共に前記封止樹脂層により封止され、前記封止樹脂層との接触面の一部に段差部が設けられた段状部材であって、該第１主面側において偶数の行及び複数の列を成すよう配列される複数の該段状部材と、
を備え、
前記配線層は、前記段状部材が成す前記偶数の行のうち中央から片側半分の行の段状部材全てと電気的に接続され且つもう片側半分の行の段状部材と電気的に接続されず、前記第１主面の隣接する２角を覆うように該第１主面側に延在していることを特徴とする半導体装置。
【請求項６】
前記段状部材は、階段状の前記段差部が設けられていることを特徴とする請求項５に記載の半導体装置。
【請求項７】
前記段状部材は、その前記接触面の一部に溝が設けられて、前記段差部が設けられていることを特徴とする請求項５に記載の半導体装置。
【請求項８】
前記段状部材は、導電材料で構成されたことを特徴とする請求項５に記載の半導体装置。
【請求項９】
第１主面に集積回路が形成された半導体チップと、
前記第１主面側に形成されると共に、前記集積回路と電気的に接続される配線層と、
前記第１主面側から前記配線層を封止する封止樹脂層と、
前記第１主面側に形成されると共に、前記配線層と共に前記封止樹脂層により封止され、前記封止樹脂層との接触面の一部に段差部が設けられた段状部材であって、該第１主面側において最外周に沿って一列の列を成すよう配列された最外周段状部材並びに該最外周段状部材よりも内側において複数の行及び複数の列を成すよう配列された内側段状部材を有する複数の該段状部材と、
を備え、
前記配線層は、前記最外周段状部材全てと電気的に接続され且つ前記内側段状部材と電気的に接続されず前記第１主面側に延在していることを特徴とする半導体装置。
【請求項１０】
前記段状部材は、階段状の前記段差部が設けられていることを特徴とする請求項９に記載の半導体装置。
【請求項１１】
前記段状部材は、その前記接触面の一部に溝が設けられて、前記段差部が設けられていることを特徴とする請求項９に記載の半導体装置。
【請求項１２】
前記段状部材は、導電材料で構成されたことを特徴とする請求項９に記載の半導体装置。
【請求項１３】
第１主面に集積回路が形成された半導体チップと、
前記第１主面側に形成されると共に、前記集積回路と電気的に接続される配線層と、
前記第１主面側に形成される導電性柱状部材であって、該第１主面側において最外周に沿って一列の列を成すよう配列された最外周導電性柱状部材並びに該最外周導電性柱状部

材よりも内側において複数の行及び複数の列を成すよう配列された内側導電性柱状部材を有する複数の該導電性柱状部材と、
前記第１主面側から前記配線層及び前記複数の導電性柱状部材を封止する封止樹脂層と、
を備え、
前記配線層は、前記最外周導電性柱状部材と電気的に接続されず且つ前記内側導電性柱状部材の全てと電気的に接続されて前記第１主面側に延在して形成されており、
前記内側導電性柱状部材は、外部と電気的に接続される第１導電性柱状部材と、外部と電気的に未接続な第２導電性柱状部材とを含むことを特徴とする半導体装置。
【請求項１４】
前記複数の導電性柱状部材は、前記封止樹脂層との接触面の一部に段差部が設けられていることを特徴とする請求項１３に記載の半導体装置。
【請求項１５】
前記複数の導電性柱状部材は、階段状の前記段差部が設けられていることを特徴とする請求項１４に記載の半導体装置。
【請求項１６】
前記複数の導電性柱状部材は、その前記接触面の一部に溝が設けられて、前記段差部が設けられていることを特徴とする請求項１４に記載の半導体装置。
【請求項１７】
第１主面に集積回路が形成された半導体チップと、
前記第１主面側に形成されると共に、前記集積回路と電気的に接続される配線層と、
前記第１主面側に形成されると共に、該第１主面側において偶数の行及び複数の列を成すよう配列される複数の該導電性柱状部材と、
前記第１主面側から前記配線層及び前記複数の導電性柱状部材を封止する封止樹脂層と、
を備え、
前記配線層は、前記導電性柱状部材が成す前記偶数の行のうち中央から片側半分の行の導電性柱状部材全てと電気的に接続され且つもう片側半分の行の導電性柱状部材と電気的に接続されず、前記第１主面の隣接する２角を覆うように該第１主面側に延在しており、
前記配線層と電気的に接続された導電性柱状部材は、外部と電気的に接続される第１導電性柱状部材と、外部と電気的に未接続な第２導電性柱状部材とを含むことを特徴とする半導体装置。
【請求項１８】
前記複数の導電性柱状部材は、前記封止樹脂層との接触面の一部に段差部が設けられていることを特徴とする請求項１７に記載の半導体装置。
【請求項１９】
前記複数の導電性柱状部材は、階段状の前記段差部が設けられていることを特徴とする請求項１８に記載の半導体装置。
【請求項２０】
前記複数の導電性柱状部材は、その前記接触面の一部に溝が設けられて、前記段差部が設けられていることを特徴とする請求項１８に記載の半導体装置。
【請求項２１】
第１主面に集積回路が形成された半導体チップと、
前記第１主面側に形成されると共に、前記集積回路と電気的に接続される配線層と、
前記第１主面側に形成される導電性柱状部材であって、該第１主面側において最外周に沿って一列の列を成すよう配列された最外周導電性柱状部材並びに該最外周導電性柱状部材よりも内側において複数の行及び複数の列を成すよう配列された内側導電性柱状部材を有する複数の該導電性柱状部材と、
前記第１主面側から前記配線層及び前記複数の導電性柱状部材を封止する封止樹脂層と、

を備え、
前記配線層は、前記最外周導電性柱状部材全てと電気的に接続され且つ前記内側導電性柱状部材と電気的に接続されず前記第１主面側に延在して形成されており、
前記最外周導電性柱状部材は、外部と電気的に接続される第１導電性柱状部材と、外部と電気的に未接続な第２導電性柱状部材とを含むことを特徴とする半導体装置。
【請求項２２】
前記複数の導電性柱状部材は、前記封止樹脂層との接触面の一部に段差部が設けられていることを特徴とする請求項２１に記載の半導体装置。
【請求項２３】
前記複数の導電性柱状部材は、階段状の前記段差部が設けられていることを特徴とする請求項２２に記載の半導体装置。
【請求項２４】
前記複数の導電性柱状部材は、その前記接触面の一部に溝が設けられて、前記段差部が設けられていることを特徴とする請求項２２に記載の半導体装置。
【発明の詳細な説明】
【技術分野】
【０００１】
本発明は、例えば、半導体チップの外面に封止樹脂が形成された半導体装置に関する。
【背景技術】
【０００２】
近年、携帯機器の小型化に伴い、携帯機器に搭載される半導体装置の小型化が要求されている。この要求にこたえるため、半導体チップ外形寸法とほぼ同じ外形寸法を有するチップサイズパッケージ（Ｃｈｉｐ　Ｓｉｚｅ　Ｐａｃｋａｇｅ）と称される半導体装置が出現している。チップサイズパッケージの一形態としては、ウエハレベルチップサイズパッケージ（Ｗａｆｅｒ　Ｌｅｖｅｌ　Ｃｈｉｐ　Ｓｉｚｅ　Ｐａｃｋａｇｅ）もしくはウエハレベルチップスケールパッケージ（Ｗａｆｅｒ　Ｌｅｖｅｌ　Ｃｈｉｐ　Ｓｃａｌｅ　Ｐａｃｋａｇｅ）と称される半導体装置が存在する。以下、このようなパッケージは単にＷ－ＣＳＰとして説明される。
【０００３】
半導体装置設計において、ゲート数を増加させるだけでなく、ＬＳＩチップ高速動作時の同時スイッチングノイズ低減のため、電源及びグランドピンを増加させ、インダクタンスを低減させるようとする流れがある。最先端デバイスでは、実に５０％以上のピンが電源グランドに仕様されている場合もある。
【０００４】
また、例えば、特開２０００－２４３７８５や、特開２００３－１７５３０で開示されているように、封止樹脂による圧力のために半導体チップが変形してしまうことを防止することを目的として、集積回路と電気的に接続しないダミーバンプを設けることも行われている。
【特許文献１】特開２０００－２４３７８５
【特許文献２】特開２００３－１７５３０
【発明の開示】
【発明が解決しようとする課題】
【０００５】
ところで、パッケージ側からのアプローチとして、パッドを再配置するための再配線により、大きな面積を持つ配線（或いは大きな幅の配線）を形成することによって、電源インピーダンスを低く抑えたいという要求がある。
【０００６】
このような再配線による大きな面積を持つ配線（或いは大きな幅の配線）を形成した場合、従来の構造及び製造方法では、Ｗ－ＣＳＰに熱を加えた際に、封止樹脂にかかる熱応力が高い場合は、樹脂密着効果の低下により、主に再配線と樹脂との接合部に剥離が発生

する等の問題がある。

【０００７】

この問題は、上述のようなダミーバンプを複数設けると、封止樹脂が分断されて熱応力を低減させるため防止できると考えられるが、未だ十分ではないのが現状である。特に、再配線による大きな面積を持つ配線（或いは大きな幅の配線）を形成した場合には顕著である。

【０００８】

一方で、昨今の技術要求により、さらに、電源インピーダンスを低く抑えたいという要求もある。

【０００９】

従って、本発明は、前記従来における諸問題を解決し、以下の目的を達成することを課題とする。即ち、本発明の第１の目的は、樹脂密着効果を向上させ、封止樹脂の剥離をより効果的に防止した半導体装置を提供することである。

さらに、本発明の第２の目的は、樹脂密着効果を向上させ、封止樹脂の剥離をより防止すると共に、電源インピーダンスを低く抑えた半導体装置を提供することである。

【課題を解決するための手段】

【００１０】

上記課題は、以下の手段により解決される。即ち、

第１の本発明の半導体装置における第１の態様は、

第１主面に集積回路が形成された半導体チップと、

前記第１主面側に形成されると共に、前記集積回路と電気的に接続される配線層と、

前記第１主面側から前記配線層を封止する封止樹脂層と、

前記第１主面側に形成されると共に、前記配線層と共に前記封止樹脂層により封止され、前記封止樹脂層との接触面の一部に段差部が設けられた段状部材であって、該第１主面側において最外周に沿って一列の列を成すよう配列された最外周段状部材並びに該最外周段状部材よりも内側において複数の行及び複数の列を成すよう配列された内側段状部材を有する複数の該段状部材と、

を備え、

前記配線層は、前記最外周段状部材と電気的に接続されず且つ前記内側段状部材の全てと電気的に接続されて前記第１主面側に延在して形成されていることを特徴としている。

また、第１の本発明の半導体装置における第２の態様は、

第１主面に集積回路が形成された半導体チップと、

前記第１主面側に形成されると共に、前記集積回路と電気的に接続される配線層と、

前記第１主面側から前記配線層を封止する封止樹脂層と、

前記第１主面側に形成されると共に、前記配線層と共に前記封止樹脂層により封止され、前記封止樹脂層との接触面の一部に段差部が設けられた段状部材であって、該第１主面側において偶数の行及び複数の列を成すよう配列される複数の該段状部材と、

を備え、

前記配線層は、前記段状部材が成す前記偶数の行のうち中央から片側半分の行の段状部材全てと電気的に接続され且つもう片側半分の行の段状部材と電気的に接続されず、前記第１主面の隣接する２角を覆うように該第１主面側に延在していることを特徴としている。

また、第１の本発明の半導体装置における第３の態様は、

第１主面に集積回路が形成された半導体チップと、

前記第１主面側に形成されると共に、前記集積回路と電気的に接続される配線層と、

前記第１主面側から前記配線層を封止する封止樹脂層と、

前記第１主面側に形成されると共に、前記配線層と共に前記封止樹脂層により封止され、前記封止樹脂層との接触面の一部に段差部が設けられた段状部材であって、該第１主面側において最外周に沿って一列の列を成すよう配列された最外周段状部材並びに該最外周段状部材よりも内側において複数の行及び複数の列を成すよう配列された内側段状部材を

有する複数の該段状部材と、
を備え、
前記配線層は、前記最外周段状部材全てと電気的に接続され且つ前記内側段状部材と電気的に接続されず前記第１主面側に延在していることを特徴としている。
【００１１】
第１の本発明の半導体装置では、段状部材が封止する封止樹脂層を部分的に分断して熱応力を低減させると共に、当該段状部材の封止樹脂層との接触面の一部に設けられた段差部の角部によりアンカー効果が引き出され、段状部材と封止樹脂とが強固に密着される。また、段差部を設けた分、段状部材は封止樹脂との接触面積が大きくなり、段状部材表面の微細な凹凸によるアンカー効果が増加して、より強固な密着が実現される。このため、樹脂密着効果を向上させ、封止樹脂の剥離をより効果的に防止することができる。
【００１２】
第１の本発明の半導体装置において、前記段状部材は、階段状の前記段差部が設けられていることが好適である。前記段状部材は、その前記接触面の一部に溝が設けられて、前記段差部が設けられていることが好適である。
【００１３】
第１の本発明の半導体装置において、前記段状部材は、導電材料で構成されたことが好適である。このとき、前記段状部材は、前記配線層と電気的に接続してなることが好適である。
【００１４】
一方、第２の本発明の半導体装置における第１の態様は、
第１主面に集積回路が形成された半導体チップと、
前記第１主面側に形成されると共に、前記集積回路と電気的に接続される配線層と、
前記第１主面側に形成される導電性柱状部材であって、該第１主面側において最外周に沿って一列の列を成すよう配列された最外周導電性柱状部材並びに該最外周導電性柱状部材よりも内側において複数の行及び複数の列を成すよう配列された内側導電性柱状部材を有する複数の該導電性柱状部材と、
前記第１主面側から前記配線層及び前記複数の導電性柱状部材を封止する封止樹脂層と、
を備え、
前記配線層は、前記最外周導電性柱状部材と電気的に接続されず且つ前記内側導電性柱状部材の全てと電気的に接続されて前記第１主面側に延在して形成されており、
前記内側導電性柱状部材は、外部と電気的に接続される第１導電性柱状部材と、外部と電気的に未接続な第２導電性柱状部材とを含むことを特徴としている。
また、第２の本発明の半導体装置における第２の態様は、
第１主面に集積回路が形成された半導体チップと、
前記第１主面側に形成されると共に、前記集積回路と電気的に接続される配線層と、
前記第１主面側に形成されると共に、該第１主面側において偶数の行及び複数の列を成すよう配列される複数の該導電性柱状部材と、
前記第１主面側から前記配線層及び前記複数の導電性柱状部材を封止する封止樹脂層と、
を備え、
前記配線層は、前記導電性柱状部材が成す前記偶数の行のうち中央から片側半分の行の導電性柱状部材全てと電気的に接続され且つもう片側半分の行の導電性柱状部材と電気的に接続されず、前記第１主面の隣接する２角を覆うように該第１主面側に延在しており、
前記配線層と電気的に接続された導電性柱状部材は、外部と電気的に接続される第１導電性柱状部材と、外部と電気的に未接続な第２導電性柱状部材とを含むことを特徴としている。
また、第２の本発明の半導体装置における第３の態様は、
第１主面に集積回路が形成された半導体チップと、

前記第１主面側に形成されると共に、前記集積回路と電気的に接続される配線層と、
前記第１主面側に形成される導電性柱状部材であって、該第１主面側において最外周に沿って一列の列を成すよう配列された最外周導電性柱状部材並びに該最外周導電性柱状部材よりも内側において複数の行及び複数の列を成すよう配列された内側導電性柱状部材を有する複数の該導電性柱状部材と、
前記第１主面側から前記配線層及び前記複数の導電性柱状部材を封止する封止樹脂層と、
を備え、
前記配線層は、前記最外周導電性柱状部材全てと電気的に接続され且つ前記内側導電性柱状部材と電気的に接続されず前記第１主面側に延在して形成されており、
前記最外周導電性柱状部材は、外部と電気的に接続される第１導電性柱状部材と、外部と電気的に未接続な第２導電性柱状部材とを含むことを特徴としている。
【００１５】
第２の本発明の半導体装置では、複数の導電性柱状部材が封止する封止樹脂層を分断して熱応力を低減させる。そして、当該複数の導電性柱状部材のうち外部端子と電気的に接続される第１導電性柱状部材及び未接続な第２導電性柱状部材の両方を配線層と電気的に接合させることで、第２導電性柱状部材を設けた分、配線層の面積が実質的に大きくなる。このため、樹脂密着効果を向上させ、封止樹脂の剥離をより防止すると共に、電源インピーダンスを低く抑えることができる。
【００１６】
第２の本発明の半導体装置において、前記複数の導電性柱状部材は、前記封止樹脂層との接触面の一部に段差部が設けられていることが好適である。このとき、前記複数の導電性柱状部材は、階段状の前記段差部が設けられていることが好適である。また、前記複数の導電性柱状部材は、その前記接触面の一部に溝が設けられて、前記段差部が設けられていることが好適である。
【発明の効果】
【００１７】
以上、本発明の半導体装置によれば、樹脂密着効果を向上させ、封止樹脂の剥離をより効果的に防止することができる。
また、樹脂密着効果を向上させ、封止樹脂の剥離をより防止すると共に、電源インピーダンスを低く抑えることができる。
【発明を実施するための最良の形態】
【００１８】
以下、本発明について、図面を参照しつつ詳細に説明する。なお、実質的に同一の機能を有する部材には、全図面通して同じ符合を付与して説明する。
【００１９】
（第１の実施形態）
図１は、本発明の第１の実施形態に係る半導体装置を示す概略断面図である。図２は、本発明の第１の実施形態に係る半導体装置における機能バンプ及びダミーバンプを示す部分拡大図である。
【００２０】
本実施形態に係る半導体装置１０は、表面（第１主面）に集積回路（不図示）及び当該集積回路と電気的に接続したパッド１４が形成された半導体チップ１２表面に、その集積回路面を保護するための保護膜１６が設けられており、ポリイミド樹脂膜などからなる層間絶縁膜１８、及びＴｉ層／Ｃｕ層等からなるアンダーバリアメタル（以下ＵＢＭ層）２０を介して、パッド１４を再配置するための配線層２２がパッド１４と電気的に接続して設けられている。
【００２１】
配線層２２上には、当該配線層２２と電気的に接続して機能バンプ２４が設けられ、配線層２２及び機能バンプ２４が封止樹脂層２８で封止されている。そして、封止樹脂層２

８から露出した先端に外部端子として突起電極３０が設けられている。この機能バンプ２４は、例えば銅やタングステンなどの導電性材料から構成され、集積回路を外部と電気的に接続させるためのものである。

【００２２】

一方、配線層２２上には、当該配線層２２と電気的に接続してダミーバンプ２６が設けられ、ダミーバンプ２６も、配線層２２及び機能バンプ２４と共に封止樹脂層２８で封止されている。そして、封止樹脂層２８から露出した先端に外部端子として突起電極３０が設けられている。このダミーバンプ２６は、外部と電気的に未接続なものであり、例えば銅やタングステンなどの導電性材料から構成することで、機能バンプ２４と同一工程で設けることができる。なお、突起電極３０は封止樹脂層２８から露出したダミーバンプ２６の酸化を防止するために設ける。

なお、ダミーバンプ２６を封止樹脂層２８から露出させず、機能バンプ２４に比べ低い高さ（半導体チップ１２の厚み方向の高さ）で設けてダミーバンプ２６が封止樹脂層２８に埋め込まれていてもよい。

【００２３】

機能バンプ２４及びダミーバンプ２６には、封止樹脂層２８と接触する側壁が階段状の段差部を有している。側壁に階段状の段差部を有する機能バンプ２４及びダミーバンプ２６は、例えば、配線層２２上でｎ回フォトリソ及びメッキを順次実施したり、厚メッキを施した後にフォトリソ及びエッチングを順次実施することで、形成することができる。

なお、本実施形態では、機能バンプ２４及びダミーバンプ２６が、段状部材に相当する共に、それぞれ第１導電性柱状部材及び第２導電性柱状部材に相当する。

【００２４】

配線層２２のパターンは、例えば、図３～図６に示すように、半導体チップ１２表面に対して大きな面積（パターニング幅）をもつものである。具体的には、配線層のパターニング幅（図３～図６中ｔと表記）は、最短幅で１５μｍ以上であることがよい。なお、図中、配線層２２上に設けられていないダミーバンプ２６（突起電極３０と共に表記）は、層間絶縁膜１８上に設けられた配線層２２とは電気的に未接続なものである。なお、封止樹脂層２８は省略する。

【００２５】

本実施形態では、機能バンプ２４に加え、ダミーバンプ２６を設けることで、封止樹脂層２８をより多く分断するため、封止樹脂層２８に掛かる熱応力を緩和することができる。

【００２６】

機能バンプ２４及びダミーバンプ２６に段差部を設けることで、段差部における角部によってアンカー効果が引き出され機能バンプ２４及びダミーバンプ２６と封止樹脂層２８とが強固に接着されている。

【００２７】

また、段差部は階段状に設けることで、機能バンプ２４及びダミーバンプ２６により多くの段差部を設けることができ、より高いアンカー効果を引き出させることができる。そして、機能バンプ２４及びダミーバンプ２６に階段状の段差部を設けた分、封止樹脂層２８との接触面積が大きくなり、機能バンプ２４表面の微細な凹凸によるアンカー効果が増加して、より強固な接着が実現される。

【００２８】

また、外部と未接続なダミーバンプ２６を配線層２２と電気的に接続させることで、ダミーバンプ２６を設けた分、配線層２２の面積が実質的に大きくなる。

【００２９】

このため、従来、図３～図６に示すような半導体チップ１２表面に対して大きな面積（パターニング幅）をもつ配線層２２が設けられた半導体装置１０においても、封止樹脂層２８の密着効果を向上させ、封止樹脂層２８の剥離をより効果的に防止することができる。そして、電源インピーダンスを低く抑えることもできる。

【００３０】
（第２の実施形態）
図７は、本発明の第２の実施形態に係る半導体装置を示す概略断面図である。図８は、本発明の第２の実施形態に係る半導体装置における機能バンプ及びダミーバンプを示す部分拡大図である。
【００３１】
本実施形態に係る半導体装置１０は、第１の実施形態において、階段状の段差部を有する機能バンプ２４及びダミーバンプ２６における封止樹脂層２８との接触面に、半導体チップ１２表面に対して垂直方向に深さを持つホール３２（溝）を形成し、さらに段差部を増加させた形態である。
【００３２】
ホール３２は、第１の実施形態における機能バンプ２４に対して、さらに、例えば、エッチングにより設けることができる。また、より階段状の段差部が多段状になった場合、エッチングが困難であるので、ｎ回フォトリソ及びメッキを順次実施することにより、より簡易に、階段状の段差部及びホール３２による段差部が設けられた機能バンプ２４及びダミーバンプ２６を形成することができる。
【００３３】
このように本実施形態では、機能バンプ２４及びダミーバンプ２６に、半導体チップ１２表面に対して垂直方向に深さをもつホール３２（溝）を設けることで、さらに多数の段差部が形成され、第１の実施形態に比べ、さらに優れたアンカー効果を引き出すことができるばかりでなく、接触面積も増加させることができ、さらに効果的に、機能バンプ２４と封止樹脂層２８とが強固に接着される。
【００３４】
（第３の実施形態（参考例））
図９は、参考例に係る第３の実施形態に係る半導体装置を示す概略断面図である。
【００３５】
本実施形態の半導体装置１０は、例えば、配線層２２上に階段状の段差部が設けられた配線層３４を積層した形態である。この階段状の段差部が設けられた配線層３４は、配線層２２と同一工程において、配線層２２上でｎ回フォトリソ及びメッキを順次実施したり、厚メッキを施した後にフォトリソ及びエッチングを順次実施することで、形成することができる。これ以外は、第１の実施形態と同様なので、説明を省略する。
【００３６】
なお、本実施形態では、階段状の段差部が設けられた配線層３４が、段状部材に相当する。また、図中、機能バンプ２４は省略している。
【００３７】
このように、本実施形態では、上記第１の実施形態と同様に、従来、図３～図６に示すような半導体チップ１２表面に対して大きな面積（パターニング幅）をもつ配線層２２が設けられた半導体装置１０においても、階段状の段差部が設けられた配線層３４により、封止樹脂層２８の密着効果を向上させ、封止樹脂層２８の剥離をより効果的に防止することができる。そして、電源インピーダンスを低く抑えることもできる。
【００３８】
（第４の実施形態（参考例））
図１０は、参考例に係る第４の実施形態に係る半導体装置を示す概略断面図である。
【００３９】
本実施形態の半導体装置１０は、第３実施形態おいて、さらに第２の実施形態と同様に、半導体チップ１２表面に対して垂直方向に深さを持つホール３２（溝）を階段状の段差部が設けられた配線層３４に形成し、さらに段差部を増加させた形態である。
【００４０】
このように本実施形態では、第２の実施形態と同様に、半導体チップ１２表面に対して垂直方向に深さをもつホール３２（溝）を配線層３４に設けることで、さらに多数の段差

部が形成され、第３の実施形態に比べ、さらに優れたアンカー効果を引き出すことができるばかりでなく、接触面積も増加させることができ、さらに効果的に、ダミーバンプ２６と封止樹脂層２８とが強固に接着される。

【００４１】

（第５の実施形態）

図１１は、本発明の第５の実施形態に係る半導体装置を示す概略断面図である。

【００４２】

本実施形態の半導体装置１０は、第１の実施形態において、機能バンプ２４及びダミーバンプ２６に階段状の段差部を設けない形態である。

【００４３】

本実施形態では、例えば、ダミーバンプ２６を多数設けた場合、十分にダミーバンプ２６によって封止樹脂層２８の分断が行われ、十分に封止樹脂層２８に掛かる熱応力を緩和することができる。このため、第１及び第２実施形態に比べ、複雑なフォトリソ工程、メッキ工程を削減しつつ、封止樹脂層２８の密着効果を向上させ、封止樹脂層２８の剥離をより効果的に防止することができる。そして、電源インピーダンスを低く抑えることもできる。

【００４４】

ここで、何れの本実施形態に係る半導体装置１０は、上述のように、ウエハ状態でパッケージングを行った後、個片化して得られるチップサイズとほぼ等しい外形寸法を有するＷ－ＣＳＰと呼ばれるチップサイズパッケージを示しているが、これに限定されず、本発明は配線層２２上を封止樹脂層２８により覆う構成の半導体装置には適用可能である。なお、Ｗ－ＣＳＰついては例えば特開平９－６４０４９号に詳細に開示されている。

【００４５】

なお、上記何れの実施形態に係る本発明の半導体装置においても、限定的に解釈されるものではなく、本発明の要件を満足する範囲内で実現可能であることは、言うまでもない。

【図面の簡単な説明】

【００４６】

【図１】本発明の第１の実施形態に係る半導体装置を示す概略断面図である。

【図２】本発明の第１の実施形態に係る半導体装置における機能バンプ及びダミーバンプを示す部分拡大図である。

【図３】本発明の第１の実施形態に係る半導体装置を示す概略平面図である。

【図４】本発明の第１の実施形態に係る半導体装置の他の例を示す概略平面図である。

【図５】本発明の第１の実施形態に係る半導体装置の他の例を示す概略平面図である。

【図６】本発明の第１の実施形態に係る半導体装置の他の例を示す概略平面図である。

【図７】本発明の第２の実施形態に係る半導体装置を示す概略断面図である。

【図８】本発明の第２の実施形態に係る半導体装置における機能バンプ及びダミーバンプを示す部分拡大図である。

【図９】参考例に係る第３の実施形態に係る半導体装置を示す概略断面図である。

【図１０】参考例に係る第４の実施形態に係る半導体装置を示す概略断面図である。

【図１１】本発明の第５の実施形態に係る半導体装置を示す概略断面図である。

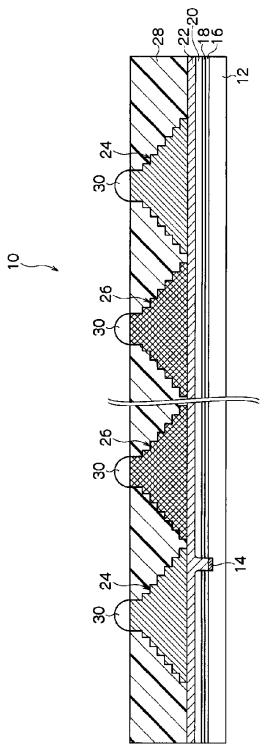
【符号の説明】

【００４７】

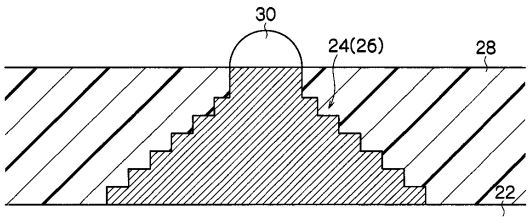
１０　半導体装置
１２　半導体チップ
１４　パッド
１６　保護膜
１８　層間絶縁膜
２２　配線層
２４　機能バンプ２４

２６　ダミーバンプ
２８　封止樹脂層
３０　突起電極
３２　ホール

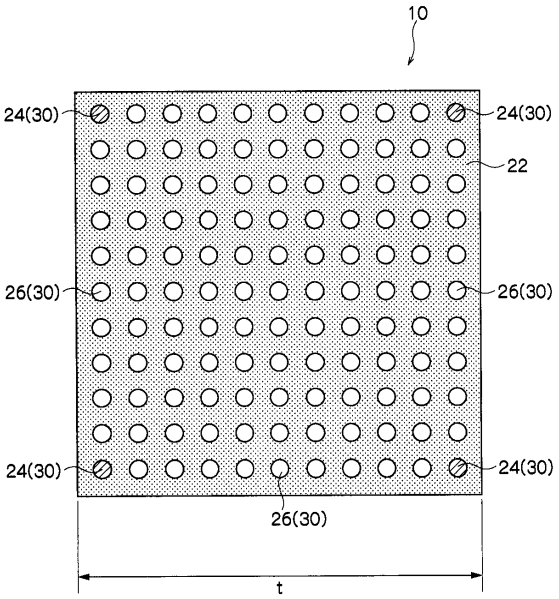
【図１】



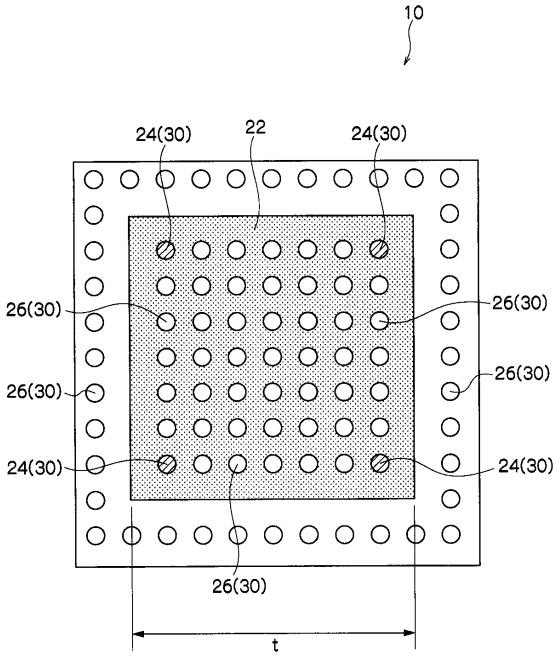
【図２】



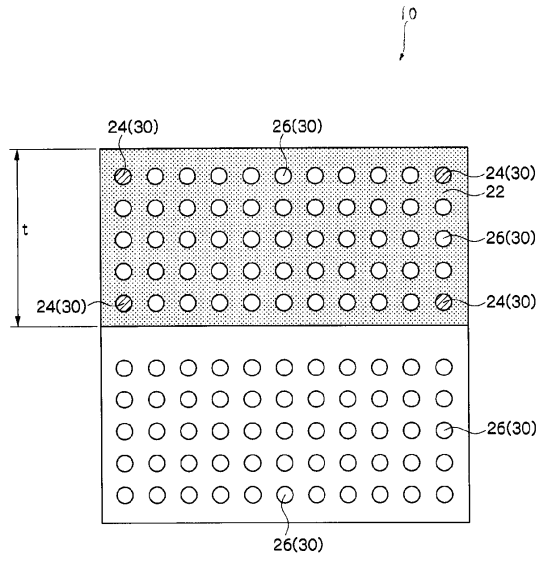
【図３】


10
24(30)
24(30)
22
26(30)
26(30)
24(30)
24(30)
26(30)
t

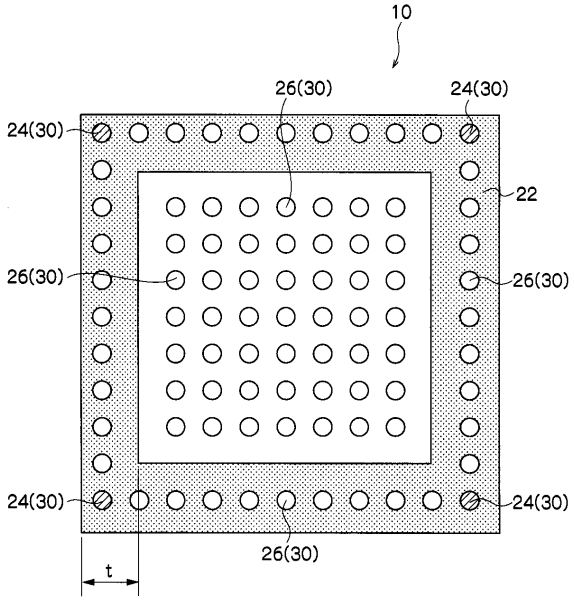
【図４】


10
24(30)
22
24(30)
26(30)
26(30)
26(30)
26(30)
24(30)
24(30)
26(30)
t

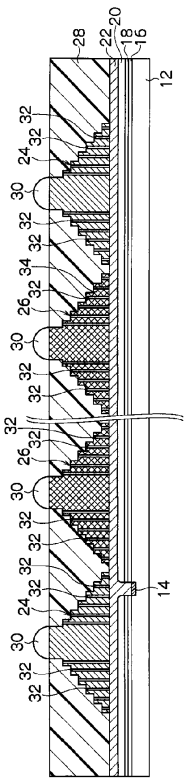
【図５】


10
24(30)
26(30)
t
24(30)
22
26(30)
24(30)
24(30)
26(30)
26(30)

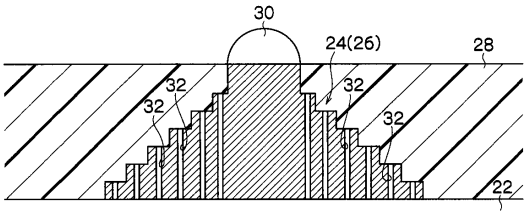
【図６】


10
26(30)
24(30)
24(30)
22
26(30)
26(30)
24(30)
24(30)
26(30)
t

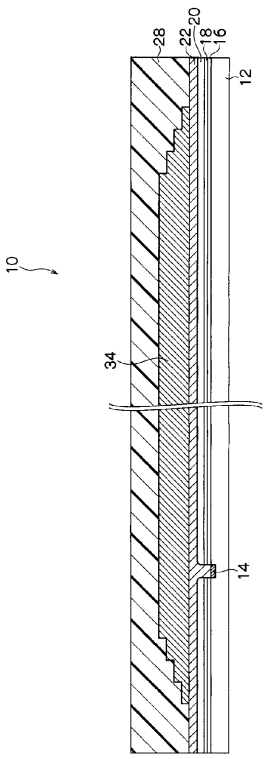
【図７】


28
22
20
18
16
12
32
24
30
34
26
14

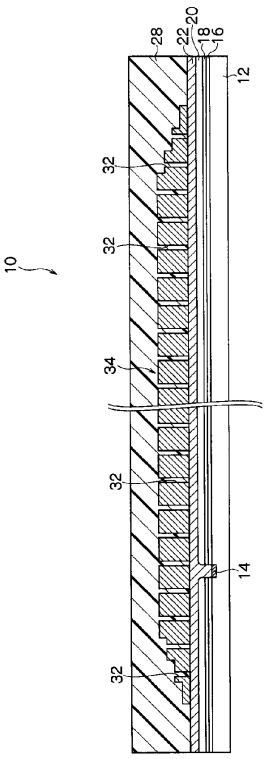
【図８】


30
24(26)
28
32
22

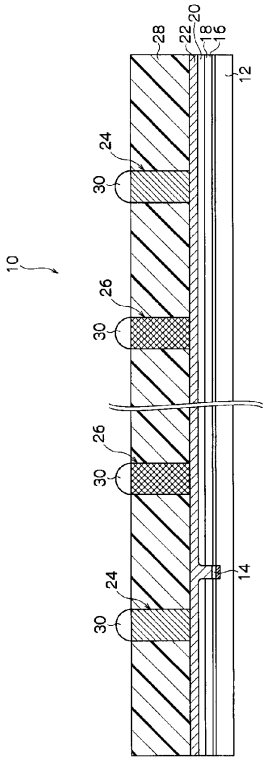
【図９】


28
22
20
18
16
12
10
34
14

【図１０】


28
22
20
18
16
12
10
32
34
14

【図１１】



フロントページの続き

審査官　宮崎　園子

(56)参考文献　特開平０９－０６４０４９（ＪＰ，Ａ）
特開２０００－２５２３１４（ＪＰ，Ａ）
特開２００１－１１８８７６（ＪＰ，Ａ）
特開２００３－０１７５３０（ＪＰ，Ａ）
特開２０００－２４３７８５（ＪＰ，Ａ）
特開平０４－０３７０３３（ＪＰ，Ａ）
特開平１０－１３５２１８（ＪＰ，Ａ）
特開２００１－０９３９３２（ＪＰ，Ａ）
特開平０８－０８３８６５（ＪＰ，Ａ）
特開２００３－１２４３９１（ＪＰ，Ａ）
特開２００４－１７２１６３（ＪＰ，Ａ）

(58)調査した分野(Int.Cl.，ＤＢ名)
Ｈ０１Ｌ　２３／１２