

(19)日本国特許庁(JP)

(12)特許公報(B2)

(11)特許番号
特許第7681808号
(P7681808)

(45)発行日 令和7年5月22日(2025.5.22)

(24)登録日 令和7年5月14日(2025.5.14)

(51)国際特許分類		F I	
G 0 9 F	9/30 (2006.01)	G 0 9 F	9/30 3 4 8 A
G 0 9 F	9/40 (2006.01)	G 0 9 F	9/40 3 0 1
G 0 9 F	9/33 (2006.01)	G 0 9 F	9/30 3 3 8
H 0 1 L	21/60 (2006.01)	G 0 9 F	9/33
		G 0 9 F	9/30 3 3 0
請求項の数 22 (全54頁) 最終頁に続く			
(21)出願番号	特願2024-538957(P2024-538957)	(73)特許権者	512187343
(86)(22)出願日	令和4年9月13日(2022.9.13)		三星ディスプレイ株式会社
(65)公表番号	特表2025-501636(P2025-501636 A)		S a m s u n g D i s p l a y C o . , L t d .
(43)公表日	令和7年1月22日(2025.1.22)		大韓民国京畿道龍仁市器興区三星路 1
(86)国際出願番号	PCT/KR2022/013618		1, S a m s u n g - r o , G i h e
(87)国際公開番号	WO2023/146054		u n g - g u , Y o n g i n - s i ,
(87)国際公開日	令和5年8月3日(2023.8.3)		G y e o n g g i - d o , R e p u b
審査請求日	令和6年6月26日(2024.6.26)		l i c o f K o r e a
(31)優先権主張番号	10-2022-0012665	(74)代理人	100121382
(32)優先日	令和4年1月27日(2022.1.27)		弁理士 山下 託嗣
(33)優先権主張国・地域又は機関	韓国(KR)	(72)発明者	チェ, ナク チョ
			大韓民国, 1 7 1 1 3 キョンギード,
			ヨンインーシ, ギフンーグ, サムソナー
			口 1
			最終頁に続く

(54)【発明の名称】 表示装置およびこれを含むタイル型表示装置

(57)【特許請求の範囲】

【請求項1】

表示領域および前記表示領域の周辺の非表示領域を含む基板と、
前記基板の第1面上において、前記表示領域に位置する画素回路のトランジスタを含むトランジスタ層と、
前記トランジスタ層の前記非表示領域において、前記画素回路に電氣的に接続されるパッド部と、
前記トランジスタ層上において、前記パッド部と離隔する第1ビア層と、
前記第1ビア層上において、前記第1ビア層の上面の一部を露出させるように前記第1ビア層との段差を有する第2ビア層と、
前記第2ビア層上において、前記第2ビア層の上面の一部を露出させるように前記第2ビア層との段差を有する第3ビア層と、
前記表示領域の前記第3ビア層上において、前記トランジスタに電氣的に連結される発光素子を含む表示素子層と、
前記基板の第2面上に位置するリードラインと、
前記基板の前記第1面、前記基板の前記第2面、および、前記第1面と前記第2面との間にある前記基板の一側面の面上に配置され、前記パッド部と前記リードラインとを互いに電氣的に連結する側面連結ラインと、
前記側面連結ラインの全体をカバーし、前記第2ビア層から露出された前記第1ビア層の前記上面に重畳するオーバーコーティング層と、を含む、表示装置。

【請求項 2】

前記オーバーコーティング層の一端部は、前記第 2 ビア層の一端部と対向する、請求項 1 に記載の表示装置。

【請求項 3】

前記オーバーコーティング層は、前記第 2 ビア層の前記露出された上面の少なくとも一部に重畳し、

前記オーバーコーティング層の一端部は、前記第 3 ビア層の一端部と対向する、請求項 1 に記載の表示装置。

【請求項 4】

前記オーバーコーティング層は、絶縁層を含み、前記絶縁層は、前記側面連結ラインに直接接触し、前記絶縁層は、ブラック顔料を含む、請求項 1 に記載の表示装置。

【請求項 5】

前記トランジスタ層は、

前記トランジスタ上において、前記第 1 ビア層に接触する層間絶縁層を含み、

前記層間絶縁層は、前記第 1 ビア層及び前記パッド部から露出された部分を含む、請求項 1 に記載の表示装置。

【請求項 6】

前記表示素子層は、

前記第 3 ビア層上において、前記発光素子に電氣的に接続される画素電極と、

前記画素電極および前記パッド部上において、前記画素電極の上面の一部および前記パッド部の上面の一部を露出する保護層と、を含み、

前記保護層は、前記層間絶縁層の前記露出された部分、前記第 1 ビア層、前記第 2 ビア層、および前記第 3 ビア層に接触する、請求項 5 に記載の表示装置。

【請求項 7】

前記側面連結ラインは、前記保護層上に位置し、前記層間絶縁層の前記露出された部分と重畳する、請求項 6 に記載の表示装置。

【請求項 8】

前記オーバーコーティング層の一端部は、前記保護層を挟んで前記第 2 ビア層の一端部と対向する、請求項 6 に記載の表示装置。

【請求項 9】

平面上において、前記第 2 ビア層の前記一端部は、第 1 方向に直線に延びる形状を有する、請求項 8 に記載の表示装置。

【請求項 10】

前記オーバーコーティング層は、前記第 2 ビア層の前記露出された上面の少なくとも一部と重畳し、

前記オーバーコーティング層の一端部は、前記保護層を挟んで前記第 3 ビア層の一端部と対向する、請求項 6 に記載の表示装置。

【請求項 11】

平面上において、前記第 2 ビア層の前記一端部は、第 1 方向に直線に延びる形状を有する、請求項 10 に記載の表示装置。

【請求項 12】

前記トランジスタ層上において、前記表示領域で前記第 1 ビア層によってカバーされる第 1 ソース金属層と、

前記表示領域において、前記第 1 ビア層上に位置し、前記第 2 ビア層によってカバーされる第 2 ソース金属層と、

前記表示領域において、前記第 2 ビア層上に位置し、前記第 3 ビア層によってカバーされる第 3 ソース金属層と、をさらに含む、請求項 6 に記載の表示装置。

【請求項 13】

前記パッド部は、

前記第 1 ソース金属層と共に形成される第 1 パッド電極と、

前記第 2 ソース金属層と共に形成され、前記第 1 パッド電極上に直接形成される第 2 パッド電極と、

前記第 3 ソース金属層と共に形成され、前記第 2 パッド電極上に直接形成される第 3 パッド電極と、

前記画素電極と共に形成され、前記第 3 パッド電極上に直接形成される第 4 パッド電極と、を含み、

前記第 1 乃至第 4 パッド電極のそれぞれの一部は、前記保護層に接触する、請求項 1 2 に記載の表示装置。

【請求項 1 4】

前記表示素子層は、

前記表示領域において、前記オーバーコーティング層の一部および前記保護層の上に位置し、ブラック顔料および微細導電粒子を含むブラック異方性導電フィルムをさらに含み、

前記発光素子と前記画素電極は、前記微細導電粒子を介して互いに電氣的に連結される、請求項 6 に記載の表示装置。

【請求項 1 5】

前記基板の前記第 2 面上に配置される第 2 面電極と、

導電性接着部材を介して前記第 2 面電極に電氣的に連結される軟質フィルムと、をさらに含み、

前記側面連結ラインは、前記リードラインを介して前記第 2 面電極に電氣的に連結される、請求項 1 に記載の表示装置。

【請求項 1 6】

前記発光素子は、フリップチップタイプのマイクロ発光ダイオード素子である、請求項 1 に記載の表示装置。

【請求項 1 7】

タイル型表示装置において、

前記タイル型表示装置は、

複数の表示装置と、

前記複数の表示装置の間で前記複数の表示装置を互いに連結する結合領域と、を含み、

前記複数の表示装置のうちの少なくとも 1 つは、

表示領域および前記表示領域の周辺の非表示領域を含む基板と、

前記基板の第 1 面上において、前記表示領域に位置する画素回路のトランジスタを含むトランジスタ層と、

前記トランジスタ層の前記非表示領域において、前記画素回路に電氣的に接続されるパッド部と、

前記トランジスタ層上において、前記パッド部と離隔する第 1 ビア層と、

前記第 1 ビア層上において、前記第 1 ビア層の上面の一部を露出するように前記第 1 ビア層との段差を有する第 2 ビア層と、

前記第 2 ビア層上において、前記第 2 ビア層の上面の一部を露出するように前記第 2 ビア層との段差を有する第 3 ビア層と、

前記表示領域の前記第 3 ビア層上において、前記トランジスタに電氣的に連結される発光素子を含む表示素子層と、

前記基板の第 2 面上に配置されるリードラインと、

前記基板の前記第 1 面、前記基板の前記第 2 面、および、前記第 1 面と前記第 2 面との間の前記基板の側面の面上に配置され、前記パッド部と前記リードラインとを互いに電氣的に連結する側面連結ラインと、

前記側面連結ラインの全体をカバーし、前記第 2 ビア層から露出された前記第 1 ビア層の前記上面と重畳し、ブラック顔料を含むオーバーコーティング層と、を含む、タイル型表示装置。

【請求項 1 8】

前記オーバーコーティング層の一端部は、前記第 2 ビア層の一端部と対向する、請求項

10

20

30

40

50

17に記載のタイル型表示装置。

【請求項19】

前記オーバーコーティング層は、前記第2ビア層の前記露出された上面の少なくとも一部と重畳し、

前記オーバーコーティング層の一端部は、前記第3ビア層の一端部と対向する、請求項17に記載のタイル型表示装置。

【請求項20】

前記表示素子層は、

前記第3ビア層上において、前記発光素子に電氣的に接続される画素電極と、

前記画素電極および前記パッド部上において、前記画素電極の上面の一部および前記パッド部の上面の一部を露出する保護層と、を含み、

前記保護層は、前記第1ビア層、前記第2ビア層、および前記第3ビア層に接触する、請求項17に記載のタイル型表示装置。

【請求項21】

前記オーバーコーティング層の一端部は、前記保護層を挟んで前記第2ビア層の一端部と対向する、請求項20に記載のタイル型表示装置。

【請求項22】

前記発光素子のそれぞれは、フリップチップタイプのマイクロ発光ダイオード素子を含む、請求項17に記載のタイル型表示装置。

【発明の詳細な説明】

【技術分野】

【0001】

本開示の実施例は、表示装置およびこれを含むタイル型表示装置に関する。

【背景技術】

【0002】

近年、情報ディスプレイに対する関心が高まるにつれて、表示装置に関する研究開発が継続的に行われている。例えば、大画面表示装置を作るために、複数の表示装置を互いに連結したタイルド表示装置 (tiled display device) が実用化されている。タイルド表示装置は、所定の大きさを有する複数の表示パネルを互いに連結して大画面を実現する。

【0003】

本背景技術の項目に記載された前記情報は、本開示の背景知識を促すためのものであり、先行技術を構成しない情報を含むことができる。

【発明の概要】

【発明が解決しようとする課題】

【0004】

本開示の1つ以上の実施例は、ブラック顔料を含むオーバーコーティング層を含む表示装置に関する。オーバーコーティング層は、側面連結ライン全体および第2ビア層から露出された第1ビア層の露出された上面をカバーすることができる。

【0005】

本開示の1つ以上の実施例は、前記表示装置を含むタイル型表示装置に関する。

【0006】

ただし、本開示の実施例の態様及び特徴は、前述の説明に限定されるものではなく、本開示の思想及び領域から逸脱しない範囲で多様に拡張可能であろう。

【課題を解決するための手段】

【0007】

本開示の1つ以上の実施例による表示装置は、表示領域および前記表示領域の周辺の非表示領域を含む基板と、前記基板の第1面上において、前記表示領域に位置する画素回路のトランジスタを含むトランジスタ層と、前記トランジスタ層の前記非表示領域において、前記画素回路に電氣的に接続されるパッド部と、前記トランジスタ層上において、前記

パッド部と離隔する第1ビア層と、前記第1ビア層上において、前記第1ビア層の上面の一部を露出させるように前記第1ビア層との段差を有する第2ビア層と、前記第2ビア層上において、前記第2ビア層の上面の一部を露出させるように前記第2ビア層との段差を有する第3ビア層と、前記表示領域の前記第3ビア層上において、前記トランジスタに電氣的に連結される発光素子を含む表示素子層と、前記基板の第2面上に位置するリードラインと、前記基板の前記第1面、前記基板の前記第2面、および、前記第1面と前記第2面との間にある前記基板の一側面の面上に配置され、前記パッド部と前記リードラインとを互いに電氣的に連結する側面連結ラインと、前記側面連結ラインの全体をカバーし、前記第2ビア層から露出された前記第1ビア層の前記上面に重畳するオーバーコーティング層と、を含む。

10

【0008】

一実施例によれば、前記オーバーコーティング層の一端部は、前記第2ビア層の一端部と対向しうる。

【0009】

一実施例によれば、前記オーバーコーティング層は、前記第2ビア層の前記露出された上面の少なくとも一部に重畳し、前記オーバーコーティング層の一端部は、前記第3ビア層の一端部と対向しうる。

【0010】

一実施例によれば、前記オーバーコーティング層は、絶縁層を含み、前記絶縁層は、前記側面連結ラインに直接接触し、前記絶縁層は、ブラック顔料を含むことができる。

20

【0011】

一実施例によれば、前記トランジスタ層は、前記トランジスタ上において、前記第1ビア層に接触する層間絶縁層を含み、前記層間絶縁層は、前記第1ビア層及び前記パッド部から露出された部分を含むことができる。

【0012】

一実施例によれば、前記表示素子層は、前記第3ビア層上において、前記発光素子に電氣的に接続される画素電極と、前記画素電極および前記パッド部上において、前記画素電極の上面の一部および前記パッド部の上面の一部を露出する保護層と、を含むことができる。前記保護層は、前記層間絶縁層の前記露出された部分、前記第1ビア層、前記第2ビア層、および前記第3ビア層に接触することができる。

30

【0013】

一実施例によれば、前記側面連結ラインは、前記保護層上に位置し、前記層間絶縁層の前記露出された部分と重畳しうる。

【0014】

一実施例によれば、前記オーバーコーティング層の一端部は、前記保護層を挟んで前記第2ビア層の一端部と対向しうる。

【0015】

一実施例によれば、平面上において、前記第2ビア層の前記一端部は、第1方向に直線に延びる形状を有することができる。

【0016】

一実施例によれば、前記オーバーコーティング層は、前記第2ビア層の前記露出された上面の少なくとも一部と重畳し、前記オーバーコーティング層の一端部は、前記保護層を挟んで前記第3ビア層の一端部と対向しうる。

40

【0017】

一実施例によれば、平面上において、前記第2ビア層の前記一端部は、第1方向に直線に延びる形状を有することができる。

【0018】

一実施例によれば、前記表示装置は、前記トランジスタ層上において、前記表示領域で前記第1ビア層によってカバーされる第1ソース金属層と、前記表示領域において、前記第1ビア層上に位置し、前記第2ビア層によってカバーされる第2ソース金属層と、前記

50

表示領域において、前記第2ビア層上に位置し、前記第3ビア層によってカバーされる第3ソース金属層と、をさらに含むことができる。

【0019】

一実施例によれば、前記パッド部は、前記第1ソース金属層と共に形成される第1パッド電極と、前記第2ソース金属層と共に形成され、前記第1パッド電極上に直接形成される第2パッド電極と、前記第3ソース金属層と共に形成され、前記第2パッド電極上に直接形成される第3パッド電極と、前記画素電極と共に形成され、前記第3パッド電極上に直接形成される第4パッド電極と、を含むことができる。前記第1乃至第4パッド電極のそれぞれの一部は、前記保護層に接触することができる。

【0020】

一実施例によれば、前記表示素子層は、前記表示領域において、前記オーバーコーティング層の一部および前記保護層の上に位置し、ブラック顔料および微細導電粒子を含むブラック異方性導電フィルムをさらに含み、前記発光素子と前記画素電極は、前記微細導電粒子を介して互いに電氣的に連結されうる。

【0021】

一実施例によれば、前記表示装置は、前記基板の前記第2面上に配置される第2面電極と、導電性接着部材を介して前記第2面電極に電氣的に連結される軟質フィルムと、をさらに含むことができる。前記側面連結ラインは、前記リードラインを介して前記背面電極に電氣的に連結されうる。

【0022】

一実施例によれば、前記発光素子は、フリップチップタイプのマイクロ発光ダイオード素子でありうる。

【0023】

本開示の実施例によるタイル型表示装置は、複数の表示装置と、前記複数の表示装置の間で前記複数の表示装置を互いに連結する結合領域と、を備えることができる。前記複数の表示装置のうちの少なくとも1つは、表示領域および前記表示領域の周辺の非表示領域を含む基板と、前記基板の上面上において、前記表示領域に位置する画素回路のトランジスタを含むトランジスタ層と、前記トランジスタ層の前記非表示領域において、前記画素回路に電氣的に接続されるパッド部と、前記トランジスタ層上において、前記パッド部と離隔する第1ビア層と、前記第1ビア層上において、前記第1ビア層の上面の一部を露出するように前記第1ビア層との段差を有する第2ビア層と、前記第2ビア層上において、前記第2ビア層の上面の一部を露出するように前記第2ビア層との段差を有する第3ビア層と、前記表示領域の前記第3ビア層上において、前記トランジスタに電氣的に連結される発光素子を含む表示素子層と、前記基板の第2面上に配置されるリードラインと、前記基板の前記第1面、前記基板の前記第2面、および、前記第1面と前記第2面との間の前記基板の一側面の面上に配置され、前記パッド部と前記リードラインとを互いに電氣的に連結する側面連結ラインと、前記側面連結ラインの全体をカバーし、前記第2ビア層から露出された前記第1ビア層の前記上面と重畳し、ブラック顔料を含むオーバーコーティング層と、を含むことができる。

【0024】

一実施例によれば、前記オーバーコーティング層の一端部は、前記第2ビア層の一端部と対向することができる。

【0025】

一実施例によれば、前記オーバーコーティング層は、前記第2ビア層の前記露出された上面の少なくとも一部と重畳し、前記オーバーコーティング層の一端部は、前記第3ビア層の一端部と対向することができる。

【0026】

一実施例によれば、前記表示素子層は、前記第3ビア層上において、前記発光素子に電氣的に接続される画素電極と、前記画素電極および前記パッド部上において、前記画素電極の上面の一部および前記パッド部の上面の一部を露出させる保護層と、を含むことがで

10

20

30

40

50

きる。前記保護層は、前記第1ビア層、前記第2ビア層、および前記第3ビア層に接触することができる。

【0027】

一実施例によれば、前記オーバーコーティング層の一端部は、前記保護層を挟んで前記第2ビア層の一端部と対向することができる。

【0028】

一実施例によれば、前記発光素子のそれぞれは、フリップチップタイプのマイクロ発光ダイオード素子でありうる。

【発明の効果】

【0029】

本開示の実施例によれば、表示装置およびこれを含むタイル型表示装置は、側面連結配線全体をカバーするオーバーコーティング層を含むことができる。オーバーコーティング層は、基板上において階段状に配置されるビア層同士の間の段差によるダムに堰き止められて形成されうる。したがって、オーバーコーティング層は、基板上の非表示領域において、ビア層の段差に堰き止められて均一に一方に延びる端部を有することができ、オーバーコーティング層の工程変動 (process capability、例えば、工程ばらつき) を減少させることができる。例えば、パッドプリンティング工程で形成されるオーバーコーティング層の工程変動が減少し、これを含む表示装置製造工程の変動を減少させることができる。したがって、表示装置およびこれを含むタイル型表示装置の製造工程の信頼度ならびに映像品質を改善することができる。

【0030】

ただし、本開示の態様および特徴は、上述の態様および特徴に限定されるものではなく、本開示の思想および領域から逸脱しない範囲で多様に拡張可能であろう。

【図面の簡単な説明】

【0031】

本開示内容の前記および他の態様と特徴は、添付の図面を参照して本開示の例示的で、非限定的な実施の態様についての以下の詳細な説明からより明確に理解されるであろう。

【0032】

【図1】本開示の実施例による表示装置を示す図である。

【図2】図1の表示装置に含まれる画素の一例を示す図である。

【図3】図1の表示装置に含まれる画素の他の一例を示す図である。

【図4】本開示の実施例によるタイル型表示装置を示す図である。

【図5】図1の表示装置の一例を示す平面図である。

【図6】図5の表示装置に含まれる画素回路と発光素子の連結関係の一例を示す図(1)である。

【図7】図5の表示装置に含まれる画素回路と発光素子の連結関係の一例を示す図(2)である。

【図8】図5の表示装置に含まれる画素回路領域、デマックス領域、ファンアウト領域、静電気放電領域、および非表示領域の一例を示す図である。

【図9】図8の静電気放電領域およびファンアウト領域の一部の一例を示す拡大図である。

【図10】本開示の実施例による表示装置を示す斜視図である。

【図11】図10の表示装置の背面の一部の一例を示す図である。

【図12】図10の表示装置の一例を示す断面図である。

【図13a】図12の表示装置の側面連結ラインおよびビア層の一例を示す斜視図である。

【図13b】図10の表示装置の一例を示す斜視図である。

【図14】図10の表示装置の一例を示す断面図である。

【図15】図10の表示装置の一例を示す断面図である。

【図16】図10の表示装置の一例を示す断面図である。

【図17】図10の表示装置の一例を示す断面図である。

【図18】図10の表示装置にオーバーコーティング層を形成する方法の一例を示す図で

10

20

30

40

50

ある。

【図 19】図 10 の表示装置にオーバーコーティング層が形成された一例を示す図である。

【図 20】図 10 の表示装置にオーバーコーティング層を形成する方法の一例を示す図である。

【図 21】図 5 の表示装置に含まれる画素の一例を示す回路図である。

【図 22】図 21 の画素に含まれる画素回路の一例を示すレイアウト図である。

【図 23】図 4 のタイル型表示装置に含まれる表示装置が互いに連結された一例を示す断面図である。

【図 24】図 4 のタイル型表示装置の一例を示すブロック図である。

【発明を実施するための形態】

【0033】

以下、添付の図面を参照して実施例をより具体的に説明し、明細書全体を通じて同一の参照符号は同一の構成要素を示す。しかしながら、本開示は、様々な異なる形態で実現されることができ、ここで説明する実施例にのみ限定されるものとして解釈されるべきではない。むしろ、これらの実施例は、本開示が周到かつ完全であり、本開示の態様および特徴が当業者に十分に伝わるように例示として提供される。したがって、本開示が属する技術分野で通常の知識を有する者が本開示の態様および特徴に対する完全な理解のために必要でないプロセス、要素および技術については説明しないことがある。他の説明がない限り、添付された図面および明細書全体を通じて同じ参照番号は同じ構成要素を示すので、重複する説明は省略する。

【0034】

特定の実施例が異なって実現される場合、特定のプロセスの順序は、説明された順序と異なってもよい。例えば、連続して説明される 2 つの工程が同時にまたは実質的に同時に実行されても、説明された順序と逆の順序で実行されてもよい。

【0035】

図面では、構成要素、層、および領域の相対的なサイズは、明確性のために誇張および／または単純化されうる。“下”、“上”などのような空間的に相対的な用語は、ある構成要素または特徴の他の構成要素または特徴に対する関係を容易に説明するために本明細書で使用的ことができる。空間的に相対的な用語は、図面に示す方向に加えて、使用中または動作中の装置の異なる方向を含むように意図されていると理解されるであろう。例えば、図面で装置を反転させると、“下”と記載される要素は、他の構成要素や特徴の“上”に向くことになる。したがって、例示的な用語“下”は、上下方向の両方を含むことができる。装置は、方向が異なることができ（例えば、90度または他の方向に回転）、ここで使用される空間的に相対的な記述子はそれに応じて解釈されるべきである。

【0036】

図面において、x 軸、y 軸、z 軸は、直交座標系の 3 軸に限定されず、より広い意味で解釈されうる。例えば、x 軸、y 軸および z 軸は、互いに垂直、または実質的に垂直であるか、互いに垂直でない互いに異なる方向を表すことができる。

【0037】

本明細書において、“第 1”、“第 2”、“第 3”などの用語は、様々な構成要素、要素、領域、層、および／またはセクションを説明するために使用されうるが、このような構成要素、要素、領域、層、および／またはセクションはこのような用語によって限定されるべきではないことが理解されるであろう。このような用語は、ある構成要素、要素、領域、層またはセクションを他の構成要素、要素、領域、層またはセクションと区別するために使用される。したがって、以下で説明する第 1 要素、構成要素、領域、層またはセクションは、本発明の思想および範囲を逸脱することなく、第 2 要素、構成要素、領域、層またはセクションと呼ぶことができる。

【0038】

要素または層が他の要素または層に“連結”されるか“結合”されると呼ばれる場合、他の要素または層に直接連結されるかまたは結合されることができ、1 つ以上の介在要素また

10

20

30

40

50

は層が存在し得ることが理解されるであろう。同様に、層、領域、または要素が他の層、領域、または要素に「電氣的に連結」されている場合、他の層、領域、または要素に直接電氣的に連結されるかまたはそれらの間に1つ以上の中間層、領域、または要素を挟んで間接的に電氣的に連結されうる。また、要素または層が2つの要素または層の間にあると言われる場合、2つの要素または層の間にある唯一の要素または層であってもよく、1つ以上の中間要素または層が存在してもよいことが理解されるであろう。

【0039】

本明細書で使用される用語は、特定の実施例を説明するためのものであり、本発明を限定するものではない。本明細書で使用される単数形は、文脈上別段に明示されない限り、複数形も含むことが意図される。本明細書で使用される“含む”、“備える”は、明示された特徴、定数、段階、演算、要素、および／または構成要素の存在を明示するが、1つ以上の他の特徴、定数、および／または構成要素の存在または追加を排除するものではないことが理解されるであろう。段階、作業、要素、構成要素、および／またはそのグループ。本明細書で使用される「および／または」は、1つ以上の関連するリスト項目の任意のそして全ての組み合わせを含む。例えば、“Aおよび／またはB”という表現はA、BまたはAおよびBを表す。要素リストの前にある“少なくとも1つ以上”のような表現は、要素リスト全体を修正し、リストの個々の要素を修正しない。例えば、“a、b、cのうちの少なくとも1つ”、“a、b、cのうちの少なくとも1つ”および“a、b、cからなる群から選ばれた少なくとも1つ”は、a、b、c、aとb、aとc、bとc、a、b、およびcとその変形を表す。

【0040】

本明細書で使用されるように、“実質的に”、“わずかに”およびこれと類似な用語は、程度用語ではなく近似用語として使用され、当業界で通常の技術を有する者が認識できる測定または計算された値の固有な変動を説明するためのものである。また、本発明の実施例を説明する際の“～できる”の使用は、“本発明の1つ以上の実施例”を意味する。本明細書で使用されるように、“使用”という用語は、“活用”という用語と同義とみなすことができる。また、“例示”という用語は、例示または図面を指すためのものである。

【0041】

本明細書に記載される本発明の実施例による電子または電気装置および／またはその他の関連装置または構成要素は、任意の適切なハードウェア、ファームウェア（例えば、アプリケーション別の集積回路）、ソフトウェアまたはソフトウェア、ファームウェアおよびハードウェアの組み合わせを用いて具現化することができる。このような装置の様々な構成要素は、例えば1つの集積回路（IC：Integrated Circuit）チップ上に形成されるか、別度の集積回路チップ上に形成されうる。また、このような素子の様々な構成要素は、フレキシブル印刷回路フィルム、テープキャリアパッケージ（TCP：Tape Carrier Package）、印刷回路基板（PCB：Printed Circuit Board）または一つの基板上に具現化されうる。さらに、このような装置の様々な構成要素は、1つ以上のプロセッサ上で実行され、1つ以上のコンピューティング装置において、コンピュータプログラム命令を実行し、ここで説明する様々な機能を実行するために、他のシステム構成要素と相互作用するプロセスまたはスレッドでありうる。コンピュータプログラム命令は、例えば、RAM（Random Access Memory）のような標準メモリ装置を使用してコンピューティング装置に具現化されうるメモリに保存される。コンピュータプログラム命令は、例えば、CD-ROM、フラッシュドライブのような他の非一時的なコンピュータ読み取り可能な媒体に保存されることもできる。さらに、当業者は、本開示の実施例の様々なコンピューティングデバイスの機能が、1つのコンピューティングデバイスに結合または統合され得るか、または特定のコンピューティングデバイスの機能が例示的な実施例の精神および範囲を逸脱することなく、1つ以上の他のコンピューティングデバイスに分散され得ることを認識するべきである。

【0042】

特に定義しない限り、本明細書で使用されるすべての用語（技術および科学用語を含む）は、本開示が属する技術分野で通常の技術のうちの1つによって一般に理解されるのと同じ意味を有する。また、一般的に使用される辞書で定義されている用語と同じ用語は、本明細書で明示的に定義しない限り、関連技術および／または本明細書の文脈でその意味と一致する意味を有するものと解釈されるべきであり、理想化されるかまたは過度に形式的な意味に解釈されてはならない。

【0043】

図1は、本開示の実施例による表示装置を示す図であり、図2は、図1の表示装置に含まれる画素の一例を示す図であり、図3は、図1の表示装置に含まれる画素の他の一例を示す図である。

【0044】

図1、図2、および図3を参照すると、表示装置1は、画素PXを含むことができる。

【0045】

表示装置1は、動画および／または静止画を表示する装置であって、携帯電話（mobile phone）、スマートフォン（smart phone）、タブレットPC（tablet personal computer）、およびスマートウォッチ（smart watch）、ウォッチフォン（watch phone）、移動通信端末、電子手帳、電子書籍、PMP（portable multimedia player）、ナビゲーション、UMPC（Ultra Mobile PC）などの携帯用電子機器だけでなく、テレビ、ノートパソコン、モニター、広告板、モノのインターネット（internet of things、IOT）装置などの様々な適切な製品の表示画面として用いられることができる。

【0046】

表示装置1（または、表示パネル）は、第1方向DR1に延びる長辺と、第1方向DR1と交差する第2方向DR2に延びる短辺と、を有する長方形形状の平面に形成されうる。第1方向DR1に延びる長辺と第2方向DR2に延びる短辺とが交わるコーナー（corner）は、適切な曲率（例えば、所定の曲率）で丸く形成されるか、または直角に形成されうる。表示装置1の平面形状は四角形に限定されず、他の適切な多角形、円形、または楕円形に形成されてもよい。表示装置1は、平面形または実質的に平面形の表示装置でありうるが、本開示の実施例はこれに限定されない。例えば、表示装置1は、左右側の終端に形成され、一定の曲率を有するか、または変化する曲率を有する曲面部を含んでもよい。その他に、表示装置1は、曲がったり、撓まれたり、ベンディングされたり、折り畳まれたり、巻かれたりすることができるように柔軟に形成されうる。

【0047】

画素PXのそれぞれは、一例として、図2及び図3のように、単位画素UPで表現されうる。単位画素UPのそれぞれは、第1、第2、及び第3画素SP1、SP2、SP3を含むことができる。図2と図3では、単位画素UPが3つの画素SP1、SP2、SP3を含むことを例示したが、本開示の実施例はこれに限定されない。

【0048】

第1画素SP1、第2画素SP2、および第3画素SP3は、互いに異なる色に発光することができる。第1画素SP1、第2画素SP2、および第3画素SP3のそれぞれは、長方形、正方形、または菱形の平面形状を有することができる。例えば、第1画素SP1、第2画素SP2、および第3画素SP3のそれぞれは、図2に示すように、第1方向DR1に延びる短辺と第2方向DR2に延びる長辺とを有する長方形の平面形状を有してもよい。別の例として、第1画素SP1、第2画素SP2、および第3画素SP3のそれぞれは、図3に示すように、正方形または菱形の平面形状を有してもよい。

【0049】

一実施例において、図2に示すように、第1画素SP1、第2画素SP2、および第3画素SP3は、第1方向DR1に沿って配列されうる。

【0050】

他の実施例として、第1画素SP1および、第2画素SP2と第3画素SP3は、第1方向DR1に沿って配列され、残りの1つと第1画素SP1は、第2方向DR2に沿って配列されうる。例えば、図3に示すように、第2画素SP2は、第1画素SP1に対して第1方向DR1に配列され、第3画素SP3は、第1画素SP1に対して第2方向DR2に配列されうる。

【0051】

第1画素SP1は、第1光を発光し、第2画素SP2は、第2光を発光し、第3画素SP3は、第3光を発光することができる。第1光は、赤色波長帯域の光であり、第2光は、緑色波長帯域の光であり、第3光は、青色波長帯域の光であり得る。赤色波長帯域は、約600nm乃至750nmの波長帯域であり、緑色波長帯域は、約480nm乃至560nmの波長帯域であり、青色波長帯域は、約370nm乃至460nmの波長帯域であり得るが、本開示の実施例はこれに限定されない。

10

【0052】

第1画素SP1、第2画素SP2、および第3画素SP3のそれぞれは、光を発光する発光素子として、無機半導体を有する無機発光素子を含むことができる。例えば、無機発光素子は、フリップチップ(flip chip)タイプのマイクロLED(Light Emitting Diode)であり得るが、本開示の実施例はこれに限定されない。

【0053】

図2及び図3に示すように、第1画素SP1の面積、第2画素SP2の面積、および第3画素SP3の面積は、同じであるか、または実質的に同じでありうるが、本開示の実施例はこれに限定されない。画素の面積は、該当画素に含まれる発光素子(または、光源)の平面積、または発光素子の発光領域の平面積として理解できる。

20

【0054】

第1画素SP1の面積、第2画素SP2の面積、および第3画素SP3の面積のうちの少なくともいずれか1つは、他の面積と異なってもよい。他の例として、第1画素SP1の面積、第2画素SP2の面積、および第3画素SP3の面積のうちのいずれか2つは、同じか、または実質的に同じであり、残りの1つは、前記の2つと異なってもよい。別の例として、第1画素SP1の面積、第2画素SP2の面積、および第3画素SP3の面積は、互いに異なってもよい。

【0055】

図4は、本開示の実施例によるタイル型表示装置を示す図である。

30

【0056】

図4を参照すると、タイル型表示装置TDは、複数の表示装置10-1、10-2、10-3、10-4を含むことができる。

【0057】

表示装置10-1、10-2、10-3、10-4は、格子状に配列されうるが、本開示の実施例はこれに限定されない。表示装置10-1、10-2、10-3、10-4が第1方向DR1(例えば、X軸方向)または第2方向DR2(例えば、Y軸方向)に互いに連結されることにより、タイル型表示装置TDは、適切な形状(例えば、所定の特定形状)を有することができる。例えば、表示装置10-1、10-2、10-3、10-4のそれぞれは、互いに同じか、または実質的に同じ大きさを有することができるが、本開示の実施例はこれに限定されない。他の例として、表示装置10-1、10-2、10-3、10-4のうちの少なくとも一部は、残りとは異なる大きさを有してもよい。

40

【0058】

表示装置10-1、10-2、10-3、10-4は、第1乃至第4表示装置10-1、10-2、10-3、10-4を含むことができる。表示装置10-1、10-2、10-3、10-4の間の数および結合関係は、図4に示す実施例に限定されない。表示装置10-1、10-2、10-3、10-4の数は、表示装置10-1、10-2、10-3、10-4の大きさおよび/またはタイル型表示装置TDの大きさに応じて決定される。

50

【0059】

第1乃至第4表示装置10-1、10-2、10-3、10-4は、装着フレーム（例えば、所定の装着フレーム）に固定されて、大画面の映像を実現することができる。

【0060】

第1乃至第4表示装置10-1、10-2、10-3、10-4のそれぞれは、長辺と短辺とを含む矩形形状でありうる。第1乃至第4表示装置10-1、10-2、10-3、10-4は、長辺または短辺が互いに連結されて配置されうる。第1乃至第4表示装置10-1、10-2、10-3、10-4のうちの一部は、タイル型表示装置TDの縁に配置されて、タイル型表示装置TDの一边をなすことができる。第1乃至第4表示装置10-1、10-2、10-3、10-4の他の一部は、タイル型表示装置TDの角に配置されうるのであり、タイル型表示装置TDの隣接する二つの辺を形成することができる。第1乃至第4表示装置10-1、10-2、10-3、10-4のさらに他の一部は、タイル型表示装置TDの内部に配置されうるのであり、他の表示装置（例えば、周辺の表示装置）によって囲まれうる。

10

【0061】

第1乃至第4表示装置10-1、10-2、10-3、10-4のそれぞれは、表示領域DAおよび非表示領域NDAを含むことができる。表示領域DAは、前記単位画素UPを含み、映像を表示することができる。単位画素UPのそれぞれは、第1、第2、および第3画素SP1、SP2、SP3を含むことができる。第1、第2、および第3画素SP1、SP2、SP3のそれぞれは、マイクロ発光ダイオード（Micro LED）を含むことができる。ただし、本開示の実施例はこれに限定されず、第1、第2、および第3画素SP1、SP2、SP3のそれぞれは、有機発光層を含む有機発光ダイオード（Organic Light Emitting Diode）、量子ドット発光層を含む量子ドット発光素子（Quantum Dot LED）、および無機半導体を含む無機発光ダイオード（Inorganic LED）のうちの1つを含んでもよい。以下では、説明の便宜上、第1、第2、及び第3画素SP1、SP2、SP3のそれぞれがマイクロ発光ダイオードを含むものと仮定して説明する。

20

【0062】

非表示領域NDAは、表示領域DAの周辺に配置され、表示領域DAの少なくとも一部を囲むことができる（例えば、周辺から囲むことができる）。非表示領域NDAは、映像を表示しないのでありうる。

30

【0063】

第1乃至第4表示装置10-1、10-2、10-3、10-4は、表示領域DAにおいて、複数の行と列に沿って配列された第1、第2、及び第3画素SP1、SP2、SP3を含むことができる。第1、第2、及び第3画素SP1、SP2、SP3のそれぞれは、画素定義膜またはバンクによって画定(定義)される発光領域あるいは開口領域を含むことができ、発光領域あるいは開口領域を介して所望のピーク波長（例えば、所定のピーク波長）を有する光を放出することができる。発光領域は、第1、第2及び第3画素SP1、SP2、SP3のそれぞれの発光素子で生成された光が、第1乃至第4表示装置10-1、10-2、10-3、10-4の外部に放出される領域であり得る。

40

【0064】

第1、第2及び第3画素SP1、SP2、SP3は、表示領域DAの第1方向DR1に沿って順次繰り返し配置されうる。

【0065】

タイル型表示装置TDは、全体的に平面的な形状を有することができるが、これに限定されない。タイル型表示装置TDは、立体的な形状を有することにより、ユーザに立体感を与えることができる。例えば、タイル型表示装置TDが立体的な形状を有する場合、第1乃至第4表示装置10-1、10-2、10-3、10-4のうちの少なくとも一部は、カーブした（湾曲した；Curved）形状を有することができる。他の例として、第1乃至第4表示装置10-1、10-2、10-3、10-4のそれぞれは平面形状を有

50

し、互いに適切な角度（例えば、所定の角度）で連結されることにより、タイル型表示装置TDは、立体的な形状を有することができる。

【0066】

タイル型表示装置TDは、表示領域DAの間に配置される結合領域SMを含むことができる。タイル型表示装置TDは、隣接する表示装置のそれぞれの非表示領域NDAが連結されて形成されうる。第1乃至第4表示装置10-1、10-2、10-3、10-4は、結合領域SMに（例えば、結合領域SM内に、または結合領域SM上に）配置される結合部材または接着部材を介して互いに連結されうる。

【0067】

第1乃至第4表示装置10-1、10-2、10-3、10-4のそれぞれの表示領域DA間の距離は、結合領域SMがユーザに認識されないほど小さいか、または最小化することができる。例えば、第1表示装置10-1の画素と第2表示装置10-2の画素との間の第1水平画素ピッチHPP1は、第2表示装置10-2の画素の間の第2水平画素ピッチHPP2と同じか、または実質的に同じでありうる。第1表示装置10-1の画素と第3表示装置10-3の画素との間の第1垂直画素ピッチVPP1は、第3表示装置10-3の画素の間の第2垂直画素ピッチVPP2と同じか、または実質的に同じでありうる。

【0068】

したがって、タイル型表示装置TDは、第1乃至第4表示装置10-1、10-2、10-3、10-4間の結合領域SMがユーザに認識されるのを防止または実質的に防止することにより、第1乃至第4表示装置10-1、10-2、10-3、10-4間の断絶感を改善（例えば、低減）し、映像の没入度を向上させることができる。

【0069】

図5は、図1の表示装置の一例を示す平面図である。

【0070】

図4及び図5を参照すると、表示装置10は、表示領域DAおよび非表示領域NDAを含むことができる。

【0071】

図4の第1乃至第4表示装置10-1、10-2、10-3、10-4は、図5に示す表示装置10と同じか、または実質的に同じ（あるいは、類似する）構成を有することができる。

【0072】

一実施例において、表示領域DAは、画素回路領域CCA、デマックス領域DMA、ファンアウト領域FOA、および静電気放電領域ESAを含むことができる。一実施例において、デマックス領域DMA、ファンアウト領域FOA、および静電気放電領域ESAは、表示領域DAの少なくとも一側の縁に配置されうる。

【0073】

図5には、デマックス領域DMA、ファンアウト領域FOA、および静電気放電領域ESAが、表示領域DAの上側縁に配置されるものとして示されているが、これらの配置位置はこれに限定されない。他の例として、デマックス領域DMA、ファンアウト領域FOA、および静電気放電領域ESAの少なくとも1つは、表示装置10の下側縁、左側縁、および右側縁のうちの少なくとも1つにさらに配置されうる。

【0074】

非表示領域NDAは、複数のパッド部PADを含むことができる。一実施例において、パッド部PADは、信号線（例えば、所定の信号線）を介して表示装置10の背面に配置される各種駆動回路と表示領域DAの回路とを互いに電氣的に連結することができる。

【0075】

単位画素UPは、第1、第2、および第3画素SP1、SP2、SP3を含むことができる。第1、第2、および第3画素SP1、SP2、SP3は、それぞれ第1画素電極ETL1（例えば、アノードANDまたは画素電極）および第2画素電極ETL2（例えば、カソードCTDまたは共通電極）を含むことができる。例えば、画素行のそれぞれにお

10

20

30

40

50

いて、第1画素SP1の第1及び第2画素電極ETL1、ETL2、第2画素SP2の第1及び第2画素電極ETL1、ETL2、及び、第3画素SP3の第1及び第2画素電極ETL1、ETL2が、第1方向DR1に沿って配列が繰り返されうる。

【0076】

第1画素SP1は、第1画素電極ETL1および第2画素電極ETL2に電氣的に連結された第1発光素子ED1を含むことができる。また、第1画素SP1は、これに含まれる第1画素電極ETL1を介して第1発光素子ED1に電氣的に連結される第1画素回路PC1をさらに含むことができる。

【0077】

第2画素SP2は、第1画素電極ETL1および第2画素電極ETL2に電氣的に連結された第2発光素子ED2を含むことができる。第2画素SP2は、これに含まれる第1画素電極ETL1を介して第2発光素子ED2に電氣的に連結される第2画素回路PC2をさらに含むことができる。

10

【0078】

第3画素SP3は、第1画素電極ETL1および第2画素電極ETL2に電氣的に連結された第3発光素子ED3を含むことができる。第3画素SP3は、これに含まれる第1画素電極ETL1を介して第3発光素子ED3に電氣的に連結される第3画素回路PC3をさらに含むことができる。

【0079】

一実施例において、第1発光素子ED1、第2発光素子ED2、および第3発光素子ED3のそれぞれは、これに対応する第1画素電極ETL1および第2画素電極ETL2上に配置されることができ、重畳して位置することができる。第1画素回路PC1、第2画素回路PC2、および第3画素回路PC3は、第1画素電極ETL1および第2画素電極ETL2の下部（または、直下）に配置されうる。

20

【0080】

以下、説明の便宜のため、図面上において、第1画素SP1の第1及び第2画素電極ETL1、ETL2および／または第1発光素子ED1を第1画素SP1として説明する。同様に、第2画素SP2の第1及び第2画素電極ETL1、ETL2および／または第2発光素子ED2を第2画素SP2として説明し、第3画素SP3の第1及び第2画素電極ETL1、ETL2および／または第3発光素子ED3を第3画素SP3として説明する。また、単位画素UPのそれぞれは、前記のように定義された第1、第2、及び第3画素SP1、SP2、SP3を含む構成であると仮定して説明する。

30

【0081】

また、図5では、1つの画素に1つの発光素子が配置されるものとして示したが、本開示の実施例はこれに限定されるものではない。例えば、第1、第2及び第3画素SP1、SP2、SP3のそれぞれは、少なくとも2つの発光素子を含んでもよい。例えば、第1、第2及び第3画素SP1、SP2、SP3のそれぞれは、メイン発光素子ならびにリペア発光素子を含んでもよい。

【0082】

一方、第1、第2及び第3画素SP1、SP2、SP3は、静電気放電領域ESA、ファンアウト領域FOA、デマックス領域DMA、および画素回路領域CCAに（例えば、内部にまたは上に）配置されうる。

40

【0083】

単位画素UPは、均一または実質的に均一な画素ピッチを有するように配列されうる。例えば、第1方向DR1に互いに隣接する単位画素UP同士の間の画素ピッチ（例えば、横間隔）が均一または実質的に均一でありうる。また、第2方向DR2に互いに隣接する単位画素UP間の画素ピッチ（例えば、縦間隔）が均一または実質的に均一でありうる。

【0084】

単位画素UPは、複数の画素行および複数の画素列（例えば、単位画素列）に沿って配列されうる。例えば、第1、第2及び第3画素SP1、SP2、SP3は、第1乃至第9

50

画素行 P R O W 1、P R O W 2、P R O W 3、P R O W 4、P R O W 5、P R O W 6、P R O W 7、P R O W 8、P R O W 9 に、内で配列されうる。第 1 乃至第 9 画素行 P R O W 1、P R O W 2、P R O W 3、P R O W 4、P R O W 5、P R O W 6、P R O W 7、P R O W 8、P R O W 9 は、第 2 方向 D R 2 に沿って順次配列されうる。実際の発光領域を含む第 1 乃至第 9 画素行 P R O W 1、P R O W 2、P R O W 3、P R O W 4、P R O W 5、P R O W 6、P R O W 7、P R O W 8、P R O W 9 が均一または実質的に均一な間隔で配列されることで、映像の異質感などを低減または最小化することができることから、第 1 乃至第 9 画素行 P R O W 1、P R O W 2、P R O W 3、P R O W 4、P R O W 5、P R O W 6、P R O W 7、P R O W 8、P R O W 9 は、実質的に同じ間隔で配列されうる。さらに、図 4 に示されたように、全ての画素行は、均一な間隔で配列されうる。

10

【0085】

画素回路 P C は、画素回路領域 C C A に（例えば、内部にまたは上に）配置されうる。画素回路 P C は、第 1、第 2、および第 3 画素回路 P C 1、P C 2、P C 3 を含むことができる。第 1 画素回路 P C 1 は、第 1 画素 S P 1 の第 1 発光素子 E D 1 に駆動電流を供給することができ、第 2 画素回路 P C 2 は、第 2 画素 S P 2 の第 2 発光素子 E D 2 に駆動電流を供給することができ、第 3 画素回路 P C 3 は、第 3 画素 S P 3 の第 3 発光素子 E D 3 に駆動電流を供給することができる。

【0086】

画素回路 P C は、回路行に沿って配列されうる。第 1、第 2 及び第 3 画素回路 P C 1、P C 2、P C 3 は、第 1 乃至第 9 回路行 C R O W 1、C R O W 2、C R O W 3、C R O W 4、C R O W 5、C R O W 6、C R O W 7、C R O W 8、C R O W 9 において、第 1 方向 D R 1 に沿って繰り返して配列されうる。第 1 乃至第 9 回路行 C R O W 1、C R O W 2、C R O W 3、C R O W 4、C R O W 5、C R O W 6、C R O W 7、C R O W 8、C R O W 9 は、第 2 方向 D R 2 に沿って順次配列されうる。

20

【0087】

第 1 画素行 P R O W 1 は、表示領域 D A の最外郭端（例えば、最上端）に配置されうる。第 1 画素行 P R O W 1 は、表示領域 D A の一側縁または上側縁に配置されうる。

【0088】

静電気放電領域 E S A の静電気放電回路は、第 1、第 2、及び第 3 画素 S P 1、S P 2、S P 3（例えば、第 1 画素電極 E T L 1 および第 2 画素電極 E T L 2）と異なる層に（例えば、内部にまたは上に）配置されうる。一実施例において、第 1 画素行 P R O W 1 は、静電気放電領域 E S A と重畳するのでありうる。これにより、非表示領域 N D A の面積を最小化または低減することができる。

30

【0089】

第 1 画素行 P R O W 1 と第 1 回路行 C R O W 1 は、電氣的に連結されうる。例えば、第 1 画素行 P R O W 1 の画素 S P 1、S P 2、S P 3 は、第 1 回路行 C R O W 1 の画素回路 P C 1、P C 2、P C 3 にそれぞれ連結されうる。

【0090】

一実施例において、第 1 画素行 P R O W 1 と第 1 回路行 C R O W 1 は、所定の異なる構成を挟んで第 2 方向 D R 2 に離隔することができる。例えば、第 1 画素行 P R O W 1 と第 1 回路行 C R O W 1 との間に第 2 画素行 P R O W 2 が配置されうる。また、一実施例において、第 1 画素行 P R O W 1 と第 1 回路行 C R O W 1 との間にファンアウト領域 F O A が配置されうる。ファンアウト領域 F O A のファンアウトラインは、第 1、第 2、および第 3 画素 S P 1、S P 2、S P 3 と異なる層に（例えば、内部にまたは上に）配置されうる。すなわち、非表示領域 N D A を最小化するために、ファンアウト領域 F O A を表示領域 D A の内部に配置することができる。

40

【0091】

ファンアウト領域 F O A のファンアウトラインは、画素回路 P C があるのと同じ層に（例えば、内部にまたは上に）形成されうる。例えば、ファンアウトラインは、表示領域 D A 内の第 1 回路行 C R O W 1 が本来配置されるべき空間に（例えば、内部にまたは上に）

50

形成されうる。また、第1画素行P R O W 1と第2画素行P R O W 2は、他の画素行の間隔と同一に維持されるか、または実質的に同一に維持されなければならないので、第1回路行C R O W 1が第2画素行P R O W 2よりも下側（または、内側）に配置されうる。

【0092】

第2画素行P R O W 2は、第1画素行P R O W 1よりも表示領域D Aの内側に配置されるのであり、縁よりも内側に配置されうる。一実施例において、第2画素行P R O W 2は、ファンアウト領域F O Aと重畳することができる。

【0093】

第2画素行P R O W 2と第2回路行C R O W 2とは、第2方向D R 2に離隔することができる。一実施例において、第2画素行P R O W 2と第2回路行C R O W 2との間に第1回路行C R O W 1および第3画素行P R O W 3が配置されうる。

10

【0094】

一実施例において、第2回路行C R O W 2は、第3画素行P R O W 3と第4画素行P R O W 4との間に配置されうる。第2画素行P R O W 2と第2回路行C R O W 2は、電氣的に連結されうる。例えば、第2画素行P R O W 2の画素S P 1、S P 2、S P 3は、第2回路行C R O W 2の画素回路P C 1、P C 2、P C 3にそれぞれ連結されうる。

【0095】

一実施例において、デマックスD M Xを含むデマックス領域D M Aは、第2画素行P R O W 2と第1回路行C R O W 1との間に配置されうる。デマックスD M Xは、ファンアウトラインから提供されるデータ信号（または、データ電圧）を時分割で対応するデータ線に供給することができる。

20

【0096】

デマックスD M Xは、画素回路P Cがあるのと同じ層に（例えば、内部にまたは上に）形成されうる。例えば、デマックスD M Xは、本来第2回路行C R O W 2が配置されるべき空間に形成されうる。また、第2画素行P R O W 2と第3画素行P R O W 3は、他の画素行の間隔と同一または実質的に同一に維持されなければならないので、第2回路行C R O W 2は、第3画素行P R O W 3よりも下側（または、内側）に配置されうる。

【0097】

第3画素行P R O W 3は、第2画素行P R O W 2よりも表示領域D Aの内側に配置されることができ、縁よりも内側に配置されうる。第3画素行P R O W 3と第3回路行C R O W 3は、第2方向D R 2に離隔することができる。第3画素行P R O W 3と第3回路行C R O W 3との間に第2回路行C R O W 2が配置されうる。前記第3画素行P R O W 3と第3回路行C R O W 3は、互いに電氣的に連結されうる。例えば、第3画素行P R O W 3の画素S P 1、S P 2、S P 3は、第3回路行C R O W 3の画素回路P C 1、P C 2、P C 3にそれぞれ連結されうる。

30

【0098】

第4及び第5画素行P R O W 4、P R O W 5は、第3画素行P R O W 3よりも表示領域D Aの内側に配置されうるのであり、縁よりも内側に配置されうる。第4画素行P R O W 4と第4回路行C R O W 4は、第2方向D R 2に隣接しうるのであり、第5画素行P R O W 5と第5回路行C R O W 5は、第2方向D R 2に隣接しうる。一実施例において、第4及び第5回路行C R O W 4、C R O W 5は、第4画素行P R O W 4と第5画素行P R O W 5との間に配置されうる。第4回路行C R O W 4及び第5回路行C R O W 5は、それぞれ、第4画素行P R O W 4及び第5画素行P R O W 5に、電氣的に連結されうる。

40

【0099】

第6及び第7画素行P R O W 6、P R O W 7は、第5画素行P R O W 5よりも表示領域D Aの内側に配置されることができ、縁の内側に配置されうる。第6及び第7画素行P R O W 6、P R O W 7は、画素回路領域C C Aに（例えば、内部にまたは上に）配置されうる。第6画素行P R O W 6と第6回路行C R O W 6は、第2方向D R 2に隣接しうるのであり、第7画素行P R O W 7と第7回路行C R O W 7は、第2方向D R 2に隣接しうる。第6及び第7回路行C R O W 6、C R O W 7は、第6画素行P R O W 6と第7画素行P R

50

OW 7との間に配置されうる。第6回路行CROW 6と第7回路行CROW 7は、それぞれ、第6画素行PROW 6と第7画素行PROW 7に電氣的に連結されうる。

【0100】

前述のように、画素行のそれぞれは、隣接する画素行と均一または実質的に均一な間隔を維持することができるので、第5画素行PROW 5と第6画素行PROW 6との間には、2つの回路行が配置されるほどの空間が形成されうる。該当空間には、信号線（例えば、所定の信号線）が配置／延長されうる。例えば、2つの画素行間の空き空間にゲート駆動部のステージが配置されうる。

【0101】

第8及び第9画素行PROW 8、PROW 9並びに第8及び第9回路行CROW 8、CROW 9の配置および構成は、第6及び第7画素行PROW 6、PROW 7並びに第6及び第7回路行CROW 6、CROW 7の配置および構成と同じか、または実質的に同じでありうる。

【0102】

また、第7画素行PROW 7と第8画素行PROW 8との間には、2つの回路行が配置されるほどの空間が形成されうる。

【0103】

一実施例において、画素回路PCを駆動するためのゲート信号を出力するゲート駆動部は、画素回路領域CCA内に（または、上に）配置されうる。例えば、第1、第2、及び第3画素回路PC 1、PC 2、PC 3が配置されない空き空間にゲート駆動部のステージが配置されうる。

【0104】

このように、表示装置10の表示領域DA内において、第1乃至第3回路行CROW 1、CROW 2、CROW 3の位置変更によって、デマックス領域DMA、ファンアウト領域FOA、および静電気放電領域ESAが表示領域DA内に含まれることができる。したがって、表示装置10の非表示領域NDAを最小化または低減することができる。

【0105】

さらに、タイル型表示装置TDは、非表示領域NDAの最小化または低減を通じて表示装置10間の間隔を低減することによって、隣接する表示装置10間の画素ピッチが表示装置10のそれぞれの内部の画素ピッチと同じか、または実質的に同じに設計されうる。したがって、ユーザが表示装置10の間の結合領域SMを認識することが防止または最小化され、表示装置10同士の間の断絶感が改善されて、映像の没入度を向上させることができる。

【0106】

図6及び図7は、図5の表示装置に含まれる画素回路と発光素子との連結関係の一例を示す図である。

【0107】

図5、図6、及び図7を参照すると、画素SPは、画素回路PC、第1及び第2画素電極ETL 1、ETL 2、ならびに発光素子EDを含むことができる。

【0108】

一実施例において、発光素子EDは、第1及び第2画素電極ETL 1、ETL 2に接触し、第1及び第2画素電極ETL 1、ETL 2上に配置されうる。例えば、第1画素電極ETL 1は、アノードとして発光素子EDに接続され、第2画素電極ETL 2は、カソードとして発光素子EDに接続されうる。

【0109】

また、第1画素電極ETL 1は、画素回路PCに電氣的に接続されうる。例えば、第1画素電極ETL 1は、画素回路PCのトランジスタTFTに接続されうる。画素回路PCは、複数のトランジスタおよび少なくとも1つのキャパシタを含むことができる。例えば、画素回路PCは、図21に示すものと同様の回路形態を有することができる。

【0110】

一実施例において、図 6 に示すように、平面上で見て、画素回路 P C は、発光素子 E D よりも下側に配置されてもよい。例えば、図 6 の画素 S P は、第 4 画素行 P R O W 4 と第 4 回路行 C R O W 4 との間の連結関係に適用されうる。

【 0 1 1 1 】

一実施例において、図 7 に示すように、平面上で見て、画素回路 P C は、発光素子 E D よりも上側に配置されてもよい。例えば、図 7 の画素 S P は、第 5 画素行 P R O W 5 と第 5 回路行 C R O W 5 との連結関係に適用されうる。

【 0 1 1 2 】

図 8 は、図 5 の表示装置に含まれる画素回路領域、デマックス領域、ファンアウト領域、静電気放電領域、および非表示領域の一例を示す図である。

10

【 0 1 1 3 】

図 5 及び図 8 を参照すると、表示装置 1 0 のそれぞれは、表示領域 D A および非表示領域 N D A を含むことができる。説明の便宜上、図 8 では画素行の図示は省略している。

【 0 1 1 4 】

表示領域 D A は、静電気放電領域 E S A、ファンアウト領域 F O A、デマックス領域 D M A、および画素回路領域 C C A を含むことができる。一実施例において、静電気放電領域 E S A、ファンアウト領域 F O A、およびデマックス領域 D M A は、表示領域 D A の少なくとも一側の縁に配置されうる。例えば、静電気放電領域 E S A、ファンアウト領域 F O A、およびデマックス領域 D M A は、表示領域 D A の上側縁に配置されてもよい。他の例として、静電気放電領域 E S A、ファンアウト領域 F O A、およびデマックス領域 D M A は、左右側の縁または上下側の縁に配置されてもよい。さらに他の例として、静電気放電領域 E S A、ファンアウト領域 F O A、およびデマックス領域 D M A のうちの少なくとも 1 つは、表示装置 1 0 の少なくとも一側の縁に（例えば、内部にまたは上に）配置されてもよい。非表示領域 N D A は、パッド部 P A D を含むことができる。

20

【 0 1 1 5 】

静電気放電領域 E S A は、静電気放電回路 E S D を含むことができる。一実施例において、静電気放電回路 E S D は、第 1 画素行 P R O W 1 の第 1、第 2 及び第 3 画素 S P 1、S P 2、S P 3 の少なくとも一部と重畳しうる。

【 0 1 1 6 】

静電気放電回路 E S D は、ファンアウトライン F O L、デマックス D M X、および画素回路 P C を静電気から保護することができる。静電気放電回路 E S D は、外部から流入された静電気を放電させて、静電気の表示領域 D A への流入を防止することができる。

30

【 0 1 1 7 】

ファンアウト領域 F O A は、ファンアウトライン F O L を含むことができる。一実施例において、ファンアウトライン F O L は、第 2 画素行 P R O W 2 の第 1、第 2、及び第 3 画素 S P 1、S P 2、S P 3 と重畳しうる。

【 0 1 1 8 】

一実施例において、ファンアウトライン F O L は、パッド部 P A D からデマックス D M X まで延びることができる。ファンアウトライン F O L は、パッド部 P A D から受信したデータ電圧（データ信号）をデマックス D M X に供給することができる。

40

【 0 1 1 9 】

一実施例において、ファンアウトライン F O L は、パッド部 P A D から画素回路領域 C C A まで延びてもよい。ファンアウトライン F O L は、パッド部 P A D から受信されたクロック信号を、ゲート駆動部を駆動するためのクロックラインに供給することができ、パッド部 P A D から受信した電源電圧または制御電圧を、ゲート駆動部を駆動する電圧ライン（例えば、所定の電圧ライン）に供給することができる。

【 0 1 2 0 】

デマックス領域 D M A は、デマックス D M X を含むことができる。デマックス D M X は、ファンアウトライン F O L から受信したデータ電圧を第 1、第 2、及び第 3 データライン D L 1、D L 2、D L 3 に時分割で供給することができる。表示装置 1 0 のそれぞれは

50

、デマックスDMXを含むことにより、ファンアウトラインFOLの数が減少し、ファンアウト領域FOAの面積を減少させることができる。

【0121】

画素回路領域CCAは、前記データラインDLを含むことができる。また、画素回路領域CCAは、画素回路PCを駆動するためのゲートラインおよびゲート駆動部をさらに含んでもよい。

【0122】

データラインDLは、デマックスDMXおよび画素回路PCの間に接続されうる。データラインDLは、第2方向DR2に延び、第1方向DR1に互いに離隔しうる。データラインDLは、デマックスDMXから受信したデータ電圧を画素回路PCに供給することができる。データラインDLは、前記第1、第2、及び第3データラインDL1、DL2、DL3を含むことができる。

【0123】

第1データラインDL1は、それぞれの対応する画素列の第1画素回路PC1に連結されうる。第1データラインDL1は、画素列のそれぞれに配置された第1画素回路PC1に順次データ電圧を供給することができる。ここで、画素列は、第1、第2及び第3画素SP1、SP2、SP3で構成される単位画素UPの第2方向DR2に沿った配列に相応することができる。

【0124】

第2データラインDL2は、それぞれの対応する画素列の第2画素回路PC2に連結されうる。第2データラインDL2は、対応する画素列のそれぞれに配置された第2画素回路PC2に順次にデータ電圧を供給することができる。

【0125】

第3データラインDL3は、それぞれの対応する画素列の第3画素回路PC3に連結されうる。第3データラインDL3は、対応する画素列のそれぞれに配置された第3画素回路PC3に順次にデータ電圧を供給することができる。

【0126】

図9は、図8の静電気放電領域およびファンアウト領域の一部の一例を示す拡大図である。

【0127】

図8及び図9を参照すると、パッド部PADに接続されたファンアウトラインFOLは、第1ライン抵抗R1および第2ライン抵抗R2を含むことができる。一実施例において、第1及び第2ライン抵抗R1、R2のそれぞれは、ジグザグパターンに形成されうる。

【0128】

第1及び第2ライン抵抗R1、R2のそれぞれの長さは、ファンアウトラインFOLの位置に応じて様々に設計されうる。例えば、ファンアウトラインFOLの第1及び第2ライン抵抗R1、R2の長さをそれぞれ調節して、ファンアウトラインFOLが互いに同じか、または実質的に同じ抵抗値を有することができる。

【0129】

静電気放電回路ESDは、ファンアウトラインFOLに隣接して配置されうる。静電気放電回路ESDのうちの一部は、ファンアウトラインFOLとゲートオフ電圧ラインVGHLとの間に接続されうるのであり、静電気放電回路ESDのうちの他の一部は、ファンアウトラインFOLとゲートオン電圧ラインVGLLとの間に接続されうる。

【0130】

ゲートオフ電圧ラインVGHLは、表示領域DAに含まれるトランジスタをターンオフさせるためのゲートオフ電圧を伝達する信号線でありうる。ゲートオン電圧ラインVGLLは、表示領域DAに含まれるトランジスタをターンオンさせるためのゲートオン電圧を伝達する信号線でありうる。ゲートオフ電圧が論理ハイレベルであると、ゲートオン電圧は論理ローレベルであり得る。逆に、ゲートオフ電圧が論理ローレベルであると、ゲートオン電圧は論理ハイレベルであり得る。

10

20

30

40

50

【0131】

静電気放電回路ESDは、ファンアウトラインFOLの第1及び第2ライン抵抗R1、R2の間の部分に接続されうるが、本開示の実施例はこれに限定されない。静電気放電回路ESDは、外部から流入された静電気を放電させて、静電気の表示領域DAへの流入を防止または実質的に防止することができる。

【0132】

図10は、本開示の実施例による表示装置を示す斜視図であり、図11は、図10の表示装置の背面の一部の一例を示す図である。

【0133】

図10は、パッド部PADおよび側面連結ラインSCLの構成を中心に概略的に示されており、これを中心に説明する。また、図11は、基板SUBの背面BS（例えば、前記第2面）において、側面連結ラインSCLが他の構成と連結される一例を示している。

【0134】

図5、図10、及び図11を参照すると、表示装置10は、表示領域DAおよび非表示領域NDAを含む基板SUBと、基板の上面USに配置されるパッド部PADと、基板SUBの上面US、背面BS、および、上面USと背面BSとの間の側面SSの面上に配置される側面連結ラインSCLとを含むことができる。

【0135】

基板SUBの上面USと背面BSは、第3方向DR3に対して互いに離隔して対向することができる。

【0136】

一実施例において、基板SUBは、上面USと側面SSとの間の稜部、および、背面BSと側面SSとの間の稜部に、面取り(chamfer)加工して形成される面取り面CHMを含むことができる。面取り面CHMによって、基板SUBの側面SSは、適正な傾斜度（例えば、所定の傾斜度）を有することができる。これにより、基板SUBの上面US、側面SS、および背面BSを取り囲む（または、周囲から延びる）側面連結ラインSCLについての断線を防止または実質的に防止することができる。

【0137】

パッド部PADは、基板SUBの上面USの非表示領域NDAに（例えば、内部または上に）配列されうる。図10では、基板SUBの上面USの一侧縁にパッド部PADが配置されるものとして示されているが、本開示はこれに限定されるものではなく、基板SUBの上面USの他の側縁にも配置されてもよい。

【0138】

一実施例において、図8及び図9を参照して説明したように、パッド部PADは、側面連結ラインSCLと接触し、表示領域DAに延びるファンアウトラインに連結されうる。ファンアウトラインのそれぞれは、画素SPを駆動するためのデータライン、電源ライン、クロックラインのうちの1つに連結されうる。例えば、電源ラインは、ゲート駆動部および／または画素SPに供給される各種の適切な電源を供給する電源ラインを含むことができる。クロックラインには、ゲート駆動部に供給されるクロック信号が提供されうる。

【0139】

側面連結ラインSCLは、パッド部PADと1対1で連結されうる。側面連結ラインSCLは、パッド部PADと物理的、電氣的に連結されうる。一実施例において、側面連結ラインSCLは、パッド部PADの上面を全体的にカバーしてもよい。これにより、パッド部PADと側面連結ラインSCLとの間の物理的、電氣的連結を強化することができる。

【0140】

側面連結ラインSCLの幅は、数十 μm でありうる。互いに隣接する側面連結ラインSCL間の間隔は、数十 μm でありうる。一実施例において、側面連結ラインSCLの幅は、互いに隣接する側面連結ラインSCL同士の間隔以上であってもよい。

【0141】

図11に示すように、基板SUBの背面BS（例えば、第2面）には、リードラインL

10

20

30

40

50

D L、背面電極B T E、および軟質フィルムF P C B (フレキシブル配線基板)が配置されうる。

【0142】

リードラインL D Lは、側面連結ラインS C Lと背面電極B T Eとの間に電氣的、物理的に連結されうる。リードラインL D Lの一端は、基板S U Bの背面B Sまで延びた側面連結ラインS C Lに物理的に連結されうる。また、リードラインL D Lの他端は、基板S U Bの背面B S (例えば、第2面)上に形成される背面電極B T Eに物理的に連結されうる。

【0143】

背面電極B T Eは、軟質フィルムF P C Bから受信した電圧または信号を、リードラインL D Lを介して側面連結ラインS C Lに供給することができる。一実施例において、背面電極B T Eと軟質フィルムF P C Bとは、導電性接着部材 (例えば、異方性導電フィルムなど)を介して電氣的に連結されてもよい。例えば、軟質フィルムF P C Bの第1面の少なくとも一部は、導電性接着部材を介して基板S U Bの背面B Sに取り付けられうる。また、軟質フィルムF P C Bの第1面に離隔して対向する第2面は、ソース回路ボード、駆動チップなどに接続されうる。

10

【0144】

図12は、図10の表示装置の一例を示す断面図である。

【0145】

図10、図11、及び図12を参照すると、表示装置10は、基板S U B、画素回路層P C L、および表示素子層D P Lを含むことができる。

20

【0146】

基板S U Bの上面U Sと背面B Sにそれぞれ積層構造 (例えば、所定の積層構造)が形成されうる。例えば、基板S U Bの上面U Sに画素回路層P C Lおよび表示素子層D P Lが配置されうる。

【0147】

画素回路層P C Lは、遮光層B M L、バッファ層B F、アクティブ層A C T L、第1ゲート絶縁層G I 1、第1ゲート層G T L 1、第2ゲート絶縁層G I 2、第2ゲート層G T L 2、層間絶縁層I L D、第1ソース金属層S D L 1、第1ビア層V I A 1、第2ソース金属層S D L 2、第2ビア層V I A 2、第3ソース金属層S D L 3、および第3ビア層V I A 3を含むことができる。

30

【0148】

表示素子層D P Lは、第4ソース金属層S D L 4、アノード層A N D L、第4ビア層V I A 4、および第1保護層P A S 1を含むことができる。

【0149】

基板S U Bの背面B Sには、第2保護層P A S 2、背面電極B T E、リードラインL D L、第5ビア層V I A 5、第3保護層P A S 3、および軟質フィルムF P C Bが配置されうる。

【0150】

また、側面連結ラインS C Lが、基板S U Bの側面S Sにわたって基板S U Bの上面U Sと背面B Sに配置されうる。

40

【0151】

基板S U Bは、表示装置10を支持することができる。基板S U Bは、ベース基板またはベース部材でありうる。基板S U Bは、ガラス材質を含むリジッド基板でありうる。他の例として、基板S U Bは、ベンディング (B e n d i n g)、折り畳み (フールドイング; F o l d i n g)、ローリング (巻き取り; R o l l i n g)などが可能なフレキシブル (F l e x i b l e) 基板であってもよい。例えば、基板S U Bは、ポリイミド (P I) といった高分子樹脂などの絶縁物質を含むことができるが、本開示の実施例はこれに限定されない。

【0152】

50

遮光層 B M L は、基板 S U B 上に配置されうる。遮光層 B M L は、モリブデン (M o)、アルミニウム (A l)、クロム (C r)、金 (A u)、チタン (T i)、ニッケル (N i)、ネオジム (N d) および銅 (C u) のうちのいずれか 1 つまたは 1 つ以上、またはこれらの合金からなる単一層あるいは多重層でありうる。

【 0 1 5 3 】

一実施例において、遮光層 B M L は、トランジスタ T F T (例えば、駆動トランジスタ) の一電極 (例えば、ソース電極) と連結されうる。他の例として、遮光層 B M L は、トランジスタ T F T のアクティブ層 A C T L の少なくとも一部と重畳してもよく、アクティブ層 A C T L に入射する光を遮断することができ、トランジスタ T F T の動作特性を安定化することができる。

【 0 1 5 4 】

バッファ層 B F は、基板 S U B 上に配置されうる。バッファ層 B F は、空気および／または水分の浸透を防止または実質的に防止可能な無機物質を含むことができる。バッファ層 B F は、交互に積層された複数の無機膜を含むことができる。例えば、バッファ層 B F は、シリコンナイトライド層、シリコンオキシナイトライド層、シリコンオキシド層、チタンオキシド層、およびアルミニウムオキシド層のうちの 1 つ以上の無機膜が交互に積層された多重膜 (積層膜) を含むことができる。

【 0 1 5 5 】

アクティブ層 A C T L は、バッファ層 B F 上に配置されうる。アクティブ層 A C T L は、トランジスタ T F T のチャンネル C H、ソース電極 S E、およびドレイン電極 D E を含むことができる。ここで、トランジスタ T F T は、画素回路 P C を構成するトランジスタであり得る。ソース電極 S E およびドレイン電極 D E は、アクティブ層 A C T L を熱処理して導体化することができる。例えば、アクティブ層 A C T L は、多結晶シリコン、単結晶シリコン、低温多結晶シリコン、非晶質シリコン、または酸化物半導体を含むことができる。他の例として、アクティブ層 A C T L は、互いに異なる層に (例えば、内部にまたは上に) 配置される第 1 及び第 2 アクティブ層を含んでもよい。この場合、第 1 アクティブ層は、多結晶シリコン、単結晶シリコン、低温多結晶シリコン、または非晶質シリコンを含んでもよく、第 2 アクティブ層は、酸化物半導体を含んでもよい。

【 0 1 5 6 】

第 1 ゲート絶縁層 G I 1 は、アクティブ層 A C T L 上に配置されうる。第 1 ゲート絶縁層 G I 1 は、トランジスタ T F T のゲート電極 G E とチャンネル C H を互いに絶縁させることができる。第 1 ゲート絶縁層 G I 1 は、無機膜を含むことができる。例えば、第 1 ゲート絶縁層 G I 1 は、シリコンナイトライド層、シリコンオキシナイトライド層、シリコンオキシド層、チタンオキシド層、およびアルミニウムオキシド層のうちの 1 つを含むことができる。

【 0 1 5 7 】

第 1 ゲート層 G T L 1 は、第 1 ゲート絶縁層 G I 1 上に配置されうる。第 1 ゲート層 G T L 1 は、ファンアウトライン F O L、トランジスタ T F T のゲート電極 G E、および第 1 キャパシタ C 1 (例えば、図 2 1 参照) の第 1 キャパシタ電極 C E 1 (例えば、下部電極) を含むことができる。第 1 ゲート層 G T L 1 は、モリブデン (M o)、アルミニウム (A l)、クロム (C r)、金 (A u)、チタン (T i)、ニッケル (N i)、ネオジム (N d) および銅 (C u) のうちのいずれか 1 つまたは 1 つ以上またはこれらの合金からなる単一層あるいは多重層 (積層膜) でありうる。

【 0 1 5 8 】

ファンアウトライン F O L は、層間絶縁層 I L D および第 2 ゲート絶縁層 G I 2 を貫通する (例えば、通過する) パッド部 P A D に接続されうる。一実施例において、ファンアウトライン F O L は、パッド部 P A D から表示領域 D A まで延びることで、非表示領域 N D A の大きさを減少させることができる。

【 0 1 5 9 】

第 2 ゲート絶縁層 G I 2 は、第 1 ゲート層 G T L 1 上に配置されうる。第 2 ゲート絶縁

10

20

30

40

50

層 G I 2 は、第 1 ゲート層 G T L 1 および第 2 ゲート層 G T L 2 を互いに絶縁させることができる。第 2 ゲート絶縁層 G I 2 は、無機膜を含むことができる。例えば、第 2 ゲート絶縁層 G I 2 は、シリコンナイトライド層、シリコンオキシナイトライド層、シリコンオキシド層、チタンオキシド層、およびアルミニウムオキシド層のうちの 1 つを含むことができる。

【0160】

第 2 ゲート層 G T L 2 は、第 2 ゲート絶縁層 G I 2 上に配置されうる。第 2 ゲート層 G T L 2 は、第 1 キャパシタ C 1 の第 2 キャパシタ電極 C E 2 を含むことができる。第 2 ゲート層 G T L 2 は、モリブデン (M o)、アルミニウム (A l)、クロム (C r)、金 (A u)、チタン (T i)、ニッケル (N i)、ネオジム (N d) および銅 (C u) のうちのいずれか 1 つまたは 1 つ以上またはこれらの合金からなる単一層あるいは多重層でありうる。

10

【0161】

層間絶縁層 I L D は、第 2 ゲート層 G T L 2 上に配置されうる。層間絶縁層 I L D は、第 1 ソース金属層 S D L 1 および第 2 ゲート層 G T L 2 を絶縁させることができる。層間絶縁層 I L D は、無機膜を含むことができる。例えば、層間絶縁層 I L D は、シリコンナイトライド層、シリコンオキシナイトライド層、シリコンオキシド層、チタンオキシド層、およびアルミニウムオキシド層のうちの 1 つを含むことができる。

【0162】

トランジスタ T F T、バッファ層 B F、第 1 ゲート絶縁層 G I 1、第 2 ゲート絶縁層 G I 2、および層間絶縁層 I L D を含む構成は、トランジスタ層 T L と理解することができる。例えば、トランジスタ層 T L の最上層は層間絶縁層 I L D であり得る。トランジスタ層 T L は、画素回路層 P C L の一部であり得る。

20

【0163】

第 1 ソース金属層 S D L 1 は、トランジスタ層 T L の層間絶縁層 I L D 上に配置されうる。第 1 ソース金属層 S D L 1 は、連結電極 C C E を含むことができる。

【0164】

連結電極 C C E は、第 1 ビア層 V I A 1 を貫通する (例えば、通過する) アノード連結ライン A C L に接続されうる。連結電極 C C E は、層間絶縁層 I L D、第 2 ゲート絶縁層 G I 2、および第 1 ゲート絶縁層 G I 1 を貫通して (例えば、通過して)、トランジスタ T F T のドレイン電極 D E に接続されうる。したがって、連結電極 C C E は、アノード連結ライン A C L およびドレイン電極 D E を互いに電氣的に連結させることができる。

30

【0165】

第 1 パッド電極 P A D 1 は、第 1 ソース金属層 S D L 1 と共に形成されうる。言い換えれば、第 1 パッド電極 P A D 1 は、非表示領域 N D A の層間絶縁層 I L D 上に配置されうる。

【0166】

第 1 パッド電極 P A D 1 は、層間絶縁層 I L D および第 2 ゲート絶縁層 G I 2 を貫通するコンタクトホールを介してファンアウトライン F O L に接続されうる。

【0167】

40

第 1 ソース金属層 S D L 1 および第 1 パッド電極 P A D 1 は、モリブデン (M o)、アルミニウム (A l)、クロム (C r)、金 (A u)、チタン (T i)、ニッケル (N i)、ネオジム (N d) および銅 (C u) のうちのいずれか 1 つまたは 1 つ以上またはこれらの合金からなる単一層あるいは多重層でありうる。

【0168】

第 1 ビア層 V I A 1 は、第 1 ソース金属層 S D L 1 上に配置されうる。第 1 ビア層 V I A 1 は、第 1 ソース金属層 S D L 1 の上端を平坦化、または実質的に平坦化させることができる。第 1 ビア層 V I A 1 は、アクリル樹脂 (A c r y l R e s i n)、エポキシ樹脂 (E p o x y R e s i n)、フェノール樹脂 (P h e n o l i c R e s i n)、ポリアミド樹脂 (P o l y a m i d e R e s i n)、ポリイミド樹脂 (P o l y i m i d e

50

Resin)などの有機膜を含むことができる。

【0169】

一実施例において、第1ビア層VIA1は、表示領域DA内に（または、上に）配置されうる。第1ビア層VIA1は、パッド部PADと離隔しうる。例えば、第1ビア層VIA1は、第1パッド電極PAD1と離隔しうる。これにより、第1ビア層VIA1とパッド部PAD（例えば、第1パッド電極PAD1）との間に層間絶縁層露出領域IEAが形成されうる。層間絶縁層露出領域IEAは、第1ビア層VIA1とパッド部PADとの間で、第1ビア層VIA1から層間絶縁層ILDの上面が露出する部分であり得る。

【0170】

第2ソース金属層SDL2は、第1ビア層VIA1上に配置されうる。第2ソース金属層SDL2は、アノード連結ラインACLを含むことができる。アノード連結ラインACLは、第2ビア層VIA2を貫通する（例えば、通過する）アノード連結電極ACEに接続されうる。

【0171】

アノード連結ラインACLは、第1ビア層VIA1を貫通して（例えば、通過して）連結電極CCEに接続されうる。したがって、アノード連結ラインACLは、アノード連結電極ACEおよび連結電極CCEを電氣的に連結させることができる。

【0172】

第2パッド電極PAD2は、第2ソース金属層SDL2と共に形成されうる。第2パッド電極PAD2は、第1パッド電極PAD1上に直接配置されうる。第2パッド電極PAD2は、非表示領域NDAに（例えば、内部にまたは上に）形成されうる。

【0173】

第2ソース金属層SDL2および第2パッド電極PAD2は、モリブデン(Mo)、アルミニウム(Al)、クロム(Cr)、金(Au)、チタン(Ti)、ニッケル(Ni)、ネオジム(Nd)および銅(Cu)のうちのいずれか1つまたは1つ以上、またはこれらの合金からなる単一層あるいは多重層でありうる。

【0174】

第2ビア層VIA2は、第1ビア層VIA1および第2ソース金属層SDL2上に（または、内部に）配置されうる。第2ビア層VIA2は、第2ソース金属層SDL2の上端を平坦化させることができる。第2ビア層VIA2は、アクリル樹脂(Acryl Resin)、エポキシ樹脂(Epoxy Resin)、フェノール樹脂(Phenolic Resin)、ポリアミド樹脂(Polyamide Resin)、ポリイミド樹脂(Polyimide Resin)などの有機膜を含むことができる。

【0175】

一実施例において、第2ビア層VIA2は、表示領域DA内に配置されうる。第2ビア層VIA2は、パッド部PADと離隔することができる。また、第2ビア層VIA2は、第1ビア層VIA1の上面の一部を露出するように第1ビア層VIA1との段差を形成することができる。第2ビア層VIA2から第1ビア層VIA1が露出された部分は、第1露出領域EA1であり得る。例えば、第1露出領域EA1の第2方向DR2の幅は、約10μmであり得る。

【0176】

第3ソース金属層SDL3は、第2ビア層VIA2上に配置されうる。第3ソース金属層SDL3は、アノード連結電極ACEを含むことができる。アノード連結電極ACEは、第3ビア層VIA3を貫通する（例えば、通過する）第1アノード電極AND1に接続されうる。アノード連結電極ACEは、第2保護層PAS2を貫通してアノード連結ラインACLに接続されうる。したがって、アノード連結電極ACEは、アノードANDおよびアノード連結ラインACLを互いに電氣的に連結させることができる。

【0177】

第3パッド電極PAD3は、第3ソース金属層SDL3と共に形成されうる。第3パッド電極PAD3は、第2パッド電極PAD2上に直接配置されうる。第3パッド電極PA

10

20

30

40

50

D 3 は、非表示領域 N D A に形成されうる。

【0178】

第3ソース金属層 S D L 3 および第3パッド電極 P A D 3 は、モリブデン (M o)、アルミニウム (A l)、クロム (C r)、金 (A u)、チタン (T i)、ニッケル (N i)、ネオジム (N d) および銅 (C u) のうちのいずれか1つまたは1つ以上またはこれらの合金からなる単一層あるいは多重層でありうる。

【0179】

第3ビア層 V I A 3 は、第2ビア層 V I A 2 および第3ソース金属層 S D L 3 上に配置されうる。第3ビア層 V I A 3 は、第3ソース金属層 S D L 3 の上端を平坦化または実質的に平坦化させることができる。第3ビア層 V I A 3 は、アクリル樹脂 (A c r y l R e s i n)、エポキシ樹脂 (E p o x y R e s i n)、フェノール樹脂 (P h e n o l i c R e s i n)、ポリアミド樹脂 (P o l y a m i d e R e s i n)、ポリイミド樹脂 (P o l y i m i d e R e s i n) などの有機膜を含むことができる。

【0180】

一実施例において、第3ビア層 V I A 3 は、表示領域 D A 内に（または、上に）配置されうる。第3ビア層 V I A 3 は、パッド部 P A D と離隔しうる。また、第3ビア層 V I A 3 は、第2ビア層 V I A 2 の上面の一部を露出するように第2ビア層 V I A 2 との段差を形成することができる。第3ビア層 V I A 3 から第2ビア層 V I A 2 が露出された部分は、第2露出領域 E A 2 であり得る。例えば、第2露出領域 E A 2 の第2方向 D R 2 への幅は、第1露出領域 E A 1 の第2方向 D R 2 への幅と類似であるか、またはそれ以下であり得る。

【0181】

このように、第1、第2、及び第3ビア層 V I A 1、V I A 2、V I A 3 は、階段形状を有して積層されうる。

【0182】

第4ソース金属層 S D L 4 は、第3ビア層 V I A 3 上に配置されうる。第4ソース金属層 S D L 4 は、第1アノード電極 A N D 1 および第1カソード電極 C T D 1 を含むことができる。第1アノード電極 A N D 1 は、第3ビア層 V I A 3 を貫通してアノード連結電極 A C E に接続されうる。第1カソード電極 C T D 1 は、第3ビア層 V I A 3 を貫通して（例えば、通過して）所定の電源配線に連結されうる。図12には、アノード A N D およびカソード C T D と、発光素子 E D とが連結される形状および発光素子 E D の詳細構成を図示及び説明するため、アノード A N D とカソード C T D とが第2方向 D R 2 にて互いに隣接するものとして示されているが、アノード A N D とカソード C T D の配列はこれに限定されるものではない。例えば、図6などに示すように、アノード A N D とカソード C T D は、第1方向 D R 1 にて互いに隣接するように配置されてもよい。

【0183】

第4パッド電極 P A D 4 は、第4ソース金属層 S D L 4 と共に形成されうる。第4パッド電極 P A D 4 は、第3パッド電極 P A D 3 上に直接配置されうる。第4パッド電極 P A D 4 は、非表示領域 N D A に（例えば、内部にまたは上に）形成されうる。

【0184】

第4ソース金属層 S D L 4 および第4パッド電極 P A D 4 は、モリブデン (M o)、アルミニウム (A l)、クロム (C r)、金 (A u)、チタン (T i)、ニッケル (N i)、ネオジム (N d) および銅 (C u) のうちのいずれか1つまたは1つ以上、またはこれらの合金からなる単一層あるいは多重層でありうる。

【0185】

アノード層 A N D L は、第4ソース金属層 S D L 4 上に配置されうる。アノード層 A N D L は、第2アノード電極 A N D 2 および第2カソード電極 C T D 2 を含むことができる。一実施例において、第2アノード電極 A N D 2 および第2カソード電極 C T D 2 の厚さは、第1アノード電極 A N D 1 および第1カソード電極 C T D 1 の厚さよりも小さくてもよい。

【0186】

第5パッド電極PAD5は、アノード層ANDLと共に形成されうる。第5パッド電極PAD5は、第4パッド電極PAD4上に直接配置されうる。例えば、第5パッド電極PAD5は、第4パッド電極PAD4の上面および側面に接触し、第4パッド電極PAD4をカバーすることができる。第5パッド電極PAD5の厚さは、第4パッド電極PAD4の厚さよりも小さくてもよい。

【0187】

アノード層ANDLおよび第5パッド電極PAD5は、ITO、IZOなどの透明金属物質(TCO、Transparent Conductive Material)を含むことができる。

【0188】

第1アノード電極AND1および第2アノード電極AND2は、アノードAND(例えば、図5に示された第1画素電極)を形成し、第1カソード電極CTD1および第2カソード電極CTD2は、カソードCTD(例えば、図5に示された第2画素電極)を形成することができる。第1乃至第5パッド電極PAD1乃至PAD5は、パッド部PADを形成することができる。

【0189】

パッド部PADは、非表示領域NDAで(例えば、内部でまたは上で)、層間絶縁層ILD上に配置されうる。パッド部PADは、側面連結ラインSCLから受信した電圧または信号をファンアウトラインFOLに供給することができる。第2パッド電極PAD2は、側面連結ラインSCLを介してリードラインLDLに電氣的に連結されうる。

【0190】

第4ビア層VIA4は、アノードANDおよびカソードCTDが形成されていない第3ビア層VIA3上に配置されうる。第4ビア層VIA4は、第3ビア層VIA3の上端を平坦化、または実質的に平坦化させることができる。第4ビア層VIA4は、アクリル樹脂(Acryl Resin)、エポキシ樹脂(Epoxy Resin)、フェノール樹脂(Phenolic Resin)、ポリアミド樹脂(Polyamide Resin)、ポリイミド樹脂(Polyimide Resin)などの有機膜を含むことができる。

【0191】

一実施例において、第4ビア層VIA4は、表示領域DA内に(または、上に)配置されうる。第4ビア層VIA4は、パッド部PADと離隔することができる。また、第4ビア層VIA4は、第3ビア層VIA3の上面の一部を露出するように、第3ビア層VIA3との段差を形成することができる。第4ビア層VIA4から第3ビア層VIA3が露出された部分は、第3露出領域EA3であり得る。例えば、第3露出領域EA3の第2方向DR2への幅は、第2露出領域EA2の第2方向DR2への幅と類似であるか、またはそれ以下であり得る。

【0192】

第1保護層PAS1は、第4ビア層VIA4上に配置され、アノードAND、カソードCTD、およびパッド部PADの一部をカバーすることができる。また、第1保護層PAS1は、層間絶縁層露出領域IEAの層間絶縁層ILDをカバーするように、層間絶縁層露出領域IEAにて(例えば、領域内でまたは領域上で)、層間絶縁層ILDに接触することができる。

【0193】

また、第1保護層PAS1は、第1ビア層VIA1、第2ビア層VIA2、および第3ビア層VIA3に接触することができる。例えば、第1保護層PAS1は、第1露出領域EA1にて(例えば、領域内でまたは領域上で)第1ビア層VIA1に接触し、第2露出領域EA2にて(例えば、領域内でまたは領域上で)第2ビア層VIA2に接触し、第3露出領域EA3にて(例えば、内でまたは上で)第3ビア層VIA3に接触することができる。

10

20

30

40

50

【0194】

第1保護層PAS1は、無機膜を含むことができる。例えば、第1保護層PAS1は、シリコンナイトライド層、シリコンオキシナイトライド層、シリコンオキシド層、チタンオキシド層、およびアルミニウムオキシド層のうちの1つを含むことができる。

【0195】

第1保護層PAS1は、アノードANDの上面の一部を覆わずに露出させることができ、カソードCTDの上面の一部を覆わずに露出させることができる。発光素子EDは、第1保護層PAS1によって覆われないアノードANDおよびカソードCTDに接触することができる。

【0196】

一実施例において、第1保護層PAS1は、第1乃至第4パッド電極PAD1乃至PAD4の露出された部分をすべて覆うことができる。例えば、第1保護層PAS1は、第1乃至第4パッド電極PAD1乃至PAD4の露出された部分に接触することができる。

【0197】

ただし、第1保護層PAS1は、第5パッド電極PAD5の上面の一部を覆わずに露出させることができる。側面連結ラインSCLは、第1保護層PAS1で覆われないパッド部PADに接触することができる。

【0198】

一実施例において、第1ビア層VIA1と第2ビア層VIA2との間、第2ビア層VIA2と第3ビア層VIA3との間、および、第3ビア層VIA3と第4ビア層VIA4との間に、少なくとも1つに無機物質を含む追加の保護層がさらに配置されてもよい。

【0199】

第2保護層PAS2は、基板SUBの背面BSに配置されて、基板SUBの背面BSを平坦化または実質的に平坦化させることができる。第2保護層PAS2は、無機膜を含むことができる。例えば、第2保護層PAS2は、シリコンナイトライド層、シリコンオキシナイトライド層、シリコンオキシド層、チタンオキシド層、およびアルミニウムオキシド層うちの1つを含むことができる。

【0200】

背面電極BTEは、第2保護層PAS2の一面（例えば、背面）に配置されうる。背面電極BTEは、軟質フィルムFPCBから受信した電圧または信号を、リードラインLDLを介して側面連結ラインSCLに供給することができる。背面電極BTEは、導電性接着部材ACFを介して軟質フィルムFPCBに電氣的に連結されうる。

【0201】

背面電極BTEは、第1背面電極BTE1および第2背面電極BTE2を含むことができる。第1背面電極BTE1は、第2保護層PAS2の一面（例えば、背面）に配置されうる。第1背面電極BTE1は、モリブデン（Mo）、アルミニウム（Al）、クロム（Cr）、金（Au）、チタン（Ti）、ニッケル（Ni）、ネオジム（Nd）および銅（Cu）のうちのいずれか1つまたは1つ以上、またはこれらの合金からなる単一層あるいは多重層でありうる。

【0202】

第2背面電極BTE2は、第1背面電極BTE1の一面（例えば、背面）に配置されうる。第2背面電極BTE2は、ITO、IZOなどの透明金属物質（TCO、Transparent Conductive Material）を含むことができる。

【0203】

リードラインLDLは、第2保護層PAS2の一面（例えば、背面）に配置されうる。リードラインLDLは、第1背面電極BTE1と同じ層に（例えば、内にまたは上に）第1背面電極BTEと同じ物質で形成されうる。リードラインLDLは、背面電極BTEから受信した電圧または信号を側面連結ラインSCLに供給することができる。例えば、図11に示したように、リードラインLDLは、背面電極BTEに物理的に連結されうる。

【0204】

側面連結ラインSCLは、基板SUBの下面の縁、側面、および上面の縁に配置されうる。側面連結ラインSCLの一端は、パッド部PADに接続されうるものであり、側面連結ラインSCLの他端は、リードラインLDLに接続されうる。

【0205】

一実施例において、基板SUBの上面USで、側面連結ラインSCLは、パッド部PAD全体に重畳することができる。例えば、平面上で見て、側面連結ラインSCLは、パッド部PAD全体をカバーすることができる。一実施例において、側面連結ラインSCLは、層間絶縁層露出領域IEAに重畳することができる。例えば、側面連結ラインSCLは、層間絶縁層露出領域IEAで（例えば、内側でまたは上で）第1保護層PAS1上に配置されうる。また、基板SUBの背面BSで、側面連結ラインSCLは、リードラインLDLの一部を覆うことができる。

10

【0206】

これにより、パッド部PADとリードラインLDLとの間の電氣的断線の危険性を減少させることができる。

【0207】

側面連結ラインSCLは、延びてもよい。側面連結ラインSLCは、基板SUB、バッファ層BF、第1及び第2ゲート絶縁層GI1、GI2、層間絶縁層ILD、および第1保護層PAS1の側面を通ってもよい。

【0208】

側面連結ラインSCLは、銀(Ag)、モリブデン(Mo)、アルミニウム(Al)、クロム(Cr)、金(Au)、チタン(Ti)、ニッケル(Ni)、ネオジム(Nd)および銅(Cu)のうちのいずれか1つまたは1つ以上またはこれらの合金からなる単一層あるいは多重層でありうる。例えば、側面連結ラインSCLは、銀(silver)で形成されうる。

20

【0209】

第5ビア層VIA5は、背面電極BTEおよびリードラインLDLの背面の少なくとも一部を覆うことができる。また、第5ビア層VIA5は、側面連結ラインSCLの一部を覆うことができる。第5ビア層VIA5は、基板SUBの下端を平坦化、または実質的に平坦化させることができる。第5ビア層VIA5は、アクリル樹脂(Acryl Resin)、エポキシ樹脂(Epoxy Resin)、フェノール樹脂(Phenolic Resin)、ポリアミド樹脂(Polyamide Resin)、ポリイミド樹脂(Polyimide Resin)などの有機膜を含むことができる。

30

【0210】

第3保護層PAS3は、第5ビア層VIA5の一面（例えば、背面）に配置されて、背面電極BTEおよびリードラインLDLを保護することができる。第3保護層PAS3は、無機膜を含むことができる。例えば、第3保護層PAS3は、シリコンナイトライド層、シリコンオキシナイトライド層、シリコンオキシド層、チタンオキシド層、およびアルミニウムオキシド層のうちの1つを含むことができる。

【0211】

軟質フィルムFPCBは、第3保護層PAS3の一面または背面に配置されうる。軟質フィルムFPCBは、接着部材を用いて第3保護層PAS3の背面に付着されうる。軟質フィルムFPCBの一側は、背面電極BTE、リードラインLDL、および側面連結ラインSCLを介してパッド部PADに電圧または信号を供給することができる。軟質フィルムFPCBの他側は、基板SUBの下部(下方)（または、直下）にてソース回路ボードなどに接続されうる。軟質フィルムFPCBは、ソース回路ボードから提供される信号を表示装置10に送信することができる。

40

【0212】

導電性接着部材ACFは、軟質フィルムFPCBを背面電極BTEの背面に取り付けることができる。例えば、導電性接着部材ACFは、異方性導電フィルム(Anisotropic Conductive Film)を含むことができる。導電性接着部材ACF

50

が異方性導電フィルムを含む場合、導電性接着部材 A C F は、背面電極 B T E と軟質フィルム F P C B が導電性接着部材 A C F と接触する領域で導電性を有することができ、これにより、軟質フィルム F P C B を背面電極 B T E に電氣的に連結させることができる。

【0213】

表示装置 10 は、基板 S U B の背面 B S に配置された軟質フィルム F P C B、基板 S U B の上面 U S に配置されたパッド部 P A D、軟質フィルム F P C B とパッド部 P A D とを互いに電氣的に連結する背面電極 B T E、リードライン L D L、および、側面連結ライン S C L を含むことによって、非表示領域 N D A の面積を最小化または低減することができる。

【0214】

オーバーコーティング層 O C は、側面連結ライン S C L を全体的にカバーすることができる。例えば、オーバーコーティング層 O C は、複数の側面連結ライン S C L の全てをカバーする一つのパターンで形成されてもよい。オーバーコーティング層 O C は、基板 S U B の上面 U S の一部および背面 B S の一部までカバーすることができる。

【0215】

オーバーコーティング層 O C は、絶縁層であり、有機絶縁物質および／または無機絶縁物質を含むことができる。オーバーコーティング層 O C は、側面連結ライン S C L を含む表示装置 10 の側面 S S および縁の部分への汚染の浸透を防止または実質的に防止することができ、側面連結ライン S C L を保護することができる。

【0216】

一実施例において、オーバーコーティング層 O C は、ブラック顔料を含むことができる。したがって、オーバーコーティング層 O C は、全体的にブラックを表すことができる。したがって、オーバーコーティング層 O C によって側面連結ライン S C L での光反射が防止または低減され、これによる視認性不良を改善することができる。

【0217】

ブラック顔料は、カーボンブラックおよびチタンブラックのうちの少なくとも1つを含むことができる。ただし、これは例示的なものであり、オーバーコーティング層 O C に含まれるブラック顔料はこれに限定されない。

【0218】

言い換えれば、オーバーコーティング層 O C は、遮光パターンの役割をしながら側面連結ライン S C L を保護し、他の配線と絶縁される保護層の役割をすることができる。

【0219】

一実施例において、オーバーコーティング層 O C は、パッドプリンティング工程によって基板 S U B の上面 U S の一部、側面 S S、および背面 B S の一部に形成されうる。例えば、基板 S U B の上面 U S におけるオーバーコーティング層 O C の端部と、基板 S U B の背面 B S におけるオーバーコーティング層 O C の端部は、第3方向 D R 3 に平行または実質的に平行な仮想の軸に当接するように一致または実質的に一致することができる。オーバーコーティング層 O C は、約 5 ~ 15 μm の厚さを有し得る。例えば、オーバーコーティング層 O C は、側面連結ライン S C L と同様の厚さを有することができる。ただし、これは例示的なものであり、オーバーコーティング層 O C の厚さはこれに限定されない。

【0220】

一実施例において、オーバーコーティング層 O C は、第1露出領域 E A 1 に重畳しうる。言い換えれば、オーバーコーティング層 O C は、第2ビア層 V I A 2 から露出された第1ビア層 V I A 1 の上面の少なくとも一部に重畳しうる。また、オーバーコーティング層 O C の一端部は、第1保護層 P A S 1 を挟んで第2ビア層 V I A 2 の一端部（例えば、側面）と対向しうる。

【0221】

このように、第1ビア層 V I A 1 に対して段差を有して形成される第2ビア層 V I A 2 は、オーバーコーティング層 O C がアノード A N D およびカソード C T D まで溢れるのを防止または実質的に防止するためのダムの役割をすることができる。第3及び第4ビア層

10

20

30

40

50

VIA 3、VIA 4は、ダムの役割をすることができる。

【0222】

従って、オーバーコーティング層OCは、第2ビア層VIA 2によって形成されるダムによって、第1露出領域EA 1内にて（または、領域上にて）、均一または実質的に均一な端部を有することができ、オーバーコーティング層OCの工程変動（process capability、工程ばらつき）が減少しうる。例えば、パッドプリンティング工程で形成されるオーバーコーティング層OCの工程変動が減少し、これを含む表示装置10の製造工程の変動が減少しうる。したがって、表示装置10の製造工程の信頼度および映像品質を改善することができる。

【0223】

発光素子EDは、アノードANDとカソードCTD上に配置されうる。一実施例において、発光素子EDは、アノードANDとカソードCTDにそれぞれ向き合う第1コンタクト電極CTE 1および第2コンタクト電極CTE 2を含むフリップチップタイプのマイクロLEDを含むことができる。

【0224】

発光素子EDは、GaNといった無機物質で形成されうる。発光素子EDの横、縦、高さのサイズは、それぞれ数乃至数百 μm であり得る。例えば、発光素子EDの横、縦、高さのサイズは、それぞれ約100 μm 以下であってもよい。

【0225】

発光素子EDは、シリコンウエハといっ半導体基板で成長して形成されうる。発光素子EDは、シリコンウエハから直接基板SUBのアノードANDとカソードCTD上に移されうる。他の例として、発光素子EDは、静電ヘッド（Electrostatic Head）を使用する静電気方式、またはPDMSやシリコンなどの弾性のある高分子物質を転写基板として使用するスタンプ方式を通じて、基板SUBのアノードANDとカソードCTDの上に移されうる。

【0226】

発光素子EDは、ベース基板SSUB、n型半導体NSEM、活性層MQW、p型半導体PSEM、第1コンタクト電極CTE 1、および第2コンタクト電極CTE 2を含むことができる。

【0227】

ベース基板SSUBは、サファイア基板でありうるが、本開示の実施例はこれに限定されない。

【0228】

n型半導体NSEMは、ベース基板SSUBの一面上に配置されうる。例えば、n型半導体NSEMは、ベース基板SSUBの下面上に配置されうる。n型半導体NSEMは、Si、Ge、Snなどといったn型導電型ドーパントがドーピングされたGaNからなるのでありうる。

【0229】

活性層MQWは、n型半導体NSEMの一面の一部上に配置されうる。活性層MQWは、単一量子井戸構造または多重量子井戸構造の物質を含むことができる。活性層MQWが多重量子井戸構造の物質を含む場合、複数の井戸層（well layer）とバリア層（barrier layer）とが互いに交互に積層された構造であってもよい。この場合、井戸層はInGaNで形成され、バリア層は、GaNまたはAlGaNで形成されうるが、これに限定されない。他の例として、活性層MQWは、バンドギャップ（Band gap）エネルギーの大きい種類の半導体物質とバンドギャップエネルギーの小さい半導体物質とが互いに交互に積層された構造であってもよく、発光する光の波長帯に応じて、他の3族乃至5族半導体物質を含んでもよい。

【0230】

p型半導体PSEMは、活性層MQWの一面上に配置されうる。p型半導体PSEMは、Mg、Zn、Ca、Se、Baなどのp型導電型ドーパントがドーピングされたGaNから

10

20

30

40

50

なるのでありうる。

【0231】

第1コンタクト電極CTE1は、p型半導体PSEM上に配置され、第2コンタクト電極CTE2は、n型半導体NSEMの一面の他の一部上に配置されうる。第2コンタクト電極CTE2が配置されるn型半導体NSEMの一面の他の一部は、活性層MQWが配置されるn型半導体NSEMの一面の一部と離れて配置されうる。

【0232】

第1コンタクト電極CTE1とアノードANDは、異方性導電フィルム(Anisotropic Conductive Film)または異方性導電ペースト(Anisotropic Conductive Paste)などの導電性接着部材を介して互いに接着されうる。他の例として、第1コンタクト電極CTE1とアノードANDは、半田付け(soldering)工程を通じて互いに接着されてもよい。

10

【0233】

一実施例において、第2コンタクト電極CTE2とカソードCTDは、異方性導電フィルムまたは異方性導電ペーストといった導電性接着部材を介して互いに接着されうる。他の例として、第2コンタクト電極CTE2とカソードCTDは、半田付け工程を通じて互いに接着されてもよい。

【0234】

図13aは、図12の表示装置の側面連結ラインおよびビア層の一例を示す斜視図であり、図13bは、図10の表示装置の一例を示す斜視図である。

20

【0235】

図13bには、図10と比較して、オーバーコーティング層OCがさらに示されている。図13a及び図13bには、説明の便宜上、第1保護層PAS1の図示を省略している。例えば、図13aにおいて、オーバーコーティング層OCと基板SUB(例えば、図12を参照)の上面との間に第1保護層PAS1が介在されうる。

【0236】

図10、図12、図13a、及び図13bを参照すると、オーバーコーティング層OCは、表示装置10の一側面SS、側面SSに連結される上面USの非表示領域の一部、および側面SSに連結される背面BSの一部に一体に配置されうる。また、オーバーコーティング層OCは、側面連結ラインSCL全体を一体にカバーすることができる。

30

【0237】

前述したように、第1、第2、及び第3ビア層VIA1、VIA2、VIA3は、互いに段差を有して第3方向DR3に順次積層されうる。一実施例において、第1ビア層VIA1の端部EP1(例えば、第1ビア層VIA1の一側面)および第2ビア層VIA2の端部EP2(例えば、第2ビア層VIA2の一側面)は、それぞれ第1方向DR1に直線にまたは実質的に直線に延びる形状を有することができる。例えば、第1ビア層VIA1の端部EP1と第2ビア層VIA2の端部は、互いに平行に、または実質的に平行に延びるのでありうる。

【0238】

したがって、第1露出領域EA1の第2方向DR2への幅は、均一または実質的に均一でありうる。例えば、第1露出領域EA1の第2方向DR2への幅は、約10μmであり得る。

40

【0239】

同様に、第3ビア層VIA3の端部EP3(例えば、第3ビア層VIA3の一側面)も、第1方向DR1に直線または実質的な直線に延びる形状を有することができる。例えば、第3ビア層VIA3の端部EP3と第2ビア層VIA2の端部EP2は、互いに平行または実質的に平行に延びることができる。したがって、第2露出領域EA2の第2方向DR2への幅は、均一または実質的に均一でありうる。

【0240】

オーバーコーティング層OCは、第1露出領域EA1の少なくとも一部を覆うように形

50

成されうる。第2ビア層VIA2は、ダム役割をすることができる。オーバーコーティング層OCは、第2ビア層VIA2の上面を超えないように（または、溢れないように）するために形成されうる。

【0241】

このように、第1、第2、及び第3ビア層VIA1、VIA2、VIA3の端部EP1、EP2、EP3が直線形状または実質的な直線形状に形成されることで、オーバーコーティング層OCの端部が均一な位置に形成されうる。したがって、オーバーコーティング層OCおよびこれを含む表示装置10の工程変動を低減することができる。また、第2、第3、及び第4ビア層VIA2、VIA3、VIA4のダム役割により、オーバーコーティング層OCがアノードANDおよびカソードCTDまで溢れることを防止、または実質的に防止することができる。

10

【0242】

図14は、図10の表示装置の一例を示す断面図である。

【0243】

図14では、前述の図12を参照して説明した構成要素、またはこれらの構成要素と実質的に同じ構成要素に対して同じ参照符号を使用し、これらの構成要素に対する重複する説明は省略することができる。図14では、ブラック異方性導電フィルムBACFをさらに含む点を除いて、図14の表示装置は図12の表示装置と同じかまたは実質的に同じでありうる。

【0244】

図10及び図14を参照すると、表示装置10は、基板SUB、画素回路層PCL、表示素子層DPL、側面連結ラインSCL、およびオーバーコーティング層OCを含むことができる。

20

【0245】

一実施例において、表示素子層DPLは、ブラック異方性導電フィルムBACFをさらに含むことができる。ブラック異方性導電フィルムBACFは、発光素子EDと隣接して配置されうる。例えば、第1保護層PAS1およびオーバーコーティング層OCが形成された後、ブラック異方性導電フィルムBACFが第1保護層PAS1およびオーバーコーティング層OC上に配置されうる。

【0246】

ブラック異方性導電フィルムBACFによって画素SPの発光領域が定義されうる。ブラック異方性導電フィルムBACFは、少なくとも1つの遮光物質および／または反射物質を含むように構成されて、隣接する画素（または、発光素子ED）間で光（または、ライト）が漏れる光漏れ不良を防止または実質的に防止することができる。

30

【0247】

ブラック異方性導電フィルムBACFは、発光素子EDを安定的に固定しながら、発光素子EDとアノードANDおよびカソードCTDとの間の接着力を強化する有機物を含むことができる。また、ブラック異方性導電フィルムBACFの外光を吸収して、画面のコントラストを向上させることもできる。さらに、ブラック異方性導電フィルムBACFは、隣接する画素の発光領域を画定(定義)するためのバンク（例えば、画素画定(定義)膜）として機能することができる。

40

【0248】

例えば、ブラック異方性導電フィルムBACFは、ブラック顔料および微細導電粒子FCPを含むことができる。

【0249】

第1コンタクト電極CTE1とアノードANDは、これらに接触する微細導電粒子FCPを介して互いに電氣的に連結されうる。第2コンタクト電極CTE2とカソードCTDは、これらに接触する微細導電粒子FCPを介して互いに電氣的に連結されうる。

【0250】

図15は、図10の表示装置の一例を示す断面図である。

50

【0251】

図15では、図14を参照して説明した構成要素またはこれらの構成要素と実質的に同じ構成要素に対して同じ参照符号を使用し、これらの構成要素に対する重複する説明は省略することができる。図15の表示装置は、カバー層COVをさらに含む点を除いて、図15の表示装置は図14の表示装置と同じかまたは実質的に同じでありうる。

【0252】

図10及び図15を参照すると、表示装置10は、基板SUB、画素回路層PCL、表示素子層DPL、側面連結ラインSCL、およびオーバーコーティング層OCを含むことができる。

【0253】

一実施例において、表示装置10は、カバー層COVをさらに含むことができる。カバー層COVは、中間層CTLを利用して表示素子層DPL上に配置されうる。例えば、カバー層COVは、基板SUBの側面（または、表示装置の非表示領域NDA）よりも外側に突出しうる。

【0254】

中間層CTLは、表示素子層DPLとカバー層COVとの間の接着力を強化するための透明な粘着層（または、接着層）、一例として、光学用透明接着層（Optically Clear Adhesive）であり得るが、本開示はこれに限定されるものではない。実施例によれば、中間層CTLは、絶縁性および接着性を有する絶縁物質で構成された充填材を含んでもよい。

【0255】

カバー層COVは、中間層CTL上に順次配置される第1レイヤーFLおよび第2レイヤーSLを含むことができる。

【0256】

第1レイヤーFLは、外部光または表示装置10から反射される光の透過率を低下させるように設計された光透過率調節層でありうる。このような第1レイヤーFLによって、隣接する表示装置10間の間隔が外部から視認されることを防止または実質的に防止することができる。第1レイヤーFLは、位相遅延層を含むことができるが、本開示はこれに限定されるものではない。

【0257】

第2レイヤーSLは、外部光がそのまま反射されて映像の視認性が低下することを防止または実質的に防止するため、外部光を乱反射するように設計された防眩層でありうる。このような第2レイヤーSLによって、表示装置10が表示する映像のコントラスト比が高くなることができる。第2レイヤーSLは、偏光板を含むことができるが、本開示はこれに限定されるものではない。

【0258】

図16は、図10の表示装置の一例を示す断面図である。

【0259】

図16では、図12を参照して説明した構成要素またはこれらの構成要素と実質的に同じ構成要素に対して同じ参照符号を使用し、これらの構成要素に対する重複する説明は省略することができる。図16の表示装置は、面取り面CHMをさらに含む点を除いて、図16の表示装置は図12の表示装置と同じかまたは実質的に同じでありうる。

【0260】

図10及び図16を参照すると、表示装置10は、基板SUB、画素回路層PCL、表示素子層DPL、側面連結ラインSCL、およびオーバーコーティング層OCを含むことができる。

【0261】

一実施例において、基板SUBは、上面USと側面SSとの間および／または背面BSと側面SSとの間に形成される面取り面CHMを含むことができる。面取り面CHMによって、基板SUBの側面SSは、傾斜度（例えば、所定の傾斜度）を有することができる

10

20

30

40

50

。これにより、基板SUBの上面US、側面SS、および背面BSを取り囲む側面連結ラインSCLの断線を防止または実質的に防止することができる。また、面取り面CHMは、表示装置10がタイル型表示装置TDを具現化する際に、表示装置10の基板SUBが互いに衝突して破損されることを防止または実質的に防止することができる。

【0262】

図17は、図10の表示装置の一例を示す断面図である。

【0263】

図17では、図12を参照して説明した構成要素またはこれらの構成要素と実質的に同じ構成要素に対して同じ参照符号を使用し、これらの構成要素に対する重複する説明は省略することができる。図17の表示装置は、オーバーコーティング層OCをさらに含むことを除いて、図17の表示装置は図12の表示装置と実質的に同じでありうる。

【0264】

図10及び図17を参照すると、表示装置10は、基板SUB、画素回路層PCL、表示素子層DPL、側面連結ラインSCL、およびオーバーコーティング層OCを含むことができる。

【0265】

一実施例において、オーバーコーティング層OCは、第2露出領域EA2まで延びるのでありうる。例えば、オーバーコーティング層OCは、第3ビア層VIA3から露出された第2ビア層VIA2の上面に重畳するのでありうる。オーバーコーティング層OCの一端部は、第1保護層PAS1を挟んで第3ビア層VIA3の一端部（例えば、側面部）と対向するのでありうる。

【0266】

第3ビア層VIA3は、オーバーコーティング層OCのパッドプリンティング工程中にオーバーコーティング層OCが第3ア層VIA3を越えて溢れることを防止または実質的に防止することができる。オーバーコーティング層OCは、ブラックで表現することができる。表示装置10の正面の視認性の面を考慮して、製品によって、基板SUBの上面USでオーバーコーティング層OCが表示領域DAまで延びる端部が調節されうる。

【0267】

図18は、図10の表示装置にオーバーコーティング層を形成する方法の一例を示す図であり、図19は、図10の表示装置にオーバーコーティング層が形成された一例を示す図であり、図20は、図10の表示装置にオーバーコーティング層を形成する方法の一例を示す図である。

【0268】

図10、図12、図13b、図18、図19、及び図20を参照すると、オーバーコーティング層OCは、立体パッドを用いたプリンティング技法を通じて基板SUBに転写されうる。

【0269】

立体パッドは、シリコンモールドSIMを含むことができるが、本開示はこれに限定されるものではない。

【0270】

まず、シリコンモールドSIMにオーバーコーティング物質OCMが転写されうる。オーバーコーティング物質OCMは、有機素材を含むことができる。例えば、オーバーコーティング物質OCMは、オーバーコーティング層OCの硬化（例えば、高温硬化）過程におけるリフローのためのモノマー（例えば、エポキシ系物質）を含むことができる。

【0271】

また、オーバーコーティング物質OCMは、ブラックを発現するためのブラック顔料を含むことができる。ブラック顔料は、カーボンブラック、チタンブラックなどを含むことができる。オーバーコーティング物質OCMは、ブラック顔料を有機絶縁物質中でムラなく分散させるための分散剤をさらに含んでもよい。

【0272】

シリコンモールドS I Mは、軟質を有するパッドでありうる。例えば、シリコンモールドS I Mは、外部から加えられる力によって形状が変形され、その力が除去されると再び元の形状に復元され得る程度の弾性力を有することができる。

【0273】

一実施例において、図18に示すように、シリコンモールドS I Mは、オーバーコーティング層O Cの形状に対応するグループG R Vを含むことができる。

【0274】

オーバーコーティング物質O C Mが提供されるパッドイメージ板（例えば、所定のパッドイメージ板）から、シリコンモールドS I Mを用いてオーバーコーティング物質O C Mをピックアップする工程を通じて、シリコンモールドS I MのグループG R V（例えば、転写領域）にオーバーコーティング物質O C Mが転写（または、塗布）されうる。

10

【0275】

ただし、本開示はこれに限定されず、図20に示すように、オーバーコーティング物質O C MがシリコンモールドS I Mに転写される転写領域は、シリコンモールドS I Mの周辺に対して突出した突出部であってもよい。

【0276】

シリコンモールドS I Mが基板S U Bの側面S Sに対向するように配置された後、基板S U Bの上面U Sのエッジ領域および背面B Sのエッジ領域に密着ならびに加圧するパッドプリンティング工程が進行されうる。これにより、図19に示すように、オーバーコーティング層O Cが側面連結ラインS C Lを覆うように形成されうる。また、ダムの役割をする第2ビア層V I A 2によって、オーバーコーティング層O Cが第2ビア層V I A 2を超えて溢れることを防止または実質的に防止することができ、基板S U Bの上面U Sのエッジ領域でオーバーコーティング層O Cが均一または実質的に均一に形成されうる。これにより、オーバーコーティング層O Cのパッドプリンティング工程の工程変動（例えば、工程ばらつき）を低減することができる。

20

【0277】

図21は、図5の表示装置に含まれる画素の一例を示す回路図であり、図22は、図21の画素に含まれる画素回路の一例を示すレイアウト図である。

【0278】

図21、及び図22を参照すると、画素P Xは、画素回路P Cおよび発光素子E Dを含むことができる。

30

【0279】

発光素子E Dは、マイクロサイズまたはナノサイズの無機発光ダイオードでありうる。例えば、発光素子E Dは、フリップチップタイプのマイクロ発光ダイオード素子であってもよい。

【0280】

一実施例において、画素回路P Cは、パルス幅変調（PWM：P u l s e W i d t h M o d u l a t i o n）回路P W M Cおよび電流生成回路C G Cを含むことができる。電流生成回路C G Cは、適切なまたは所望の大きさ（例えば、所定の大きさ）を有する一定または実質的に一定の定電流（以下、駆動電流という）を生成して、発光素子E Dに電流を供給することができる。PWM回路P W M Cは、PWMデータ電圧V _ P W Mに基づいて、駆動電流が発光素子E Dに供給される時間を制御することができる。

40

【0281】

図22に示すように、初期化電圧ラインV I L、初期化スキャンラインG I L、書き込みスキャンラインG W L、PWM発光制御ラインP W E L、水平電源ラインH V D L、ゲートオフ電圧ラインV G H L、スイープ信号ラインS W P L、制御スキャンラインG C L、P A M発光制御ラインP A E L、テスト信号ラインT S T L、および第3電源ラインV S Lは、第1方向D R 1に延び、第2方向D R 2に互いに離隔することができる。初期化電圧ラインV I L、初期化スキャンラインG I L、書き込みスキャンラインG W L、P W M発光制御ラインP W E L、水平電源ラインH V D L、ゲートオフ電圧ラインV G H L、

50

スイープ信号ラインSWPL、制御スキャンラインGCL、PAM発光制御ラインPAEL、テスト信号ラインTSTL、および第3電源ラインVSLは、層間絶縁層ILD上に配置される第1ソース金属層SDL1によって形成されうる。

【0282】

例えば、初期化スキャンラインGIL、書き込みスキャンラインGWL、PWM発光制御ラインPWEI、制御スキャンラインGCL、PAM発光制御ラインPAEL、およびテスト信号ラインTSTLは、それぞれ層間絶縁層ILDおよび第2ゲート絶縁層GI2を貫通する（例えば、通過する）コンタクトホールを介して対応するトランジスタのそれぞれのゲート電極に連結されうる。

【0283】

例えば、初期化電圧ラインVIL、水平電源ラインHVDL、ゲートオフ電圧ラインVGHL、スイープ信号ラインSWPL、および第3電源ラインVSLは、それぞれ層間絶縁層ILD、第2ゲート絶縁層GI2、および第1ゲート絶縁層GI1を貫通する（例えば、通過する）コンタクトホールを介して、対応するトランジスタのそれぞれのソース電極SEまたはドレイン電極DEに連結されうる。

【0284】

データラインDL、垂直電源ラインVVDL、およびPAMデータラインRDLは、第2方向DR2に延びることができ、第1方向DR1に互いに離隔することができる。データラインDL、垂直電源ラインVVDL、およびPAMデータラインRDLは、第1保護層PAS1上に配置される第2ソース金属層SDL2によって形成されうる。

【0285】

データラインDLおよびPAMデータラインRDLは、それぞれ第1保護層PAS1、第1ビア層VIA1、層間絶縁層ILD、第2ゲート絶縁層GI2、および第1ゲート絶縁層GI1を貫通する（例えば、通過する）コンタクトホールを介して、対応するトランジスタのそれぞれのソース電極SEまたはドレイン電極DEに連結されうる。

【0286】

一実施例において、垂直電源ラインVVDLおよび水平電源ラインHVDLは、互いに異なる層に配置され、第1保護層PAS1および第1ビア層VIA1を貫通する（例えば、通過する）コンタクトホールを介して互いに連結されうる。垂直電源ラインVVDLおよび水平電源ラインHVDLは、第1電源ラインVDL1を形成することができる。

【0287】

一実施例において、図示されていないが、第2電源ラインVDL2は、第2保護層PAS2上に配置される第3ソース金属層SDL3で形成されうる。第2電源ラインVDL2は、第2保護層PAS2、第2ビア層VIA2、第1保護層PAS1、および第1ビア層VIA1を貫通する（例えば、貫通する）コンタクトホールを介して、第6及び第7トランジスタT6、T7に接続されうる。

【0288】

第1乃至第19トランジスタT1乃至T19のそれぞれの、図16を参照して前述したトランジスタTFの積層構造と同様の構造で積層されうる。例えば、第1乃至第19トランジスタT1乃至T19のそれぞれの、アクティブ層ACTLに形成されるチャネルCH、ソース電極SE、およびドレイン電極DEと第1ゲート層GTL1に形成されるゲート電極GEとを含むことができる。説明の便宜上、図22では、第1ゲート層GTL1に形成されたゲート電極とこれに重畳するアクティブ層ACTLのチャネルCH部分をトランジスタT1乃至T19と定義した。アクティブ層ACTLのチャネルCHの両側は、それぞれソース電極SEおよびドレイン電極DE（例えば、一電極および他電極）であると理解できる。

【0289】

一実施例において、第1乃至第19トランジスタT1乃至T19のチャネルCH、ソース電極SE、およびドレイン電極DEを含むアクティブ層ACTLは、一体に形成されうる。

10

20

30

40

50

【0290】

第1乃至第3キャパシタC1、C2、C3のそれぞれは、図12を参照して前述した第1キャパシタC1の積層構造と同様の構造で積層されうる。例えば、第1乃至第3キャパシタC1、C2、C3のそれぞれは、第1ゲート層GTL1に形成される下部電極および第2ゲート層GTL2に形成される上部電極を含むことができる。

【0291】

一実施例において、電流生成回路CGCは、第1乃至第11トランジスタT1乃至T11および第1キャパシタC1を含むことができる。

【0292】

第1トランジスタT1は、駆動トランジスタとして発光期間の間に発光素子EDに供給される駆動電流を生成することができる。

10

【0293】

第2トランジスタT2は、PAMデータラインRDLと第2ノードN2との間に接続されうる。第2トランジスタT2のゲート電極は、コンタクトホールを介して書き込みスキャンラインGWLに連結されうる。第2トランジスタT2は、書き込みスキャンラインGWLに供給される書き込みスキャン信号に応答してターンオンされうる。

【0294】

PAMデータラインRDLには、PAMデータ電圧V_{PAM}が供給されうる。PAMデータ電圧V_{PAM}は、駆動電流の大きさを決定することができる。無機発光ダイオードである発光素子EDの発光輝度は、有機発光ダイオードとは違って、駆動電流の変化に敏感ではない。したがって、発光素子EDの発光輝度は、駆動電流の大きさよりは、駆動電流が供給される時間によって制御されうる。

20

【0295】

一実施例において、PAMデータ電圧V_{PAM}は、階調などに関係なく、同じ色の光を放出する同じ種類の副画素に同じまたは実質的に同じ大きさを供給されうる。ただし、本開示はこれに限定されず、PAMデータ電圧V_{PAM}は、基準（例えば、所定の基準）に従って変わってもよい。

【0296】

第3トランジスタT3は、第1トランジスタT1のゲート電極（例えば、第1ノードN1）と第1トランジスタT1のドレイン電極（例えば、第3ノードN3）との間に電氣的に接続されうる。第3トランジスタT3のゲート電極は、書き込みスキャンラインGWLに接続されうる。

30

【0297】

第3トランジスタT3は、第2トランジスタT2と共にターンオンされることができ、第1トランジスタT1をダイオード連結させることができ、これによって第1トランジスタT1のしきい値電圧を補償することができる。一実施例において、第3トランジスタT3は、複数のトランジスタが直列に連結された形態を有することができ、第3トランジスタT3は、共通に連結されたゲート電極を含むことができる。例えば、図22に示すように、第3トランジスタT3のゲート電極は、2枝に分かれてそれぞれアクティブ層ACTLに重畳することができる。

40

【0298】

第4トランジスタT4は、第1ノードN1と初期化電源V_{int}の電圧を供給するための初期化電圧ラインVILとの間に接続されうる。第4トランジスタT4のゲート電極は、コンタクトホールを介して初期化スキャンラインGILに連結されうる。第4トランジスタT4は、初期化スキャンラインGILに供給される初期化スキャン信号に応答してターンオンされうる。第4トランジスタT4がターンオンされると、初期化電源V_{int}の電圧が第1ノードN1に供給されうる。言い換えれば、第1トランジスタT1のゲート電圧が初期化されうる。

【0299】

一実施例において、第4トランジスタT4は、複数のトランジスタが直列連結された形

50

態を有することができ、第4トランジスタT4は、共通に連結されたゲート電極を含むことができる。例えば、図22に示すように、第4トランジスタT4のゲート電極は、2枝に分かれてそれぞれアクティブ層ACTLに重畳することができる。

【0300】

初期化電源Vintの電圧は、トランジスタをターンオンさせるのに十分低い電圧であり得る。

【0301】

第5トランジスタT5は、第3ノードN3と発光素子EDのアノード電極（例えば、第4ノードN4）との間に接続されうる。例えば、第5トランジスタT5のドレイン電極は、コンタクトホールを介してアノード連結電極ACEに接続されうる。アノード連結電極ACEは、コンタクトホールを介して上部のアノードAND（図16に図示）に接続されうる。

10

【0302】

第5トランジスタT5のゲート電極は、コンタクトホールを介してPAM発光制御ラインPAELに連結されうる。第5トランジスタT5は、PAM発光制御ラインPAELに供給されるPAM発光制御信号に応答してターンオンされうる。

【0303】

第6トランジスタT6は、第2電源VDD2の電圧を供給するための第2電源ラインVDL2と第2ノードN2との間に接続されうる。第6トランジスタT6のゲート電極は、コンタクトホールを介してPWM発光制御ラインPWE Lに連結されうる。第6トランジスタT6は、PWM発光制御ラインPWE Lに供給されるPWM発光制御信号に応答してターンオンされうる。一実施例において、PWM発光制御信号とPAM発光制御信号は、同じまたは実質的に同じタイミングで提供されうる。

20

【0304】

第7トランジスタT7は、第2電源ラインVDL2と第1キャパシタC1の第2キャパシタ電極CE2（図16に図示、例えば、上部電極）との間に接続されうる。第1キャパシタC1の第2キャパシタ電極CE2は、第2ゲート層GTL2に形成されうる。第7トランジスタT7のゲート電極は、コンタクトホールを介してPWM発光制御ラインPWE Lに連結されうる。

【0305】

第7トランジスタT7は、PWM発光制御信号に応答してターンオンされうる。したがって、発光期間に、第1キャパシタC1の第2キャパシタ電極CE2は、第2電源VDD2に連結されうる。

30

【0306】

第8トランジスタT8は、第1電源VDD1の電圧を供給するための第1電源ラインVDL1と第1キャパシタC1の第2キャパシタ電極CE2との間に接続されうる。例えば、第8トランジスタT8の一電極は、コンタクトホールを介して垂直電源ラインVVDLに接続され、他電極は、コンタクトホールを介して第1キャパシタC1の第2キャパシタ電極CE2に接続されうる。

【0307】

第8トランジスタT8のゲート電極は、コンタクトホールを介して制御スキャンラインGCLに接続されうる。第8トランジスタT8は、制御スキャン信号に応答してターンオンされうる。第8トランジスタT8がターンオンされると、第1キャパシタC1の第2キャパシタ電極CE2に第1電源VDD1の電圧が供給されうる。

40

【0308】

第1電源VDD1の電圧と第2電源VDD2の電圧は、同じまたは実質的に同じであってもよく、互いに異なってもよい。

【0309】

書き込みスキャン信号、初期化スキャン信号、および制御スキャン信号は、非発光期間に供給されうる。初期化スキャン信号は、書き込みスキャン信号よりも先に供給されうる

50

。また、制御スキャン信号は、書き込みスキャン信号の供給タイミングと同じまたは実質的に同じタイミングで供給されうる。ただし、本開示はこれに限定されず、制御スキャン信号は、書き込みスキャン信号が供給された後に供給されてもよい。

【0310】

第1キャパシタC1の第1キャパシタ電極CE1は、第1トランジスタT1のゲート電極、言い換えれば、第1ノードN1に連結されうる。例えば、第1キャパシタC1の第1キャパシタ電極CE1と第1トランジスタT1のゲート電極は、一体に形成されうる。第1トランジスタT1のゲート電極において、第1キャパシタC1の第2キャパシタ電極CE2に重畳する部分が第1キャパシタ電極CE1であると理解することができる。

【0311】

第1キャパシタC1は、PAMデータ電圧V_{PAM}を記憶するストレージキャパシタの役割をすることができる。

【0312】

第9トランジスタT9は、第4ノードN4に相応する第5トランジスタT5のドレイン電極と初期化電圧ラインV_{IL}との間に接続されうる。第9トランジスタT9の一電極は、コンタクトホールを介して初期化電圧ラインV_{IL}に連結されうる。

【0313】

第9トランジスタT9のゲート電極は、コンタクトホールを介して制御スキャンラインG_{CL}に連結されうる。第9トランジスタT9は、制御スキャン信号に応答して第4ノードN4に初期化電源V_{int}の電圧を供給することができる。したがって、初期化電源V_{int}の電圧は、アノード連結電極ACEを介してアノードANDに提供されうる。

【0314】

第10トランジスタT10は、第4ノードN4と第2電源V_{DD2}を供給するための第3電源線V_{SL}との間に接続されうる。第10トランジスタT10は、テスト信号ラインT_{STL}に供給されるテスト電圧に応答してターンオンされうる。

【0315】

第10トランジスタT10は、製造工程中、発光素子EDと画素回路PCとの連結前に、テスト電圧に応じてターンオンされて、画素回路PCの異常の有無を確認するために利用されうる。第10トランジスタT10の一電極は、コンタクトホールを介してアノード連結電極ACEと電氣的に互いに連結され、他電極は、コンタクトホールを介して第3電源ラインV_{SL}に連結されうる。第3電源ラインV_{SL}に供給される第3電源V_{SS}の電圧は、第1電源V_{DD1}および第2電源V_{DD2}の電圧よりも低くてもよい。例えば、第3電源V_{SS}の電圧は、接地電圧に相応することができる。

【0316】

第10トランジスタT10のゲート電極は、コンタクトホールを介してテスト信号ラインT_{STL}に接続されうる。

【0317】

第11トランジスタT11は、第3ノードN3と第5トランジスタT5との間に接続されうる。例えば、第11トランジスタT11は、第1トランジスタT1と第5トランジスタT5との間に形成されうる。

【0318】

第11トランジスタT11のゲート電極は、第3キャパシタC3の下部電極に連結されうる。第11トランジスタT11のゲート電極および第3キャパシタC3の下部電極は、第9ノードN9に接続されうる。

【0319】

第11トランジスタT11は、第9ノードN9の電圧に基づいてターンオンされうる。第11トランジスタT11のターンオン時間は、発光素子EDの発光期間（例えば、発光デューティ）に相応することができる。

【0320】

PWM回路PWM_Cは、PWMデータ電圧V_{PWM}に基づいて、第11トランジスタ

10

20

30

40

50

T11のターンオン時間を制御することができる。PWM回路PWMCは、第12乃至第19トランジスタT12乃至T19、第2キャパシタC2、および第3キャパシタC3を含むことができる。

【0321】

第12トランジスタT12は、PWMデータ電圧V_{PWM}およびスイープ信号ラインSWPLに供給されるスイープ電圧に基づいて、発光期間の間にターンオンされうる。第12トランジスタT12は、第6ノードN6と第7ノードN7との間に接続されうる。第12トランジスタT12のゲート電極は、第5ノードN5に対応することができる。

【0322】

第13トランジスタT13は、データラインDLと第6ノードN6（例えば、第12トランジスタT12の一電極）との間に接続されうる。

【0323】

第13トランジスタT13のゲート電極は、コンタクトホールを介して書き込みスキャンラインGWLと接続されうる。第13トランジスタT13は、書き込みスキャン信号に応答してPWMデータ電圧V_{PWM}を第6ノードN6に提供することができる。

【0324】

第14トランジスタT14は、第5ノードN5と第7ノードN7との間に接続されうる。例えば、第12トランジスタT12と第14トランジスタT14は、第2ソース金属層SDL2の連結パターン（例えば、所定の連結パターン）を介して互いに連結されうる。

【0325】

第14トランジスタT14のゲート電極は、コンタクトホールを介して書き込みスキャンラインGWLと接続されうる。第14トランジスタT14は、書き込みスキャン信号に応答して第12トランジスタT12をダイオード連結させ、第12トランジスタT12のしきい値電圧を補償することができる。しきい値電圧が補償されたPWMデータ電圧V_{PWM}は、第5ノードN5に提供されうる。

【0326】

一実施例において、第14トランジスタT14は、複数のトランジスタが直列に連結された形態を有することができる。第14トランジスタT14は、共通に連結されたゲート電極を含むことができる。例えば、図22に示すように、第14トランジスタT14のゲート電極は、2枝に分かれてそれぞれアクティブ層ACTLに重畳することができる。

【0327】

第15トランジスタT15は、第5ノードN5と初期化電圧ラインVILとの間に接続されうる。第15トランジスタT15のゲート電極は、コンタクトホールを介して初期化スキャンラインGILに連結されうる。第15トランジスタT15は、初期化スキャンラインGILに供給される初期化スキャン信号に応答して初期化電源V_{int}の電圧を第5ノードN5に供給することができる。

【0328】

一実施例において、第15トランジスタT15は、複数のトランジスタが直列に連結された形態を有することができる。第15トランジスタT15は、共通に連結されたゲート電極を含むことができる。例えば、図22に示すように、第14トランジスタT14のゲート電極は、2枝に分かれてそれぞれアクティブ層ACTLに重畳することができる。

【0329】

第16トランジスタT16は、第1電源ラインVDL1と第6ノードN6との間に接続されうる。第16トランジスタT16のゲート電極は、コンタクトホールを介してPWM発光制御ラインPWELに接続されうる。

【0330】

第17トランジスタT17は、第7ノードN7と第9ノードN9との間に接続されうる。第17トランジスタT17のゲート電極は、コンタクトホールを介してPWM発光制御ラインPWELに接続されうる。

【0331】

10

20

30

40

50

第16及び第17トランジスタT16、T17は、PWM発光制御信号に応答してターンオンされうる。言い換えれば、第16及び第17トランジスタT16、T17は、第1電源ラインVDL1と第9ノードN9との間の導電経路を提供することができる。

【0332】

第18トランジスタT18は、スweep信号ラインSWPLが連結された第8ノードN8と、ゲートオフ電圧VGH（例えば、高電位電圧）を供給するためのゲートオフ電圧ラインVGHLとの間に接続されうる。例えば、第18トランジスタT18の一電極は、コンタクトホールを介してスweep信号ラインSWPLに接続され、他電極は、コンタクトホールを介してゲートオフ電圧ラインVGHLに接続されうる。

【0333】

第18トランジスタT18は、第3走査信号に応答して高電位電圧VGHの電圧を第8ノードN8に供給することができる。

【0334】

したがって、第15及び第18トランジスタT15、T18が共に（例えば、同時に）ターンオンされると、第2キャパシタC2の両端にゲートオフ電圧VGHと初期化電源Vintとの電圧差が記憶されうる。

【0335】

第19トランジスタT19は、第9ノードN9と初期化電圧ラインVILとの間に接続されうる。第19トランジスタT19の一電極は、コンタクトホールおよびこれに連結される連結パターンを介して第11トランジスタT11のゲート電極に連結されうる。第19トランジスタT19の他電極は、コンタクトホールを介して初期化電圧ラインVILに連結されうる。

【0336】

第19トランジスタT19のゲート電極は、コンタクトホールを介して制御スキャンラインGCLに連結されうる。第19トランジスタT19は、制御スキャン信号に応答して第9ノードN9に初期化電源Vintの電圧を供給することができる。

【0337】

また、第3キャパシタC3は、第9ノードN9と初期化電圧ラインVILとの間に接続されうる。例えば、第3キャパシタC3の下部電極は、第11トランジスタT11のゲート電極と一体に形成され、第3キャパシタC3の上部電極は、初期化電圧ラインVILに重畳して、第2ゲート層GTL2に形成されうる。第3キャパシタC3の上部電極は、コンタクトホールを介して初期化電圧ラインVILに連結されうる。

【0338】

これにより、第3キャパシタC3に初期化電源Vintの電圧が充電され、第9ノードN9は、初期化電源Vintの電圧を維持または実質的に維持することができる。

【0339】

一実施例において、第19トランジスタT19は、複数のトランジスタが直列に連結された形態を有することができ、第19トランジスタT19は、共通に連結されたゲート電極を含むことができる。例えば、図22に示すように、第19トランジスタT19のゲート電極は、折れ曲がった形状を有することができ、二つの部分は、アクティブ層ACTLに重畳することができる。

【0340】

第5及び第6トランジスタT5、T6がターンオンされると、第2電源ラインVDL2と第3電源ラインVSLとの間に、ターンオンされた第11トランジスタT11を通る電流経路が形成されることができ、発光素子EDが発光することができる。例えば、第12トランジスタT12のターンオフ状態で発光素子EDの発光が開始されうる。

【0341】

PWM回路PWMCは、第5ノードN5に設定された電圧に基づいて、発光素子EDの発光時間を制御することができる。例えば、PWM回路PWMCは、第5ノードN5に設定された電圧に基づいて、第11トランジスタT11の動作を制御することで、駆動電流

10

20

30

40

50

の供給を制御することができる。

【0342】

一実施例において、PWMデータ電圧 V_PWM は、第12トランジスタ $T12$ をターンオフさせる電圧範囲を有することができる。例えば、PWMデータ電圧 V_PWM は、10V乃至15Vの電圧範囲内で決定されうる。この場合、第1電源 $VDD1$ の電圧は約10Vであり得る。したがって、第16及び第17トランジスタ $T16$ 、 $T17$ がターンオンされて第1電源 $VDD1$ の電圧が第6ノード $N6$ に供給されると、第12トランジスタ $T12$ のゲートソース電圧がしきい値電圧以上であることから、第12トランジスタ $T12$ はターンオフされうる。第12トランジスタ $T12$ がターンオフされると、第3キャパシタ $C3$ に記憶された初期化電源 V_{int} の電圧によって、第11トランジスタ $T11$ はターンオン状態を維持または実質的に維持することができ、発光素子 ED の発光時間が維持または実質的に維持されうる。

10

【0343】

しかしながら、第5ノード $N5$ の電圧が変わって第12トランジスタ $T12$ のゲートソース電圧がしきい値電圧よりも低くなると、第12トランジスタ $T12$ がターンオンされ、第9ノード $N9$ に第1電源 $VDD1$ の電圧が供給され、第11トランジスタ $T11$ がターンオフされうる。これにより、発光素子 ED の発光が中断になることができる。

【0344】

具体的には、スイープ信号ライン $SWPL$ に提供されるスイープ電圧は、PAM発光制御信号およびPWM発光制御信号の供給に同期して変えることができる。例えば、スイープ電圧は、PAM発光制御信号およびPWM発光制御信号が供給される期間の間に減少する三角波形状を有することができる。例えば、スイープ電圧は、15Vから10Vまで直線的に減少する電圧であり得るが、本開示はこれに限定されるものではない。

20

【0345】

スイープ電圧の変化は、第2キャパシタ $C2$ を介して第5ノード $N5$ にカップリングされるので、第5ノード $N5$ の電圧は、スイープ電圧の変化に応じて変わることができる。したがって、PWMデータ電圧 V_PWM の書き込みによって、第5ノード $N5$ に設定された電圧の大きさに応じて第12トランジスタ $T12$ がターンオンされる時点が決定されることができ、発光素子 ED の発光時間を制御することができる。

【0346】

このような発光素子 ED の発光時間の制御により発光輝度を調節することができる。

30

【0347】

ただし、画素回路の構造は図21及び図22によって限定されるものではなく、公知の様々な画素回路構造で可能である。

【0348】

図23は、図4のタイル型表示装置に含まれる表示装置が互いに連結された一例を示す断面図である。

【0349】

図4、図12、図14、図15、図16、図17、及び図23を参照すると、タイル型表示装置 TD は、互いに隣接して連結される第1表示装置10-1および第2表示装置10-2を含むことができる。

40

【0350】

第1表示装置10-1は、第1基板 $SUB1$ 、発光素子 ED 、第1カバー層 $COV1$ 、第1側面連結ライン $SC1$ 、および第1オーバーコーティング層 $OC1$ を含むことができる。第1基板 $SUB1$ 、発光素子 ED 、および第1カバー層 $COV1$ は、第3方向 $DR3$ に沿って順次積層されうる。第2表示装置10-2は、第2基板 $SUB2$ 、発光素子 ED 、第2カバー層 $COV2$ 、第2側面連結ライン $SC2$ 、および第2オーバーコーティング層 $OC2$ を含むことができる。第2基板 $SUB2$ 、発光素子 ED 、および第2カバー層 $COV2$ は、第3方向 $DR3$ に沿って順次積層されうる。

【0351】

50

第1カバー層COV1と第2カバー層COV2のそれぞれは、図15を参照して前述したカバー層COVと実質的に同じまたは実質的に同じ構成でありうる。

【0352】

第1基板SUB1および第2基板SUB2のそれぞれは、図12、図14、図15、図16、及び図17を参照して前述した基板SUBおよび画素回路層PCLの構成を含むことができる。

【0353】

第1及び第2表示装置10-1、10-2のそれぞれは、面取り面CHMを含むことができる。面取り面CHMは、第1及び第2表示装置10-1、10-2が互いに結合される際に、第1基板SUB1と第2基板SUB2が互いに衝突して破損されることを防止または実質的に防止することができる。

10

【0354】

第1側面連結ラインSCL1および第1オーバーコーティング層OC1は、第1基板SUB1の面取り面CHMを含む縁EDGに配置されうる。第1側面連結ラインSCL1および第1オーバーコーティング層OC1は、第1基板SUB1の上面の一部および背面の一部まで延びることができる。第1オーバーコーティング層OC1は、第1側面連結ラインSCL1全体を覆うことができる。

【0355】

第2側面連結ラインSCL2および第2オーバーコーティング層OC2は、第2基板SUB2の面取り面CHMを含む縁EDGに配置されうる。第2側面連結ラインSCL2および第2オーバーコーティング層OC2は、第2基板SUB2の上面の一部および背面の一部まで延びることができる。第2オーバーコーティング層OC2は、第2側面連結ラインSCL2の全体を覆うことができる。

20

【0356】

第1基板SUB1と第2基板SUB2上には、それぞれ発光素子EDおよび発光素子EDの間に位置するバンクBNKが提供されうる。バンクBNKは、ブラック異方性導電フィルムBACFによって具現化されうる。

【0357】

第1カバー層COV1は、第1基板SUB1およびその上部に実装された発光素子EDをカバーするように設けられ、外部から第1基板SUB1と発光素子EDを保護することができる。

30

【0358】

第2カバー層COV2は、第2基板SUB2およびその上部に実装された発光素子EDをカバーするように設けられ、外部から第2基板SUB2と発光素子EDを保護することができる。

【0359】

第1カバー層COV1と第2カバー層COV2は、第1基板SUB1（または、表示装置10-1）と第2基板SUB2（または、第2表示装置10-2）との間に形成される間隙Gによって形成される結合領域SM（例えば、シーム（seam））の視認性を低下させ、第1表示装置10-1と第2表示装置10-2との間の色偏差を改善することができる。

40

【0360】

第1カバー層COV1は、第1基板SUB1の縁EDGよりも外側に突出することができる。第2カバー層COV2は、第2基板SUB2の縁EDGよりも外側に突出することができる。第1基板SUB1と第2基板SUB2との間の間隙Gは、第1カバー層COV1と第2カバー層COV2との間の間隙よりも大きくてもよい。

【0361】

一実施例において、第1基板SUB1と第2基板SUB2との間の間隙Gで、第1オーバーコーティング層OC1および第2オーバーコーティング層OC2は、互いに対向することができる。

50

【0362】

ブラックを発現する第1オーバーコーティング層OC1および第2オーバーコーティング層OC2は、間隙Gに入射される光を吸収することができる。また、第1オーバーコーティング層OC1および第2オーバーコーティング層OC2は、第1及び第2側面連結ラインSCL1、SCL2からの光反射を遮断することができる。第1オーバーコーティング層OC1および第2オーバーコーティング層OC2は、第1基板SUB1と第1カバー層COV1との間および第2基板SUB2と第2カバー層COV2との間の空間にそれぞれ異物および／または水分が流入することを防止又は実質的に防止することができる。

【0363】

図24は、図4のタイル型表示装置の一例を示すブロック図である。

10

【0364】

図24では、説明の便宜上、第1表示装置10-1とホストシステムHOSTを示す。

【0365】

図4及び図24を参照すると、一実施例によるタイル型表示装置TDは、ホストシステムHOST、放送チューニング部210（例えば、放送チューナー）、信号処理部220（例えば、信号処理器）、ディスプレイ部230（例えば、ディスプレイまたはディスプレイ装置）、スピーカ240、ユーザ入力部250（例えば、ユーザ入力装置）、記憶部260（例えば、記憶装置）、ネットワーク通信部270（例えば、ネットワーク通信装置）、UI生成部280（例えば、UI生成器）、および制御部290（例えば、制御器またはコントローラ）を含むことができる。

20

【0366】

ホストシステムHOSTは、テレビシステム、ホームシアターシステム、セットトップボックス、ナビゲーションシステム、DVDプレーヤー、ブルーレイプレーヤー、パーソナルコンピュータ（Personal Computer）、携帯電話システム（mobile phone system）、タブレットなどで具現化される。

【0367】

ホストシステムHOSTにユーザの命令が様々な適切な形式で入力される。例えば、ホストシステムHOSTは、ユーザのタッチ入力による命令が入力される。別の例として、ホストシステムHOSTには、キーボード入力またはリモートコントローラのボタン入力によるユーザの命令が入力される。

30

【0368】

ホストシステムHOSTは、外部からオリジナル映像に該当するオリジナルビデオデータの入力を受けることができる。ホストシステムHOSTは、オリジナルビデオデータを表示装置の数だけ分割できる。例えば、ホストシステムHOSTは、タイル型表示装置に含まれる第1表示装置10-1、第2表示装置10-2、第3表示装置10-3、および第4表示装置10-4に対応して、オリジナルビデオデータを、第1映像に対応する第1ビデオデータ、第2映像に対応する第2ビデオデータ、第3映像に対応する第3ビデオデータ、および第4映像に対応する第4ビデオデータに分割できる。

【0369】

ホストシステムHOSTは、第1ビデオデータを第1表示装置10-1に送信し、第2ビデオデータを第2表示装置10-2に送信し、第3ビデオデータを第3表示装置10-3に送信し、第4ビデオデータを第4表示装置10-4に送信することができる。

40

【0370】

第1表示装置10-1は、第1ビデオデータに従って第1映像を表示し、第2表示装置10-2は、第2ビデオデータに従って第2映像を表示し、第3表示装置10-3は、第3ビデオデータに従って第3映像を表示し、第4表示装置10-4は、第4ビデオデータに従って第4映像を表示することができる。これにより、ユーザは、第1乃至第4表示装置10-1、10-2、10-3、10-4に表示される第1乃至第4映像が互いに組み合わせられたオリジナル映像を視聴できる。

【0371】

50

第1表示装置10-1は、放送チューニング部210、信号処理部220、ディスプレイ部230、スピーカ240、ユーザ入力部250、記憶部260、ネットワーク通信部270、UI生成部280および制御部290を含むことができる。

【0372】

放送チューニング部210は、制御部290の制御に応じてチャンネル周波数（例えば、所定のチャンネル周波数）をチューニングして、該当チャンネルの放送信号をアンテナで受信することができる。放送チューニング部210は、チャンネルディテクションモジュール（例えば、チャンネルディテクタ）およびRFデモジュレーションモジュール（例えば、RFデモジュレータ）を含むことができる。

【0373】

放送チューニング部210によって復調された放送信号は、信号処理部220で処理されて、ディスプレイ部230およびスピーカ240に出力される。ここで、信号処理部220は、デマルチプレクサ221、ビデオデコーダ222、ビデオ処理部223（例えば、ビデオ処理器）、オーディオデコーダ224および付加データ処理部225（例えば、付加データ処理器）を含むことができる。

【0374】

デマルチプレクサ221は、復調された放送信号をビデオ信号、オーディオ信号、付加データに分離する。分離されたビデオ信号、オーディオ信号、付加データは、それぞれビデオデコーダ222、オーディオデコーダ224、付加データ処理部225によって復元される。例えば、ビデオデコーダ222、オーディオデコーダ224、付加データ処理部225は、放送信号送信時のエンコーディングフォーマットに対応するデコーディングフォーマットに復元することができる。

【0375】

デコーディングされたビデオ信号は、ビデオ処理部223によってディスプレイ部230の出力規格に合う垂直周波数、解像度、画面比率などに合うように変換され、デコーディングされたオーディオ信号は、スピーカ240に出力される。

【0376】

ディスプレイ部230は、映像を表示することができる。

【0377】

ユーザ入力部250は、ホストシステムHOSTが送信する信号を受信することができる。ユーザ入力部250は、ホストシステムHOSTが送信するチャンネルの選局、UI（User Interface）メニューの選択および操作に関するデータだけでなく、他の表示装置との通信に関する命令をユーザが選択、入力に対するデータが入力されるように設けられることができる。

【0378】

記憶部260は、OSプログラムをはじめとする様々なソフトウェアプログラム、録画された放送プログラム、動画、写真、その他のデータを記憶するもので、ハードディスクまたは不揮発性メモリなどの記憶媒体からなることができる。

【0379】

ネットワーク通信部270は、ホストシステムHOSTおよび他の表示装置との近距離通信のためのもので、移動通信、データ通信、ブルートゥース（登録商標）、RF、イーサネットなどを具現化できるアンテナパターンを含んだ通信モジュールで具現化可能である。

【0380】

ネットワーク通信部270は、後述するアンテナパターンを介して移動通信のための技術標準または通信方式（例えば、GSM（Global System for Mobile communication）、CDMA（Code Division Multi Access）、CDMA2000（Code Division Multi Access 2000）、EV-DO（Enhanced Voice-Data Optimized or Enhanced Voice-Data Only）、WCDMA（登録商標）（Wideband CDMA）、HSDPA（High Speed Down

10

20

30

40

50

Link Packet Access)、HSPA (High Speed Uplink Packet Access)、LTE (Long Term Evolution)、LTE-A (Long Term Evolution-Advanced)、5Gなど)に従って構築された移動通信網上で基地局、外部の端末、サーバのうちの少なくとも1つと無線信号を送受信することもできる。

【0381】

ネットワーク通信部270は、以下でより詳細に説明されるアンテナパターンを介して無線インターネット技術による通信網で無線信号を送受信することもできる。無線インターネット技術としては、例えば、WLAN (Wireless LAN)、Wi-Fi (Wireless Fidelity)、Wi-Fi Direct、DLNA (登録商標) (Digital Living Network Alliance)、WiBro (Wireless Broadband)、WiMAX (World Interoperability for Microwave Access)、HSDPA (High Speed Downlink Packet Access)、HSPA (High Speed Uplink Packet Access)、LTE (Long Term Evolution)、LTE-A (Long Term Evolution-Advanced) などがある。アンテナパターンは、前記に列挙されていないインターネット技術まで含む範囲で、少なくとも1つの無線インターネット技術によってデータを送受信することになる。

【0382】

UI生成部280は、ホストシステムHOSTおよび他の表示装置との通信のためのUIメニューを生成するもので、アルゴリズムコードおよびOSD ICによって具現化可能である。ホストシステムHOSTおよび他の表示装置との通信のためのUIメニューは、通信を所望する相手デジタルTVの指定および所望の機能を選択するためのメニューであり得る。

【0383】

制御部290は、第1表示装置10-1の全体的な制御を担当し、ホストシステムHOSTならびに第2、第3、及び第4表示装置10-2、10-3、10-4の通信制御を担当する。制御のための該当アルゴリズムコードが記憶され、制御部290は、記憶されたアルゴリズムコードが実行されるMCU (Micro Controller Unit) によって具現化される。

【0384】

制御部290は、ユーザ入力部250の入力および選択に応じて、該当制御命令およびデータをネットワーク通信部270を介してホストシステムHOSTならびに第2、第3、及び第4表示装置10-2、10-3、10-4に送信するように制御する。制御命令 (例えば、所定の制御命令) およびデータがホストシステムHOSTならびに第2、第3、及び第4表示装置10-2、10-3、10-4から入力された場合、該当制御命令に従って動作が実行される。

【0385】

第2、第3、及び第4表示装置10-2、10-3、10-4のそれぞれのブロック図は、図24を参照して前述した第1表示装置10-1のブロック図と同一または実質的に同一であるので、これらについての説明は省略することができる。

【0386】

以上、いくつかの実施例を説明してきたが、当該技術分野の熟練した当業者は、本開示の思想および領域から逸脱しない範囲内で、実施例を様々な修正および変更可能であることを理解できるであろう。各々の実施形態中の特徴または態様の説明は、特に説明されない限り、一般に他の実施例の他の類似する特徴または態様に対して利用可能であると見なされるべきであることが理解されるであろう。従って、当業者に明らかなように、特定の実施例に関連して説明された特徴、性質、および／または構成は、単独で、または他に具体的に表さない限り、他の実施例に関連して説明された特徴、性質、および／または構成

10

20

30

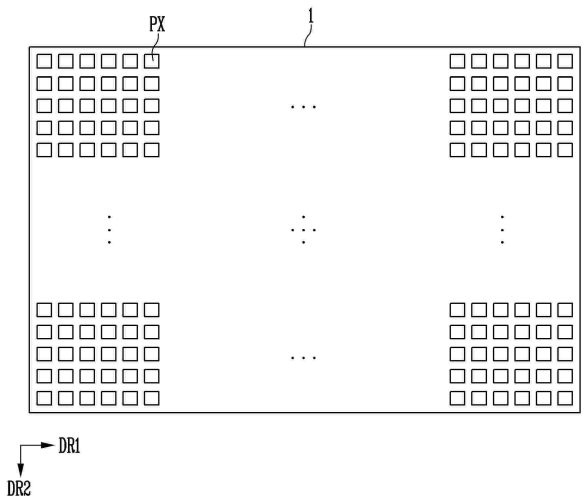
40

50

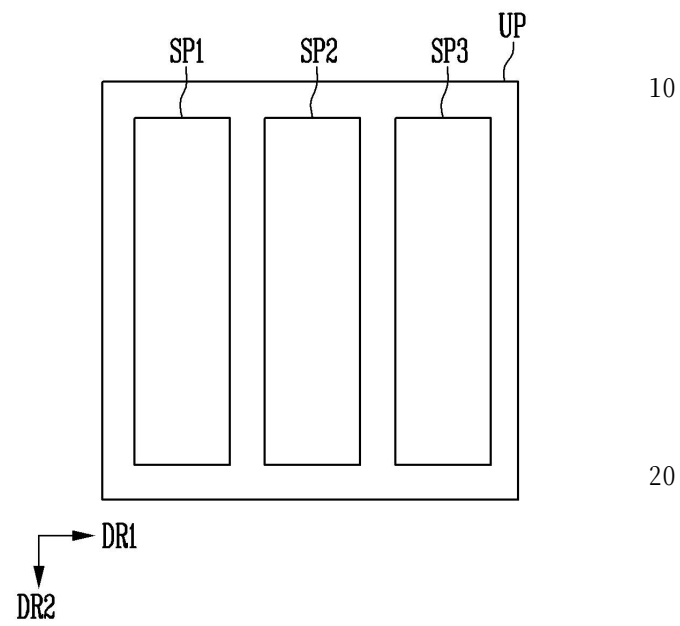
と組み合わせて用いられることができる。したがって、前述した内容は、様々な例示的な実施例を例示したものであり、ここに開示された特定の実施例に限定されるものと解釈されるべきではなく、開示された実施例および他の例示的な実施例に対する様々な修正は、以下の添付の請求の範囲に定義される本開示の思想および範囲ならびにその均等物に含まれる。

【図面】

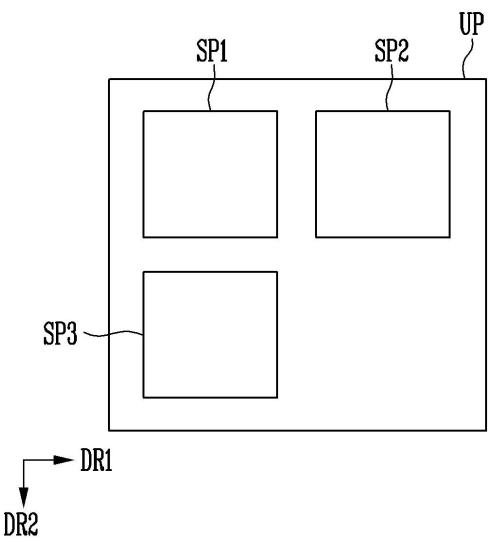
【図 1】



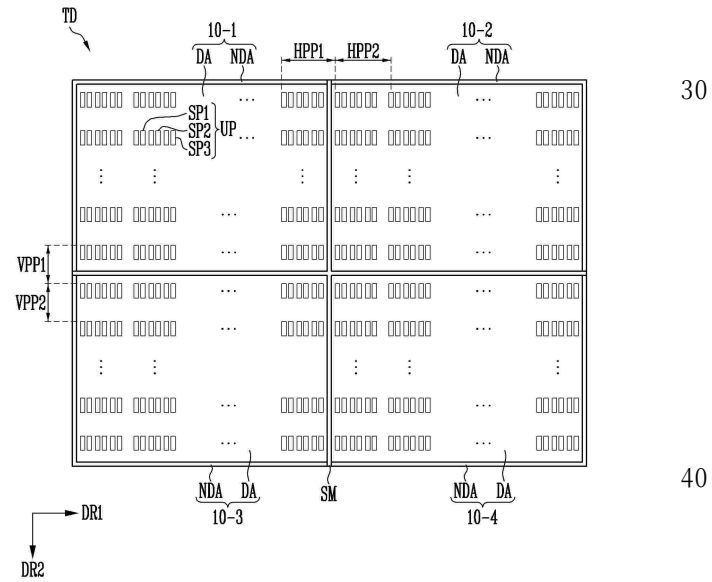
【図 2】



【図 3】



【図 4】



10

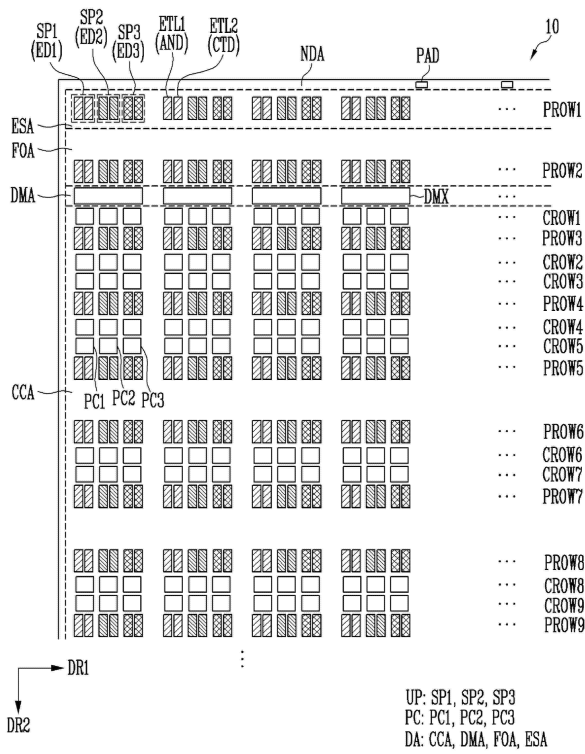
20

30

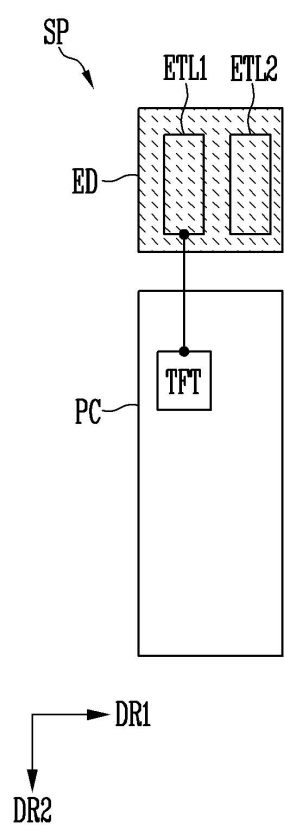
40

50

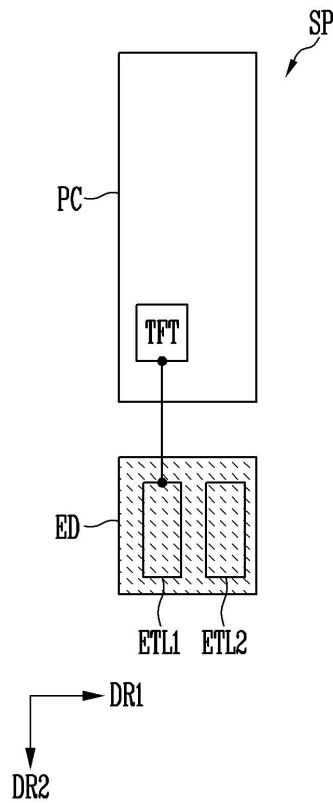
【図 5】



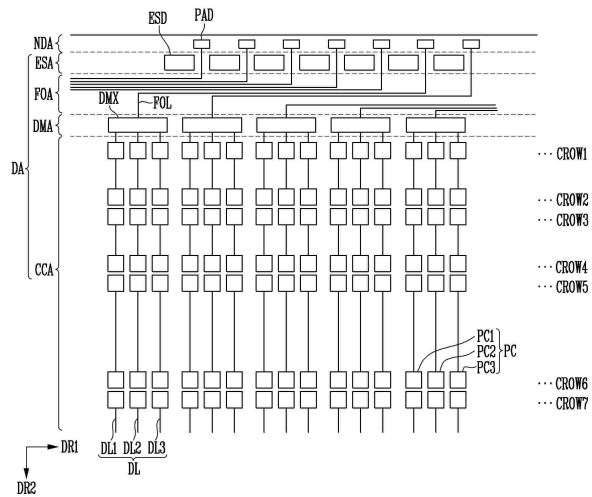
【図 6】



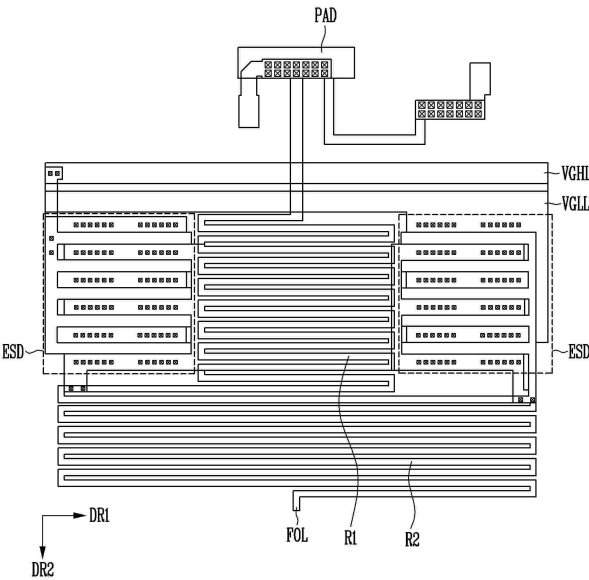
【図 7】



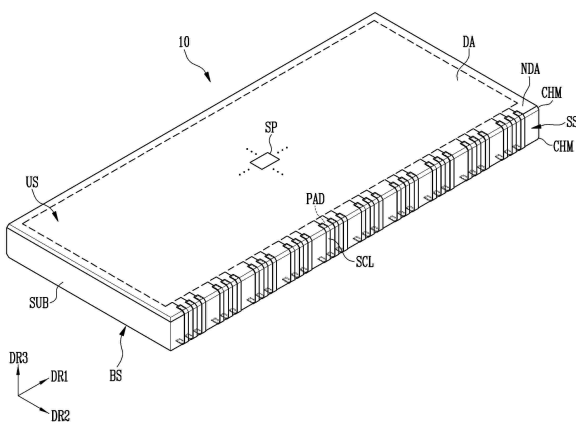
【図 8】



【図 9】

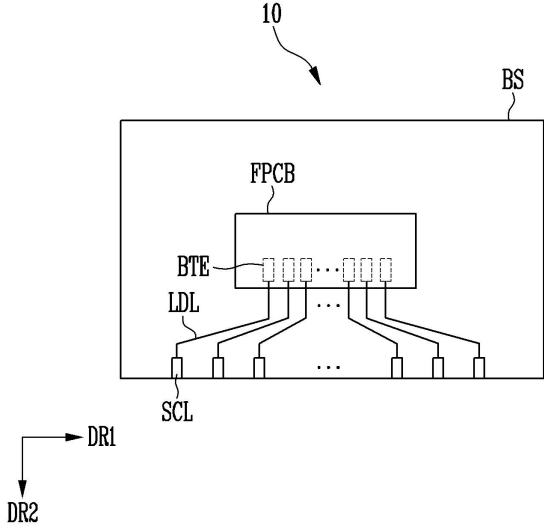


【図 10】

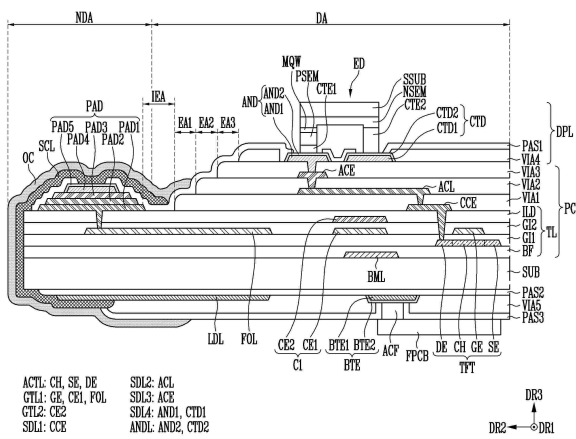


10

【図 11】



【図 12】



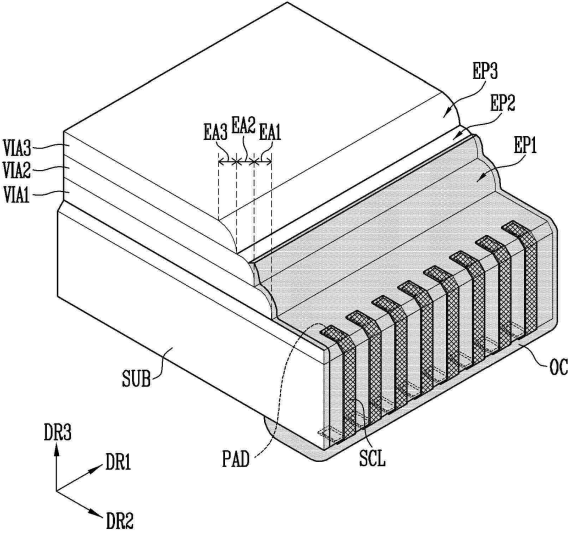
20

30

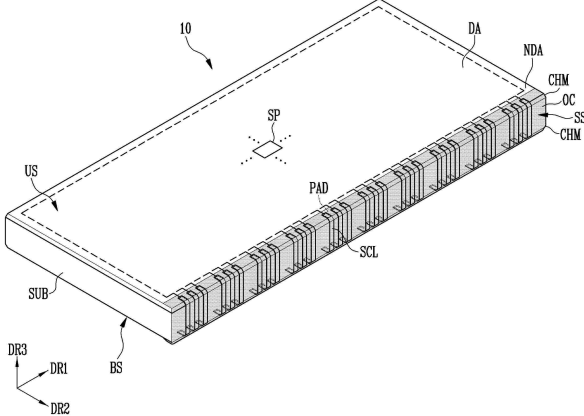
40

50

【図 13 a】

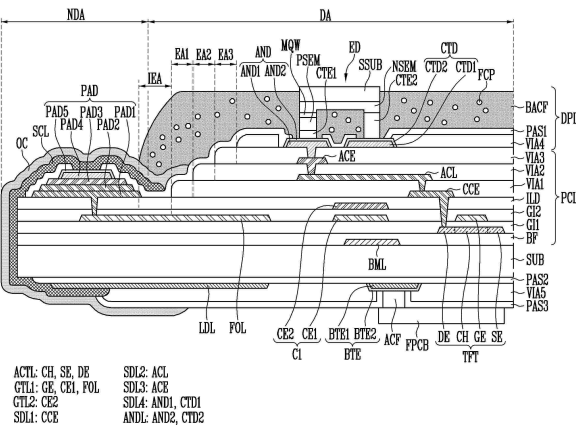


【図 13 b】

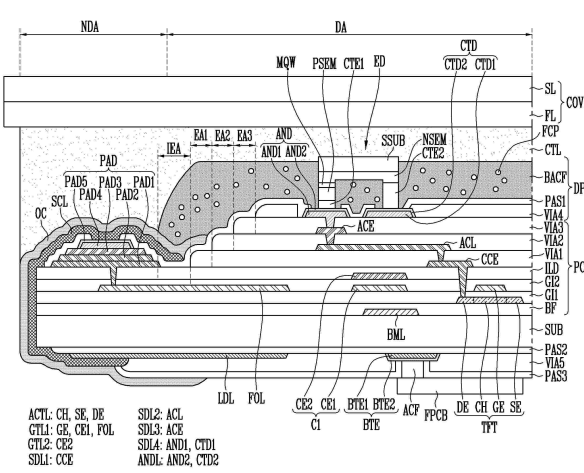


10

【図 14】



【図 15】



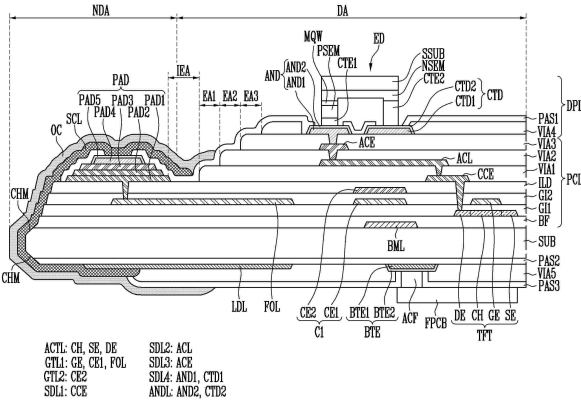
20

30

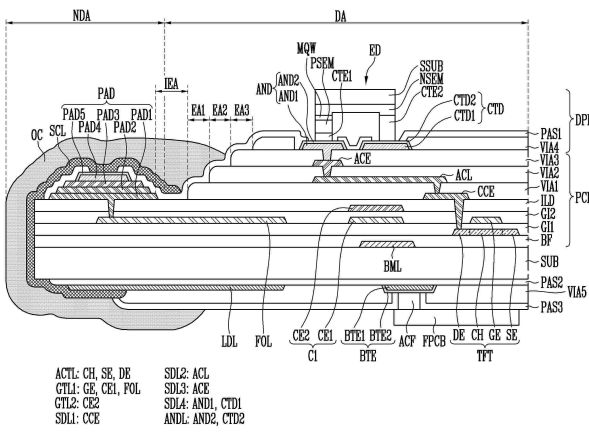
40

50

【図 16】

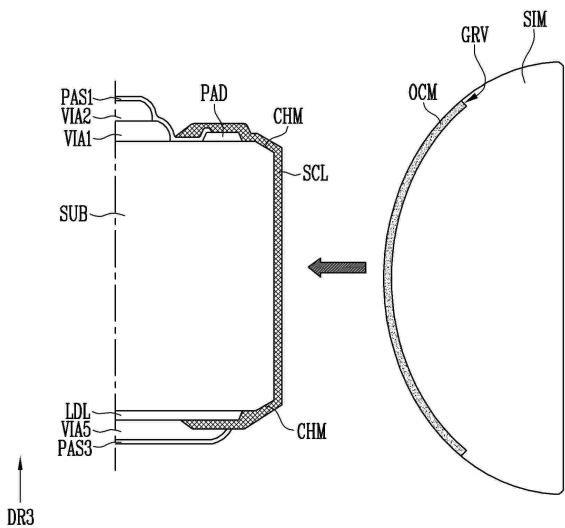


【図 17】



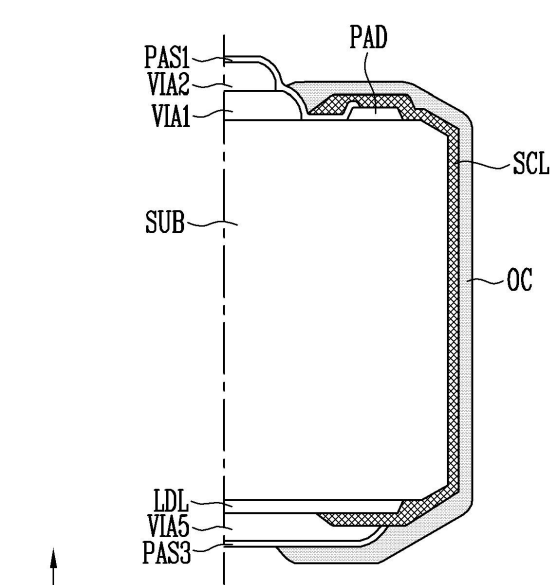
10

【図 18】



DR3

【図 19】



DR3

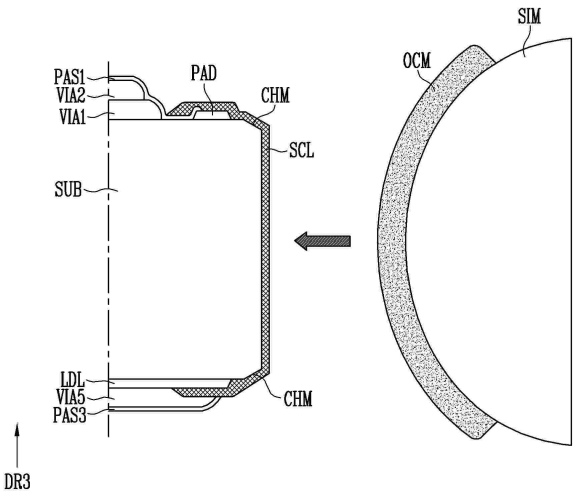
20

30

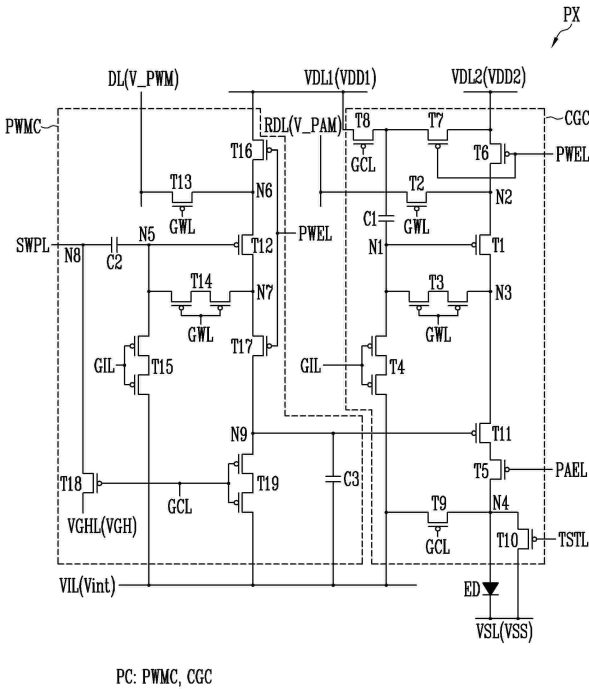
40

50

【図 20】



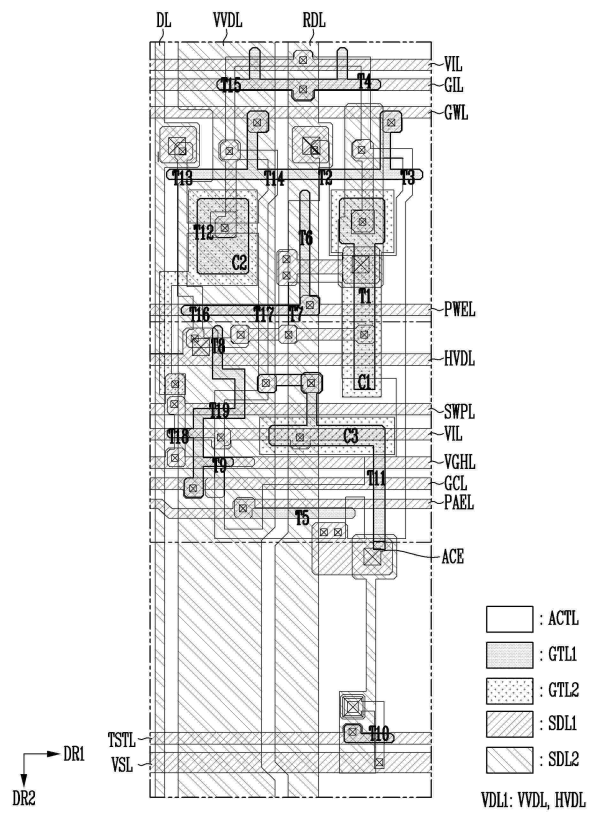
【図 21】



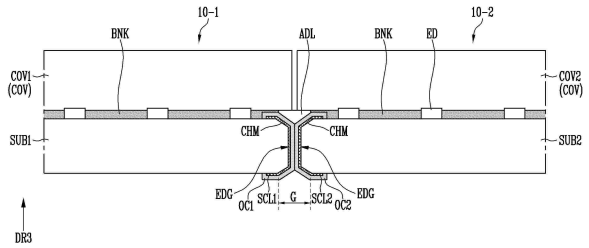
10

20

【図 22】



【図 23】

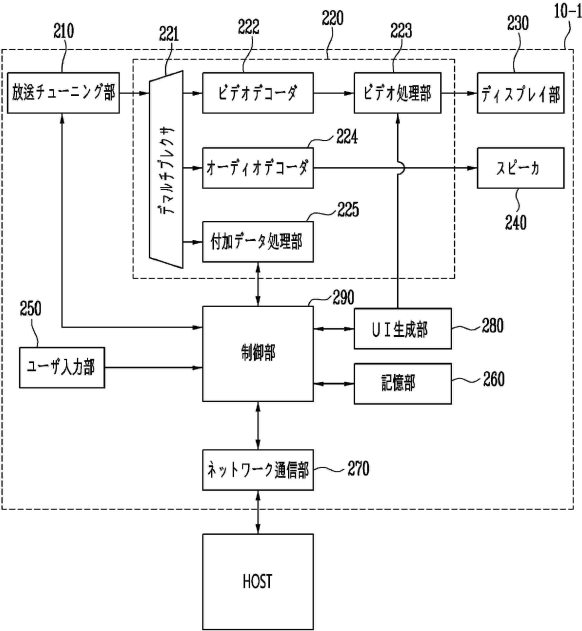


30

40

50

【図 2 4】



10

20

30

40

50

フロントページの続き

(51)国際特許分類

F I
G 0 9 F 9/30 3 4 8 Z
H 0 1 L 21/60 3 1 1 S

- (72)発明者 アン, サン ウ
大韓民国, 1 7 1 1 3 キョンギード, ヨンインーシ, ギフンーグ, サムソンーロ 1
(72)発明者 ソン, ヨン ドク
大韓民国, 1 7 1 1 3 キョンギード, ヨンインーシ, ギフンーグ, サムソンーロ 1
(72)発明者 ジャン, ウォン ホ
大韓民国, 1 7 1 1 3 キョンギード, ヨンインーシ, ギフンーグ, サムソンーロ 1
(72)発明者 ホ, ミョン ク
大韓民国, 1 7 1 1 3 キョンギード, ヨンインーシ, ギフンーグ, サムソンーロ 1

審査官 石本 努

- (56)参考文献 米国特許出願公開第 2 0 2 0 / 0 0 1 3 8 4 6 (U S, A 1)
特開 2 0 2 1 - 0 4 3 4 5 8 (J P, A)
米国特許出願公開第 2 0 2 0 / 0 3 8 8 6 3 6 (U S, A 1)
米国特許出願公開第 2 0 2 1 / 0 2 0 2 9 0 6 (U S, A 1)
特開 2 0 1 8 - 0 0 6 2 5 4 (J P, A)
特開 2 0 2 0 - 0 3 1 2 0 6 (J P, A)
特開 2 0 0 0 - 1 3 5 8 1 4 (J P, A)

(58)調査した分野 (Int.Cl., D B名)

G 0 9 F 9 / 3 0 - 9 / 4 6
H 0 1 L 2 1 / 4 4 7 - 2 1 / 4 4 9
2 1 / 6 0 - 2 1 / 6 0 7
2 5 / 0 0 - 2 5 / 1 6
H 0 5 B 3 3 / 0 0 - 3 3 / 2 8
4 4 / 0 0
4 5 / 6 0
H 1 0 B 8 0 / 0 0
H 1 0 D 8 0 / 0 0 - 8 0 / 3 0
H 1 0 K 5 0 / 0 0 - 9 9 / 0 0
H 1 0 H 2 0 / 0 0
2 0 / 0 1 - 2 0 / 8 5 8
2 9 / 0 0 - 9 9 / 0 0