

【公報種別】特許法第 17 条の 2 の規定による補正の掲載

【部門区分】第 7 部門第 2 区分

【発行日】平成 18 年 11 月 24 日 (2006.11.24)

【公開番号】特開 2005-340327 (P2005-340327A)

【公開日】平成 17 年 12 月 8 日 (2005.12.8)

【年通号数】公開・登録公報 2005-048

【出願番号】特願 2004-154226 (P2004-154226)

【国際特許分類】

H 0 1 L 21/76 (2006.01)

H 0 1 L 27/08 (2006.01)

H 0 1 L 29/78 (2006.01)

H 0 1 L 21/8247 (2006.01)

H 0 1 L 27/115 (2006.01)

H 0 1 L 29/792 (2006.01)

H 0 1 L 29/788 (2006.01)

【F I】

H 0 1 L 21/76 L

H 0 1 L 27/08 3 3 1 A

H 0 1 L 29/78 3 0 1 R

H 0 1 L 27/10 4 3 4

H 0 1 L 29/78 3 7 1

H 0 1 L 21/76 P

【手続補正書】

【提出日】平成 18 年 10 月 10 日 (2006.10.10)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

半導体基板の主面に形成された複数の素子形成領域と、
前記素子形成領域の間に位置し、素子分離絶縁膜が埋め込まれた素子分離溝と、
前記素子形成領域に形成されたゲート絶縁膜と、を有し、
前記素子分離溝は前記半導体基板と前記素子分離絶縁膜との間に形成された熱酸化膜を有し、前記素子分離絶縁膜は、内部に多数の微細空孔を備え、前記熱酸化膜より多孔質であることを特徴とする半導体装置。

【請求項 2】

半導体基板の主面に形成された複数の素子形成領域と、
前記素子形成領域の間に位置し、素子分離絶縁膜が埋め込まれた素子分離溝と、
前記素子形成領域に形成されたゲート絶縁膜と、を有し、
前記素子分離溝は、前記素子分離絶縁膜と前記半導体基板の表面との間に熱酸化膜を備え、前記素子分離絶縁膜と前記熱酸化膜の間には窒化膜が熱酸化膜より薄く形成されるか非形成にされており、前記素子分離絶縁膜は、内部に多数の微細空孔を有し、半導体装置を形成する際の最高昇温温度を経た後に 5 nm 以下の孔が 10 nm 以上の孔より多く形成された多孔質な膜を備えることを特徴とする半導体装置。

【請求項 3】

請求項 1 または 2 において、前記素子分離絶縁膜のヤング率は装置を形成する最高昇温

温度を経た後に 70 GPa より小さい値であることを特徴とする半導体装置。

【請求項 4】

半導体基板の主面に形成された複数の素子形成領域と、
前記素子形成領域の間に位置し、素子分離絶縁膜が埋め込まれた素子分離溝と、
前記素子形成領域に形成されたゲート絶縁膜と、を有し、
前記素子分離溝は前記半導体基板と前記素子分離絶縁膜との間に形成された熱酸化膜を有し、前記素子分離絶縁膜は、前記熱酸化膜よりヤング率が低く形成されたことを特徴とする半導体装置。

【請求項 5】

請求項 4 において、前記素子分離溝は、前記素子分離絶縁膜は、装置を形成する最高昇温温度を経た後に、5 nm 以下の孔が 10 nm 以上の孔より多く存在する多孔質を備え、ヤング率が 70 GPa より小さく形成されていることを特徴とする半導体装置。

【請求項 6】

半導体基板の主面に形成された複数の素子形成領域と、
前記素子形成領域の間に位置し、素子分離絶縁膜が埋め込まれた素子分離溝と、
前記素子形成領域に形成されたゲート絶縁膜とゲート電極と前記ゲート電極の上方に形成される複数の配線層と、を有し、
前記素子分離絶縁膜は、熱酸化膜が基板表面に形成された前記素子分離溝の上に堆積された第一の素子分離絶縁膜と、前記第一の素子分離絶縁膜の上に堆積された第二の素子分離絶縁膜とを備え、前記第二の素子分離絶縁膜より前記第一の素子分離絶縁膜は多孔質であることを特徴とする半導体装置。

【請求項 7】

請求項 6 において、前記素子分離溝は前記半導体基板と前記第一の素子分離絶縁膜との間に形成された熱酸化膜を有し、前記第一の素子分離膜は、前記熱酸化膜より多孔質であることを特徴とする半導体装置。

【請求項 8】

請求項 6 において、前記素子分離溝は前記半導体基板と前記素子分離絶縁膜との間に形成された熱酸化膜を有し、前記第一の素子分離膜は、前記熱酸化膜よりヤング率が低く形成されたことを特徴とする半導体装置。

【請求項 9】

請求項 6 において、素子形成領域に前記ゲート電極に対応して前記半導体基板に不純物が打ち込まれた不純物領域を有し、前記第二の素子分離絶縁膜の層間絶縁膜側界面と前記第一の素子分離膜側の界面とは、前記不純物領域における基板表面から不純物濃度が最も高くなる深さより深い領域に位置することを特徴とする半導体装置。

【請求項 10】

請求項 1 から 5 の何れかにおいて、素子形成領域にゲート電極に対応して前記半導体基板に不純物が打ち込まれた不純物領域を有し、前記素子分離絶縁膜の層間絶縁膜側の界面は、前記不純物領域における基板表面から不純物濃度が最も高くなる深さより深い領域に位置することを特徴とする半導体装置。

【請求項 11】

請求項 1 から 9 の何れかにおいて、前記素子分離絶縁膜は Hydrogen Silsesquioxane 化合物を主成分とする塗布膜を加熱して得られる SiO を主成分とする絶縁膜を備えることを特徴とする半導体装置。

【請求項 12】

請求項 1 から 9 の何れかにおいて、前記素子分離絶縁膜は Methyl Silsesquioxane 化合物を主成分とする塗布膜を加熱して得られる SiO を主成分とする絶縁膜を備えることを特徴とする半導体装置。

【請求項 13】

半導体基板の回路形成面にパッド酸化膜を形成し、前記パッド酸化膜の上に酸化防止膜を形成する工程と、

前記半導体基板の回路形成面の所望の位置に形成された前記酸化防止膜と前記パッド酸化膜を除去し、前記除去した領域に所定の深さの溝を形成する工程と、
前記溝を酸化して溝内に熱酸化膜を形成する工程と、
前記熱酸化膜を備えた前記溝に素子分離絶縁膜を埋め込む工程と、
前記酸化防止膜の上に形成された前記素子分離絶縁膜を除去し、前記半導体基板の回路形成面の上に形成された前記酸化防止膜を除去する工程と、
前記半導体基板の回路形成面の上に形成された前記パッド酸化膜を除去する工程と、
前記パッド酸化膜が除去された前記半導体基板の回路形成面にゲート絶縁膜及びゲート電極を形成する工程と、
前記ゲート電極に対応する位置に不純物を前記半導体基板に打ち込み、打ち込んだ不純物を有する半導体基板を熱処理して拡散層を形成する工程と、
前記ゲート絶縁膜及び前記素子分離溝を覆い前記ゲート電極の上端より上に上面を有する層間絶縁膜を堆積する工程と、前記層間絶縁膜に配線層を形成する工程と、を有し、
前記素子分離絶縁膜を形成した後に少なくとも 850 以上に前記半導体基板を熱処理する工程を有し、熱処理工程を経た後の前記素子分離絶縁膜を多数の微細空孔を備え、前記溝内の前記熱酸化膜より多孔質に形成することを特徴とする半導体装置の製造方法。