



(19) 대한민국특허청(KR)

(12) 등록특허공보(B1)

(45) 공고일자 2015년10월01일

(11) 등록번호 10-1556573

(24) 등록일자 2015년09월23일

- (51) 국제특허분류(Int. Cl.)
G11C 19/00 (2006.01) *G11C 8/04* (2015.01)
- (21) 출원번호 10-2009-0010076
- (22) 출원일자 2009년02월09일
 심사청구일자 2014년01월13일
- (65) 공개번호 10-2009-0086357
- (43) 공개일자 2009년08월12일
- (30) 우선권주장
 JP-P-2008-028559 2008년02월08일 일본(JP)
- (56) 선행기술조사문헌
 JP2003101394 A
 JP2001160299 A
 KR100574363 B1
 KR1020040095886 A

- (73) 특허권자
 소니 주식회사
 일본국 도쿄도 미나토쿠 코난 1-7-1
- (72) 발명자
 진타 세이이치로
 일본국 도쿄도 미나토쿠 코난 1-7-1 소니 가부시
 끼 가이샤 나이
- (74) 대리인
 이화익, 김홍두

전체 청구항 수 : 총 8 항

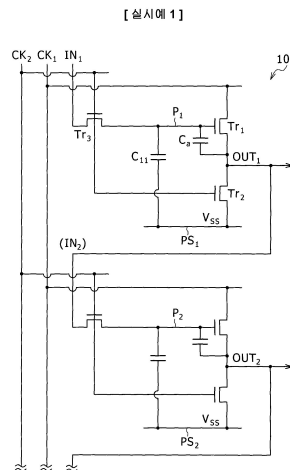
심사관 : 한선경

(54) 발명의 명칭 부트스트랩 회로

(57) 요약

동일 도전형의 제1 내지 제3 트랜지스터로 구성되고, 제3 트랜지스터가 오프 상태가 되면 제1 트랜지스터의 게이트 전극과 제3 트랜지스터의 한쪽의 소스/드레인 영역을 접속하는 노드부가 부유 상태가 되고, 제2 트랜지스터의 게이트 전극은 2상의 클럭 신호 중 다른 한쪽을 전달하는 클럭 공급선에 접속되고, 노드부와 제1 전위 공급선 사이에 전위변동억제 용량부가 구비되는 부트스트랩 회로가 공개된다.

대표도 - 도1



명세서

청구범위

청구항 1

동일 도전형의 제1 트랜지스터, 제2 트랜지스터, 및, 제3 트랜지스터로 구성되고,

(A-1) 상기 제1 트랜지스터의 한쪽의 소스/드레인 영역과 상기 제2 트랜지스터의 한쪽의 소스/드레인 영역은 부트스트랩 회로의 출력부에 의해 접속되어 있고,

(A-2) 상기 제1 트랜지스터의 다른 한쪽의 소스/드레인 영역에는, 2개의 2상의 클록 신호 중 한쪽의 클록 신호를 전달하는 클록 공급선이 접속되어 있고,

(A-3) 상기 제1 트랜지스터의 게이트 전극과 상기 제3 트랜지스터의 한쪽의 소스/드레인 영역은 노드부에 의해 접속되어 있고,

(B-1) 상기 제2 트랜지스터의 다른 한쪽의 소스/드레인 영역은, 소정의 제1 전위를 전달하는 제1 전위 공급선에 접속되어 있고,

(C-1) 상기 제3 트랜지스터의 다른 한쪽의 소스/드레인 영역에는, 상기 부트스트랩 회로에 인가되는 입력 신호를 전달하는 신호 공급선이 접속되어 있고,

(C-2) 상기 제3 트랜지스터의 게이트 전극에는, 상기 2개의 클록 신호 중 다른 한쪽의 클록 신호를 전달하는 클록 공급선이 접속되어 있고,

상기 제1 트랜지스터의 상기 게이트 전극과 상기 제3 트랜지스터의 한쪽의 소스/드레인 영역을 접속하는 상기 노드부는, 상기 제3 트랜지스터가 오프 상태가 되면 부유 상태가 되고,

상기 제2 트랜지스터의 게이트 전극은 상기 2개의 클록 신호 중 다른 한쪽을 전달하는 상기 클록 공급선에 접속되어 있고,

상기 노드부와 상기 제1 전위 공급선 사이에 전위변동억제 용량부가 구비된 것을 특징으로 하는 부트스트랩 회로.

청구항 2

제 1항에 있어서,

상기 제1 내지 제3 트랜지스터와 동일 도전형의 제4 트랜지스터를 더 구비하고,

(D-1) 상기 제4 트랜지스터의 한쪽의 소스/드레인 영역은, 상기 제1 트랜지스터의 상기 게이트 전극에 접속되어 있고,

(D-2) 상기 제4 트랜지스터의 다른 한쪽의 소스/드레인 영역은, 접합점에 의해 상기 제3 트랜지스터의 한쪽의 소스/드레인 영역에 접속되어 있고,

(D-3) 상기 제4 트랜지스터의 게이트 전극은, 소정의 제2 전위를 전달하는 제2 전위 공급선에 접속되어 있고,

상기 전위변동억제 용량부는, 상기 제3 트랜지스터의 한쪽의 소스/드레인 영역과 상기 제4 트랜지스터의 다른 한쪽의 소스/드레인 영역을 접속하는 상기 접합점과, 상기 제1 전위 공급선의 사이에 접속되어 있는 것을 특징으로 하는 부트스트랩 회로.

청구항 3

동일 도전형의 제1 트랜지스터, 제2 트랜지스터, 및, 제3 트랜지스터로 구성되고,

(A-1) 상기 제1 트랜지스터의 한쪽의 소스/드레인 영역과 상기 제2 트랜지스터의 한쪽의 소스/드레인 영역은 부트스트랩 회로의 출력부에 의해 접속되어 있고,

(A-2) 상기 제1 트랜지스터의 다른 한쪽의 소스/드레인 영역에는, 2개의 2상의 클록 신호 중 한쪽의 클록 신호를 전달하는 클록 공급선이 접속되어 있고,

(A-3) 상기 제1 트랜지스터의 게이트 전극과 상기 제3 트랜지스터의 한쪽의 소스/드레인 영역은 노드부에 의해 접속되어 있고,

(B-1) 상기 제2 트랜지스터의 다른 한쪽의 소스/드레인 영역은, 소정의 제1 전위를 전달하는 제1 전위 공급선에 접속되어 있고,

(C-1) 상기 제3 트랜지스터의 다른 한쪽의 소스/드레인 영역에는, 상기 부트스트랩 회로에 인가되는 입력 신호를 전달하는 신호 공급선이 접속되어 있고,

(C-2) 상기 제3 트랜지스터의 게이트 전극에는, 상기 2개의 클록 신호 중 다른 한쪽의 클록 신호를 전달하는 클록 공급선이 접속되어 있고,

상기 제1 트랜지스터의 상기 게이트 전극과 상기 제3 트랜지스터의 한쪽의 소스/드레인 영역을 접속하는 상기 노드부는, 상기 제3 트랜지스터가 오프 상태가 되면 부유 상태가 되고,

(B-2) 상기 제2 트랜지스터의 게이트 전극은 상기 2개의 클록 신호 중 다른 한쪽을 전달하는 상기 클록 공급선에 접속되어 있고,

상기 노드부와 상기 제2 트랜지스터의 상기 게이트 전극 사이에 전위변동억제 용량부가 구비된 것을 특징으로 하는 부트스트랩 회로.

청구항 4

동일 도전형의 제1 트랜지스터, 제2 트랜지스터, 제3 트랜지스터 및, 제4 트랜지스터로 구성되고,

(A-1) 상기 제1 트랜지스터의 한쪽의 소스/드레인 영역과 상기 제2 트랜지스터의 한쪽의 소스/드레인 영역은 부트스트랩 회로의 출력부에 의해 접속되어 있고,

(A-2) 상기 제1 트랜지스터의 다른 한쪽의 소스/드레인 영역에는, 2개의 2상의 클록 신호 중 한쪽의 클록 신호를 전달하는 클록 공급선이 접속되어 있고,

(A-3) 상기 제1 트랜지스터의 게이트 전극과 상기 제3 트랜지스터의 한쪽의 소스/드레인 영역은 노드부에 의해 접속되어 있고,

(B-1) 상기 제2 트랜지스터의 다른 한쪽의 소스/드레인 영역은, 소정의 제1 전위를 전달하는 제1 전위 공급선에 접속되어 있고,

(C-1) 상기 제3 트랜지스터의 다른 한쪽의 소스/드레인 영역에는, 상기 부트스트랩 회로에 인가되는 입력 신호를 전달하는 신호 공급선이 접속되어 있고,

(C-2) 상기 제3 트랜지스터의 게이트 전극에는, 상기 2개의 클록 신호 중 다른 한쪽의 클록 신호를 전달하는 클록 공급선이 접속되어 있고,

상기 제1 트랜지스터의 상기 게이트 전극과 상기 제3 트랜지스터의 한쪽의 소스/드레인 영역을 접속하는 상기 노드부는, 상기 제3 트랜지스터가 오프 상태가 되면 부유 상태가 되고,

(E-1) 상기 제4 트랜지스터의 한쪽의 소스/드레인 영역은, 접속점에 의해 반전 회로의 입력측에 접속되어 있고, 그 출력측은 상기 제2 트랜지스터의 상기 게이트 전극에 접속되어 있고,

(E-2) 상기 제4 트랜지스터의 다른 한쪽의 소스/드레인 영역은, 상기 입력 공급선에 접속되어 있고,

(E-3) 상기 제4 트랜지스터의 상기 게이트 전극은, 상기 2개의 클록 신호 중 다른 한쪽의 클록 신호를 전달하는 상기 클록 공급선에 접속되어 있는 것을 특징으로 하는 부트스트랩 회로.

청구항 5

제 4항에 있어서,

상기 제4 트랜지스터의 한쪽의 소스/드레인 영역과 상기 반전 회로의 상기 입력측을 접속하는 접합점과, 상기 제1 전위 공급선 사이에, 전위변동억제 용량부가 접속되어 있는 것을 특징으로 하는 부트스트랩 회로.

청구항 6

제 4항에 있어서,

상기 제4 트랜지스터의 한쪽의 소스/드레인 영역과 상기 반전 회로의 상기 입력측을 접속하는 접합점과, 상기 제1 트랜지스터의 다른 한쪽의 소스/드레인 영역 사이에, 전위변동억제 용량부가 접속되어 있는 것을 특징으로 하는 부트스트랩 회로.

청구항 7

동일 도전형의 제1 트랜지스터, 제2 트랜지스터, 제3 트랜지스터, 제4 트랜지스터 및, 제5 트랜지스터로 구성되고,

(A-1) 상기 제1 트랜지스터의 한쪽의 소스/드레인 영역과 상기 제2 트랜지스터의 한쪽의 소스/드레인 영역은 부트스트랩 회로의 출력부에 의해 접속되어 있고,

(A-2) 상기 제1 트랜지스터의 다른 한쪽의 소스/드레인 영역에는, 2개의 2상의 클록 신호 중 한쪽의 클록 신호를 전달하는 클록 공급선이 접속되어 있고,

(A-3) 상기 제1 트랜지스터의 게이트 전극과 상기 제3 트랜지스터의 한쪽의 소스/드레인 영역은 노드부에 의해 접속되어 있고,

(B-1) 상기 제2 트랜지스터의 다른 한쪽의 소스/드레인 영역은, 소정의 제1 전위를 전달하는 제1 전위 공급선에 접속되어 있고,

(C-1) 상기 제3 트랜지스터의 다른 한쪽의 소스/드레인 영역에는, 상기 부트스트랩 회로에 인가되는 입력 신호를 전달하는 신호 공급선이 접속되어 있고,

(C-2) 상기 제3 트랜지스터의 게이트 전극에는, 상기 2개의 클록 신호 중 다른 한쪽의 클록 신호를 전달하는 클록 공급선이 접속되어 있고,

상기 제1 트랜지스터의 상기 게이트 전극과 상기 제3 트랜지스터의 한쪽의 소스/드레인 영역을 접속하는 상기 노드부는, 상기 제3 트랜지스터가 오프 상태가 되면 부유 상태가 되고,

상기 제2 트랜지스터의 상기 게이트 전극은, 상기 2개의 클록 신호 중 다른 한쪽의 클록 신호를 전달하는 상기 클록 공급선에 접속되어 있고,

(F-1) 상기 제4 트랜지스터의 게이트 전극은, 접합점에 의해 동일한 회로부에 구비된 상기 제5 트랜지스터의 한쪽의 소스/드레인 영역에 접속되어 있고,

(F-2) 상기 제5 트랜지스터의 다른 한쪽의 소스/드레인 영역에는, 상기 입력 신호를 전달하는 상기 신호 공급선이 접속되어 있고,

상기 2개의 클록 신호 중 한쪽의 클록 신호는, 상기 2개의 클록 신호 중 한쪽의 클록 신호를 전달하는 상기 클록 공급선과 상기 제1 트랜지스터의 다른 한쪽의 소스/드레인 영역의 사이에 직렬로 접속된 상기 제4 트랜지스터를 통해, 상기 제1 트랜지스터의 다른 한쪽의 소스/드레인 영역에 인가되고,

상기 제5 트랜지스터의 게이트 전극은, 상기 2개의 클록 신호 중 다른 한쪽의 클록 신호를 전달하는 상기 클록 공급선에 접속되어 있는 것을 특징으로 하는 부트스트랩 회로.

청구항 8

제 7항에 있어서,

상기 출력부와, 상기 제4 트랜지스터의 상기 게이트 전극과 상기 제5 트랜지스터의 한쪽의 소스/드레인 영역이 접속된 접합점의 사이에, 부트스트랩 용량부가 접속되어 있는 것을 특징으로 하는 부트스트랩 회로.

발명의 설명

발명의 상세한 설명

기술 분야

본 발명은 2008년 2월 8일에 일본 특허청에 출원된 일본 특허 JP 2008-028559에 관한 주제를 포함하며, 그 모든

[0001]

내용은 여기에 참조에 의해 포함된다.

[0002] 본 발명은 시프트 레지스터 회로나 출력 버퍼 회로 등에 이용되는 부트스트랩 회로에 관한 것이다.

배경 기술

[0003] 디스플레이 장치나 반도체 메모리 장치 등에 있어서의 주사 회로나 매트릭스 어레이의 구동 회로로서, 시프트 레지스터 회로가 널리 이용되고 있다.

[0004] 시프트 레지스터 회로의 출력단에는, 일반적으로 푸시 풀(push-pull)형의 출력 회로가 이용된다. 그러나 동일 도전형의 트랜지스터만을 사용하여 푸시 풀형의 출력 회로를 구성하면, 출력 전압의 진폭이 충분히 확보될 수 없다. 예를 들면 n채널형 트랜지스터만을 사용하여 푸시 풀형의 출력 회로를 구성했을 경우, 고전위측의 트랜지스터에 있어서는, 출력 전압이 상승함에 따라 게이트 전극과 소스 영역 사이의 전위차 V_{gs} 가 저하한다. 트랜지스터의 임계값 전압을 V_{th} 로 나타내면, $V_{gs} < V_{th}$ 가 되면 트랜지스터는 오프(off) 상태가 된다. 따라서 푸시 풀형의 출력 회로는 출력 전압을 $V_{gs} - V_{th}$ 까지밖에 생성하지 못한다. 이 문제를 해결하기 위해, 부트스트랩 동작을 이용한 출력 회로가 제안되고 있다.

[0005] 부트스트랩 동작을 이용한 시프트 레지스터 회로로서, 일본국 특개 평10-112645호 공보(특허문헌 1)에는, 일반적인 구조를 갖는 도 25에 나타내는 회로가 개시되어 있다. 도 25에 나타낸 바와 같이, 일반적으로 1단을 기본적으로 3개의 트랜지스터로 구성한다. 도 25의 회로도에도 나타낸 일반적인 구성의 경우, 일반적인 n채널형의 트랜지스터 Tr_1 , Tr_2 , Tr_3 에 의해 1단이 구성되어 있다.

[0006] 도 25에 나타내는 일반적인 구조의 시프트 레지스터 회로에 대해 설명한다. 도 26a는 시프트 레지스터회로의 1단째의 회로에 설치되는 부트스트랩 회로의 일반적인 구성을 나타내는 회로도이고, 도 26b는 도 26a의 회로도에도 나타낸 부트스트랩 회로에 의해 실행되는 동작과 관련된 신호의 타이밍 차트를 모식적으로 나타내는 타이밍도다. 도 26a의 회로도에도 나타낸 시프트 레지스터 회로의 1단째에 주목해보면, 제1 트랜지스터 Tr_1 과 제2 트랜지스터 Tr_2 가 푸시 풀 출력 회로를 구성하고 있다는 것을 알 수 있다. 제1 트랜지스터 Tr_1 의 한쪽의 소스/드레인 영역과 제2 트랜지스터 Tr_2 의 한쪽의 소스/드레인 영역이 1단째에 설치된 부트스트랩 회로의 출력부 OUT_1 에 의해 접속된다. 트랜지스터는 2개의 영역, 즉, 본 특허명세서에서 각각 한쪽의 소스/드레인 영역 및 다른 한쪽의 소스/드레인 영역이라 부르는 소스 및 드레인 영역을 갖는다. 마찬가지로, 2상의 클록 신호는 본 특허명세서에서는 각각 한쪽의 클록 신호 및 다른 한쪽의 클록 신호라고 부른다.

[0007] 제1 트랜지스터 Tr_1 의 다른 한쪽의 소스/드레인 영역에는, 도 26b의 타이밍도에 나타낸 2상의 클록 신호 CK_1 , CK_2 중 한쪽의 클록 신호를 전달하는 클록 공급선이 접속되어 있다. 도 26a의 회로도에도 나타낸 일반적인 시프트 레지스터 회로의 1단째의 경우, 두 클록 신호 CK_1 , CK_2 중 한쪽은 클록 신호 CK_1 이다. 제2 트랜지스터 Tr_2 의 다른 한쪽의 소스/드레인 영역에는, 제1 전위 V_{ss} (일반적으로 0볼트로 낮게 설정됨)를 전달하는 제1 전위 공급선이 접속되어 있다. 제1 트랜지스터 Tr_1 의 게이트 전극은, 제3 트랜지스터 Tr_3 의 한쪽의 소스/드레인 영역에 접속되어 있고, 노드부 P_1 을 구성한다. 제2 트랜지스터 Tr_2 의 게이트 전극과 제3 트랜지스터 Tr_3 의 게이트 전극에는, 두 클록 신호 CK_1 , CK_2 중 다른 한쪽을 전달하는 클록 공급선이 접속되어 있다. 따라서 도 26a의 회로도에도 나타낸 일반적인 시프트 레지스터 회로의 1단째의 경우, 두 클록 신호 CK_1 , CK_2 중 다른 한쪽은 클록 신호 CK_2 이다. 제3 트랜지스터 Tr_3 의 다른 한쪽의 소스/드레인 영역에는, 입력 신호 IN_1 을 전달하는 신호 공급선이 접속되어 있다.

[0008] 이 때, 제1 트랜지스터 Tr_1 의 게이트 전극과 제1 트랜지스터 Tr_1 의 한쪽의 소스/드레인 영역 사이, 또는 제1 트랜지스터 Tr_1 의 게이트 전극과 제1 트랜지스터 Tr_1 의 다른 한쪽의 소스/드레인 영역 사이, 또는 이들 양쪽에 부트스트랩 용량부로서의 용량부가 접속되는 경우도 있다. 도 25 또는 도 26a의 회로도에도 나타낸 일반적인 시프트 레지스터 회로의 1단째의 경우, 제1 트랜지스터 Tr_1 의 게이트 전극과 한쪽의 소스/드레인 영역 사이에 부트스트랩 용량부로서의 용량부 C_a 가 접속되어 있다. 용량부 C_a 는, 주로, 절연층을 끼운 두 도전층으로 구성할 수 있다. 또는, 용량부 C_a 는 소위 MOS(Metal Oxide Semiconductor) 용량부로서 구성할 수도 있다.

- [0009] 도 26b의 타이밍도에 나타내는 타이밍 차트를 참조하여, 일반적인 시프트 레지스터 회로의 1단계에 의해 실행되는 동작을 이하에 설명한다. 이 때, 2상의 클록 신호 CK_1 , CK_2 , 및, 입력 신호 IN_1 의 하이 레벨은 제2 전위 V_{dd} (주로 5볼트로 설정됨)로 한다. 한편, 이들 각 신호의 로 레벨은 상기 언급한 제1 전위 V_{ss} (주로 0볼트로 설정됨)로 한다. 이하 설명에서는, V_{thi} 는 i 번째 트랜지스터의 임계값 전압을 나타낸다. 예를 들면, V_{th3} 은 제3 트랜지스터 Tr_3 의 임계값 전압을 나타낸다.
- [0010] [기간- T_1]
- [0011] 기간 T_1 에는, 입력 신호 IN_1 은 로 레벨, 제1 클록 신호 CK_1 은 로 레벨, 제2 클록 신호 CK_2 는 하이 레벨이다. 제1 트랜지스터 Tr_1 의 게이트 전극에는 온 상태의 제3 트랜지스터 Tr_3 를 통해 로 레벨의 입력 신호 IN_1 이 인가된다. 따라서, 제1 트랜지스터 Tr_1 의 게이트 전극과 노드부 P_1 의 전위는 로 레벨이고, 제1 트랜지스터 Tr_1 은 오프 상태가 된다. 한편, 제2 클록 신호 CK_2 는 하이 레벨로 설정되기 때문에, 제3 트랜지스터 Tr_3 과 마찬가지로 제2 트랜지스터 Tr_2 는 온 상태가 된다. 이에 따라, 출력부 OUT_1 은, 온 상태의 제2 트랜지스터 Tr_2 에 의해 로 레벨의 전위 V_{ss} 로 된다.
- [0012] [기간- T_2]
- [0013] 기간 T_2 에는, 제1 클록 신호 CK_1 은 하이 레벨, 제2 클록 신호 CK_2 는 로 레벨로 설정된다. 제3 트랜지스터 Tr_3 이 오프 상태가 되므로, 노드부 P_1 은, [기간- T_1] 동안에 설정된 전위를 유지한 상태로, 부유 상태가 된다. 즉, 노드부 P_1 은 로 레벨로 설정된 전위를 유지하는 부유 상태가 된다. 이것에 의해, 제1 트랜지스터 Tr_1 은 오프 상태를 유지한다. 한편, 제2 트랜지스터 Tr_2 는 온 상태에서 오프 상태로 전환된다. 이것에 의해, 출력부 OUT_1 은 도 26a의 회로도에는 도시하지 않은 용량부하에 접속된 상태로 부유 상태가 된다. 즉, 출력부 OUT_1 은, [기간- T_1] 동안에 설정된 로 레벨의 전위를 유지한다.
- [0014] [기간- T_3]
- [0015] 기간 T_3 에는, 입력 신호 IN_1 은 하이 레벨, 제1 클록 신호 CK_1 은 로 레벨, 제2 클록 신호 CK_2 는 하이 레벨로 설정된다. 제3 트랜지스터 Tr_3 은 온 상태가 되어, 노드부 P_1 에는 하이 레벨 상태의 입력 신호 IN_1 이 인가된다. 따라서 노드부 P_1 의 전위는 상승한다. 노드부 P_1 의 전위가 $(V_{dd}-V_{th3})$ 에 도달하면, 제3 트랜지스터 Tr_3 은 오프 상태가 되어, 노드부 P_1 은, 전위 $(V_{dd}-V_{th3})$ 을 유지한 상태로 부유 상태가 된다. 제1 트랜지스터 Tr_1 과 제2 트랜지스터 Tr_2 는 모두 온 상태에 있다. 제1 트랜지스터 Tr_1 의 다른 한쪽의 소스/드레인 영역에는, 제1 전위 V_{ss} 와 같은 로 레벨 상태의 제1 클록 신호 CK_1 이 인가된다. 제2 트랜지스터 Tr_2 의 다른 한쪽의 소스/드레인 영역에는, 제1 전위 V_{ss} 를 전달하는 제1 전위 공급선이 접속되어 있다. 따라서, 출력부 OUT_1 은 제1 전위 V_{ss} 가 인가된 상태이며, 로 레벨이다.
- [0016] [기간- T_4]
- [0017] 기간 T_4 에는, 입력 신호 IN_1 은 로 레벨, 제1 클록 신호 CK_1 은 하이 레벨, 제2 클록 신호 CK_2 는 로 레벨로 설정된다. 제2 클록 신호 CK_2 는 로 레벨이므로, 제2 트랜지스터 Tr_2 및 제3 트랜지스터 Tr_3 은 모두 오프 상태를 유지한다. 노드부 P_1 은 부유 상태에 있음과 동시에, 제1 트랜지스터 Tr_1 은 온 상태에 있다. 따라서, 제1 트랜지스터 Tr_1 은 하이 레벨로 설정된 제1 클록 신호 CK_1 을 전달하는 제1 클록 공급선에 출력부 OUT_1 을 접속하여, 출력부 OUT_1 의 전위를 상승시킨다. 이 때, 제1 트랜지스터 Tr_1 의 게이트 용량과 같은 부트스트랩 용량부를 통한 부트스트랩 동작에 의해, 노드부 P_1 의 전위는 제2 V_{dd} 이상으로 상승한다. 따라서, 출력부 OUT_1 의 하이 레벨로서 제2 전위 V_{dd} 가 출력된다.
- [0018] [기간- T_5]
- [0019] 기간 T_5 에는, 입력 신호 IN_1 은 로 레벨, 제1 클록 신호 CK_1 은 로 레벨, 제2 클록 신호 CK_2 는 하이 레벨로 설정된

다. 제2 클록 신호 CK₂가 하이 레벨이 되면 제2 트랜지스터 Tr₂와 제3 트랜지스터 Tr₃이 온 상태가 된다. 온 상태의 제2 트랜지스터 Tr₂는 제1 전위 V_{ss}를 전달하는 제1 전위 공급선에 출력부 OUT₁을 접속한다. 이것에 의해, 출력부 OUT₁은 로 레벨로 리셋(reset) 된다. 한편, 온 상태의 제3 트랜지스터 Tr₃은 로 레벨의 입력 신호 IN₁에 노드부 P₁을 접속한다. 이에 따라 노드부 P₁도 로 레벨로 리셋 된다.

[0020] [기간-T₆]

[0021] 기간 T₆에는, 입력 신호 IN₁은 로 레벨, 제1 클록 신호 CK₁은 하이 레벨, 제2 클록 신호 CK₂는 로 레벨로 설정된다. 이 기간의 동작은, 기본적으로 [기간-T₂]와 동일한 동작이다. 제3 트랜지스터 Tr₃이 오프 상태가 되므로, 노드부 P₁은, 로 레벨을 유지한 상태로 부유 상태가 된다. 이것에 의해, 제1 트랜지스터 Tr₁은 오프 상태를 유지한다. 한편, 제2 트랜지스터 Tr₂는 온 상태에서 오프 상태로 전환된다. 이것에 의해, 출력부 OUT₁은, 로 레벨을 유지한 상태로 부유 상태가 된다.

발명의 내용

해결 하고자하는 과제

[0022] 상술한 부트스트랩 회로의 동작 설명에 있어서는, 기생 용량 등을 통한 여러 가지의 급격한 변화에 의한 영향을 고려하고 있지 않다. 그러나, 실제로는, 부유 상태에 있는 노드부 P₁ 등의 전위는, 기생 용량 등을 통한 다양한 급격한 변화에 의한 영향을 받아 변동한다. 그리고, 회로의 동작을 고속으로 하면 할수록, 펄스의 상승/하강의 속도가 빨라져서 급격한 변화에 의한 영향이 강해진다. 이는 부트스트랩 회로의 오동작을 유인한다.

[0023] 따라서, 본 발명의 목적은, 기생 용량 등을 통한 다양한 급격한 변화에 의한 영향을 경감할 수 있는, 시프트 레지스터 회로나 출력 버퍼 회로 등에 이용되는 부트스트랩 회로를 제공하는 데에 있다.

과제 해결수단

[0024] 상기 영향을 경감하기 위한 본 발명의 제1의 양태, 제2의 양태, 제3의 양태 혹은 제4의 양태에 관련되는 부트스트랩 회로는, 제1 트랜지스터, 제2 트랜지스터, 및, 제3 트랜지스터로 구성된다.

[0025] 부트스트랩 회로에 있어서는,

[0026] (A-1) 제1 트랜지스터의 한쪽의 소스/드레인 영역은, 제2 트랜지스터의 한쪽의 소스/드레인 영역과 부트스트랩 회로의 출력부에 의해 접속되고,

[0027] (A-2) 제1 트랜지스터의 다른 한쪽의 소스/드레인 영역에는, 2상의 클록 신호 중 한쪽의 클록 신호를 전달하는 클록 공급선이 접속되어 있고,

[0028] (A-3) 제1 트랜지스터의 게이트 전극은, 제3 트랜지스터의 한쪽의 소스/드레인 영역과 노드부에 의해 접속되어 있고,

[0029] (B-1) 제2 트랜지스터의 다른 한쪽의 소스/드레인 영역은, 소정의 제1 전위를 전달하는 제1 전위 공급선에 접속되어 있고,

[0030] (C-1) 제3 트랜지스터의 다른 한쪽의 소스/드레인 영역에는, 부트스트랩 회로에 인가되는 입력 신호를 전달하는 신호 공급선이 접속되어 있고,

[0031] (C-2) 제3 트랜지스터의 게이트 전극에는, 2상의 클록 신호 중 다른 한쪽의 클록 신호를 전달하는 클록 공급선이 접속되어 있고,

[0032] 제1 트랜지스터의 게이트 전극과 제3 트랜지스터의 한쪽의 소스/드레인 영역을 접속하는 노드부는, 제3 트랜지스터가 오프 상태가 되면 부유 상태가 된다.

[0033] 상기 영향을 경감할 수 있는 부트스트랩 회로로서 본 발명의 제1의 양태에 관련되는 부트스트랩 회로에 있어서는,

[0034] 제2 트랜지스터의 게이트 전극에는, 2상의 클록 신호 중 다른 한쪽의 클록 신호를 전달하는 클록 공급선이 접속

되어 있고,

- [0035] 노드부와 제1 전위 공급선 사이에, 전위변동억제 용량부가 접속되어 있다.
- [0036] 전위변동억제 용량부가 노드부와 전압 공급선의 사이에 접속되어 있기 때문에, 제3 트랜지스터가 오프 상태에 있을 때의 노드부에 있어서의 전위의 변동이 억제되고, 두 클록 신호에 기인하는 노드부의 전위 변화가 억제된다.
- [0037] 본 발명의 제1의 양태에 관련되는 부트스트랩 회로는, 제1 내지 제3 트랜지스터와 동일 도전형의 제4 트랜지스터를 더 구비하고 있다.
- [0038] 이 부트스트랩 회로에 있어서는,
- [0039] (D-1) 제4 트랜지스터의 한쪽의 소스/드레인 영역은, 제1 트랜지스터의 게이트 전극에 접속되어 있고,
- [0040] (D-2) 제4 트랜지스터의 다른 한쪽의 소스/드레인 영역은, 접합점에 의해 제3 트랜지스터의 한쪽의 소스/드레인 영역에 접속되어 있고,
- [0041] (D-3) 제4 트랜지스터의 게이트 전극은, 소정의 제2 전위를 전달하는 제2 전위 공급선에 접속되어 있다.
- [0042] 상기 구성의 경우, 전위변동억제 용량부는, 제3 트랜지스터의 한쪽의 소스/드레인 영역과 제4 트랜지스터의 다른 한쪽의 소스/드레인 영역을 접속하는 접합점과, 제1 전위 공급선의 사이에 접속되어 있는 구성으로 할 수 있다. 이 구성에 따르면, 제3 트랜지스터가 오프 상태가 되면 부유 상태가 되는 노드부가, 제4 트랜지스터에 의해 분할된다. 제2 전위의 값을, 부트스트랩 동작에 있어서 제4 트랜지스터가 오프 상태가 되도록 설정하는 것에 의해, 부트스트랩 동작에 있어서, 전위변동억제 용량부는 노드부로부터 분리된 상태가 된다. 이것에 의해, 노드부와 제1 전위 공급선 사이에 전위변동억제 용량부를 접속해도, 부트스트랩 게인이 저하하지 않는 이점을 갖는다.
- [0043] 상기 영향을 경감할 수 있는 부트스트랩 회로로서의 본 발명의 제2의 양태에 관련되는 부트스트랩 회로에 있어서는,
- [0044] 제2 트랜지스터의 게이트 전극에는, 2상의 클록 신호 중 다른 한쪽의 클록 신호를 전달하는 클록 공급선이 접속되어 있고,
- [0045] 노드부와 제2 트랜지스터의 게이트 전극의 사이에, 전위변동억제 용량부가 접속되어 있다.
- [0046] 본 발명의 제2의 양태에 관련되는 부트스트랩 회로에 의하면, 부트스트랩 회로의 구성에 포함되는 전위변동억제 용량부의 용량은, 2상의 클록 신호의 노드부로의 급격한 변화에 의한 전위의 변동이 서로 상쇄되는 값으로 설정된다. 이것에 의해, 노드부의 전위의 변동을 억제할 수 있다.
- [0047] 본 발명의 제3의 양태에 관련되는 부트스트랩 회로는, 반전 회로와 함께, 제1 내지 제3 트랜지스터와 동일 도전형의 제4 트랜지스터를 더 구비한다.
- [0048] 부트스트랩 회로에 있어서는,
- [0049] (E-1) 제4 트랜지스터의 한쪽의 소스/드레인 영역은, 접속점에 의해 반전 회로의 입력측에 접속되어 있고, 그 출력측은 제2 트랜지스터의 게이트 전극에 접속되어 있고,
- [0050] (E-2) 제4 트랜지스터의 다른 한쪽의 소스/드레인 영역은, 입력 공급선에 접속되어 있고,
- [0051] (E-3) 제4 트랜지스터의 게이트 전극은, 2상의 클록 신호 중 다른 한쪽의 클록 신호를 전달하는 클록 공급선에 접속되어 있다.
- [0052] 소정의 동작시에 있어서, 반전 회로의 출력에 의해 제2 트랜지스터의 온 상태가 유지되는 것에 의해, 제2 트랜지스터의 다른 소스/드레인 영역에서 출력부로의 전압 인가 상태가 유지된다. 이것에 의해, 노드부의 변동에 기인하여 발생하는 제1 트랜지스터의 리크(leak)에 의한 출력부의 전압변동을 저감할 수 있다.
- [0053] 제4 트랜지스터의 한쪽의 소스/드레인 영역과 반전 회로의 입력측이 접속된 접합점과 제1 전위 공급선의 사이에, 전위변동억제 용량부가 접속되어 있는 구성으로 할 수도 있다. 전위변동억제 용량부는, 반전 회로의 입력측의 전압의 변화를 억제하는 용량으로서 작용하므로, 반전 회로의 동작을 보다 안정화할 수 있다.
- [0054] 상술한 바람직한 구성을 포함하는 본 발명의 제3의 양태에 관련되는 부트스트랩 회로에 있어서는, 제4 트랜지스터의 한쪽의 소스/드레인 영역과 반전 회로의 입력측이 접속된 접합점과 제1 트랜지스터의 다른 한쪽의 소스/드

레인 영역 사이에, 특정 용량부가 접속되어 있는 구성으로 할 수도 있다.

- [0055] 전술한 영향을 경감할 수 있는 본 발명의 제4의 양태에 관련되는 부트스트랩 회로에 있어서는,
- [0056] 제2 트랜지스터의 게이트 전극에는, 2상의 클록 신호 중 다른 한쪽의 클록 신호를 전달하는 클록 공급선이 접속되어 있고,
- [0057] 부트스트랩 회로는, 제1 내지 제3 트랜지스터와 동일 도전형의 제4 트랜지스터 및 제5 트랜지스터로 이루어지는 회로부를 적어도 1개 더 구비하고 있고,
- [0058] 각 회로부에 있어서는,
- [0059] (F-1) 제4 트랜지스터의 게이트 전극은, 접합점에 의해 제5 트랜지스터의 한쪽의 소스/드레인 영역에 접속되어 있고,
- [0060] (F-2) 제5 트랜지스터의 다른 한쪽의 소스/드레인 영역에는, 입력 신호를 전달하는 신호 공급선이 접속되어 있고,
- [0061] 2상의 클록 신호 중 한쪽의 클록 신호는, 2상의 클록 신호 중 한쪽의 클록 신호를 전달하는 클록 공급선과 제1 트랜지스터의 다른 한쪽의 소스/드레인 영역의 사이에 직렬로 접속된 제4 트랜지스터를 통해, 제1 트랜지스터의 다른 한쪽의 소스/드레인 영역에 인가된다.
- [0062] 본 발명의 제4의 양태에 관련되는 부트스트랩 회로는, 부트스트랩 회로의 출력부와, 제4 트랜지스터의 게이트 전극과 제5 트랜지스터의 한쪽의 소스/드레인 영역을 접속하는 접합점의 사이에, 부트스트랩 용량부가 접속되어 있는 구성으로 할 수 있다. 상술한 바람직한 구성을 포함하는 본 발명의 제4의 양태에 관련되는 부트스트랩 회로에 있어서는, 제4 트랜지스터 및 제5 트랜지스터로 이루어지는 회로부에 있어서도 부트스트랩 동작이 일어난다. 환언하면, 본 발명의 제4의 양태에 관련되는 부트스트랩 회로는, 부트스트랩 동작이 일어나는 회로부가 복수 병렬로 접속된 구성을 구비하고 있다.
- [0063] 이 구성에 따르면, 제3 트랜지스터가 오프 상태에 있을 때의 노드부에 있어서의 전위의 변동이 억제되고, 클록 신호에 기인하는 노드부의 전위 변화가 억제된다.
- [0064] 본 발명의 제1의 양태, 제2의 양태, 제3의 양태 및, 제4의 양태에 관련되는 부트스트랩 회로에 있어서는, 부트스트랩 회로는, n채널형의 트랜지스터로 구성되어 있어도 되고, p채널형의 트랜지스터로 구성되어 있어도 된다. 이 때, 이하, 본 발명의 제1의 양태, 제2의 양태, 제3의 양태 및, 제4의 양태에 관련되는 부트스트랩 회로들을 총칭하여, 간단히, 본 발명의 부트스트랩 회로라고 부르는 경우가 있다. 각 트랜지스터는, 박막 트랜지스터(TFT)라도 되고, 반도체 기판 등에 형성된 트랜지스터라도 된다. 각 트랜지스터의 구성은 특별히 한정하는 것은 아니다. 이하의 설명에 있어서는, 각 트랜지스터는 증가형(enhancement type) 트랜지스터인 것으로 하여 설명한다. 그러나 각 트랜지스터가 증가형 트랜지스터에 한정하는 것은 아니다. 예를 들면 공핍형(depletion type)의 트랜지스터가 이용되어도 된다. 또한, 각 트랜지스터는 싱글 게이트형(single-gate type)이어도 되고, 듀얼 게이트형(dual-gate type)이어도 된다.
- [0065] 예를 들면, 액티브 매트릭스형의 액정표시장치를 구성하는 기판 위에, 화소 전극과 화소 전극에 접속되는 구동용 트랜지스터를 형성한다. 또한 동일한 기판 위에 부트스트랩 회로를 사용한 주사 회로 등을 형성할 수 있다. 이 경우에는, 부트스트랩 회로는, 구동용 트랜지스터와 같은 도전형의 트랜지스터로 구성하는 것이 편리하다. 기판 위에 형성되는 구동용 트랜지스터와 주사 회로의 부트스트랩 회로 트랜지스터가 동일한 도전형이므로, 그 트랜지스터들을 같은 공정에서 형성할 수 있다. 유기EL(organic electro luminescence) 표시장치 등도 액정 표시장치와 마찬가지로 제조할 수 있다.
- [0066] 부트스트랩 회로에 이용되는 각각의 용량부는, 일반적으로 절연층을 끼운 2개의 도전층으로 구성되어 있다. 그 밖에 각각의 용량부는 소위 MOS용량부로서 구성되어 있어도 된다. 부트스트랩 회로를 구성하는 트랜지스터나 용량부 혹은 신호 공급선, 전압 공급선, 클록 공급선과 같은 배선, 및 배선들을 접속하는 구성요소들은 널리 알려진 재료나 방법에 의해 형성할 수 있다. 트랜지스터나 용량부 혹은 배선 등의 구성이나 형성 방법은, 부트스트랩 회로를 사용하는 장치의 사양 등에 따라서 적당히 선택하면 된다.
- [0067] 본 발명의 제3의 양태에 따라 설치되는 부트스트랩 회로에 이용되는 반전 회로의 구성은, 특별히 한정하는 것은 아니다. 단 기본적으로는, 반전 회로는 제3의 양태에 관련되는 부트스트랩 회로를 구성하는 각 트랜지스터와 동일한 도전형의 트랜지스터로 구성되어 있는 것이 바람직하다. 예를 들면, 일본국 특개 2005-143068호 공보에 있

어서, 단일 도전형의 트랜지스터로 구성된 반전 회로가 개시되어 있다. 본 발명의 제3의 양태에 따라 설치되는 부트스트랩 회로에는 이 반전 회로를 사용할 수도 있다. 또한, 일본국 특원 2008-26742호 및 일본국 특원 2008-26743호에 다양한 반전 회로를 제안했다. 마찬가지로 본 발명의 제3의 양태에 따라 설치되는 부트스트랩 회로에는 이들 반전 회로를 사용할 수도 있다.

효과

[0068] 본 발명의 실시예에 따른 각각의 부트스트랩 회로에 의해, 기생 용량 등을 통한 다양한 급격한 변화 의한 영향을 경감할 수 있다. 따라서, 본 발명의 부트스트랩 회로를 사용한 시프트 레지스터회로나 출력 버퍼 회로 등에 있어서는, 다양한 급격한 변화에 의한 회로의 오동작이 경감될 수 있다.

발명의 실시를 위한 구체적인 내용

[0069] 이하, 도면을 참조하여, 본 발명의 바람직한 실시예를 설명한다.

[0070] [실시예 1]

[0071] 본 발명의 실시예 1은, 본 발명의 제1의 양태에 관련되는 부트스트랩 회로에 관한 것이다. 도 1은, 모든 단을 본 발명의 실시예 1에 관련된 부트스트랩 회로로 구성된 주사 회로(101)의 일반적인 구성을 나타내는 회로도다. 이 때, 편의를 위해, 도 1에 있어서는 주사 회로(101)의 1단계와 2단계에 2개의 부트스트랩 회로만을 나타냈다. 도 2a 및 2b는 유기 일렉트로 루미네선스 표시장치(이하, 간단히, 유기EL 표시장치라고 부르는 경우가 있다)의 일반적인 구성을 나타내는 개념 블록도다. 구체적으로는, 도 2a는 주사 회로(101)와 복수의 유기EL 소자(10)(이하, 간단히, 유기EL 소자라고 칭한다)를 구비한 유기EL 표시장치의 일반적인 구성을 나타내는 개념 블록도다. 유기EL 표시장치에 있어서, 각각의 유기EL 소자(10)는 발광 소자로서 작용한다. 한편, 도 2b는 유기EL소자(10)의 모식적인 회로도에 초점을 맞춘 유기EL 표시장치의 일반적인 구성을 나타내는 개념 블록도다.

[0072] 도 1에 나타내는 주사 회로(101)의 1단계에 주목하여, 본 발명의 실시예 1에 따른 부트스트랩 회로를 설명한다. 본 발명의 실시예 1에 따른 부트스트랩 회로는, 동일 도전형의 제1 트랜지스터 Tr_1 , 제2 트랜지스터 Tr_2 , 및, 제3 트랜지스터 Tr_3 로 구성되어 있다. 본 발명의 실시예 1에 따른 부트스트랩 회로의 경우, 각각의 제1 트랜지스터 Tr_1 , 제2 트랜지스터 Tr_2 , 및, 제3 트랜지스터 Tr_3 은 후술하는 것처럼 n채널형으로 되어 있다.

[0073] 본 발명의 실시예 1에 따른 부트스트랩 회로에 있어서,

[0074] (A-1) 제1 트랜지스터 Tr_1 의 한쪽의 소스/드레인 영역과 제2 트랜지스터 Tr_2 의 한쪽의 소스/드레인 영역은, 부트스트랩 회로의 출력부 OUT_1 에 의해 접속되고,

[0075] (A-2) 제1 트랜지스터 Tr_1 의 다른 한쪽의 소스/드레인 영역에는, 2상의 클록 신호 CK_1 , CK_2 중 한쪽의 클록 신호를 전달하는 클록 공급선이 접속되어 있고,

[0076] (A-3) 제1 트랜지스터 Tr_1 의 게이트 전극과 제3 트랜지스터 Tr_3 의 한쪽의 소스/드레인 영역은, 노드부 P_1 에 의해 접속되어 있고,

[0077] (B-1) 제2 트랜지스터 Tr_2 의 다른 한쪽의 소스/드레인 영역은, 소정의 제1 전위 V_{s1} (예를 들면 0볼트)를 전달하는 제1 전위 공급선 PS_1 에 접속되어 있고,

[0078] (C-1) 제3 트랜지스터 Tr_3 의 다른 한쪽의 소스/드레인 영역에는, 부트스트랩 회로에 인가되는 입력 신호 IN_1 를 전달하는 신호 공급선이 접속되어 있고,

[0079] (C-2) 제3 트랜지스터 Tr_3 의 게이트 전극에는, 2상의 클록 신호 CK_1 , CK_2 중 다른 한쪽의 클록 신호를 전달하는 클록 공급선이 접속되어 있고,

[0080] 제1 트랜지스터 Tr_1 의 게이트 전극과 제3 트랜지스터 Tr_3 의 한쪽의 소스/드레인 영역을 접속하는 노드부 P_1 은, 제3 트랜지스터 Tr_3 가 오프 상태가 되면 부유 상태가 된다.

[0081] 그리고, 제2 트랜지스터 Tr_2 의 게이트 전극에는, 2상의 클록 신호 CK_1 , CK_2 중 다른 한쪽의 클록 신호를 전달하는 클록 공급선이 접속되어 있다(본 발명의 실시예 1에 따른 부트스트랩 회로의 경우, 도 1의 회로도에도 나타낸

바와 같이 2상의 클록 신호 CK_1 , CK_2 중 다른 한쪽의 클록 신호는 클록 신호 CK_2 다). 또한 노드부 P_1 과 전압 공급선 PS_1 사이에, 전위변동억제 용량부 C_{11} 이 접속되어 있다.

[0082] 본 발명의 실시예 1에 따른 부트스트랩 회로의 경우, 전위변동억제 용량부 C_{11} 은 절연층을 사이에 끼운 2개의 도전층으로 구성되어 있다. 이 때, 배경기술에서 설명한 것과 마찬가지로, 제1 트랜지스터 Tr_1 의 게이트 전극과 제1 트랜지스터 Tr_1 의 한쪽의 소스/드레인 영역 사이에 부트스트랩 용량부 C_a 로서의 용량부도 접속되어 있다. 전위변동억제 용량부 C_{11} 과 같이, 부트스트랩 용량부 C_a 도 절연층을 끼운 2개의 도전층으로 구성되어 있다.

[0083] 여기에서, 배경기술에서 설명한 것과 같이, 2상의 클록 신호 CK_1 , CK_2 , 및, 입력 신호 IN_1 의 하이 레벨은 전위 V_{dd} (일반적으로 5볼트)로 설정한다. 한편, 이들 신호의 로 레벨은 상술한 제1 전위 V_{ss} (일반적으로 0볼트)로 설정한다. 또한, 제3 트랜지스터 Tr_3 의 임계값 전압을 V_{th3} 으로 나타낸다.

[0084] 우선, 주사 회로(101)를 사용한 유기EL 표시장치의 구성과 동작에 대해 설명한다. 도 2a에 개념 블록도를 나타내는 바와 같이, 유기EL 표시장치는,

- [0085] (1) 주사 회로(101),
- [0086] (2) 신호 출력 회로(102),
- [0087] (3) 제1 방향에 N 개, 제1 방향과는 다른 제2 방향에 M 개, 합계 $N \times M$ 개의, 2차원 매트릭스 모양으로 배열된 유기EL소자(10),
- [0088] (4) 주사 회로(101)에 접속되고, 제1 방향으로 연장하는 M 개의 주사선 SCL,
- [0089] (5) 신호 출력 회로(102)에 접속되고, 제2 방향(구체적으로는 제1 방향과 직교하는 방향)으로 연장하는 N 개의 데이터선 DTL,
- [0090] (6) 전원부(100)를 구비하고 있다.

[0091] 이 때, 도 2a에 있어서는, 편의를 위해 3×3 개의 유기EL소자(10)를 나타냈다. 즉 이것은 단순한 예시에 지나지 않는다. 주사 회로(101), 유기EL소자(10), 주사선 SCL, 데이터선 DTL 등은, 도 2a의 개념 블록도에 도시하지 않은 기관 위에 형성되어 있다. 기관은 일반적으로 유리로 이루어진다.

[0092] 발광부 ELP는, 예를 들면, 애노드 전극, 정공 수송층, 발광층, 전자 수송층, 캐소드 전극 등의 알려진 구성, 구조를 갖는다. 마찬가지로 신호 출력 회로(102), 주사선 SCL, 데이터선 DTL, 전원부(100)의 구성, 구조는, 알려진 구성, 구조로 할 수 있다.

[0093] 도 2b의 개념 블록도에 나타내는 바와 같이, 유기EL소자(10)는, 발광부 ELP 외에도, 구동 트랜지스터 Tr_D , 신호기록 트랜지스터 Tr_W , 및, 신호보유 용량 C_H 로 구성된 구동 회로를 구비하고 있다. 이 때, 발광부 ELP의 용량을 부호 C_{EL} 로 나타냈다.

[0094] 구동 트랜지스터 Tr_D 및 신호기록 트랜지스터 Tr_W 는, 각각 n 채널형의 박막 트랜지스터(TFT)로 이루어진다. TFT는 소스/드레인 영역, 채널 형성 영역, 및, 게이트 전극을 구비한다. 구동 회로도 도 2b의 개념 블록도에 도시하지 않은 기관 위에 형성되어 있다. 기관 위의 소정의 영역에 이 구동 회로를 덮도록 발광부 ELP가 형성되어 있다.

[0095] 상기 구동 트랜지스터 Tr_D 나 신호기록 트랜지스터 Tr_W 와 마찬가지로, 주사 회로(101)를 구성하는 제1 트랜지스터 Tr_1 , 제2 트랜지스터 Tr_2 , 및, 제3 트랜지스터 Tr_3 도, 소스/드레인 영역, 채널 형성 영역, 및, 게이트 전극을 구비한, n 채널형의 박막 트랜지스터(TFT)로 이루어진다. 제1 트랜지스터 Tr_1 , 제2 트랜지스터 Tr_2 , 및, 제3 트랜지스터 Tr_3 도, 도 2b의 개념 블록도에 도시하지 않은 기관 위에 형성되어 있다. 또한 다른 실시예에 있어서 설명하는 제4 트랜지스터 등도 같은 기관 위에 형성된다.

[0096] 구동 트랜지스터 Tr_D 에 있어서는, 한쪽의 소스/드레인 영역은 전원부(100)(전위 V_{CC} , 예를 들면 20볼트)에 접속되어 있다. 구동 트랜지스터 Tr_D 의 다른 한쪽의 소스/드레인 영역은 발광부 ELP에 구비된 애노드 전극에 접속되고, 동시에, 신호보유 용량 C_H 의 일단에 접속되어 있다. 구동 트랜지스터 Tr_D 의 게이트 전극은, 신호기록 트랜지

스터 Tr_W 의 다른 한쪽의 소스/드레인 영역에 접속되고, 동시에, 신호보유 용량 C_H 의 타단에 접속되어 있다. 신호 기록 트랜지스터 Tr_W 에 있어서는, 한쪽의 소스/드레인 영역은, 데이터선 DTL에 접속되어 있고, 게이트 전극은, 주사선 SCL에 접속되어 있다. 발광부 ELP에 구비된 캐소드 전극에는, 전위 V_{cat} (예를 들면 0볼트)를 전달하는 전압 공급선이 접속되어 있다. 이하 설명하는 것 같이 유기EL소자(10)는 액티브 매트릭스 구동된다.

[0097] 예를 들면, 도 2a의 상단의 주사선 SCL이 주사 회로(101)의 동작에 의해 하이 레벨이 되면, 상단의 주사선 SCL에 접속된 유기EL소자(10)의 신호기록 트랜지스터 Tr_W 는 온 상태가 되고, 신호 출력 회로(102)로부터 영상신호가 데이터선 DTL을 통해 유지 용량 C_H 의 일단에 인가된다. 한편 주사선 SCL이 주사 회로(101)에 의해 로 레벨이 되면, 신호기록 트랜지스터 Tr_W 는 오프 상태가 된다. 그러나, 구동 트랜지스터 Tr_D 의 게이트 전극과 소스 영역 사이의 전위차는, 신호보유 용량 C_H 에 의해 영상신호에 따른 값으로 유지되고 있다. 따라서, 구동 트랜지스터 Tr_D 를 거쳐 전원부(100)로부터 발광부 ELP에 영상신호의 값에 따른 전류가 흘러, 발광부 ELP가 발광한다.

[0098] 이어서, 실시예 1의 설명을 쉽게 이해하게 하기 위해, 종래의 부트스트랩 회로에 있어서 기생 용량을 고려했을 때의 동작을 설명한다. 도 3a는, 종래의 부트스트랩 회로에 있어서 기생 용량을 고려했을 때의 회로도이고, 도 3b는, 종래의 부트스트랩 회로에 있어서 기생 용량을 고려했을 때의 모식적인 타이밍 차트이다. 한편, 이해를 돕기 위해, 도 26b와는 달리 도 3b의 타이밍도에서는, 2상 클럭 신호 CK_1 , CK_2 가 모두 로 레벨이 되는 기간을 명시했다.

[0099] 도 3a의 회로도에 있어서, 제1 트랜지스터 Tr_1 의 게이트 전극과 다른 한쪽의 소스/드레인 영역 사이의 기생 용량을 부호 C_1 로 나타내고, 제2 트랜지스터 Tr_2 의 게이트 전극과 한쪽의 소스/드레인 영역 사이의 기생 용량을 부호 C_2 로 나타내고, 제3 트랜지스터 Tr_3 의 게이트 전극과 한쪽의 소스/드레인 영역 사이의 기생 용량을 부호 C_3 으로 나타낸다.

[0100] 도 3a에 나타내는 부트스트랩 회로에 있어서, 노드부 P_1 은 제3 트랜지스터 Tr_3 이 오프 상태가 되면 부유 상태가 된다. 앞서 설명한 것처럼, 제1 트랜지스터 Tr_1 의 게이트 전극은 노드부 P_1 을 구성하는 한편, 제1 클럭 신호 CK_1 은 제1 트랜지스터 Tr_1 의 다른 한쪽의 소스/드레인 영역에 공급된다. 제1 트랜지스터 Tr_1 의 게이트 전극과, 제1 트랜지스터 Tr_1 의 다른 한쪽의 소스/드레인 영역은 기생 용량 C_1 에 의해 정전적(electro-statically)으로 결합하고 있다. 한편, 제2 클럭 신호 CK_2 는 제3 트랜지스터 Tr_3 의 게이트 전극에 인가되는 한편, 제3 트랜지스터 Tr_3 의 한쪽의 소스/드레인 영역은 노드부 P_1 을 구성한다. 제3 트랜지스터 Tr_3 의 게이트 전극과 제3 트랜지스터 Tr_3 의 한쪽의 소스/드레인 영역은 기생 용량 C_3 에 의해 정전적으로 결합하고 있다.

[0101] 부트스트랩 회로의 출력부 OUT_1 은 제1 트랜지스터 Tr_1 과 제2 트랜지스터 Tr_2 가 모두 오프 상태일 경우에는 부유 상태가 된다. 제2 클럭 신호 CK_2 는 제2 트랜지스터 Tr_2 의 게이트 전극에도 인가되는 한편, 제2 트랜지스터 Tr_2 의 한쪽의 소스/드레인 영역은 출력부 OUT_1 을 구성한다. 제2 트랜지스터 Tr_2 의 게이트 전극과 제2 트랜지스터 Tr_2 의 한쪽의 소스/드레인 영역은 기생 용량 C_2 에 정전적으로 결합하고 있다. 한편, 제1 트랜지스터 Tr_1 의 게이트 전극은 전술한 바와 같이 노드부 P_1 을 구성하는 한편, 제1 트랜지스터 Tr_1 의 한쪽의 소스/드레인 영역은 출력부 OUT_1 을 구성한다. 제1 트랜지스터 Tr_1 의 게이트 전극은 제1 트랜지스터 Tr_1 의 한쪽의 소스/드레인 영역과 부트스트랩 용량부 C_a 에 의해 정전적으로 결합하고 있다. 이 때, 실제로는, 제1 트랜지스터 Tr_1 의 게이트 전극과 제1 트랜지스터 Tr_1 의 한쪽의 소스/드레인 영역 사이에도 기생 용량이 존재한다. 그러나 통상은 트랜지스터 Tr_1 의 게이트 전극과 제1 트랜지스터 Tr_1 의 한쪽의 소스/드레인 영역 사이에 존재하는 기생 용량에 비해 부트스트랩 용량부 C_a 에 의한 정전적인 결합이 지배적이므로, 편의를 위해, 제1 트랜지스터 Tr_1 의 게이트 전극과 제1 트랜지스터 Tr_1 의 한쪽의 소스/드레인 영역 사이의 기생 용량은 고려하고 있지 않다.

[0102] 도 3b의 타이밍도에 나타내는 [기간- T_1] 내지 [기간- T_6]의 동작은, 기본적으로는, 배경기술에서 도 26b를 참조해서 설명한 [기간- $T1$] 내지 [기간- T_6]의 동작과 유사하다. 따라서 도 3a에 나타낸 부트스트랩 회로에 의해 실행되는 기본적인 동작의 설명은 중복을 피하기 위해 생략한다.

- [0103] 상술한 것 같이, 제1 트랜지스터 Tr_1 의 게이트 전극이 노드부 P_1 를 구성하는 한편, 제1 클록 신호 CK_1 은 제1 트랜지스터 Tr_1 의 다른 한쪽의 소스/드레인 영역에 공급된다. 제1 트랜지스터 Tr_1 의 게이트 전극과 제1 트랜지스터 Tr_1 의 다른 한쪽의 소스/드레인 영역은 기생 용량 C_1 에 의해 정전적으로 결합한다. 한편, 제2 클록 신호 CK_2 는 제3 트랜지스터 Tr_3 의 게이트 전극에 인가되는 한편, 제3 트랜지스터 Tr_3 의 한쪽의 소스/드레인 영역은 노드부 P_1 를 구성한다. 제3 트랜지스터 Tr_3 의 게이트 전극과 제3 트랜지스터 Tr_3 의 한쪽의 소스/드레인 영역은 기생 용량 C_3 에 의해 정전적으로 결합한다. 따라서 제3 트랜지스터 Tr_3 이 오프 상태일 때에는, 노드부 P_1 의 전위는 두 클록 신호 CK_1 , CK_2 의 상승 및 하강에 따라서 변동한다. 예를 들면, 제1 트랜지스터 Tr_1 이 불확정 상태(도 3b에 삼각형으로 나타냄)에 있는 도 3b에 나타내는 [기간- T_2]나 [기간- T_6]에는, 제1 클록 신호 CK_1 의 상승에 따라서 노드부 P_1 의 전위가 상승한다. 전술한 것처럼 제1 클록 신호 CK_1 은, 제1 트랜지스터 Tr_1 의 다른 한쪽의 소스/드레인 영역에 인가된다. 따라서 노드부 P_1 의 전위의 상승이, 제1 트랜지스터 Tr_1 에 리크를 일으키게 할 정도까지 도달하게 되면, 제1 클록 신호 CK_1 은 리크를 일으키고, 이에 따라 출력부 OUT_1 의 전위는 상승한다. 따라서, 도 3b에 나타내는 바와 같이, [기간- T_2]나 [기간- T_6]에, 출력부 OUT_1 이 로 레벨을 유지할 수 없게 되는 문제가 생긴다.
- [0104] 도 4a는, 전위변동억제 용량부 C_{11} 을 구비한 주사 회로(101)의 1단계를 구성하는 부트스트랩 회로의 일반적인 구성을 나타내는 회로도이고, 도 4b는, 전위변동억제 용량부 C_{11} 을 구비한 부트스트랩 회로에 의해 실행되는 동작과 관련된 신호의 타이밍 차트를 모식적으로 나타내는 타이밍도다.
- [0105] 상술한 것 같이, 실시예 1의 부트스트랩 회로에 있어서는, 노드부 P_1 과 제1 전위 공급선 PS_1 사이에, 전위변동억제 용량부 C_{11} 이 접속되어 있다. 전위변동억제 용량부 C_{11} 이 제3 트랜지스터 Tr_3 이 오프 상태에 있을 때의 노드부 P_1 의 전위의 변동을 억제하므로, 도 4b에 나타내는 [기간- T_2]나 [기간- T_6]에, 제1 클록 신호 CK_1 의 상승에 따른 노드부 P_1 의 전위의 상승이 억제된다. 이것에 의해, 도 4b에 나타내는 [기간- T_2]나 [기간- T_6] 동안에 출력부 OUT_1 이 로 레벨을 유지할 수 없는 문제를 해결할 수 있다. 전술한 것처럼, 이 문제는 노드부 P_1 의 전위의 상승이, 제1 트랜지스터 Tr_1 에 리크를 일으키게 할 정도까지 도달하게 되어, 제1 트랜지스터 Tr_1 의 다른 한쪽의 소스/드레인 영역에 인가되는 제1 클록 신호 CK_1 이 리크를 일으키고, 이에 따라 출력부 OUT_1 의 전위가 상승하기 때문에 발생한다.
- [0106] 한편, 노드부 P_1 과 제1 전위 공급선 PS_1 사이에 전위변동억제 용량부 C_{11} 이 접속되는 것에 의해, 부트스트랩 게인 g_b 는 저하한다. 실시예 1의 부트스트랩 회로에 있어서는 부트스트랩 게인 g_b 는, 다음의 식 (1)로 표현된다. 다음 식에 있어서, 제1 트랜지스터 Tr_1 의 게이트 용량을 C_{Tr1} 로 나타낸다.
- [0107]
$$g_b = (C_{Tr1} + C_a + C_1) / (C_{11} + C_3 + C_{Tr1} + C_a + C_1) \dots (1)$$
- [0108] 제1 트랜지스터 Tr_1 의 임계값 전압을 V_{th1} 로 나타내기로 한다. 도 4b에 나타내는 [기간- T_4]의 시작 시기에 제1 트랜지스터 Tr_1 의 게이트-소스간 전압이 제1 트랜지스터 Tr_1 의 임계값 전압 V_{th1} 을 넘도록 할 필요가 있다. 따라서 전위변동억제 용량부 C_{11} 의 값은 이 조건을 충족시키도록 설정되어 있다. 또한, 부트스트랩 용량부 C_a 에 비하여 용량이 충분히 큰 전위변동억제 용량부 C_{11} 을 설치하는 것이 바람직하다.
- [0109] 그런데, 도 1에 나타내는 주사 회로(101)로서의 시프트 레지스터 회로에 있어서는, 전단의 부트스트랩 회로에 의해 출력된 신호는 후단의 부트스트랩 회로에 공급된다. 예를 들면 전단의 부트스트랩 회로의 출력부 OUT_1 에 의해 출력된 신호는 후단의 부트스트랩 회로에 입력 신호 IN_2 로서 공급된다.
- [0110] 도 5a는, 후단의 부트스트랩 회로에 인가되는 신호의 위상이 앞선 경우에 있어서, 도 1에 나타내는 주사 회로(101)에 의해 실행되는 동작과 관련된 신호의 모식적인 타이밍 차트를 나타내는 타이밍도다. 한편 도 5b는, 후단의 부트스트랩 회로에 인가되는 신호의 위상이 지연된 경우에 있어서, 도 1에 나타내는 주사 회로(101)에 의해 실행되는 동작과 관련된 신호의 모식적인 타이밍 차트를 나타내는 타이밍도다. 도 5a 및 도 5b의 각 타이밍

도에 있어서, 상기 후단의 부트스트랩 회로에 인가되는 신호는 $IN_2=OUT_1$ 로 나타낸다. 도 5a의 타이밍도에 나타내는 바와 같이, 후단의 부트스트랩 회로에 인가되는 신호의 위상이 앞선 경우에는, [기간- T_3]~[기간- T_4]에 후단의 부트스트랩 동작이 정상적으로 행해지지 않는다. 반면에, 도 5b의 타이밍도에 나타내는 바와 같이, 후단의 부트스트랩 회로에 인가되는 신호의 위상이 지연된 경우에는, [기간- T_3]~[기간- T_4]에 문제없이 후단의 부트스트랩 동작이 이루어진다. 그래서, 후단의 부트스트랩 회로에 의해 실행되는 부트스트랩 동작을 확실하게 하기 위해, 도 6a 혹은 도 6b의 회로도에 나타내는 바와 같이, 전단의 부트스트랩 회로에 의해 출력되는 신호가 지연 요소(delay element)를 통해 후단의 부트스트랩 회로에 인가되는 구성으로 할 수 있다. 지연 요소로서는, 버퍼 회로, 용량, 저항 등을 주사 회로(101)의 설계에 따라 적절히 선택하면 된다. 후술하는 다른 실시예에서도 지연 회로가 사용될 수 있다.

[0111] [실시예 2]

[0112] 실시예 2는 실시예 1의 변형이다. 실시예 1과 마찬가지로, 이하 실시예 2에 관련되는 부트스트랩 회로로 구성된 주사 회로(101)의 1단계의 회로의 구성 및 동작에 대해 설명한다. 실시예 2의 유기EL 표시장치의 구성과 동작은 기본적으로 실시예 1의 것과 동일하므로, 중복을 피하기 위해 실시예 2의 유기EL 표시장치의 구성과 동작의 설명은 생략한다. 즉, 실시예 1과 실시예 2 사이의 구성 및 동작의 차이점에 대해서만 서술한다. 후술하는 다른 실시예에 있어서도 이러한 차이점을 제외한 구성과 동작의 설명은 생략한다.

[0113] 도 7a는, 주사 회로(101)의 1단계를 구성하는 실시예 2의 부트스트랩 회로의 회로도이고, 도 7b는, 주사 회로(101)의 1단계를 구성하는 실시예 2의 부트스트랩 회로에 있어서 기생 용량을 고려했을 때의 모식적인 타이밍 차트이다.

[0114] 실시예 1에 따른 부트스트랩 회로와 비교하여, 실시예 2에 따른 부트스트랩 회로는 제1 트랜지스터 Tr_1 내지 제3 트랜지스터 Tr_3 과 동일 도전형(실시예 2에서는 n채널형)의 제4 트랜지스터 Tr_{24} 를 더 구비하고 있다. 실시예 2에 따른 부트스트랩 회로에 있어서는,

[0115] (D-1) 제4 트랜지스터 Tr_{24} 의 한쪽의 소스/드레인 영역은, 접합점에 의해 제1 트랜지스터 Tr_1 의 게이트 전극에 접속되어 있고,

[0116] (D-2) 제4 트랜지스터 Tr_{24} 의 다른 한쪽의 소스/드레인 영역은, 또 다른 접합점에 의해 제3 트랜지스터 Tr_3 의 한쪽의 소스/드레인 영역에 접속되어 있고,

[0117] (D-3) 제4 트랜지스터 Tr_{24} 의 게이트 전극은, 소정의 제2 전위(여기서는 전위 V_{dd})이 인가되는 제2 전위 공급선 PS_2 에 접속되어 있다.

[0118] 상기 구성의 경우, 제1 전위 공급선 PS_1 과 제4 트랜지스터 Tr_{24} 의 다른 한쪽의 소스/드레인 영역을 제3 트랜지스터 Tr_3 의 한쪽의 소스/드레인 영역에 접속하는 상기 또 다른 접합점의 사이에 전위변동억제 용량부 C_{11} 을 설치할 수 있다. 이점 이외에, 실시예 2에 따른 부트스트랩 회로의 나머지 구성은 실시예 1에서 설명한 것과 동일하다.

[0119] 실시예 2의 부트스트랩 회로에 있어서는, 실시예 1에 있어서 설명한 도 4a에 나타내는 노드부 P_1 이, 제4 트랜지스터 Tr_{24} 에 의해 제1 서브 노드부 P_{1A} 와 제2 서브 노드부 P_{1B} 로 분할되어 있다. 제1 서브 노드부 P_{1A} 는 제1 트랜지스터 Tr_1 의 게이트 전극측의 노드부이고, 제2 서브 노드부 P_{1B} 는 제3 트랜지스터 Tr_3 의 한쪽의 소스/드레인 영역측의 노드부다. 즉, 제1 서브 노드부 P_{1A} 는 제4 트랜지스터 Tr_{24} 의 한쪽의 소스/드레인 영역을 제1 트랜지스터 Tr_1 의 게이트 전극에 접속하는 접합점이고, 제2 서브 노드부 P_{1B} 는 제4 트랜지스터 Tr_{24} 의 다른 한쪽의 소스/드레인 영역을 제3 트랜지스터 Tr_3 의 한쪽의 소스/드레인 영역에 접속하는 또 다른 접합점이다. 이 때 C_{24} 는 제4 트랜지스터 Tr_{24} 의 게이트 전극과 제4 트랜지스터 Tr_{24} 의 한쪽의 소스/드레인 영역 사이의 기생 용량을 나타낸다.

[0120] 실시예 2에 따른 부트스트랩 회로에 있어서는, 제4 트랜지스터 Tr_{24} 가 온 상태일 때, 전위변동억제 용량부 C_{11} 이 제1 서브 노드부 P_{1A} 에 접속되어, 제1 서브 노드부 P_{1A} 와 제2 서브 노드부 P_{1B} 는 전위변동억제 용량부 C_{11} 에 의해 제1 전위 V_{SS} 를 전달하는 제1 전위 공급선 PS_1 과 정전적으로 결합한다. 이 상태에서 전위변동억제 용량부 C_{11} 에 의한 용량 결합 효과에 의하여, 실시예 1과 마찬가지로, 제3 트랜지스터 Tr_3 이 오프 상태에 있을 때에 노드부 P_1

을 구성하는 제1 서브 노드부 P_{1A}와 제2 서브 노드부 P_{1B}의 전위 변동을 억제할 수 있다. 이에 따라 도 7b에 나타내는 [기간-T₂]나 [기간-T₆]에 있어서, 제1 클럭 신호 CK₁의 상승에 따른 제1 서브 노드부 P_{1A}와 제2 서브 노드부 P_{1B}의 전위의 상승이 억제된다.

[0121] 한편, 도 7b에 나타난 [기간-T₄]에는, 제4 트랜지스터 Tr₂₄는 오프 상태가 된다. 즉, 부트스트랩 동작에 있어서, 전위변동억제 용량부 C₁₁은 제1 서브 노드부 P_{1A}로부터 절연된 상태에 있다. 따라서, 실시예 1과는 달리, 실시예 2에서는 전위변동억제 용량부 C₁₁에 의해 부트스트랩 게인이 저하하는 현상은 일어나지 않는다. 따라서, 실시예 1보다도 높은 부트스트랩 게인을 얻을 수 있다. 실시예 2의 부트스트랩 회로에 있어서의 부트스트랩 게인 g_b는, 다음 식 (2)로 표현된다. 다음 식에 있어서, C_{Tr1}은 제1 트랜지스터 Tr₁의 게이트 용량 나타낸다.

[0122]
$$g_b = (C_{Tr1} + C_a + C_1) / (C_{24} + C_{Tr1} + C_a + C_1) \dots (2)$$

[0123] [실시예 3]

[0124] 실시예 3은, 본 발명의 제2의 양태에 관련되는 부트스트랩 회로에 관한 것이다. 상술한 것과 같이, 주사 회로 (101)는 각 단계 실시예 3에 따른 부트스트랩 회로를 구비한다. 이하 실시예 3에 관련되는 부트스트랩 회로로 구성된 주사 회로의 1단계의 회로의 구성 및 동작에 대해서 설명한다.

[0125] 도 8a는, 주사 회로(101)의 1단계를 구성하는 실시예 3의 부트스트랩 회로의 일반적인 구성을 나타내는 회로도이고, 도 8b는, 주사 회로(101)의 1단계를 구성하는 실시예 3의 부트스트랩 회로에 의해 실행되는 동작과 관련된 신호의 모식적인 타이밍 차트를 나타내는 타이밍도다. 이 때 타이밍 차트에는 위상이 서로 다르며 동기하여 레벨이 전환되는 2개의 클럭 신호 CK₁, CK₂를 나타낸다.

[0126] 전술한 실시예 1에 따른 부트스트랩 회로와 마찬가지로, 실시예 3에 따른 부트스트랩 회로는, 동일 도전형의 제1 트랜지스터 Tr₁, 제2 트랜지스터 Tr₂, 및, 제3 트랜지스터 Tr₃으로 구성되어 있다. 실시예 3의 경우에도, 도전형은 n형이다.

[0127] 본 발명의 실시예 1에 따른 부트스트랩 회로와 마찬가지로, 실시예 3에 따른 부트스트랩 회로에 있어서는,

[0128] (A-1) 제1 트랜지스터 Tr₁의 한쪽의 소스/드레인 영역과 제2 트랜지스터 Tr₂의 한쪽의 소스/드레인 영역은, 부트스트랩 회로의 출력부 OUT₁에 의해 접속되고,

[0129] (A-2) 제1 트랜지스터 Tr₁의 다른 한쪽의 소스/드레인 영역은, 2상의 클럭 신호 CK₁, CK₂ 중 한쪽의 클럭 신호(본 발명의 실시예 3에 따른 부트스트랩 회로의 경우, 2상의 클럭 신호 CK₁, CK₂ 중 한쪽의 클럭 신호는, 도 8a에 나타난 것처럼 클럭 신호 CK₁이다)를 전달하는 클럭 공급선에 접속되고,

[0130] (A-3) 제1 트랜지스터 Tr₁의 게이트 전극과, 제3 트랜지스터 Tr₃의 한쪽의 소스/드레인 영역은, 노드부 P₁에 의해 접속되고,

[0131] (B-1) 제2 트랜지스터 Tr₂의 다른 한쪽의 소스/드레인 영역은, 소정의 제1 전위 V_{ss}(일반적으로 0볼트로 설정됨)를 전달하는 제1 전위 공급선 PS₁에 접속되고,

[0132] (C-1) 제3 트랜지스터 Tr₃의 다른 한쪽의 소스/드레인 영역은, 부트스트랩 회로에 인가되는 입력 신호 IN₁을 전달하는 신호 공급선에 접속되고,

[0133] (C-2) 제3 트랜지스터 Tr₃의 게이트 전극은, 2상의 클럭 신호 CK₁, CK₂ 중 다른 한쪽의 클럭 신호(본 발명의 실시예 3에 따른 부트스트랩 회로의 경우, 2상의 클럭 신호 CK₁, CK₂ 중 다른 한쪽의 클럭 신호는, 도 8a에 나타난 것처럼 클럭 신호 CK₂이다)를 전달하는 클럭 공급선에 접속되고,

[0134] 제1 트랜지스터 Tr₁의 게이트 전극과 제3 트랜지스터 Tr₃의 한쪽의 소스/드레인 영역을 접속하는 노드부 P₁은 제3 트랜지스터 Tr₃이 오프 상태가 되면 부유 상태가 된다.

- [0135] 그리고, 제2 트랜지스터 Tr_2 의 게이트 전극은, 2상의 클록 신호 CK_1 , CK_2 중 다른 한쪽의 클록 신호(본 발명의 실시예 3에 따른 부트스트랩 회로의 경우, 2상의 클록 신호 CK_1 , CK_2 중 다른 한쪽의 클록 신호는, 도 8a에 나타낸 것처럼 클록 신호 CK_2 이다)를 전달하는 클록 공급선에 접속된다. 또한 도 1의 회로도에 나타낸 것과 같은 노드부 P_1 과 제1 전위 공급선 PS_1 사이의 전위변동억제 용량부 C_{11} 대신에, 노드부 P_1 과 제2 트랜지스터 Tr_2 의 게이트 전극 사이에, 전위변동억제 용량부 C_{31} 이 접속되어 있다.
- [0136] 실시예 3에 따른 부트스트랩 회로에 있어서, 전위변동억제 용량부 C_{31} 의 용량은, 제1 클록 신호 CK_1 의 급격한 변화와 제2 클록 신호 CK_2 의 급격한 변화가 상쇄되는 값으로 설정되어 있다. 즉, 도 8b에 나타내는 바와 같이, [기간- T_2]이나 [기간- T_6]에 있어서의 노드부 P_1 의 전위변동이 경감한다.
- [0137] 실시예 3에 따른 부트스트랩 회로를 이하 구체적으로 설명한다. 제1 클록 신호 CK_1 의 급격한 변화는 기생 용량 C_1 을 경유하여 노드 P_1 에 도달한다. 또한, 제2 클록 신호 CK_2 의 급격한 변화는, 기생 용량 C_3 을 경유하는 외에도, 기생 용량 C_2 와 부트스트랩 동작을 위한 부트스트랩 용량부 C_a 를 경유하여 노드 P_1 에 도달한다.
- [0138] 주사 회로(101)의 다음 단을 통해서, 출력부 OUT_1 에는, 결국 주사선 SCL 등의 큰 부하 용량이 접속된다. 따라서, 일반적으로 제1 트랜지스터 Tr_1 은 예를 들면, $W(\text{폭})/L(\text{길이})=100/10$ 의 큰 사이즈로 설계된다. 이에 반해, 제3 트랜지스터 Tr_3 은 부트스트랩 동작을 양호하게 행하기 위해 리크를 억제할 필요가 있다. 따라서 제3 트랜지스터 Tr_3 은 예를 들면, $W/L=5/10$ 의 작은 사이즈로 설계된다. 제2 트랜지스터 Tr_2 는, 로 레벨(제1 전위 V_{ss})을 유지하기 위한 보완적인 성격의 트랜지스터다. 따라서 제2 트랜지스터 Tr_2 를 큰 사이즈로 설계할 필요는 없다. 예를 들면 제2 트랜지스터 Tr_2 의 사이즈는 $W/L=10/10$ 으로 설정한다.
- [0139] 출력부 OUT_1 에 접속된 부하 용량을 C_{SEL} 로 나타내는 것으로 한다. 부하 용량 C_{SEL} 의 값은 기생 용량 C_2 에 비해 상당히 크다. 따라서, 제2 클록 신호 CK_2 의 급격한 변화 중, 기생 용량 C_2 와 부트스트랩 동작을 위한 용량부 C_a 를 경유해서 전파하는 것은, 노드부 P_1 의 전위에는 거의 영향을 주지 않는다. 따라서, 제2 클록 신호 CK_2 의 급격한 변화를 고려하는 데 있어서, 기생 용량 C_2 와 부트스트랩 동작을 위한 용량부 C_a 를 경유해서 전파하는 것은 무시할 수 있다.
- [0140] 이상 설명한 것 같이, 제1 클록 신호 CK_1 의 급격한 변화는 기생 용량 C_1 을 경유해서 노드 P_1 에 도달한다. 또한, 제2 클록 신호 CK_2 의 급격한 변화는, 기생 용량 C_3 을 경유해서 노드 P_1 에 도달한다. 2상의 클록 신호 CK_1 , CK_2 는 역상(逆相)의 클록 신호이기 때문에, 제1 클록 신호 CK_1 에서 유래하는 급격한 변화 중 기생 용량 C_1 을 통해 노드부 P_1 에 전파되는 변화는, 제2 클록 신호 CK_2 에서 유래하는 급격한 변화 중 기생 용량 C_3 을 통해 노드부 P_1 에 전파되는 변화가 노드부 P_1 에서의 전위를 변화시키는 방향과 반대의 방향으로 노드부 P_1 에서의 전위를 변화시킨다. 따라서 기생 용량 C_1 의 용량과 기생 용량 C_3 의 용량이 같으면, 제1 클록 신호 CK_1 의 급격한 변화와 제2 클록 신호 CK_2 의 급격한 변화는 서로 상쇄된다.
- [0141] 그러나, 상술한 제1 트랜지스터 Tr_1 과 제3 트랜지스터 Tr_3 의 사이즈의 차이에 의해, 통상, 기생 용량 C_1 의 값은 기생 용량 C_3 의 값보다 크다. 따라서, 제1 클록 신호 CK_1 의 급격한 변화와, CK_2 의 급격한 변화는 서로 다르다. 그 결과 노드 P_1 의 전위가 변동한다.
- [0142] 상기 문제를 해결하기 위해, 실시예 3의 부트스트랩 회로에 있어서는, 기생 용량 C_3 과 병렬로 제2 트랜지스터 Tr_2 의 게이트 전극과 제3 트랜지스터 Tr_3 의 사이에 전위변동억제 용량부 C_{31} 을 접속하여, 노드 P_1 에 대한 제1 클록 신호 CK_1 의 급격한 변화와, CK_2 의 급격한 변화의 차이에 의한 노드 P_1 의 전위의 변동을 경감했다. 전위변동억제 용량부 C_{31} 의 용량은, 부트스트랩 회로의 설계에 따라 적절히 결정된다. 통상, 전위변동억제 용량부 C_{31} 의 용량은 노드부 P_1 의 전위의 변동량을 측정하여 설정한다.

- [0143] [실시예 4]
- [0144] 실시예 4는, 본 발명의 제3의 양태에 관련되는 부트스트랩 회로에 관한 것이다. 상술한 것 같이, 주사 회로 (101)에는 각 단계 실시예 4에 따른 부트스트랩 회로가 구비된다. 이하 실시예 4에 관련되는 부트스트랩 회로로 구성된 주사 회로의 1단계의 구성 및 동작에 대해서 설명한다.
- [0145] 도 9는, 주사 회로(101)의 1단계를 구성하는 실시예 4의 부트스트랩 회로의 일반적인 구성을 나타내는 회로도다. 실시예 4의 부트스트랩 회로는, 상술한 실시예 1과 마찬가지로, 동일 도전형의 제1 트랜지스터 Tr_1 , 제2 트랜지스터 Tr_2 , 및, 제3 트랜지스터 Tr_3 을 구비하고 있다. 실시예 4의 경우, 도전형은 n채널형이다.
- [0146] 본 발명의 실시예 1에 따른 부트스트랩 회로와 마찬가지로, 실시예 4에 따른 부트스트랩 회로에 있어서는,
- [0147] (A-1) 제1 트랜지스터 Tr_1 의 한쪽의 소스/드레인 영역과 제2 트랜지스터 Tr_2 의 한쪽의 소스/드레인 영역은 부트스트랩 회로의 출력부 OUT_1 에 의해 접속되고,
- [0148] (A-2) 제1 트랜지스터 Tr_1 의 다른 한쪽의 소스/드레인 영역은, 2상의 클록 신호 CK_1 , CK_2 중 한쪽의 클록 신호 (본 발명의 실시예 4에 따른 부트스트랩 회로의 경우, 2상의 클록 신호 CK_1 , CK_2 중 한쪽의 클록 신호는, 도 9에 나타낸 것처럼 클록 신호 CK_1 이다)를 전달하는 클록 공급선에 접속되고,
- [0149] (A-3) 제1 트랜지스터 Tr_1 의 게이트 전극과, 제3 트랜지스터 Tr_3 의 한쪽의 소스/드레인 영역은, 노드부 P_1 에 의해 접속되고,
- [0150] (B-1) 제2 트랜지스터 Tr_2 의 다른 한쪽의 소스/드레인 영역은, 소정의 제1 전위 V_{ss} (일반적으로 0볼트로 설정됨)를 전달하는 제1 전위 공급선 PS_1 에 접속되고,
- [0151] (C-1) 제3 트랜지스터 Tr_3 의 다른 한쪽의 소스/드레인 영역은, 부트스트랩 회로에 인가되는 입력 신호 IN_1 을 전달하는 신호 공급선에 접속되고,
- [0152] (C-2) 제3 트랜지스터 Tr_3 의 게이트 전극은, 2상의 클록 신호 CK_1 , CK_2 중 다른 한쪽의 클록 신호(본 발명의 실시예 4에 따른 부트스트랩 회로의 경우, 2상의 클록 신호 CK_1 , CK_2 중 다른 한쪽의 클록 신호는, 도 9에 나타낸 것처럼 클록 신호 CK_2 이다)를 전달하는 클록 공급선에 접속되고,
- [0153] 제1 트랜지스터 Tr_1 의 게이트 전극과 제3 트랜지스터 Tr_3 의 한쪽의 소스/드레인 영역을 접속하는 노드부 P_1 은 제3 트랜지스터 Tr_3 이 오프 상태가 되면 부유 상태가 된다.
- [0154] 본 발명의 실시예 4에 따른 부트스트랩 회로는, 제1 내지 제3 트랜지스터와 동일 도전형의 제4 트랜지스터 Tr_{44} 를 더 구비하고, 부트스트랩 회로에 있어서는,
- [0155] (E-1) 제4 트랜지스터 Tr_{44} 의 한쪽의 소스/드레인 영역은, 입력측 접속점에 의해 반전 회로 B_{41} 의 입력측에 접속되어 있고, 그 출력측은 제2 트랜지스터 Tr_2 의 게이트 전극에 접속되어 있고,
- [0156] (E-2) 제4 트랜지스터 Tr_{44} 의 다른 한쪽의 소스/드레인 영역은, 입력 공급선에 접속되어 있고,
- [0157] (E-3) 제4 트랜지스터 Tr_{44} 의 게이트 전극은, 2상의 클록 신호 중 다른 한쪽의 클록 신호(본 발명의 실시예 4에 따른 부트스트랩 회로의 경우, 2상의 클록 신호 CK_1 , CK_2 중 다른 한쪽의 클록 신호는, 도 9에 나타낸 것처럼 클록 신호 CK_2 이다)를 전달하는 클록 공급선에 접속되어 있다.
- [0158] 도 9의 회로도에도 나타내는 바와 같이, 제4 트랜지스터 Tr_{44} 의 한쪽의 소스/드레인 영역과 반전 회로 B_{41} 의 입력측이 접속되어 이루어지는 노드부를 부호 Q_1 로 나타내고, 반전 회로 B_{41} 의 출력측과 제2 트랜지스터 Tr_2 의 게이트 전극이 접속되어 이루어지는 노드부를 부호 R_1 로 나타낸다.
- [0159] 도 10a는, 반전 회로 B_{41} 의 일반적인 구성을 나타내는 회로도이고, 도 10b는, 반전 회로 B_{41} 의 동작과 관련된 신

호의 모식적인 타이밍 차트이다. 우선, 이하에 반전 회로 B₄₁의 구성 및 동작에 대해서 설명한다.

- [0160] 도 10a에 나타난 반전 회로 B₄₁의 구성은, 일본국 특개 2005-143068호 공보의 도 5에 개시된 구성과 동일하다. 단, 이 때, 도 10a에 있어서는, 참조 번호나 부호는 일부 변경하여 기재했다.
- [0161] 도 10a의 회로도에 나타난 것처럼, 반전 회로 B₄₁은, 4개의 n채널형 인버터 트랜지스터 Tr₄₀, Tr₄₁, Tr₄₂, Tr₄₃, 및, 부트스트랩 용량부 C_{ap}로 구성되어 있다. 각각의 인버터 트랜지스터 Tr₄₀, Tr₄₁, Tr₄₂, Tr₄₃도, 소스/드레인 영역, 채널 형성 영역, 및 게이트 전극을 구비한 n채널형의 박막 트랜지스터(TFT)로 이루어지고, 도 10a에 도시하지 않은 기판 위에 형성되어 있다. 부트스트랩 용량부 C_{ap}는, 실시예 1에 있어서 설명한 전위변동역제 용량부 C₁₁, 부트스트랩 용량부 C_a 등과 같이, 절연층을 끼운 2개의 도전층으로 구성되어 있다.
- [0162] 인버터 트랜지스터 Tr₄₀의 한쪽의 소스/드레인 영역은, 인버터 트랜지스터 Tr₄₁의 한쪽의 소스/드레인 영역에 접속되어 있다. 인버터 트랜지스터 Tr₄₀의 다른 한쪽의 소스/드레인 영역은, 제1 전위 V_{ss}를 전달하는 제1 전위 공급선에 접속되어 있다. 인버터 트랜지스터 Tr₄₀의 게이트 전극은 도 9의 회로도에 나타난 부트스트랩 회로에 포함된 반전 회로 B₄₁에 입력 신호 IN_{Q1}을 공급하는 노드부 Q₁에 접속된다. 인버터 트랜지스터 Tr₄₀의 한쪽의 소스/드레인 영역을 인버터 트랜지스터 Tr₄₁의 한쪽의 소스/드레인 영역에 접속하는 접합점으로부터, 도 9에 나타난 부트스트랩 회로의 노드부 R₁에 반전된 출력 신호 OUT_{R1}이 출력된다. 인버터 트랜지스터 Tr₄₀의 부하 저항으로서 작용하는 인버터 트랜지스터 Tr₄₁의 다른 한쪽의 소스/드레인 영역은 제2 전위 V_{dd}를 전달하는 제2 전위 공급선에 접속되어 있다.
- [0163] 부트스트랩 용량부 C_{ap}는, 인버터 트랜지스터 Tr₄₁의 게이트 전극과 인버터 트랜지스터 Tr₄₁의 한쪽의 소스/드레인 영역 사이에 접속되어 있고, 인버터 트랜지스터 Tr₄₁과 함께 부트스트랩 회로를 구성한다. 인버터 트랜지스터 Tr₄₂의 한쪽의 소스/드레인 영역은 인버터 트랜지스터 Tr₄₁의 게이트 전극에 접속되어 있고, 인버터 트랜지스터 Tr₄₂의 다른 한쪽의 소스/드레인 영역은 제2 전위 V_{dd}를 전달하는 제2 전위 공급선에 접속되어 있다. 인버터 트랜지스터 Tr₄₂의 게이트 전극은 레퍼런스 신호 REF₁을 전달하는 레퍼런스 신호선에 접속되어 있다. 인버터 트랜지스터 Tr₄₂의 한쪽의 소스/드레인 영역과 인버터 트랜지스터 Tr₄₁의 게이트 전극의 접속점을 노드부 N으로 나타낸다. 인버터 트랜지스터 Tr₄₃의 한쪽의 소스/드레인 영역은 노드부 N에 접속되어 있고, 인버터 트랜지스터 Tr₄₃의 다른 한쪽의 소스/드레인 영역은 제1 전위 V_{ss}를 전달하는 제1 전위 공급선에 접속되어 있다. 인버터 트랜지스터 Tr₄₃의 게이트 전극은 제2 레퍼런스 신호 REF₂를 전달하는 레퍼런스 신호선에 접속되어 있다.
- [0164] 도 10b의 타이밍도는, 반전 회로 B₄₁에 인가되는 입력 신호 IN_{Q1}, 제1 레퍼런스 신호 REF₁, 제2 레퍼런스 신호 REF₂, 노드부 N의 전위, 및 반전 회로 B₄₁에 의해 생성된 출력 신호 OUT_{R1}의 타이밍 차트를 나타낸다. 반전 회로 B₄₁에 인가되는 입력 신호 IN_{Q1}은 노드부 Q₁로부터의 신호이고, 반전 회로 B₄₁에 의해 생성된 출력 신호 OUT_{R1}은 노드부 R₁에 인가되는 신호이다. 신호의 타이밍 차트는 신호의 레벨과 타이밍 사이의 관계를 나타낸다. 레퍼런스 신호 REF₁은, 입력 신호 IN_{Q1}이 로 레벨에서 하이 레벨로 변화한 후, 하이 레벨(제2 전위 V_{dd})에서 로 레벨(제1 전위 V_{ss})로 변화하기 전, 즉 입력 신호 IN_{Q1}의 레벨이 하이 레벨을 마치기 직전 일정 기간 동안 하이 레벨이 된다. 한편 제2 레퍼런스 신호 REF₂는, 입력 신호 IN_{Q1}의 레벨이 로 레벨에서 하이 레벨로 변화했을 때, 일정 기간 동안 하이 레벨이 된다.
- [0165] 반전 회로 B₄₁에 있어서, 인버터 트랜지스터 Tr₄₁의 게이트 전극의 전위를, 입력 신호 IN_{Q1}의 레벨이 로 레벨에서 하이 레벨로 변화되었을 때에 로 레벨로 리셋하는 인버터 트랜지스터 Tr₄₃을 설치함으로써, 입력 신호 IN_{Q1}이 하이 레벨인 상태에서는, 인버터 트랜지스터 Tr₄₁이 완전히 오프 상태가 되어, 인버터 트랜지스터 Tr₄₁에 관통 전류가 흐르지 않는다. 이 때 인버터 트랜지스터 Tr₄₁의 게이트 전극의 전위는 노드부 N의 전위이다. 따라서, 출력 신호 OUT_{R1}의 전위가 관통 전류에 의해 변동하지 않는다. 그 결과 출력 신호 OUT_{R1}의 로 레벨로서 제1 전위 V_{ss}를 얻을 수 있다.

- [0166] 또한, 입력 신호 IN_{Q1} 의 레벨이 하이 레벨에서 로 레벨로 변화하기 전에, 인버터 트랜지스터 Tr_{41} 의 게이트 전극의 전위(노드부 N의 전위)를, 하이 레벨로 프리차지하는 인버터 트랜지스터 Tr_{42} 를 설치함으로써, 인버터 트랜지스터 Tr_{42} 에 의한 프리차지 상태에서부터, 입력 신호 IN_{Q1} 의 레벨이 로 레벨로 변화했을 때, 부트스트랩 용량부 C_{ap} 에 의한 용량 결합에 의해 인버터 트랜지스터 Tr_{41} 의 게이트 전극의 전위가 하이 레벨보다도 더 플러스측의 전위까지 상승하게 된다. 그 결과, 출력 신호 OUT_{R1} 의 하이 레벨으로서 제2 전위 V_{dd} 를 얻을 수 있다.
- [0167] 도 11은, 실시예 4에 따른 도 9의 부트스트랩 회로에 있어서의 모식적인 타이밍 차트이다. 실시예 4에 따른 부트스트랩 회로에 있어서는, 반전 회로 B_{41} 의 동작에 의해, [기간- T_1]의 시작 시기부터 [기간- T_3]에 있어서 입력 IN_1 이 상승할 때까지, 및, [기간- T_5]에 있어서 제2 클럭 신호 CK_2 가 상승한 후부터 [기간- T_6]의 마지막 시기까지의 사이, 노드부 R_1 의 전위가 하이 레벨로 유지된다. 이들 기간에 있어서는, 출력부 OUT_1 에는 온 상태의 제2 트랜지스터 Tr_2 를 통해 제1 전위 V_{ss} 가 인가된다. 그리고, [기간- T_3]에 있어서 특정 기간 동안, 로 레벨의 제1 클럭 신호 CK_1 이 출력부 OUT_1 에 인가된다. 상기 [기간- T_3]에 있어서의 특정 기간은, 제2 클럭 신호 CK_2 와 입력 신호 IN_1 이 하이 레벨에 있는 기간이다. 또한 [기간- T_4]에 있어서의 제1 클럭 신호 CK_1 의 하강시와 [기간- T_5]에 있어서의 제2 클럭 신호 CK_2 의 상승시 사이의 기간 동안, 로 레벨의 제1 클럭 신호 CK_1 이 출력부 OUT_1 에 인가된다.
- [0168] 따라서, 실시예 4에 따른 부트스트랩 회로에 있어서는, 출력부 OUT_1 이 로 레벨일 때에는, 제1 전위 V_{ss} 혹은 로 레벨의 제1 클럭 신호 CK_1 이 인가된 상태에 있어 출력부 OUT_1 은 부유 상태로 되지 않는다. 따라서, 부트스트랩 용량부 C_a 및/또는 기생 용량 C_2 를 통한 급격한 변화 의해 출력부 OUT_1 의 전위가 변동하지 않는다. 즉, 급격한 변화에 의한 영향을 경감할 수 있다.
- [0169] 또, 반전 회로 B_{41} 로서, 본 발명의 발명자가 일본국 특원 2008-26742호, 일본국 특원 2008-26742호에서 제안한 다양한 반전 회로를 이용한 구성으로 할 수도 있다. 도 12a는, 반전 회로(110)의 일반적인 구성을 나타내는 회로도이고, 도 12b 및 도 12c는, 도 12a의 회로도에 나타내는 반전 회로(110)의 동작에 관련된 신호의 모식적인 타이밍 차트이다.
- [0170] 우선, 도 12a의 회로도를 참조하여, 반전 회로(110)의 구성을 설명한다. 반전 회로(110)는, 동일 도전형(예를 들면 n채널형)의 인버터 트랜지스터 $Q_{n,1}$, 인버터 트랜지스터 $Q_{n,2}$, 및, 인버터 트랜지스터 $Q_{n,3}$ 으로 구성된다. 반전 회로(110)에 있어서는,
- [0171] (A-1) 인버터 트랜지스터 $Q_{n,1}$ 의 한쪽의 소스/드레인 영역과 인버터 트랜지스터 $Q_{n,2}$ 의 한쪽의 소스/드레인 영역은, 반전 회로(110)의 출력부 OUT 에 의해 접속되어 있고,
- [0172] (B-1) 인버터 트랜지스터 $Q_{n,2}$ 의 다른 한쪽의 소스/드레인 영역은, 제2 전위 공급선 PS_2 에 접속되어 있고,
- [0173] (B-2) 인버터 트랜지스터 $Q_{n,2}$ 의 게이트 전극은, 인버터 트랜지스터 $Q_{n,3}$ 의 한쪽의 소스/드레인 영역에 접속되어 있고,
- [0174] (C-1) 인버터 트랜지스터 $Q_{n,3}$ 의 게이트 전극은, 인버터 트랜지스터 $Q_{n,3}$ 의 다른 한쪽의 소스/드레인 영역에 접속되어 있다.
- [0175] 반전 회로(110)는, 인버터 트랜지스터 $Q_{n,1}$, $Q_{n,2}$, 및, $Q_{n,3}$ 과 동일 도전형의 인버터 트랜지스터 $Q_{n,14}$ 를 구비하고 있다. 인버터 트랜지스터 $Q_{n,3}$ 의 다른 한쪽의 소스/드레인 영역도 제2 전위 공급선 PS_2 에 접속되어 있다. 인버터 트랜지스터 $Q_{n,2}$ 의 게이트 전극과 인버터 트랜지스터 $Q_{n,3}$ 의 한쪽의 소스/드레인 영역이 접속된 노드부 A에는, 인버터 트랜지스터 $Q_{n,14}$ 의 한쪽의 소스/드레인 영역이 접속되어 있다. 인버터 트랜지스터 $Q_{n,1}$ 의 다른 한쪽의 소스/드레인 영역 및 인버터 트랜지스터 $Q_{n,14}$ 의 다른 한쪽의 소스/드레인 영역은, 제1 전위 공급선 PS_1 에 접속되어 있다. 인버터 트랜지스터 $Q_{n,1}$ 의 게이트 전극 및 인버터 트랜지스터 $Q_{n,14}$ 의 게이트 전극에는, 반전 회로(110)에 인가되는 입력 신호 IN 를 전달하는 라인이 접속되어 있다.
- [0176] 반전 회로(110)를 구성하는 인버터 트랜지스터 $Q_{n,1}$, 인버터 트랜지스터 $Q_{n,2}$, 인버터 트랜지스터 $Q_{n,3}$, 및, 인버

터 트랜지스터 $Q_{n,14}$ 는, 소스/드레인 영역, 채널 형성 영역 및 게이트 전극을 구비한, n채널형의 박막 트랜지스터 (TFT)로 이루어진다. 이들 인버터 트랜지스터는, 도 12a에 도시하지 않은 기판 위에 형성되어 있다.

[0177] 이 때, 인버터 트랜지스터 $Q_{n,2}$ 의 게이트 전극과 한쪽의 소스/드레인 영역 사이에 부트스트랩 용량부로서의 용량부 C_{ap} 가 접속되어 있다. 예를 들면 부트스트랩 용량부 C_{ap} 는, 2개의 도전층과 그 사이에 개재된 절연층으로 구성된다. 부트스트랩 용량부 C_{ap} 도, 도 12a에 도시하지 않은 기판 위에 형성되어 있다.

[0178] 제2 전위 공급선 PS_2 로부터는 소정의 제2 전위 V_{dd} 가 공급되고, 제1 전위 공급선 PS_1 로부터는 소정의 제1 전위 V_{ss} 가 공급된다. 인버터 트랜지스터 $Q_{n,1}$ 의 게이트 전극에는 입력 신호 IN이 인가된다. 이하, 입력 신호 IN의 로 레벨은 제1 전위 V_{ss} , 하이 레벨은 제2 전위 V_{dd} 라고 하여, 반전 회로(110)의 동작을 설명한다.

[0179] 반전 회로(110)에 입력 신호 IN이 인가되면, 인버터 트랜지스터 $Q_{n,1}$ 과 인버터 트랜지스터 $Q_{n,14}$ 는 모두 온 상태가 된다. 따라서 도 12b에 나타내는 바와 같이, 시간 T_2 에, 상기 노드부 A의 전위 V_{A2} 는, 제1 전위 공급선 PS_1 의 제1 전위 V_{ss} 와 $(V_{dd}-V_{th,3})$ 사이의 값이며, 제1 전위 V_{ss} 측에 근접한다. [시간- T_2]에 반전 회로(110)에 의해 생성된 출력 신호 OUT의 로 레벨 V_{OUT2} 는, 인버터 트랜지스터 $Q_{n,1}$ 의 온 저항의 값과, $(V_{dd}-V_{th,3})$ 보다 낮은 전위로서 인버터 트랜지스터 $Q_{n,2}$ 의 게이트 전극에 접속된 노드부 A의 전위 V_{A2} 에 의해 오프 되는 인버터 트랜지스터 $Q_{n,2}$ 의 오프 저항의 값의 분압비에 의해 정해져서, 제1 전위 공급선 PS_1 과 제2 전위 공급선 PS_2 사이의 분압기로서 기능한다. 따라서, 시간 T_2 에 있어서의 출력 신호 OUT의 로 레벨 V_{OUT2} 는, 더욱 제1 전위 V_{ss} 에 가까워진다. 한편, 시간 T_3 에는 배경기술에 있어서 설명한 것과 동일한 부트스트랩 동작이 일어나, 노드부 A의 전위 V_{A3} 은 하이 레벨인 제2 전위 V_{dd} 를 넘는다. $(V_{A3}-V_{dd})$ 의 값이 인버터 트랜지스터 $Q_{n,2}$ 의 임계값 전압 $V_{th,2}$ 의 값을 넘도록 설정되어 있으면, 시간 T_3 에 반전 회로(110)의 출력 신호 OUT의 하이 레벨 V_{OUT3} 은 완전한 하이 레벨인 제2 전위 V_{dd} 에 도달한다.

[0180] 이 때, 반전 회로(110)에 있어서는, 입력 신호 IN은 인버터 트랜지스터 $Q_{n,1}$ 의 게이트-소스간 전압(V_{gs})이 된다. 입력 신호 IN의 하이 레벨이 전위 V_{dd} 에 이르지 않는 경우라도, 반전 회로(110)는 동작한다. 구체적으로는, 도 12c에 나타내는 바와 같이, 시간 T_2 에 입력 신호 IN의 값이 인버터 트랜지스터 $Q_{n,1}$ 의 임계값 전압 $V_{th,1}$ 을 넘으면, 반전 회로(110)의 출력 신호 OUT의 전위는 하이 레벨에서 로 레벨로 변화한다. 따라서, 반전 회로(110)는 레벨 시프터(level shifter)로서도 동작한다.

[0181] [실시예 5]

[0182] 실시예 5는 실시예 4의 변형이다. 실시예 1 내지 실시예 4에 상술한 것 같이, 실시예 5에 관련되는 부트스트랩 회로로 구성된 주사 회로(101)의 1단계의 회로의 구성 및 동작에 대해 설명한다.

[0183] 도 13은, 주사 회로(101)의 1단계를 구성하는 실시예 5의 부트스트랩 회로의 일반적인 구성을 나타내는 회로도이다. 도 13에 나타낸 실시예 5의 부트스트랩 회로는, 제4 트랜지스터 Tr_{44} 의 한쪽의 소스/드레인 영역과 반전 회로 B_{41} 의 입력측이 접속된 접합점과 제1 전위 공급선 PS_1 사이에, 전위변동억제 용량부 C_{51} 이 접속되어 있는 점을 제외하고, 도 9에 나타낸 실시예 4의 부트스트랩 회로와 동일한 구성이다.

[0184] 실시예 5의 부트스트랩 회로의 동작은, 실시예 4에 있어서 도 11을 참조하여 설명한 것과 동일하므로 중복을 피하기 위해 그 설명을 생략한다. 전위변동억제 용량부 C_{51} 은, 노드부 Q_1 의 전위 변동을 완화하는 용량부로서 작용한다. 이것에 의해, 반전 회로 B_{41} 의 동작이 보다 안정한 것이 된다. 나아가서는, 부트스트랩 회로의 동작을 보다 안정되게 할 수 있다.

[0185] [실시예 6]

[0186] 실시예 6도 실시예 4의 변형이다. 실시예 1 내지 실시예 5에 서술한 것 같이, 실시예 6에 관련되는 부트스트랩 회로로 구성된 주사 회로(101)의 1단계의 회로의 구성 및 동작에 대해 설명한다.

[0187] 도 14는, 주사 회로(101)의 1단계를 구성하는 실시예 6의 부트스트랩 회로의 일반적인 구성을 나타내는 회로도

다. 도 14에 나타난 실시예 6의 부트스트랩 회로는, 제4 트랜지스터 Tr_{44} 의 한쪽의 소스/드레인 영역과 반전 회로 B_{41} 의 입력측이 접속된 접합점과 제1 트랜지스터 Tr_1 의 다른 한쪽의 소스/드레인 영역 사이에, 바이패스 용량부 C_{61} 이 접속되어 있는 점을 제외하는 외에, 도 9에 나타난 실시예 4의 부트스트랩 회로와 같은 구성이다. 이때, 제4 트랜지스터 Tr_{44} 의 게이트 전극과 제4 트랜지스터 Tr_{44} 의 한쪽의 소스/드레인 영역 사이의 기생 용량을 부호 C_{44} 로 나타낸다.

[0188] 실시예 6의 부트스트랩 회로의 동작은, 실시예 4에 있어서 도 11을 참조해서 설명한 것과 동일하므로 중복을 피하기 위해 설명을 생략한다. 바이패스 용량부 C_{61} 은, 노드 Q_1 에 대한 클록 신호 CK_1 , CK_2 의 급격한 변화의 차이를 감소시키도록 작용한다. 보다 구체적으로는, 기생 용량 C_{44} 를 통해 노드 Q_1 에 도달하는 클록 신호 CK_2 의 급격한 변화와, 바이패스 용량부 C_{61} 을 통해 노드 Q_1 에 도달하는 클록 신호 CK_1 의 급격한 변화가 상쇄된다. 이것에 의해, 부트스트랩 회로의 동작을 보다 안정되게 할 수 있다.

[0189] [실시예 7]

[0190] 실시예 7은, 본 발명의 제4의 양태에 관련되는 부트스트랩 회로에 관한 것이다. 실시예 1 내지 6에 서술한 것 같이, 실시예 7에 관련되는 부트스트랩 회로로 구성된 주사 회로(101)의 1단계의 회로의 구성 및 동작에 대해서 설명한다.

[0191] 도 15는, 주사 회로(101)의 1단계를 구성하는 실시예 7의 부트스트랩 회로의 회로도다. 실시예 7의 부트스트랩 회로는, 상술한 실시예 1과 마찬가지로, 동일 도전형의 제1 트랜지스터 Tr_1 , 제2 트랜지스터 Tr_2 , 및, 제3 트랜지스터 Tr_3 으로 구성되어 있다. 실시예 7의 경우도 도전형은 n채널형이다. 도 16은, 도 15에 나타내는 부트스트랩 회로의 동작과 관련된 신호의 모식적인 타이밍 차트이다.

[0192] 실시예 1에 따른 부트스트랩 회로와 마찬가지로, 실시예 7에 따른 부트스트랩 회로에 있어서는,

[0193] (A-1) 제1 트랜지스터 Tr_1 의 한쪽의 소스/드레인 영역과 제2 트랜지스터 Tr_2 의 한쪽의 소스/드레인 영역은, 부트스트랩 회로의 출력부 OUT_1 에 의해 접속되고,

[0194] (A-2) 제1 트랜지스터 Tr_1 의 다른 한쪽의 소스/드레인 영역에는, 2개의 2상의 클록 신호 CK_1 , CK_2 중 한쪽의 클록 신호(본 발명의 실시예 7에 따른 부트스트랩 회로의 경우, 도 15에 나타난 것처럼 2개의 클록 신호 CK_1 , CK_2 중 한쪽의 클록 신호는 클록 신호 CK_1 이다)를 전달하는 클록 공급선이 접속되어 있고,

[0195] (A-3) 제1 트랜지스터 Tr_1 의 게이트 전극과 제3 트랜지스터 Tr_3 의 한쪽의 소스/드레인 영역은, 노드부 P_1 에 의해 접속되어 있고,

[0196] (B-1) 제2 트랜지스터 Tr_2 의 다른 한쪽의 소스/드레인 영역은, 소정의 제1 전위 V_{ss} (예를 들면 0볼트)를 전달하는 제1 전위 공급선 PS_1 에 접속되어 있고,

[0197] (C-1) 제3 트랜지스터 Tr_3 의 다른 한쪽의 소스/드레인 영역에는, 부트스트랩 회로에 인가되는 입력 신호 IN_1 를 전달하는 신호 공급선이 접속되어 있고,

[0198] (C-2) 제3 트랜지스터 Tr_3 의 게이트 전극에는, 2개의 클록 신호 CK_1 , CK_2 중 다른 한쪽의 클록 신호(본 발명의 실시예 7에 따른 부트스트랩 회로의 경우, 도 15에 나타난 것처럼 2개의 클록 신호 CK_1 , CK_2 중 다른 한쪽의 클록 신호는 클록 신호 CK_2 다)를 전달하는 클록 공급선이 접속되어 있고,

[0199] 제1 트랜지스터 Tr_1 의 게이트 전극과 제3 트랜지스터 Tr_3 의 한쪽의 소스/드레인 영역을 접속하는 노드부 P_1 은, 제3 트랜지스터 Tr_3 가 오프 상태가 되면 부유 상태가 된다.

[0200] 본 발명의 실시예 7에 따른 부트스트랩 회로에 있어서는,

[0201] 제2 트랜지스터 Tr_2 의 게이트 전극에는, 2개의 2상의 클록 신호 CK_1 , CK_2 중 다른 한쪽의 클록 신호(여기서는 CK_2)를 전달하는 클록 공급선이 접속되어 있고,

- [0202] 부트스트랩 회로는, 제1 트랜지스터 Tr_1 내지 제3 트랜지스터 Tr_3 과 동일 도전형의 제4 트랜지스터 Tr_{74} 및 제5 트랜지스터 Tr_{75} 로 이루어지는 회로부를 적어도 1개 구비하고 있고(본 발명의 실시예 7에 따른 부트스트랩 회로의 경우, 제1 트랜지스터 Tr_1 내지 제3 트랜지스터 Tr_3 , 제4 트랜지스터 Tr_{74} 및 제5 트랜지스터 Tr_{75} 의 도전형은 n채널형이다),
- [0203] 각 회로부에 있어서,
- [0204] (F-1) 제4 트랜지스터 Tr_{74} 의 게이트 전극은, 노드부 Q_1 에 의해 제5 트랜지스터 Tr_{75} 의 한쪽의 소스/드레인 영역에 접속되어 있고,
- [0205] (F-2) 제5 트랜지스터 Tr_{75} 의 다른 한쪽의 소스/드레인 영역에는, 입력 신호 IN_1 을 전달하는 신호 공급선이 접속되어 있고,
- [0206] 2개의 2상의 클록 신호 CK_1 , CK_2 중 한쪽의 클록 신호(여기에서는 CK_1)는, 2개의 클록 신호 중 한쪽의 클록 신호를 인가하는 클록 공급선과 제1 트랜지스터 Tr_1 의 다른 한쪽의 소스/드레인 영역의 사이에 직렬로 접속된 각 제4 트랜지스터 Tr_{74} 를 통해, 제1 트랜지스터 Tr_1 의 다른 한쪽의 소스/드레인 영역에 인가된다. 본 발명의 실시예 7에 따른 부트스트랩 회로는, 출력부 OUT_1 과, 제4 트랜지스터 Tr_{74} 의 게이트 전극과 제5 트랜지스터 Tr_{75} 의 한쪽의 소스/드레인 영역이 접속된 노드부 Q_1 의 사이에, 부트스트랩 보완 용량으로서 용량부 C_b 가 접속된 구성으로 할 수 있다.
- [0207] 도 15에서 알 수 있는 바와 같이, 본 부트스트랩 회로의 구성에 의하면, 제4 트랜지스터 Tr_{74} 및 제5 트랜지스터 Tr_{75} 로 이루어지는 회로부에서도 부트스트랩 동작이 일어난다. 제4 트랜지스터 Tr_{74} 의 게이트 전극과 제5 트랜지스터 Tr_{75} 의 한쪽의 소스/드레인 영역은, 제5 트랜지스터 Tr_{75} 가 오프 상태가 되면 부유 상태가 되는 노드부 Q_1 을 구성한다. 제4 트랜지스터 Tr_{74} 의 한쪽의 소스/드레인 영역과 제1 트랜지스터 Tr_1 의 다른 한쪽의 소스/드레인 영역은 접속되어, 노드부 R_1 을 구성한다. 제4 트랜지스터 Tr_{74} 의 다른 한쪽의 소스/드레인 영역에는 제1 클록 신호 CK_1 을 전달하는 클록 공급선이 접속되어 있다. 노드부 R_1 은, 제1 클록 신호 CK_1 의 영향을 받기 쉽다. 이 때문에 부트스트랩 보완 용량부 C_b 가 부트스트랩 동작 이외의 영향을 받지 않도록 하기 위해, 부트스트랩 보완 용량부 C_b 를 노드부 R_1 이 아닌 출력부 OUT_1 에 접속했다. 이와 같이, 실시예 7의 부트스트랩 회로는, 부트스트랩 동작이 일어나는 회로 부분이 복수 병렬로 접속된 구성을 구비하고 있다. 부호 C_{74} 는, 제4 트랜지스터 Tr_{74} 의 게이트 전극과 제1 클록 신호 CK_1 을 전달하는 제1 클록 공급선이 접속된 제4 트랜지스터 Tr_{74} 의 소스/드레인 영역 사이의 기생 용량을 나타낸다. 한편 부호 C_{75} 는, 제5 트랜지스터 Tr_{75} 의 게이트 전극과 제5 트랜지스터 Tr_{75} 의 한쪽의 소스/드레인 영역 사이의 기생 용량을 나타낸다.
- [0208] 실시예 1의 설명에 있어서, 도 3a 및 3b를 참조하여 기생 용량을 고려했을 때의 종래의 부트스트랩 회로의 동작에 언급했다. 도 3a에 나타내는 회로에 있어서는, 전술한 것처럼, 제1 트랜지스터 Tr_1 의 게이트 전극은 노드부 P_1 을 구성하는 한편, 제1 클록 신호 CK_1 은 제1 트랜지스터 Tr_1 의 다른 한쪽의 소스/드레인 영역에 공급된다. 제1 트랜지스터 Tr_1 의 게이트 전극과 제1 트랜지스터 Tr_1 의 다른 한쪽의 소스/드레인 영역은 기생 용량 C_1 에 의해 정전적으로 결합한다. 예를 들면, 도 3b에 나타내는 [기간- T_2]나 [기간- T_6]에는, 제1 클록 신호 CK_1 의 상승에 따라 노드부 P_1 의 전위는 상승한다. 전술한 것처럼, 제1 클록 신호 CK_1 은, 제1 트랜지스터 Tr_1 의 다른 한쪽의 소스/드레인 영역에 인가된다. 따라서 노드부 P_1 의 전위의 상승이, 제1 트랜지스터 Tr_1 에 리크를 일으키게 할 정도까지 달해버리면, 제1 클록 신호 CK_1 은 리크를 일으키고 출력부 OUT_1 의 전위는 상승한다. 그 결과 도 3b에 나타낸 바와 같이, [기간- T_2]나 [기간- T_6]에는, 출력부 OUT_1 의 전위는 로 레벨을 유지할 수 없는 문제가 발생한다.
- [0209] 도 15에 나타내는 부트스트랩 회로에 있어서는, 도 3a를 참조하여 설명한 노드부 P_1 에서 일어나는 것과 동일한 현상이 노드부 Q_1 에서 일어난다. 도 15에 나타내는 부트스트랩 회로의 경우, 제4 트랜지스터 Tr_{74} 의 게이트 전극이 노드부 Q_1 을 구성하는 한편, 제1 클록 신호 CK_1 이 제4 트랜지스터 Tr_{74} 의 한쪽의 소스/드레인 영역에 인가된

다. 제4 트랜지스터 Tr_{74} 의 게이트 전극과 제4 트랜지스터 Tr_{74} 의 한쪽의 소스/드레인 영역은 기생 용량 C_{74} 에 의해 정전적으로 결합한다. 예를 들면 도 16에 나타내는 [기간- T_2]나 [기간- T_6]에는, 제1 클록 신호 CK_1 의 상승에 따라 노드부 Q_1 의 전위는 상승한다.

[0210] 그러나 도 15의 회로도에 나타낸 부트스트랩 회로에서는, 제1 클록 신호 CK_1 의 변동과 비교하여, 노드부 R_1 에서의 전위의 변동은, 부트스트랩 동작을 제외하고는 상대적으로 작다. 이에 따라, 노드부 R_1 의 전위 변화에 의한 노드부 P_1 로의 급격한 변화도 작아져, 도 3a의 회로도에 나타내는 부트스트랩 회로보다 노드부 P_1 의 전위의 변동을 더욱 억제할 수 있다.

[0211] 전술한 것처럼, 제1 트랜지스터 Tr_1 , 제2 트랜지스터 Tr_2 , 제3 트랜지스터 Tr_3 과 같은 n채널형의 제4 트랜지스터 Tr_{74} 및 제5 트랜지스터 Tr_{75} 로 이루어지는 회로부를 2개 이상 구비하는 구성으로 할 수도 있다. 이 구성에 의하면, 도 15의 회로도에 나타내는 부트스트랩 회로의 노드부 P_1 의 변동을 더욱 억제할 수 있다.

[0212] 도 17에 나타내는 회로는, 도 15의 회로도에 나타내는 제4 트랜지스터 Tr_{74} 및 제5 트랜지스터 Tr_{75} 로 이루어지는 회로부에 제4 트랜지스터 Tr_{74A} 및 제5 트랜지스터 Tr_{75A} 로 이루어지는 회로부를 추가한 구성이다. 도 17의 회로도에 나타낸 구성의 경우,

[0213] 2개의 2상의 클록 신호 CK_1 , CK_2 중 한쪽의 클록 신호가, 직렬로 접속된 각 제4 트랜지스터 Tr_{74} , Tr_{74A} 를 거쳐, 제1 트랜지스터 Tr_1 의 다른 한쪽의 소스/드레인 영역에 인가된다. 이 때, 도 17 이후의 도면에 대해서는, 편의를 위해, 기생 용량의 표시를 생략했다.

[0214] 또한, 실시예 7에 따른 부트스트랩 회로의 구성에는, 도 4a의 회로도에 나타낸 실시예 1에 따른 부트스트랩 회로에 구비된 전위변동억제 용량부 C_{11} 에 추가로 전위변동억제 용량부를 더 구비하거나, 도 8a의 회로도에 나타낸 실시예 3에 따른 부트스트랩 회로에 구비된 전위변동억제 용량부 C_{31} 에 추가로 전위변동억제 용량부를 더 구비할 수 있다. 도 18a는 도 4a의 회로도에 나타낸 실시예 1에 따른 부트스트랩 회로에 구비된 전위변동억제 용량부 C_{11} 에 상당하는 전위변동억제 용량부 C_{11} 에 추가로 전위변동억제 용량부 C_{11A} 를 더 구비한 구성을 나타내는 회로도이고, 도 18b는 도 8a의 회로도에 나타낸 실시예 3에 따른 부트스트랩 회로에 구비된 전위변동억제 용량부 C_{31} 에 상당하는 전위변동억제 용량부 C_{31} 에 추가로 전위변동억제 용량부 C_{31B} 를 더 구비한 구성을 나타내는 회로도다.

[0215] 이상, 본 발명을 바람직한 실시예 1 내지 실시예 7을 설명했다. 그러나 본 발명은 이들 실시예에 한정되는 것은 아니다. 실시예 1 내지 실시예 7에서 설명한 부트스트랩 회로의 구성, 구조는 예시이며, 적절히 변경할 수 있다. 도 19는, 실시예 1 내지 실시예 7에서 설명한 구성을 적절히 조합한 구성의 일례인 부트스트랩 회로이다.

[0216] 전술한 것처럼, 실시예 1 내지 실시예 7에 있어서는, 각 트랜지스터는 n채널형 트랜지스터로 했다. 그러나 모든 트랜지스터를 n채널형으로 하지 않아도 된다. 즉, 각 트랜지스터는 p채널형으로 이루어지는 구성으로 할 수도 있다. 부트스트랩 회로의 구성에서 각 트랜지스터가 p채널형으로 이루어지면, 기본적으로, 각 실시예 1 내지 실시예 7에 있어서, 제1 전위 공급선 PS_1 은 제2 전위 V_{dd} 를 전달하는 데 사용하고, 제2 전위 공급선 PS_2 는 제1 전위 V_{ss} 를 전달하는 데 사용하도록 구성을 변경한다.

[0217] 도 20a는, p채널형 트랜지스터를 사용하여 구성한 실시예 1의 부트스트랩 회로의 회로도이며, 도 4a에 나타내는 주사 회로(101)의 1단계에 상당한다. 도 20b는, p채널형 트랜지스터를 사용하여 구성한 실시예 2의 부트스트랩 회로의 회로도이고, 도 7a에 나타내는 회로에 상당한다. 도 20c는, p채널형 트랜지스터를 사용하여 구성한 실시예 3의 부트스트랩 회로의 회로도이며, 도 8a에 나타내는 회로에 상당한다.

[0218] 도 21a는, p채널형 트랜지스터를 사용하여 구성한 실시예 4의 부트스트랩 회로의 회로도이며, 도 9에 나타내는 회로에 상당한다. 도 21b는, p채널형 트랜지스터를 사용하여 구성한 실시예 5의 부트스트랩 회로의 회로도이며, 도 13에 나타내는 회로에 상당한다. 도 21c는, p채널형 트랜지스터를 사용하여 구성한 실시예 6의 부트스트랩 회로의 회로도이며, 도 14에 나타내는 회로에 상당한다.

[0219] 도 22a는, p채널형 트랜지스터를 사용하여 구성한 실시예 7의 부트스트랩 회로의 회로도이며, 도 15에 나타내는 회로에 상당한다. 마찬가지로, 도 22b도, p채널형 트랜지스터를 사용하여 구성한 실시예 7의 부트스트랩 회로의

회로도이며, 도 17에 나타내는 회로에 상당한다.

- [0220] 도 23a는, p채널형 트랜지스터를 사용하여 구성된 실시예 7의 부트스트랩 회로의 회로도이며, 도 18a에 나타내는 회로에 상당한다. 도 23b는, p채널형 트랜지스터를 사용하여 구성된 실시예 7의 부트스트랩 회로의 회로도이며, 도 18b에 나타내는 회로에 상당한다.
- [0221] 도 24는, p채널형 트랜지스터를 사용하여 구성된 실시예 1 내지 실시예 7의 부트스트랩 회로의 회로도이며, 도 19에 나타내는 회로에 상당한다.
- [0222] 또한, 첨부된 청구항이나 그와 동등한 범위 내에 있는 한, 다양한 변형, 조합, 하위 조합, 변경을 할 수 있다는 것은 당업자에게 당연하게 이해된다.

도면의 간단한 설명

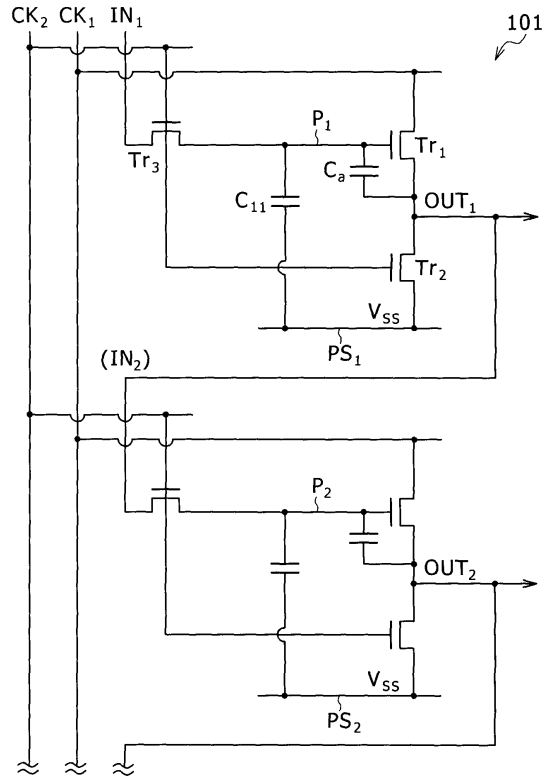
- [0223] 도 1은, 각 단계 있어서 본 발명의 실시예 1에 관련되는 부트스트랩 회로로 구성된 주사 회로의 일반적인 구성을 나타내는 회로도다.
- [0224] 도 2a는, 주사 회로를 구비하고, 복수의 유기EL 소자를 발광 소자로서 사용한 유기EL 표시장치의 일반적인 구성을 나타내는 개념 블록도다.
- [0225] 도 2b는, 유기EL소자의 회로에 초점을 맞춘 유기EL 표시장치의 일반적인 구성을 나타내는 개념 블록도다.
- [0226] 도 3a는, 종래의 부트스트랩 회로에 있어서 기생 용량을 고려했을 때의 회로도다.
- [0227] 도 3b는, 종래의 부트스트랩 회로에 있어서 기생 용량을 고려했을 때의 모식적인 타이밍 차트다.
- [0228] 도 4a는, 전위변동억제 용량부를 구비한 부트스트랩 회로의 일반적인 구성을 나타내는 회로도다.
- [0229] 도 4b는, 전위변동억제 용량부를 구비한 부트스트랩 회로에 의해 실행되는 동작과 관련된 신호의 타이밍 차트를 모식적으로 나타내는 타이밍도다.
- [0230] 도 5a는, 도 1에 나타내는 주사 회로로서의 시프트 레지스터 회로에 있어서, 후단의 부트스트랩 회로에 인가되는 신호의 위상이 앞선 경우의 동작을 설명하기 위한 모식적인 타이밍 차트다.
- [0231] 도 5b는, 도 1에 나타내는 주사 회로로서의 시프트 레지스터 회로에 있어서, 후단의 부트스트랩 회로에 인가되는 신호의 위상이 지연된 경우의 동작을 설명하기 위한 모식적인 타이밍 차트다.
- [0232] 도 6a 및 도 6b는, 지연 요소를 통해 후단에 신호를 전달하는 구성으로 한 부트스트랩 회로의 회로도다.
- [0233] 도 7a는, 주사 회로의 1단계를 구성하는 실시예 2의 부트스트랩 회로의 일반적인 구성을 나타내는 회로도다.
- [0234] 도 7b는, 주사 회로의 1단계를 구성하는 실시예 2의 부트스트랩 회로에 있어서 기생 용량을 고려했을 때의 모식적인 타이밍 차트이다.
- [0235] 도 8a는, 주사 회로의 1단계를 구성하는 실시예 3의 부트스트랩 회로의 일반적인 구성을 나타내는 회로도다.
- [0236] 도 8b는, 주사 회로의 1단계를 구성하는 실시예 3의 부트스트랩 회로에 의해 실행되는 동작과 관련된 신호의 타이밍 차트를 모식적으로 나타내는 타이밍도다.
- [0237] 도 9는, 주사 회로의 1단계를 구성하는 실시예 4의 부트스트랩 회로의 일반적인 구성을 나타내는 회로도다.
- [0238] 도 10a은, 반전 회로의 일반적인 구성을 나타내는 회로도다.
- [0239] 도 10b는, 반전 회로에 의해 실행되는 동작과 관련된 신호의 타이밍 차트를 모식적으로 나타내는 타이밍도다.
- [0240] 도 11은, 도 9의 부트스트랩 회로에 의해 실행되는 동작과 관련된 신호의 타이밍 차트를 모식적으로 나타내는 타이밍도다.
- [0241] 도 12a는, 반전 회로의 일반적인 구성을 나타내는 회로도다.
- [0242] 도 12b 및 도 12c는, 도 12a에 나타내는 반전 회로에 의해 실행되는 동작과 관련된 신호의 타이밍 차트를 모식적으로 나타내는 타이밍도다.
- [0243] 도 13은, 주사 회로의 1단계를 구성하는 실시예 5의 부트스트랩 회로의 일반적인 구성을 나타내는 회로도다.

- [0244] 도 14는, 주사 회로의 1단계를 구성하는 실시예 5의 부트스트랩 회로의 일반적인 구성을 나타내는 회로도다.
- [0245] 도 15는, 주사 회로의 1단계를 구성하는 실시예 7의 부트스트랩 회로의 일반적인 구성을 나타내는 회로도다.
- [0246] 도 16은, 도 15의 회로도에 나타낸 실시예 7의 부트스트랩 회로에 의해 실행되는 동작과 관련된 신호의 타이밍 차트를 모식적으로 나타내는 타이밍도다.
- [0247] 도 17은, 도 15의 회로도에 나타낸 제4 트랜지스터 및 제5 트랜지스터로 이루어지는 회로부에 또 다른 제4 트랜지스터 및 또 다른 제5 트랜지스터로 이루어지는 회로부를 추가한 구성을 나타내는 회로도다.
- [0248] 도 18a는, 도 15의 회로도에 나타내는 실시예 7에 따른 부트스트랩 회로에 있어서, 도 4a의 회로도에 나타낸 실시예 1에 따른 부트스트랩 회로에 포함된 전위변동억제 용량부에 상당하는 전위변동억제 용량부를 더 구비한 구성의 회로도를 나타낸다.
- [0249] 도 18b는, 도 15의 회로도에 나타내는 실시예 7에 따른 부트스트랩 회로에 있어서, 도 8a의 회로도에 나타낸 실시예 3에 따른 부트스트랩 회로에 포함된 전위변동억제 용량부에 상당하는 전위변동억제 용량부를 더 구비한 구성의 회로도를 나타낸다.
- [0250] 도 19는, 실시예 1 내지 실시예 7의 구성의 특징을 적절히 조합하여 얻은 부트스트랩 회로의 일반적인 구성을 나타내는 회로도다.
- [0251] 도 20a는, p채널형 트랜지스터를 사용하여 구성된 실시예 1의 부트스트랩 회로의 회로도이며, 도 4a에 나타내는 회로의 1단계에 상당한다.
- [0252] 도 20b는, p채널형 트랜지스터를 사용하여 구성된 실시예 2의 부트스트랩 회로의 회로도이며, 도 7a에 나타내는 회로에 상당한다.
- [0253] 도 20c는, p채널형 트랜지스터를 사용하여 구성된 실시예 3의 부트스트랩 회로의 회로도이며, 도 8a에 나타내는 회로에 상당한다.
- [0254] 도 21a는, p채널형 트랜지스터를 사용하여 구성된 실시예 4의 부트스트랩 회로의 회로도이며, 도 9에 나타내는 회로에 상당한다.
- [0255] 도 21b는, p채널형 트랜지스터를 사용하여 구성된 실시예 5의 부트스트랩 회로의 회로도이며, 도 13에 나타내는 회로에 상당한다.
- [0256] 도 21c는, p채널형 트랜지스터를 사용하여 구성된 실시예 6의 부트스트랩 회로의 회로도이며, 도 14에 나타내는 회로에 상당한다.
- [0257] 도 22a는, p채널형 트랜지스터를 사용하여 구성된 실시예 7의 부트스트랩 회로의 회로도이며, 도 15에 나타내는 회로에 상당한다.
- [0258] 도 22b는, p채널형 트랜지스터를 사용하여 구성된 실시예 7의 부트스트랩 회로의 회로도이며, 도 17에 나타내는 회로에 상당한다.
- [0259] 도 23a는, p채널형 트랜지스터를 사용하여 구성된 실시예 7의 부트스트랩 회로의 회로도이며, 도 18a에 나타내는 회로에 상당한다.
- [0260] 도 23b는, p채널형 트랜지스터를 사용하여 구성된 실시예 7의 부트스트랩 회로의 회로도이며, 도 18b에 나타내는 회로에 상당한다.
- [0261] 도 24는, p채널형 트랜지스터를 사용하여 구성된 실시예 7의 부트스트랩 회로의 회로도이며, 도 19에 나타내는 회로에 상당한다.
- [0262] 도 25는, 1단을 기본적으로 3개의 트랜지스터로 구성된 부트스트랩 동작을 이용한 시프트 레지스터 회로의 회로도다.
- [0263] 도 26a는 시프트 레지스터 회로의 1단계의 부트스트랩 회로의 일반적인 구성을 나타내는 회로도다.
- [0264] 도 26b는 도 26a의 회로도에 나타낸 부트스트랩 회로에 의해 실행되는 동작과 관련된 신호의 타이밍 차트를 모식적으로 나타내는 타이밍도다.

도면

도면1

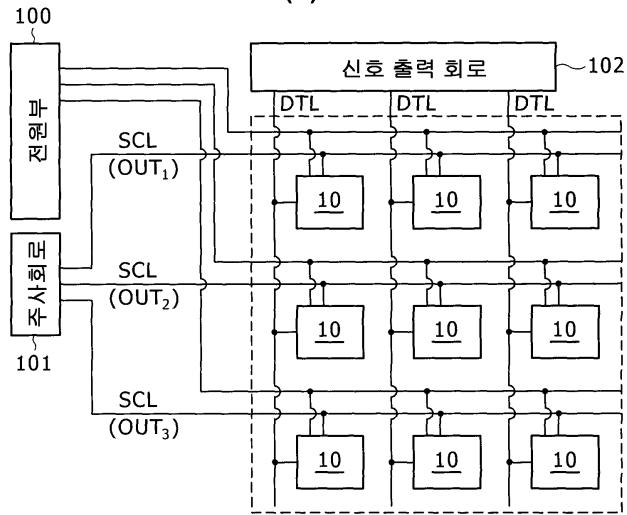
[실시예 1]



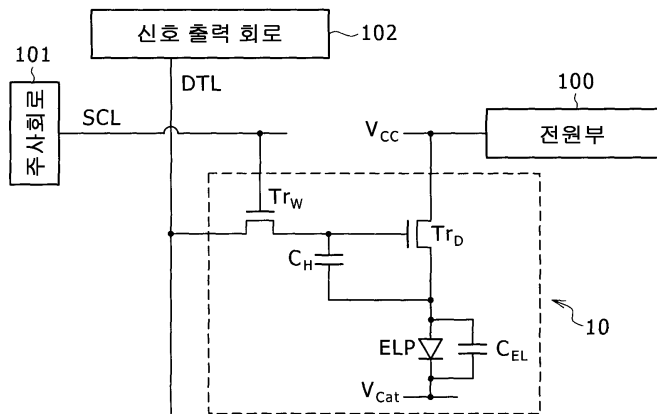
도면2

[실시예 1]

(a)



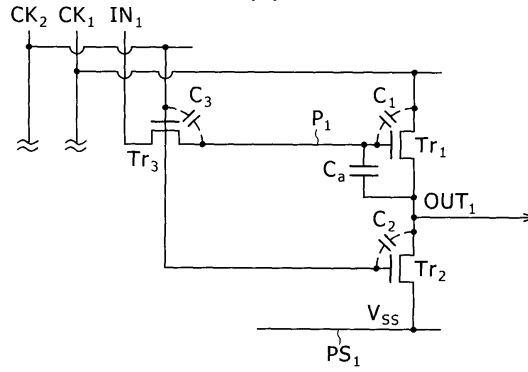
(b)



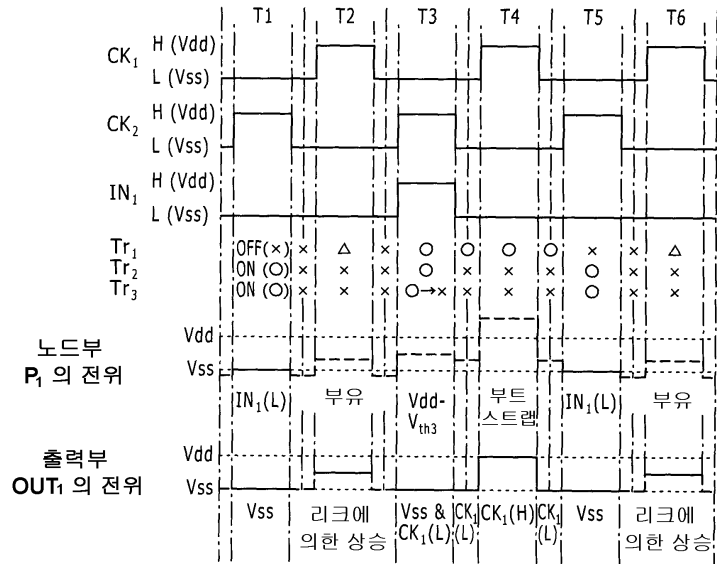
도면3

[실시예 (비교예)]

(a)



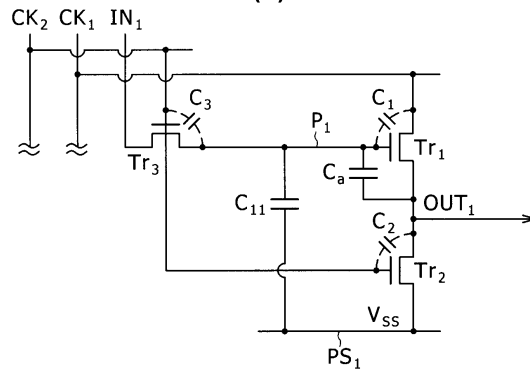
(b)



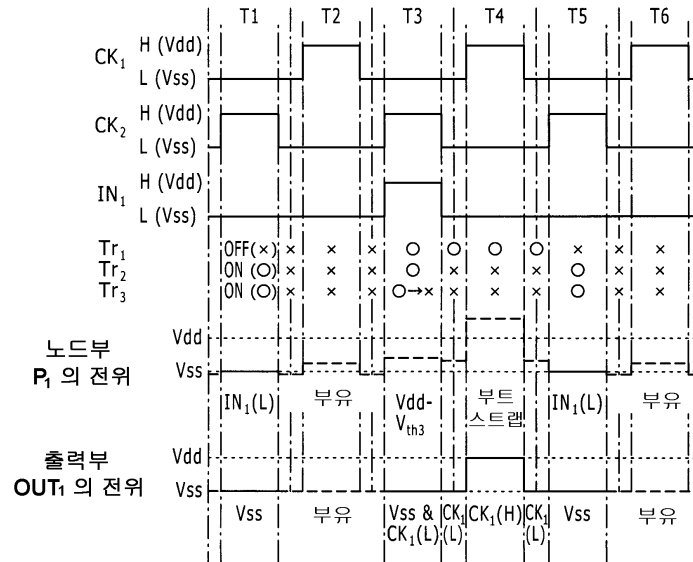
도면4

[실시예 1]

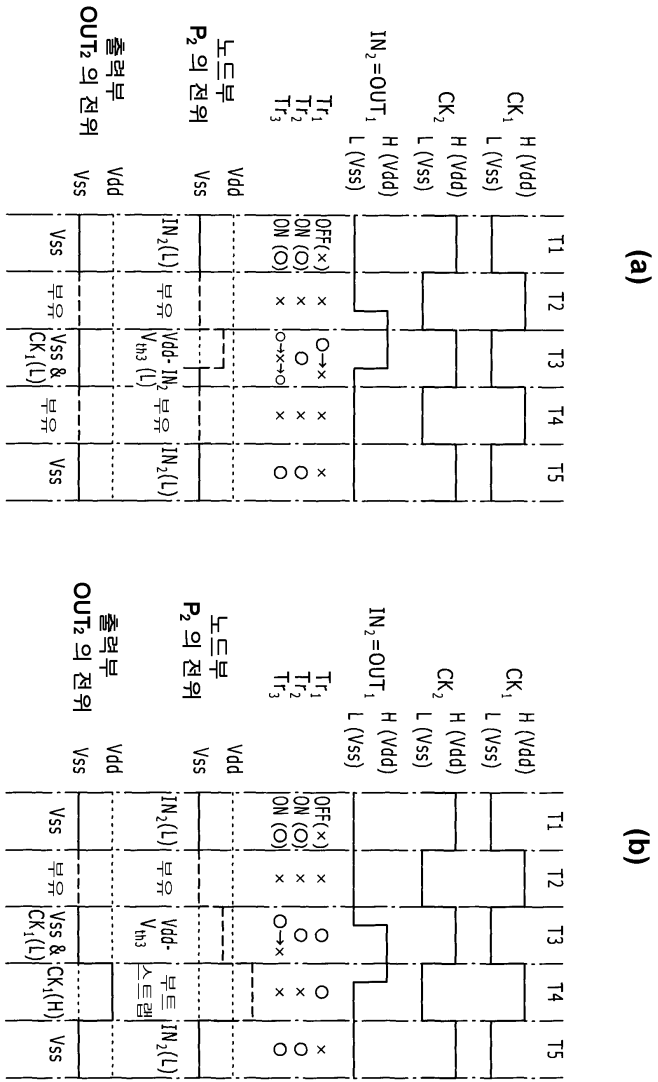
(a)



(b)



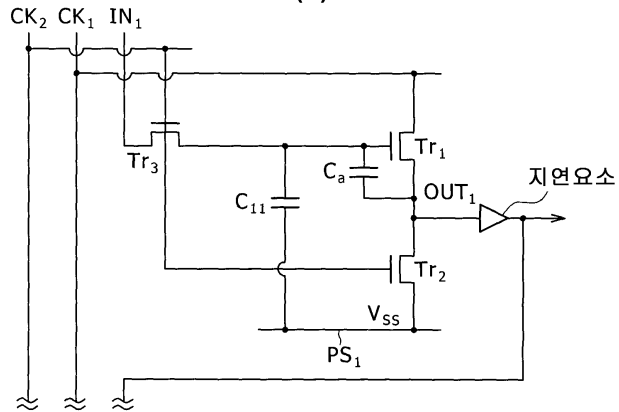
도면5



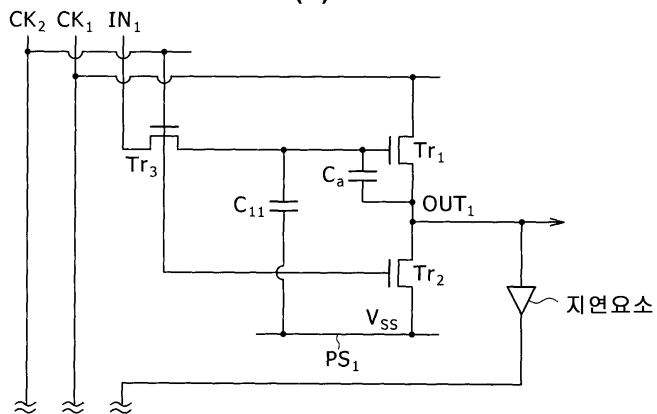
도면6

[실시예 1]

(a)



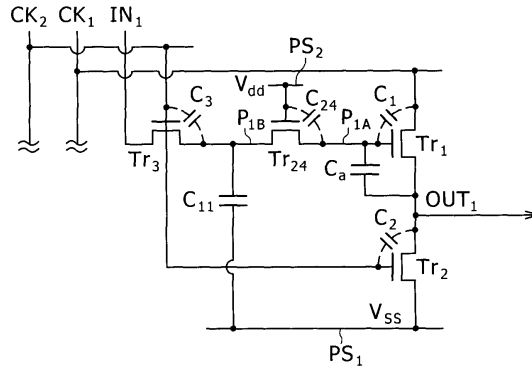
(b)



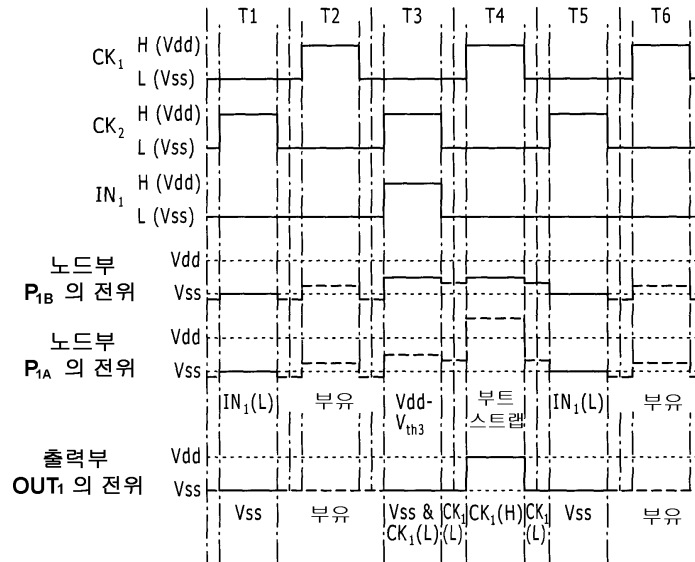
도면7

[실시예 2]

(a)



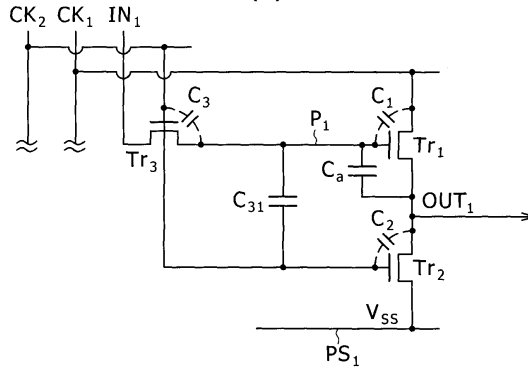
(b)



도면8

[실시예 3]

(a)

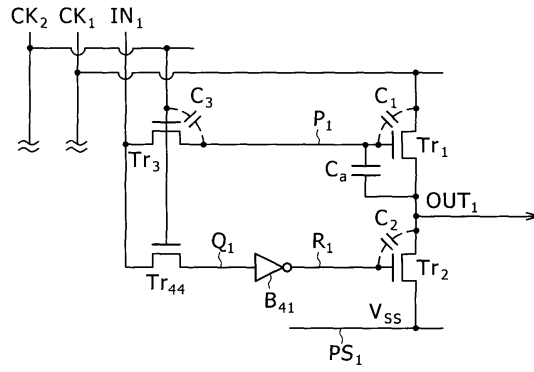


(b)

		T1	T2	T3	T4	T5	T6
CK ₁	H (Vdd)		■		■		■
	L (Vss)	■		■		■	
CK ₂	H (Vdd)	■		■		■	
	L (Vss)		■		■		■
IN ₁	H (Vdd)			■			
	L (Vss)	■			■		■
Tr ₁ Tr ₂ Tr ₃	OFF (×)	×	×	○	○	×	×
	ON (○)	○	×	○	×	○	×
	ON (○)	×	×	○→×	×	○	×
노드부 P ₁ 의 전위	Vdd			■			
	Vss	IN ₁ (L)	부유	Vdd - V _{th3}	부트 스트랩	IN ₁ (L)	부유
출력부 OUT ₁ 의 전위	Vdd						
	Vss	Vss	부유	Vss & CK ₁ (L)	CK ₁ (H)	Vss	부유

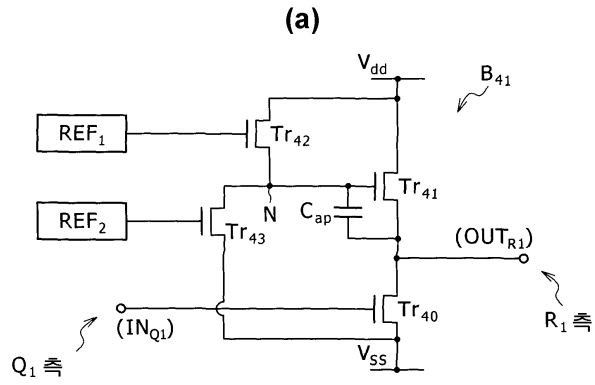
도면9

[실시예 4]

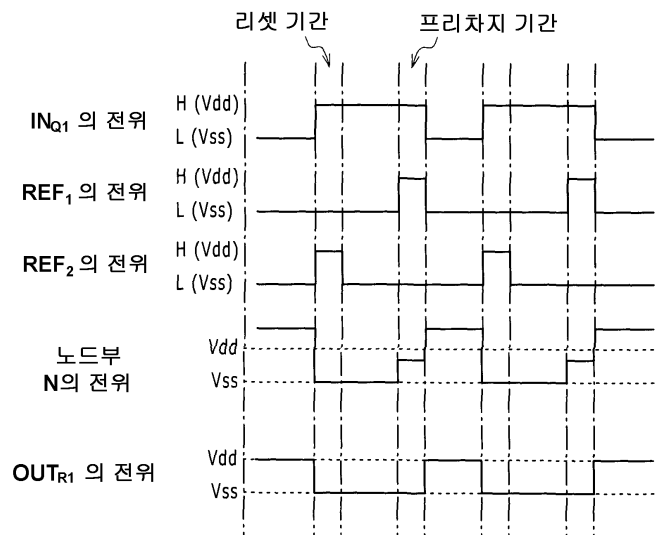


도면10

[실시예 4]

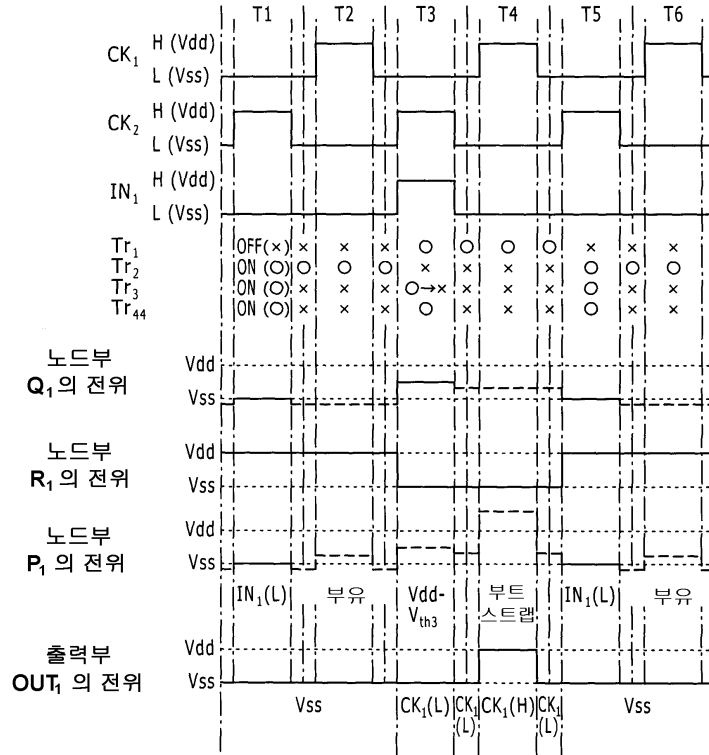


(b)

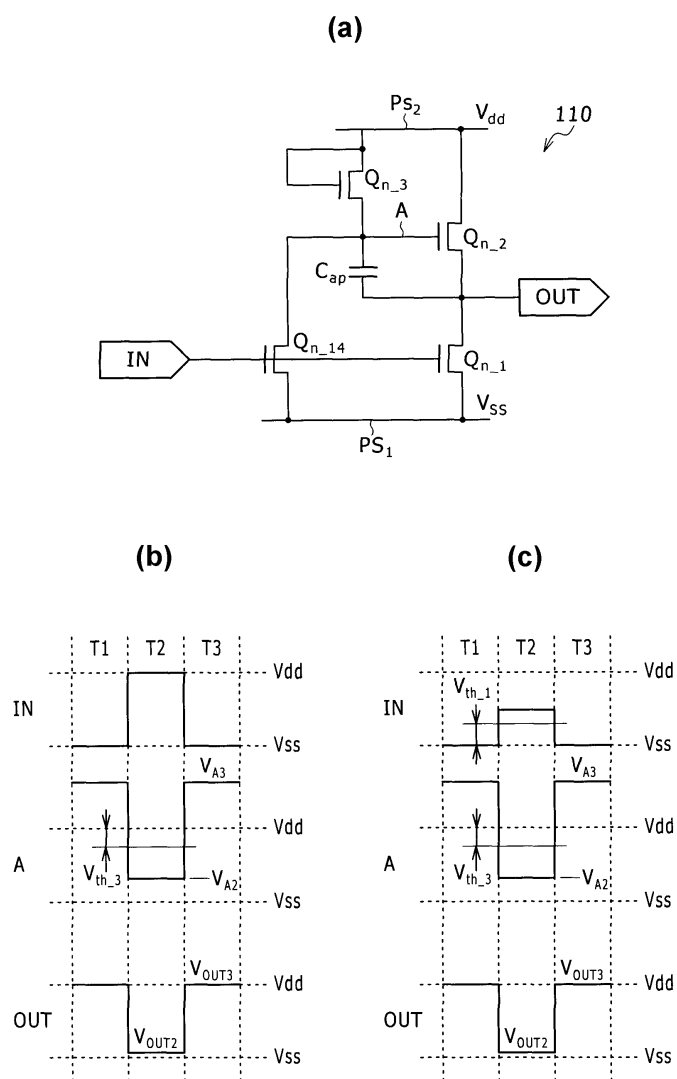


도면11

[실시예 4]

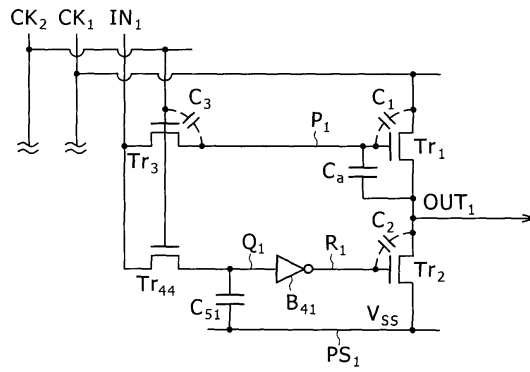


도면12



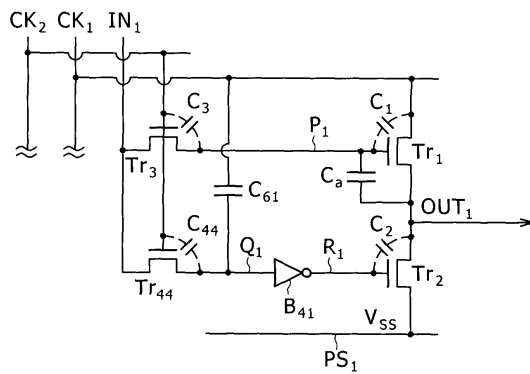
도면13

[실시예 5]



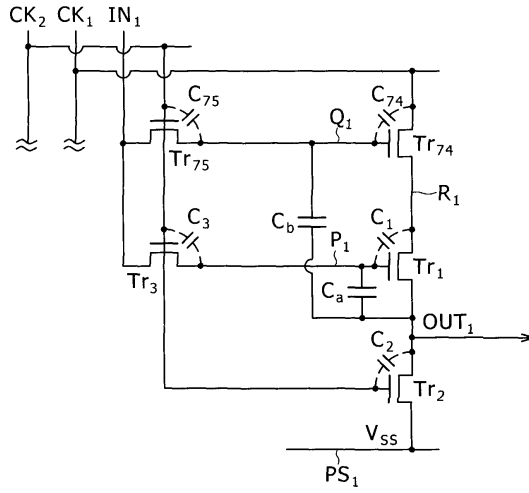
도면14

[실시예 6]



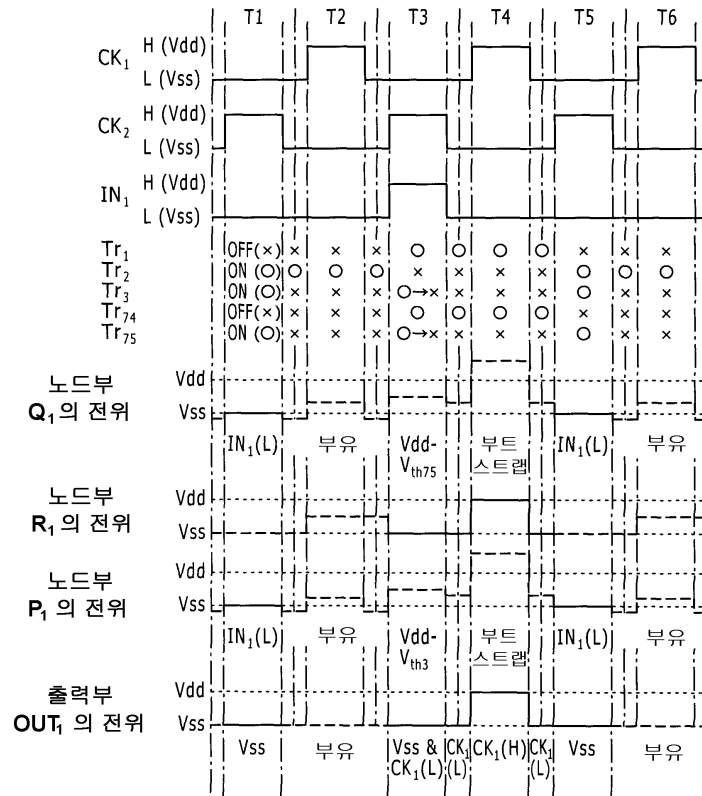
도면15

[실시예 7]



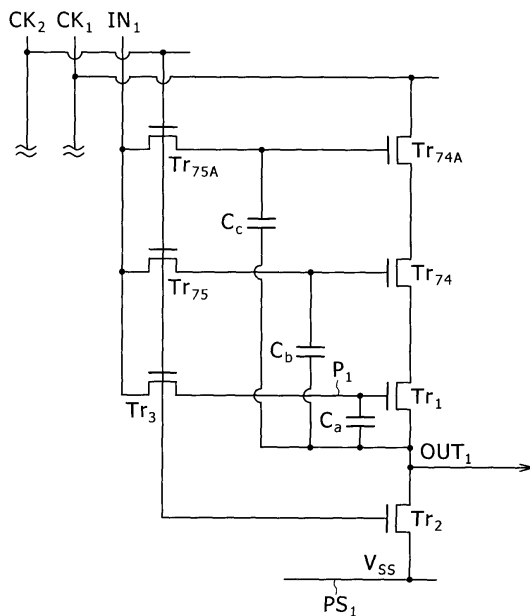
도면16

[실시예 7]



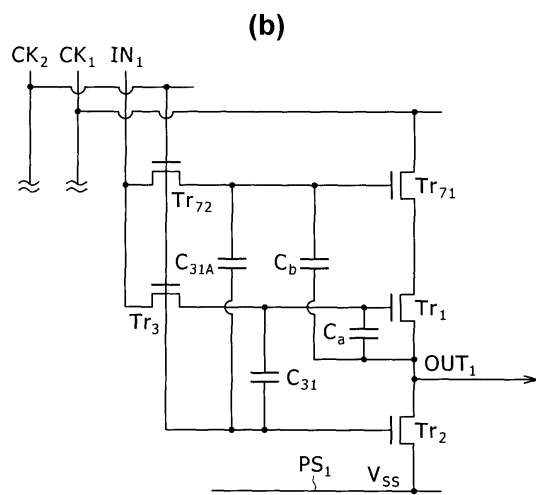
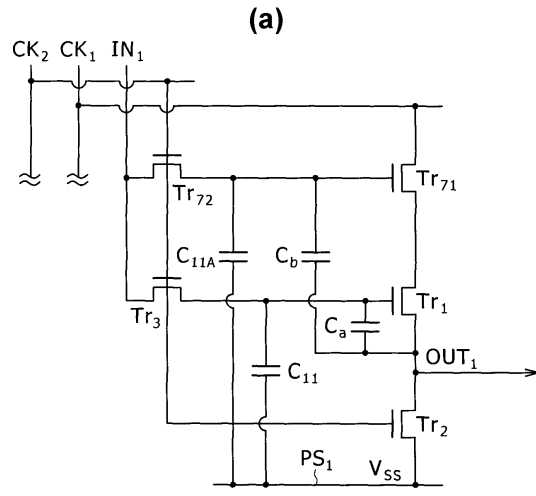
도면17

[실시예 7]

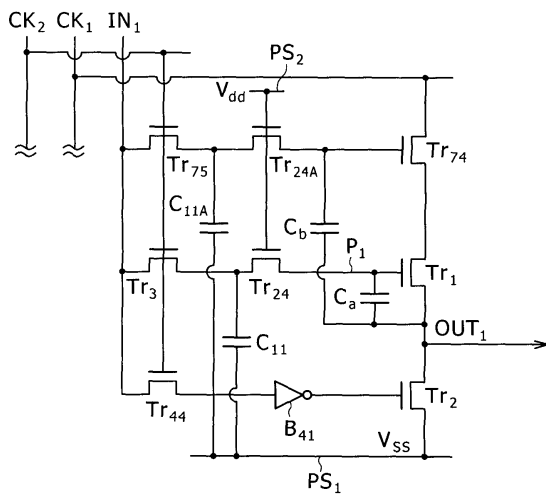


도면18

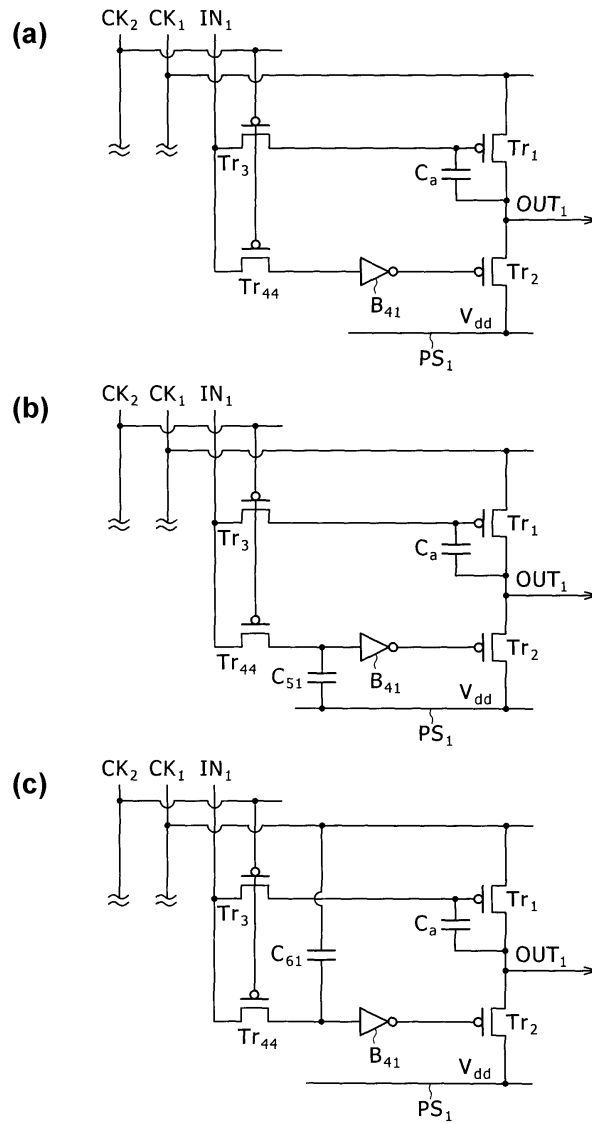
[실시예 7]



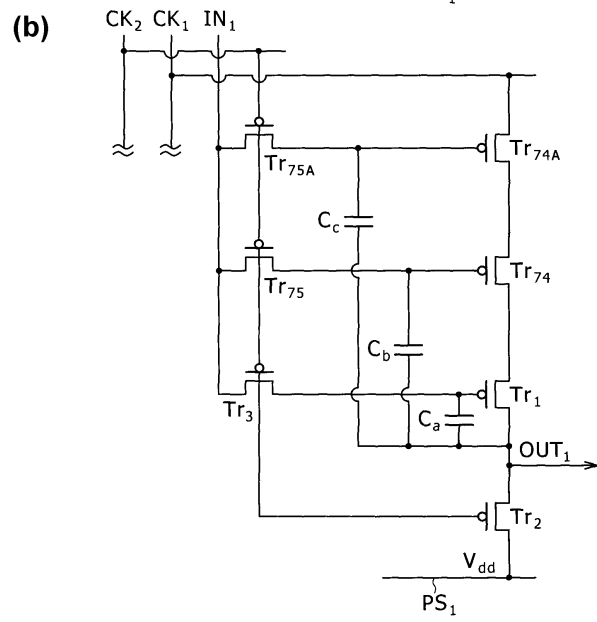
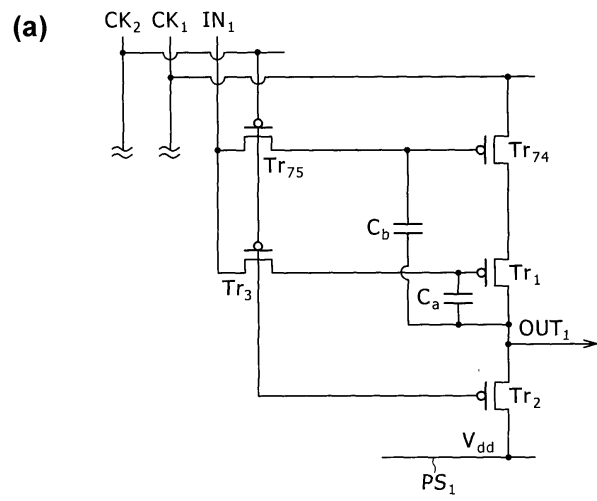
도면19



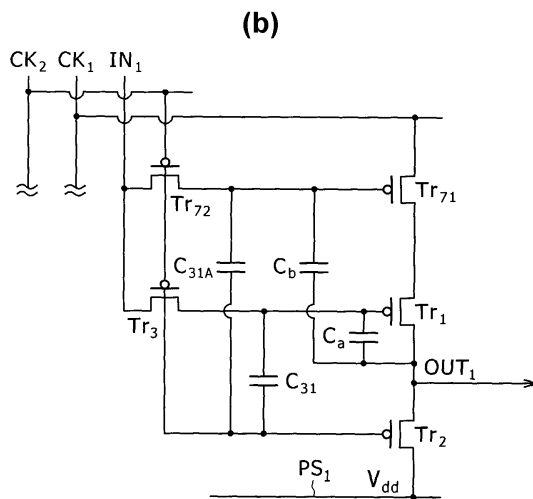
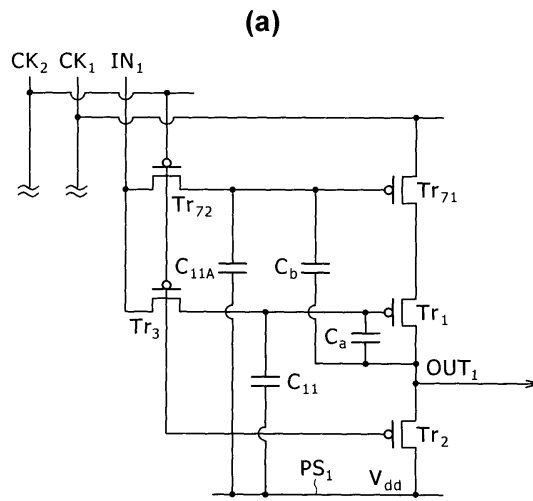
도면21



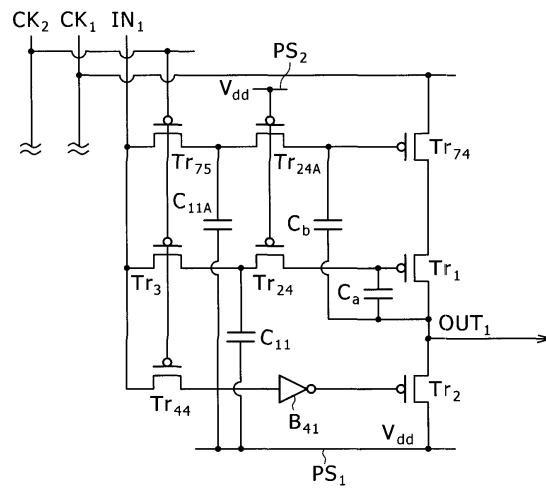
도면22



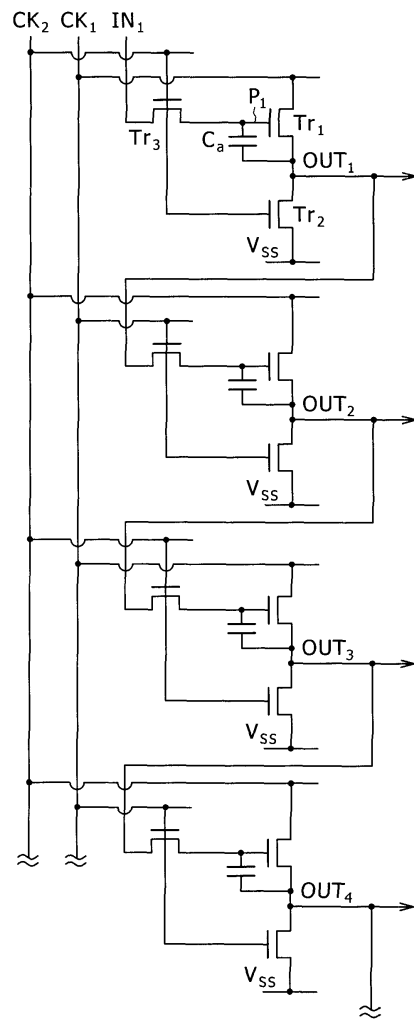
도면23



도면24



도면25



도면26

