



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2008년09월16일
(11) 등록번호 10-0858450
(24) 등록일자 2008년09월08일

(51) Int. Cl.

H01L 21/3205 (2006.01)

(21) 출원번호 10-2002-0064855

(22) 출원일자 2002년10월23일

심사청구일자 2006년11월21일

(65) 공개번호 10-2003-0078611

(43) 공개일자 2003년10월08일

(30) 우선권주장

JP-P-2002-00091306 2002년03월28일 일본(JP)

(56) 선행기술조사문헌

JP2001291865 A

JP2001217243 A

KR1020010075563 A

전체 청구항 수 : 총 17 항

(73) 특허권자

후지쯔 가부시끼가이샤

일본국 가나가와켄 가와사키시 나카하라구 가미고
다나카 4초메 1-1

(72) 발명자

가카무가즈미

일본국아이치켄가스가이시고조지쵸2-1844-2후지쯔
브이엘에스아이 가부시끼가이샤내

다카오요시히로

일본국가나가와켄가와사키시나카하라구가미고다
나카4-1-1후지쯔가부시끼가이샤내

(74) 대리인

문기상, 문두현

심사관 : 김희주

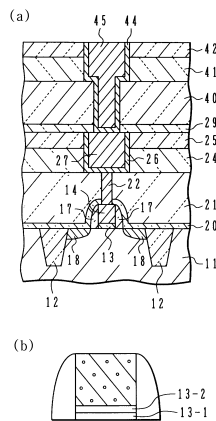
(54) 반도체 장치 및 그 제조 방법

(57) 요약

본 발명의 과제는 NBTI 열화를 억제할 수 있는 트랜지스터 구조를 갖는 반도체 장치를 제공하는 것이다.

상기 과제를 해결하기 위한 수단으로, 반도체 장치는 n형 영역을 갖는 실리콘 기판과, 상기 n형 영역 상에 질소를 포함하는 산화 실리콘을 이용하여 형성된 게이트 절연막과, 붕소를 포함하는 실리콘을 이용하여, 상기 게이트 절연막 상에 형성된 게이트 전극과, 상기 게이트 전극 양측의 상기 실리콘 기판 내에 형성된 p형 소스/드레인 영역과, 산화 실리콘을 이용하여, 상기 게이트 전극의 측벽 상에 형성된 측벽 스페이서와, 상기 게이트 전극, 측벽 스페이서를 덮어, 평탄화된 표면을 갖는 층간 절연막과, 상기 층간 절연막의 평탄화된 표면으로부터 내부로 향하여 형성된 배선용 요부(凹部)와, 상기 요부를 매우는, 하부의 배리어층과 그 위의 동(銅)영역을 포함하는 동(銅)배선과, 상기 동배선을 덮어, 상기 층간 절연막 상에 형성된 탄화 실리콘층을 갖는다.

대표도 - 도8



특허청구의 범위

청구항 1

n형 영역을 갖는 실리콘 기판과,
 상기 n형 영역 상에 질소를 함유하는 산화 실리콘을 이용하여 형성된 게이트 절연막과,
 붕소를 함유하는 실리콘을 이용하여, 상기 게이트 절연막 상에 형성된 게이트 전극과,
 상기 게이트 전극 양측의 상기 실리콘 기판 내에 형성된 p형 소스/드레인 영역과,
 산화 실리콘을 이용하여, 상기 게이트 전극의 측벽 상에 형성된 측벽 스페이서와,
 상기 게이트 전극, 측벽 스페이서를 덮어, 평탄화된 표면을 갖는 층간 절연막과,
 상기 층간 절연막의 평탄화된 표면으로부터 내부로 향하여 형성된 배선용 요부(凹部)와,
 상기 요부를 매우는, 하부의 배리어층과 그 위의 동(銅)영역을 포함하는 동(銅)배선과,
 상기 동배선을 덮어, 상기 층간 절연막 상에 형성된 산화 실리콘층을 갖는 것을 특징으로 하는 반도체 장치.

청구항 2

제 1 항에 있어서,
 상기 측벽 스페이서가 단층(單層)의 산화 실리콘층으로 형성되는 것을 특징으로 하는 반도체 장치.

청구항 3

제 1 항에 있어서,
 상기 측벽 스페이서가 질화 실리콘층과 그 위의 산화 실리콘층의 적층을 포함하는 것을 특징으로 하는 반도체 장치.

청구항 4

제 1 항 내지 제 3 항 중 어느 한 항에 있어서,
 상기 게이트 절연막의 산화 실리콘이 1 at% 이상의 질소를 함유하는 것을 특징으로 하는 반도체 장치.

청구항 5

제 1 항 내지 제 3 항 중 어느 한 항에 있어서,
 상기 층간 절연막이, 최하층으로서 질화 실리콘으로 형성된 에칭 스톱퍼층을 포함하는 것을 특징으로 하는 반도체 장치.

청구항 6

제 1 항 내지 제 3 항 중 어느 한 항에 있어서,
 상기 게이트 절연막이, 산화 실리콘층과 질화 실리콘층의 적층, 표면에서 질소 농도를 높인 질소를 함유하는 산화 실리콘층, 질소를 함유하는 산화 실리콘층과 질화 실리콘보다 유전율이 높은 산화물층의 적층, 질화 실리콘층과 질화 실리콘보다 유전율이 높은 산화물층의 적층 중 어느 것인가를 포함하는 것을 특징으로 하는 반도체 장치.

청구항 7

n형 영역을 갖는 실리콘 기판과,
 상기 n형 영역 상에, 질소를 함유하는 산화 실리콘을 이용하여 형성된 게이트 절연막과,
 붕소를 함유하는 실리콘을 이용하여, 상기 게이트 절연막 상에 형성된 게이트 전극과,

상기 게이트 전극 양측의 상기 실리콘 기판 내에 형성된 p형 소스/드레인 영역과,
 산화 실리콘층과 질화 실리콘층의 적층을 이용하여, 상기 게이트 전극의 측벽 상에 형성된 측벽 스페이서와,
 상기 게이트 전극, 측벽 스페이서를 덮어, 평탄화된 표면을 갖는 층간 절연막과,
 상기 층간 절연막의 평탄화된 표면으로부터 내부로 향하여 형성된 배선용 요부와,
 상기 요부를 매우는, Ta 또는 Ti로 형성된 하부 배리어층과 그 위의 동(銅)영역을 포함하는 동(銅)배선을 갖는
 것을 특징으로 하는 반도체 장치.

청구항 8

n형 영역을 갖는 실리콘 기판 상에, 질소를 함유하는 산화 실리콘을 이용한 게이트 절연막과, 붕소를 함유하는
 실리콘을 이용한 게이트 전극을 형성하는 공정과,
 상기 게이트 전극 양측의 상기 실리콘 기판 내에 p형 소스/드레인 영역을 형성하는 공정과,
 상기 게이트 전극의 측벽 상에 산화 실리콘을 이용하여 측벽 스페이서를 형성하는 공정과,
 상기 게이트 전극, 측벽 스페이서를 덮어, 평탄화된 표면을 갖는 층간 절연막을 형성하는 공정과,
 상기 층간 절연막의 평탄화된 표면으로부터 내부로 향하여 요부를 형성하고, 그 요부 내에 하부의 배리어층과
 그 위의 동(銅)영역을 포함하는 동(銅)배선을 매우는 공정과,
 상기 동배선을 덮어, 상기 층간 절연막 상에 산화 실리콘층을 형성하는 공정과,
 상기 실리콘 기판을 340℃ 이상의 온도로 열처리하는 공정을 포함하는 것을 특징으로 하는 반도체 장치의 제조
 방법.

청구항 9

n형 영역을 갖는 실리콘 기판과,
 상기 n형 영역 상에, 유전율이 다른 2층 이상의 적층 구조로 형성된 게이트 절연막과,
 붕소를 함유하는 실리콘을 이용하여, 상기 게이트 절연막 상에 형성된 게이트 전극과,
 상기 게이트 전극 양측의 상기 실리콘 기판 내에 형성된 p형 소스/드레인 영역과,
 상기 게이트 전극을 덮어, 평탄화된 표면을 갖는 층간 절연막과,
 상기 층간 절연막의 평탄화된 표면으로부터 내부로 향하여 형성된 배선용 요부와,
 상기 요부를 매우는 동배선과,
 상기 동배선의 위 또는 밑에 형성된 질소를 함유하지 않은 동(銅)의 확산 방지 절연막을 갖는 것을 특징으로 하
 는 반도체 장치.

청구항 10

제 9 항에 있어서,
 상기 게이트 절연막은 질소 함유량이 1 at% 미만의 하층 절연막과 질소 함유량이 1 at% 이상의 상층 절연막을
 포함하는 것을 특징으로 하는 반도체 장치.

청구항 11

반도체 기판 상에, 질소를 포함하는 게이트 절연막과 게이트 전극을 갖는 트랜지스터를 형성하는 공정과,
 상기 트랜지스터가 형성된 반도체 기판 상에 층간 절연막을 형성하는 공정과,
 상기 층간 절연막에 홈을 형성하는 공정과,
 상기 홈에 동을 갖는 배선을 형성하는 공정과,
 상기 배선 상에, 테트라메틸시란 및 2산화탄소를 원료 가스로 한 CVD법에 의해 절연막을 형성하는 공정을 갖는

것을 특징으로 하는 반도체 장치의 제조 방법.

청구항 12

제 11 항에 있어서,

상기 게이트 절연막은, 상기 반도체 기판에 형성된 n형 영역 상에 형성되어 있는 것을 특징으로 하는 반도체 장치의 제조 방법.

청구항 13

제 11 항에 있어서,

상기 게이트 전극은 붕소를 갖는 실리콘층인 것을 특징으로 하는 반도체 장치의 제조 방법.

청구항 14

제 11 항에 있어서,

상기 절연막을 형성하는 공정에서, 상기 원료 가스는 시란 가스를 포함하고 있지 않은 것을 특징으로 하는 반도체 장치의 제조 방법.

청구항 15

제 11 항에 있어서,

상기 게이트 절연막은, 질소를 함유하는 산화 실리콘막인 것을 특징으로 하는 반도체 장치의 제조 방법.

청구항 16

제 11 항에 있어서,

상기 게이트 전극의 측벽에, 산화 실리콘으로 이루어지는 측벽 스페이서를 형성하는 것을 특징으로 하는 반도체 장치의 제조 방법.

청구항 17

제 11 항에 있어서,

상기 절연막은 탄화 실리콘인 것을 특징으로 하는 반도체 장치의 제조 방법.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

- <27> 본 발명은 반도체 장치에 관한 것으로, 특히 동배선을 갖는 반도체 장치에 관한 것이다.
- <28> LSI 회로의 고속화, 저소비 전력화를 위해서, 소자의 미세화, 저전압화와 함께 배선의 저저항화가 도모되고 있다. 배선의 저저항화를 위해서는, 종래 이용되고 있는 Al배선보다 저항율이 낮은 Cu배선이 이용되도록 되어 왔다. Cu막은 미세 가공이 곤란하여, 다마신 구조가 많이 채용된다. 소자의 고속화, 저소비 전력화를 위해서는, 저전압에서 트랜지스터의 고속 동작을 실현하는 것이 바람직하고, 게이트 절연막의 실질적인 박막화가 진행되고 있다.
- <29> Cu는 층간 절연막인 산화 실리콘막 중에서의 확산 속도가 매우 빠르다. Cu가 층간 절연막 중에 확산되면, 트랜지스터 특성이 열화된다. Cu를 배선으로서 사용할 경우, Cu배선의 주위에 확산 방지막을 사용하는 것이 필요하다. Cu의 확산은 산화막으로는 거의 억제할 수 없다.
- <30> 하층 배선 또는 하층 도전층을 노출하도록 산화 실리콘층 중에 형성된 트렌치(trench)(또는/및 비어(via)) 내에 동배선(銅配線)을 퇴적하는 경우, Cu의 확산 방지막으로서의 기능을 갖는 배리어(barrier) 메탈층과 동층(銅

층)을 적층한다. 동층과 산화 실리콘층의 사이에 배리어 메탈층이 개재되어, 동의 산화 실리콘층 중으로의 확산을 방지한다. 산화 실리콘층 상의 금속층은 화학 기계 연마(CMP) 등으로 제거된다. 이 위에 산화 실리콘층을 형성하면, 노출된 동층으로부터 위의 산화 실리콘층으로 동의 확산이 가능하게 된다. Cu의 확산 방지막으로서의 기능을 갖는 절연체로서 질화 실리콘막이 다마신 배선의 동층을 덮어 형성된다.

- <31> 게이트 절연막으로서의 질화 실리콘막이 이용되고 있다. 게이트 산화막을 박막화하면, 게이트 산화막을 관통하는 직접 터널 전류가 증가하고, 게이트 리크 전류가 증대한다. 이 게이트 리크 전류를 억제하기 위해서는, 게이트 절연막의 물리적 막두께를 증가시켜도 좋다.
- <32> 게이트 절연막의 두께를 증가시키고, 또 게이트 산화막을 박막화한 것과 같은 구동력을 실현하기 위해서는, 게이트 절연막을 고유전율의 절연물로 형성하는 것이 필요하게 된다. 게이트 절연막의 유전율을 증가시키면 물리적 막두께를 증가시킬 수 있고, 또 전기적인 게이트 절연막 두께의 박막화를 가능하게 할 수 있다. 게이트 리크 전류의 억제와 트랜지스터 구동력의 향상을 동시에 달성할 수 있다.
- <33> 표면 채널형 p채널 트랜지스터에서는 게이트 전극 중의 붕소 불순물이 게이트 절연막을 확산하여 채널 영역에 도달하면, 트랜지스터 특성을 열화시킨다고 하는 문제도 생긴다. 이 문제를 억제하기 위해서, 게이트 절연막에 질소를 첨가하는 기술이 이용되고 있다. 게이트 절연막 중의 질소 농도를 과도하게 하면, 게이트 절연막과 반도체 기판의 계면의 질소 농도도 진해져서, 이 질소에 의해 기판 표면에 형성되는 채널을 흐르는 전자/정공의 동작이 저해된다.
- <34> 트랜지스터에 흐르는 드레인 전류를 열화시키는 현상을 네거티브 바이어스 온도 불안정성(negative bias temperature instability, NBTI)이라고 부른다. 이것은, p채널 MOS 트랜지스터의 게이트에 부전압을 인가하고, 온도를 상승시켜 가속 시험을 행한 경우의 드레인 전류의 저하를 나타낸다. 알루미늄 배선에 비해 동배선의 경우, 동일 스트레스 시간에 대한 드레인 전류 열화 ΔI_{ds} 가 커진다.
- <35> 게이트 절연막 두께를 증가시켜, 직접 터널 전류를 저하시킨다고 해도, NBTI 효과가 문제가 된다. 게이트 절연막 중의 질소 농도를 증대시키면, NBTI 효과가 증대되어 버린다.

발명이 이루고자 하는 기술적 과제

- <36> 이상 설명한 바와 같이, LSI의 동작 특성 향상을 위해서, 게이트 절연막을 박막화하면 여러 가지 문제가 생긴다. 이들 문제를 해결할 수 있는 신규 트랜지스터 구조가 요구되고 있다.
- <37> 본 발명의 목적은 NBTI 열화를 억제할 수 있는 트랜지스터 구조를 갖는 반도체 장치를 제공하는 것에 있다.
- <38> 본 발명의 다른 목적은 게이트의 리크 전류가 적고, 우수한 트랜지스터 특성을 발휘하는 트랜지스터 구조를 갖는 반도체 장치를 제공하는 것에 있다.
- <39> 본 발명의 또 다른 목적은 특성이 우수한 미세화 트랜지스터를 갖는 반도체 장치를 제공하는 것에 있다.

발명의 구성 및 작용

- <40> 본 발명의 일 관점에 의하면, n형 영역을 갖는 실리콘 기판과, 상기 n형 영역 상에 질소를 함유하는 산화 실리콘을 이용하여 형성된 게이트 절연막과, 붕소를 함유하는 실리콘을 이용하여 상기 게이트 절연막 상에 형성된 게이트 전극과, 상기 게이트 전극 양측의 상기 실리콘 기판 내에 형성된 p형 소스/드레인 영역과, 산화 실리콘을 이용하여 상기 게이트 전극의 측벽 상에 형성된 측벽 스페이서(side wall spacer)와, 상기 게이트 전극, 측벽 스페이서를 덮는 평탄화된 표면을 갖는 층간 절연막과, 상기 층간 절연막의 평탄화된 표면으로부터 내부로 향하여 형성된 배선용 요부(凹部)와, 상기 요부를 메우는 하부의 배리어층과 그 위의 동영역을 포함하는 동배선과, 상기 동배선을 덮어 상기 층간 절연막 상에 형성된 산화 실리콘층을 갖는 반도체 장치가 제공된다.
- <41> 본 발명의 다른 관점에 의하면, n형 영역을 갖는 실리콘 기판과, 상기 n형 영역 상에 질소를 함유하는 산화 실리콘을 이용하여 형성된 게이트 절연막과, 붕소를 함유하는 실리콘을 이용하여 상기 게이트 절연막 상에 형성된 게이트 전극과, 상기 게이트 전극 양측의 상기 실리콘 기판 내에 형성된 p형 소스/드레인 영역과, 산화 실리콘층과 질화 실리콘층의 적층을 이용하여 상기 게이트 전극의 측벽 상에 형성된 측벽 스페이서와, 상기 게이트 전극, 측벽 스페이서를 덮어 평탄화된 표면을 갖는 층간 절연막과, 상기 층간 절연막의 평탄화된 표면으로부터 내부로 향하여 형성된 배선용 요부와, 상기 요부를 메우는 Ta 또는 Ti로 형성된 하부 배리어층과 그 위의 동영역을 포함하는 동배선을 갖는 반도체 장치가 제공된다.

- <42> 본 발명의 또 다른 관점에 의하면, n형 영역을 갖는 실리콘 기판과, 상기 n형 영역 상에 유전율이 다른 2층 이상의 적층 구조로 형성된 게이트 절연막과, 붕소를 함유하는 실리콘을 이용하여 상기 게이트 절연막 상에 형성된 게이트 전극과, 상기 게이트 전극 양측의 상기 실리콘 기판 내에 형성된 p형 소스/드레인 영역과, 상기 게이트 전극을 덮는 평탄화된 표면을 갖는 층간 절연막과, 상기 층간 절연막의 평탄화된 표면으로부터 내부로 향하여 형성된 배선용 요부와, 상기 요부를 메우는 동배선과, 상기 동배선의 위 또는 밑에 형성된 질소를 함유하지 않는 동(銅)의 확산 방지 절연막을 갖는 반도체 장치가 제공된다.
- <43> (실시예)
- <44> 우선, 본 발명자 등이 행한 실험과 그 결과에 대해서 설명한다.
- <45> 도 1의 (a)는 본 발명의 예비 실험에 이용한 샘플의 구성을 나타낸 단면도이다. 실리콘 기판(11)의 표면에, 포토 레지스트에 의해 에칭 마스크를 형성하고, 실리콘 기판(11)을 예를 들면 깊이 300nm로 에칭하여 트렌치를 형성한다. 트렌치 내를 매우도록, 예를 들면 두께 약 500nm의 산화 실리콘막을 퇴적시키고, 화학 기계 연마(CMP)에 의해 실리콘 기판(11) 표면 상의 산화 실리콘막을 제거한다. 트렌치 내에만 산화 실리콘막(12)이 남아, 쉘로우 트렌치 아이솔레이션(STI : shallow trench isolation)이 형성된다.
- <46> 웰 영역을 개구하는 레지스트 패턴을 형성하고, 실리콘 기판(11)에 P+ 이온을 가속 에너지 600keV, 도우즈(dose)량 $3 \times 10^{13} \text{ cm}^{-2}$ 로 이온 주입하고, n웰을 형성한다.
- <47> 실리콘 기판(11), 적어도 그 활성 영역 표면 상에 질소를 4% 함유하는 산화 실리콘으로 이루어지는 게이트 절연막(13)을 형성한다. 게이트 절연막 위에 다결정 실리콘으로 게이트 전극(14)을 형성한다.
- <48> 게이트 전극층(14)을 패터닝한 후, 그 측벽 상에 질화 실리콘막(15), 산화 실리콘막(16)의 적층으로 이루어지는 측벽 스페이서를 형성한다. 예를 들면, 약 20nm 두께의 질화 실리콘막(15)을 열 CVD로 퇴적하고, 이어서 약 80nm 두께의 도핑되지 않은 실리케이트 유리층(16 : an undoped silicate glass layer)을 CVD로 퇴적한다. 리액티브 이온 에칭(RIE)에 의해 평탄면 위의 절연막(16, 15)을 제거하고, 게이트전극(14) 측벽 상에만 산화 실리콘막(16), 질화 실리콘막(15)을 남긴다.
- <49> 측벽 스페이서의 형성 전, 또는 측벽 스페이서 형성 전후에, p형 불순물의 이온 주입을 행하여, 게이트 전극(14)의 양측에 p형 불순물을 첨가한 소스/드레인 영역(18)을 형성한다.
- <50> 그 후, 실리콘 기판(11) 표면 상에, 화학 기상 퇴적(CVD)에 의해 질화 실리콘막(20)을 퇴적한다. 이 질화 실리콘막은 그 위에 형성하는 산화 실리콘막의 에칭에 대하여 에칭 스톱퍼로서의 기능을 갖는 막이다. 에칭 스톱퍼층(20)의 퇴적 후, 예를 들면 포스포실리케이트 유리(phosphosilicate glass)(PSG)로 형성되는 층간 절연막(21)을 형성한다.
- <51> 층간 절연막(21)의 표면은 CMP, 리플로우, 에치백(etch-back) 등에 의해 평탄화된다. 층간 절연막(21) 상에, 소요(所要) 개소(個所)에 개구를 갖는 레지스트 패턴을 형성하여, 접속 홀을 형성한다. 접속 홀을 매워서 도전성 플러그(22)가 형성된다. 예를 들면, Ti/TiN/W의 적층 구조를 이용하여 W플러그(22)가 형성된다. 층간 절연막(21) 표면 상에 퇴적된 도전층은 CMP 등에 의해 제거된다.
- <52> 층간 절연막(21)의 표면 상에, 예를 들면 150nm 두께의 저유전율 절연막(예를 들면, 상표 SiLK)층(24)과, 예를 들면 100nm 두께의 도핑되지 않은 실리케이트 유리층(25)과의 적층 층간 절연층이 형성된다. 도핑되지 않은 실리케이트 유리층(25)의 표면은 CMP 등에 의해 평탄화된다.
- <53> 평탄화된 표면으로부터, 층간 절연막(24, 25)을 관통하는 트렌치가 형성된다. 이 트렌치를 매우도록 배리어 메탈층(26), 동층(27)이 퇴적되고, 층간 절연막(25) 표면 상의 불필요한 도전층이 CMP 등에 의해 제거된다. 배리어 메탈층(26)은 예를 들면 25nm 두께의 TaN층이다. 그 후, Cu의 확산 방지 절연층(29)이 형성된다. 확산 방지층(29)은 예를 들면 약 70nm 두께의 SiC층, 또는 SiN층으로 형성된다.
- <54> SiC층은 테트라메틸시란($\text{Si}(\text{CH}_3)_4$)과 2산화탄소(CO_2)를 소스 가스로 한 플라즈마(P-) CVD로 형성한다. SiN층은 시란(SiH_4)과 암모니아(NH_3)를 소스 가스로 한 P-CVD로 형성된다. SiN 확산 방지층을 갖는 샘플을 이하 sn으로 나타낸다. SiC 확산 방지층을 갖는 샘플을 이하 sc로 나타낸다.
- <55> 도 1의 (b)는 Al배선의 구조예를 나타낸다. 층간 절연막(21), 층간 절연막 중을 관통하는 도전체 플러그(22)의 구성은 도 1의 (a)에 나타난 구조와 마찬가지로다. 층간 절연막(21) 위에, 예를 들면 40nm 두께의 Ti층(31), 예

를 들면 30nm 두께의 TiN층(32), 예를 들면 100nm 두께의 Al배선층(33), 예를 들면 70nm 두께의 TiN층(34)이 적층되고, 레지스트 패턴을 이용하여 패턴링되어, 배선 구조가 이루어진다. 이 배선 구조를 매우도록, 예를 들면 도핑되지 않은 실리콘이트 유리층(35)이 형성되고, 그 표면이 CMP 등에 의해 평탄화된다.

- <56> 도 1의 (c)는 도 1의 (a), (b)에 나타난 구조를 이용하여 측정된 NBTI 열화의 측정 결과를 나타낸 그래프이다. 도면 중, 횡축은 스트레스 시간을 단위로 나타내고, 종축은 포화 드레인 전류의 열화 ΔI_{ds_sat} 를 단위 %로 나타낸다. NBTI 열화는 게이트 전극으로의 인가 전압 $-1.9V$, 온도 $125^{\circ}C$, 게이트 길이 L / 게이트 폭 $W = 0.24/1\mu m$ 로 측정했다.
- <57> 곡선 sn은 종래 기술을 따라 Cu 확산 방지막으로서 SiN막을 이용한 경우의 결과를 나타낸다. 곡선 sc는 확산 방지막으로서 SiC막을 이용한 경우의 결과를 나타낸다. 곡선 p는 종래 기술을 따라, 배선층으로서 Al배선을 이용한 경우의 결과를 나타낸 곡선이다.
- <58> 도면으로부터 알 수 있는 바와 같이, 확산 방지막으로서 SiN막을 이용한 특성 sn은 NBTI 열화가 크다. 이에 대해, 확산 방지막으로서 SiC막을 이용한 경우, NBTI 열화는 종래에 문제가 되지 않았던 Al배선을 이용한 경우의 특성 p와 거의 동일해져 NBTI 열화의 문제를 해소할 수 있다.
- <59> 즉, 게이트 절연막으로서 질소를 함유하는 산화 실리콘막을 이용한 경우, Cu 배선층 형성 후에 SiN막을 Cu 확산 방지막으로서 이용하면, NBTI 열화가 문제로 되지만, Cu 확산 방지막으로서 SiN막 대신에 SiC막을 이용하면, NBTI 열화는 허용할 수 있을 정도로 된다.
- <60> NBTI 열화의 원인을 확인하기 위해, 동배선 형성 후, SiN 확산 방지층을 형성하지 않은 샘플을 작성했다.
- <61> 도 2의 (a), (b)는 NBTI 열화의 원인을 확인하기 위한 실험을 설명하기 위한 도면이다.
- <62> 도 2의 (a)는 도 1의 (a)에 나타난 구조와 비교하여, Cu 배선 형성 후, SiN층(29)을 형성하지 않은 경우의 구조를 나타낸 개략 단면도이다. 기타의 구성은 도 1의 (a)에 나타난 구성과 마찬가지로이다.
- <63> 도 2의 (b)는 도 2의 (a)에 나타난 구성의 NBTI 열화의 측정 데이터를 비교 데이터와 함께 나타낸다.
- <64> 도면 중에서 횡축은 스트레스 시간을 단위로 나타내고, 종축은 NBTI 열화를 나타내는 ΔI_{ds_sat} 을 단위 %로 나타낸 그래프이다. 곡선 bb는 도 2의 (a)에 나타난 구조에 의해, Cu 배선 형성 후, SiN 확산 방지층을 형성하지 않았던 경우의 특성을 나타낸다. 곡선 p는 Al배선의 경우의 특성을 나타낸다. 곡선 sn은 Cu 확산 방지층으로서 SiN층을 이용한 도 1의 (a)의 구조의 경우의 특성을 나타낸다.
- <65> 도면으로부터 알 수 있는 바와 같이, Cu 배선 형성 후에 Cu 확산 방지막으로서 SiN막을 형성한 경우의 특성 sn은 NBTI 열화 ΔI_{ds_sat} 이 크다. 이에 대해, Cu 확산 방지막으로서 기능하는 SiN막을 형성하지 않았던 도 2의 (a)의 구성의 경우의 특성 bb는 Al 배선의 경우의 특성 p와 마찬가지로 NBTI 열화가 적으며, 허용 범위 내이다.
- <66> 상술한 실험에서는, 동배선의 배리어 메탈층으로서 약 25nm 두께의 TaN층을 이용했다. 배리어 메탈을 변경한 때에, NBTI 열화가 어떻게 변화하는지를 조사했다.
- <67> 도 3의 (a)는 샘플의 구성을 개략적으로 나타낸다. 이 구성은 도 1의 (a)에 나타난 구성과 동일하지만, 배리어 메탈층(26)으로서 도 3의 (b)에 나타난 3종류를 이용했다. 즉, 도 1의 (a)에 나타난 샘플과 마찬가지로, 배리어 메탈층(26)을 TaN층으로 형성한 샘플 sn1, 배리어 메탈층으로서 25nm 두께의 Ta 순금속을 이용한 샘플 sn2, 배리어 메탈층으로서 약 40nm 두께의 Ti 순금속 및 그 위에 약 30nm 두께의 TiN층, 약 25nm 두께의 TaN층의 3층 적층 구조를 이용한 샘플 sn3을 제작했다. 동배선 상의 확산 방지층은 약 70nm 두께의 SiN층이다.
- <68> 도 3의 (c)는 측정 결과를 나타낸다. 샘플 sn2, sn3의 NBTI 열화는 허용 범위 내에 들어가는 것에 비해, 샘플 sn1의 측정 결과는 허용할 수 없는 NBTI 열화를 나타내고 있다.
- <69> 즉, 확산 방지층으로서 SiN층을 이용해도, 배리어 메탈층을 Ta 또는 Ti의 순금속을 이용하여 제작하면, NBTI 열화를 억제할 수 있다.
- <70> 상술한 실험에서는, 측벽 스페이서로서 약 20nm 두께의 SiN층과 약 80nm 두께의 도핑되지 않은 실리콘이트 유리층의 적층을 이용했다. 측벽 스페이서를 산화 실리콘 단층으로 제작한 경우의 영향을 조사했다.
- <71> 도 4의 (a)는 샘플의 구성을 개략적으로 나타낸다. 측벽 스페이서(17)는 약 130nm 두께의 도핑되지 않은 실리콘이트 유리로 형성되어 있다. 배리어 메탈층(26)은 약 25nm 두께의 Ta 순금속층으로 형성되어 있다. 확산 방지층(29)은 약 70nm 두께의 SiN층으로 형성되어 있다.

- <72> 도 4의 (b)에 샘플의 종류를 나타낸다. 도 1의 (a)에 나타낸 바와 같이 측벽 스페이서를 SiN층(15)과 도핑되지 않은 실리케이트 유리층(16)의 적층으로 형성하고, 배리어 메탈층(26)을 25nm 두께의 Ta층으로 형성한 샘플 snd와, 도 4의 (a)에 나타낸 바와 같이 측벽 스페이서를 단층의 도핑되지 않은 실리케이트 유리층(17)으로 형성하고, 배리어 메탈층(26)을 25nm 두께의 Ta층으로 형성한 샘플 sns를 이용하여 NBTI 열화를 측정했다.
- <73> 도 4의 (c)는 측정 결과를 나타낸다. 측벽 스페이서를 SiN층과 도핑되지 않은 실리케이트 유리층의 적층으로 형성된 샘플 snd는 NBTI 열화가 억제되어 허용 범위 내로 들어간다.
- <74> 이에 대해, 측벽 스페이서를 단층의 도핑되지 않은 실리케이트 유리층(17)으로 형성한 샘플은 NBTI 열화가 증대되어 허용 범위를 넘는다.
- <75> 배리어 메탈에 Ta 순금속층을 이용해도, 측벽 스페이서를 산화 실리콘 단층으로 하면, NBTI 열화가 생기는 것을 알 수 있다.
- <76> 상술한 실험에서, NBTI 열화는 동배선 형성 후에 SiN 확산 방지층을 형성한 경우에 생긴다. SiN 확산 방지층은 소스 가스로서 시란(SiH₄)과 암모니아(NH₃)를 이용하여 플라즈마 CVD (PCVD)에 의해 제작된다. SiN층 성장 조건을 변경하고, 시란 유량을 반감하여 SiN층을 형성한 샘플을 제작했다. 이 시란량을 반감한 SiN층을 이용한 샘플을 snh로 나타낸다.
- <77> 도 5의 (a)는 종래의 A1 배선을 이용한 샘플 p, 동배선 상에 종래의 SiN층을 형성한 샘플 sn, 시란 유량을 반감시킨 조건으로 SiN층을 형성한 샘플 snh 및 확산 방지층으로서 SiC층을 이용한 샘플 sc의 측정 결과를 나타낸다.
- <78> 예를 들면, Novellus사 Concept Two Sequel에서의 SiN막의 성막에 있어서의 SiN₄/NH₃ 가스 유량비는, 1) (스탠다드) 11.1%, 2) (3/4) 7.7%, 3) (1/2) 5.9%이다. 종래는 스탠다드 조건으로 SiN막을 성막하고 있었다. 상술한 시란 유량을 반감시킨 조건은, SiN₄/NH₃ 가스 유량비를 6% 이하로 한 조건이다.
- <79> 종래의 SiN층을 이용한 샘플 sn이 큰 NBTI 열화를 나타내고 있는 것에 비해, 다른 3개의 샘플은 모두 NBTI 열화가 억제되어 있는 것을 알 수 있다. SiN층을 시란 유량을 감소시킨 조건으로 제작하면, NBTI 열화를 생기게 하는 효과가 감소하는 것을 알 수 있다.
- <80> 도 5의 (b)는 샘플 sc, snh, sn의 확산 방지층의 푸리에 분광 측정 결과를 나타낸다. 도면 중에서 횡축은 파수(波數)를 단위 cm⁻¹로 나타내고, 종축은 흡수를 정규화한 임의의 단위로 나타낸다. Si-H의 흡수를 나타내는 파수 220cm⁻¹의 피크가, 샘플 sn에서는 명료한 것에 비해, 샘플 sc 및 snh에서는 극히 작아진다.
- <81> 또한, N-H의 흡수를 나타내는 파수 3400cm⁻¹부근의 피크는, 샘플 snh에서 가장 현저하고, 샘플 sn에서는 약간 약하다. 샘플 sc에서는 전혀 관찰되지 않는다. 이들 결과로부터 추측하면, NBTI 열화는 Si-H 결합의 농도에 영향을 받고 있을 가능성이 강하다. 시란 유량을 반감시켜 성막한 SiN막은 스탠다드 조건으로 성막한 SiN막과 분명히 다른 특성을 나타내고 있다.
- <82> 상술한 실험에서, 측벽 스페이서를 도핑되지 않은 실리케이트 유리층 단층으로 형성하면, NBTI 열화가 생기기 쉽다는 것을 알았다. 측벽 스페이서를 단층의 산화 실리콘층으로 형성하고, 확산 방지층으로서 SiC층을 이용한 경우 NBTI 열화가 어떻게 되는지를 조사했다.
- <83> 도 6의 (a)는 샘플의 구성을 개략적으로 나타낸다. 도면의 구성은 도 4의 (a)에 나타낸 구성과 마찬가지로이다. 배리어 메탈층(26)으로서는 약 25nm 두께의 Ta층을 이용했다. 확산 방지층(29)으로서는 약 70nm 두께의 SiC층을 이용했다. 이 샘플을 sc로 나타낸다.
- <84> 도 6의 (b)는 측정 결과를 나타낸다. 확산 방지층에 약 70nm 두께의 SiN층을 이용한 샘플 sn과, 시란 유량을 반감하여 SiN층을 형성한 샘플 snh의 데이터를 겹쳐 나타낸다. 측벽 스페이서를 단층의 산화 실리콘층으로 형성해도, 확산 방지 절연층으로서 SiC를 이용한 샘플 sc는 NBTI 열화가 억제된다.
- <85> 통상의 SiN층 및 시란 유량을 저감하여 제작한 SiN층을 이용한 샘플 sn, snh는, NBTI 열화가 억제될 수 없어 허용 범위를 넘는다. 시란 유량을 저감하여 제작한 SiN층은, 질화 실리콘층과 산화 실리콘층의 적층 측벽 스페이서와 조합하면, NBTI 열화 억제에 유효했지만, 측벽 스페이서를 단층의 산화 실리콘층으로 하면 NBTI 열화가 생겨 버린다.

- <86> 이상의 실험 결과를 종합하면, 확산 방지 절연층으로서 SiN층 대신에 SiC층을 이용하면, NBTI 열화가 억제될 수 있는 것을 알 수 있다.
- <87> 측벽 스페이서를, 단층의 산화 실리콘층이 아니라 질화 실리콘층과 산화 실리콘층의 적층으로 형성한 경우, 동배선의 배리어 메탈층으로서 Ta나 Ti의 순금속층을 이용함으로써, NBTI 열화를 억제할 수 있다.
- <88> 또한, 측벽 스페이서를 질화 실리콘층과 산화 실리콘층의 적층으로 형성한 경우, 확산 방지 절연층으로서 시란 유량을 저감한 SiN층으로 형성함으로써, NBTI 열화를 억제할 수 있다.
- <89> 도 7은 확산 방지층을 형성한 후의 온도 처리에 의해서, NBTI 열화가 어떻게 변화하는지를 나타내는 그래프이다. 점선은 확산 방지 절연층을 SiC층으로 형성한 경우의 측정 결과를 나타낸다. 확산 방지층을 SiC층으로 형성하면, 그 후의 어닐링 온도에 관계없이 NBTI 열화는 증대하지 않는다. 확산 방지층을 SiN층으로 형성한 샘플 sn은 어닐링 온도가 약 340℃를 넘으면, NBTI 열화가 증대하는 것을 알 수 있다. SiN으로 확산 방지 절연층을 형성한 후, 340℃ 이상의 열처리를 행하면, NBTI 열화를 회피하기 어렵다는 것을 알 수 있다.
- <90> 도 8은 상술한 실험 결과를 고려하여 설계된 반도체 장치의 구성을 개략적으로 나타낸 도면이다. 실리콘 기판(11)의 표면에는, 소자 분리용 홈이 형성되고 산화막이 매워져 셸로우 트렌치 아이솔레이션(12)이 형성되어 있다.
- <91> 셸로우 트렌치 아이솔레이션(12)으로 확장된 활성 영역 내에, 질소를 함유하는 산화막으로 형성된 게이트 절연막(13), 실리콘 게이트 전극(14)에 의해 절연 게이트 전극이 형성되어 있다. 게이트 전극의 측벽은 단층의 산화 실리콘층으로 형성된 측벽 스페이서(17)에 의해 덮여져 있다.
- <92> 게이트 전극, 측벽 스페이서를 덮어, SiN층으로 형성된 에칭 스톱퍼층(20)이 형성되어 있다. 에칭 스톱퍼층(20)을 덮도록, 포스포실리케이트 유리로 형성된 층간 절연막(21)이 제작된다. 층간 절연막(21)의 표면으로부터 트랜지스터에 이르는 접속 홈을 형성하고, Ti층, TiN층, W층을 적층하고, 불필요한 부분을 CMP로 제거하는 것에 의해 텅스텐 플러그(22)가 형성되어 있다.
- <93> 층간 절연막(21) 위에, 저유전을 절연(등록상표 SiLK)층(24), 산화 실리콘층(25)의 적층으로 절연층이 형성되어 있다. 이 적층 절연층(25, 24)을 관통하도록 트렌치가 형성되고, 배리어 메탈층(26), 동배선층(27)이 매워져 있다.
- <94> 이 동배선층을 덮도록, SiC로 형성된 확산 방지 절연층(29)이 형성되고, 그 위에 산화 실리콘층(40), 저유전을 절연(등록상표 SiLK)층(41), 산화 실리콘층(42)의 층간 절연막이 형성되어 있다. 이 층간 절연막에, 듀얼 다마신 구조의 트렌치 및 비어 홀(via hole)이 형성되고, 배리어 메탈층(44), 동배선층(45)이 매워져 있다.
- <95> 확산 방지층(29)으로서 SiC층을 이용함으로써, NBTI 열화가 억제되고, 드레인 전류의 열화 ΔI_{ds} 를 억제할 수 있다.
- <96> 또한, 도 8의 (b)에 나타난 바와 같이, 게이트 절연막을 제 1 게이트 절연막(13-1), 제 2 게이트 절연막(13-2)의 적층 구조로 해도 좋다. 적층 구조를 채용하는 경우, 예를 들면 제 1 게이트 절연막(13-1)을 산화 실리콘층으로 형성하고, 제 2 게이트 절연막(13-2)을 유전율이 높은 질화 실리콘층, 산화 hafnium(hafnium)(HfO₂)층 등으로 형성해도 좋다. 또한, 처음에는 산화 실리콘층 또는 질화 산화 실리콘층을 형성하고, 표면을 더 질화함으로써 질소 농도가 높은 제 2 질화 산화 실리콘층(13-2)과 질소 농도가 낮은 질화 산화 실리콘층 또는 산화 실리콘층(13-1)으로 게이트 절연막을 구성해도 좋다.
- <97> 또한, NBTI 열화는 p채널 MOS 트랜지스터에서 현저하게 생기는 현상이다. CMOS 회로를 형성하는 경우, n채널 MOS 트랜지스터와 p채널 MOS 트랜지스터는 일부의 프로세스를 공통으로 하여 제작된다. 이하, CMOS 회로를 제조하는 공정에 대하여 설명한다.
- <98> 도 9의 (a)에 나타난 바와 같이, 실리콘 기판(11)의 표면에 트렌치를 형성하고, 산화 실리콘층을 매워 셸로우 트렌치 아이솔레이션(12)을 제작한다. 또한, 소자 분리 영역으로서 LOCOS 층을 이용해도 좋다. 이온 주입을 행함으로써 소망 영역에 n웰 Wn 및 p웰 Wp를 제작한다.
- <99> 도 9의 (b)에 나타난 바와 같이, 반도체 기판 표면 상에, 제 1 게이트 절연층(13-1), 제 2 게이트 절연층(13-2)을 형성하고, 게이트 절연층(13)을 제작한다. 제 1 게이트 절연층(13-1)이 산화 실리콘층인 경우, 이 제 1 게이트 절연층(13-1)은 열산화에 의해 형성될 수 있다. 제 2 게이트 절연층(13-2)은 예를 들면 CVD에 의해 형성한 다른 종류의 절연층이다. 제 2 게이트 절연층(13-2)을 질화 공정 등에 의해 형성할 수도 있다. 게이트

절연층(13) 위에, 다결정 실리콘층(14)을 CVD에 의해 퇴적한다.

- <100> 도 9의 (c)에 나타난 바와 같이, 다결정 실리콘층(14) 위에 포토 레지스트 패턴 PR을 제작하고, 다결정 실리콘층(14), 게이트 절연층(13)을 에칭한다. 에칭 후 포토 레지스트 패턴 PR이 제거된다. 레지스트 패턴과 게이트 전극을 마스크로 하여 p웰 Wp 및 n웰 Wn에 대하여 각각 별개의 이온 주입을 행하여 LDD 영역을 형성한다.
- <101> 도 10의 (d)에 나타난 바와 같이, 산화 실리콘층을 퇴적하고, 이방성 에칭을 행함으로써, 절연 게이트 전극의 측벽 상에 측벽 스페이서(17)를 남긴다. 그 후, n웰 Wn 및 p웰 Wp에 대하여 각각 별개의 이온 주입을 행하고, 고불순물 농도의 소스/드레인 영역(18p 및 18n)을 제작한다. 이 이온 주입에 의해, 다결정 게이트 전극(14)도 불순물이 첨가되어, p형 다결정 게이트 전극(14p) 및 n형 다결정 게이트 전극(14n)이 된다.
- <102> 도 10의 (e)에 나타난 바와 같이, 예를 들면 Co층을 표면에 퇴적하고, 열처리를 행함으로써 실리콘층 표면에 실리콘사이드층(19)을 형성한다. 미반응 금속층은 제거된다. 그 후 기판 전면(全面)에 SiN층의 에칭 스톱퍼층(20)을 CVD에 의해 제작한다.
- <103> 도 10의 (f)에 나타난 바와 같이, 에칭 스톱퍼층(20)을 더도록 예를 들면 포스포실리케이트 유리의 층간 절연층(21)을 형성하고, 표면을 평탄화한다. 층간 절연층(21)의 표면으로부터 콘택트 홀(contact hole)을 형성하고, W층을 매워 도전성 플러그(22)를 제작한다. 층간 절연층(21) 표면 상의 금속층을 제거하고, 더 윗층의 절연층(23)을 형성한다. 절연층(23)에 트렌치를 형성하고, 배리어 메탈층(26), 동배선층(27)을 퇴적하여 동배선을 형성한다. 절연층(23) 표면 상의 금속층을 제거한 후, SiC층으로 형성된 동화산 방지 절연층(29)을 형성한다. 또한, 더 윗층 배선층을 임의 층수 형성할 수 있다.
- <104> 이상 실시예를 따라 본 발명을 설명했지만, 본 발명은 이들에 제한되는 것은 아니다. 예를 들면 각종 변경, 개량, 조합이 가능하다는 것은 당업자에게 자명할 것이다.
- <105> 이하, 본 발명의 특징을 부기한다.
- <106> (부기 1) (1) n형 영역을 갖는 실리콘 기판과,
- <107> 상기 n형 영역 상에, 질소를 포함하는 산화 실리콘을 이용하여 형성된 게이트 절연막과,
- <108> 붕소를 함유하는 실리콘을 이용하여, 상기 게이트 절연막 상에 형성된 게이트 전극과,
- <109> 상기 게이트 전극 양측의 상기 실리콘 기판 내에 형성된 p형 소스/드레인 영역과,
- <110> 산화 실리콘을 이용하여, 상기 게이트 전극의 측벽 상에 형성된 측벽 스페이서와,
- <111> 상기 게이트 전극, 측벽 스페이서를 덮어, 평탄화된 표면을 갖는 층간 절연막과,
- <112> 상기 층간 절연막의 평탄화된 표면으로부터 내부로 향하여 형성된 배선용 요부(凹部)와,
- <113> 상기 요부를 매우는, 하부의 배리어층과 그 위의 동(銅)영역을 포함하는 동(銅)배선과,
- <114> 상기 동배선을 덮어, 상기 층간 절연막 상에 형성된 산화 실리콘층을 갖는 반도체 장치.
- <115> (부기 2) (2) 상기 측벽 스페이서가 단층의 산화 실리콘층으로 형성된 부기 1에 기재된 반도체 장치.
- <116> (부기 3) (3) 상기 측벽 스페이서가 질화 실리콘층과 그 위의 산화 실리콘층의 적층을 포함하는 부기 1에 기재된 반도체 장치.
- <117> (부기 4) (4) 상기 게이트 절연막의 산화 실리콘이 1 at% 이상의 질소를 함유하는 부기 1~3 중 어느 하나에 기재된 반도체 장치.
- <118> (부기 5) (5) 상기 층간 절연막이, 최하층으로서 질화 실리콘으로 형성된 에칭 스톱퍼층을 포함하는 부기 1~4 중 어느 하나에 기재된 반도체 장치.
- <119> (부기 6) (6) 상기 게이트 절연막이, 산화 실리콘층과 질화 실리콘층의 적층, 표면에서 질소 농도를 높인 질소를 함유하는 산화 실리콘층, 질소를 함유하는 산화 실리콘층과 질화 실리콘보다 유전율이 높은 산화물층의 적층, 질화 실리콘층과 질화 실리콘보다 유전율이 높은 산화물층의 적층 중 어느 것인가를 포함하는 부기 1~4 중 어느 하나에 기재된 반도체 장치.
- <120> (부기 7) (7) n형 영역을 갖는 실리콘 기판과,

- <121> 상기 n형 영역 상에, 질소를 함유하는 산화 실리콘을 이용하여 형성된 게이트 절연막과,
- <122> 붕소를 함유하는 실리콘을 이용하여, 상기 게이트 절연막 상에 형성된 게이트 전극과,
- <123> 상기 게이트 전극 양측의 상기 실리콘 기판 내에 형성된 p형 소스/드레인 영역과,
- <124> 산화 실리콘층과 질화 실리콘층의 적층을 이용하여, 상기 게이트 전극의 측벽 상에 형성된 측벽 스페이서와,
- <125> 상기 게이트 전극, 측벽 스페이서를 덮어, 평탄화된 표면을 갖는 층간 절연막과,
- <126> 상기 층간 절연막의 평탄화된 표면으로부터 내부로 향하여 형성된 배선용 요부와,
- <127> 상기 요부를 매우는, Ta 또는 Ti로 형성된 하부 배리어층과 그 위의 동(銅)영역을 포함하는 동배선을 갖는 반도체 장치.
- <128> (부기 8) (8) n형 영역을 갖는 실리콘 기판 위에, 질소를 함유하는 산화 실리콘을 이용한 게이트 절연막과, 붕소를 함유하는 실리콘을 이용한 게이트 전극을 형성하는 공정과,
- <129> 상기 게이트 전극 양측의 상기 실리콘 기판 내에 p형 소스/드레인 영역을 형성하는 공정과,
- <130> 상기 게이트 전극의 측벽 상에 산화 실리콘을 이용하여 측벽 스페이서를 형성하는 공정과,
- <131> 상기 게이트 전극, 측벽 스페이서를 덮어, 평탄화된 표면을 갖는 층간 절연막을 형성하는 공정과,
- <132> 상기 층간 절연막의 평탄화된 표면으로부터 내부로 향하여 요부를 형성하고, 그 요부 내에 하부의 배리어층과 그 위의 동영역을 포함하는 동배선을 매우는 공정과,
- <133> 상기 동배선을 덮어, 상기 층간 절연막 상에 탄화 실리콘층을 형성하는 공정과,
- <134> 상기 실리콘 기판을 340℃ 이상의 온도로 열처리하는 공정을 포함하는 반도체 장치의 제조 방법.
- <135> (부기 9) (9) n형 영역을 갖는 실리콘 기판과,
- <136> 상기 n형 영역 상에, 유전율이 다른 2층 이상의 적층 구조로 형성된 게이트 절연막과,
- <137> 붕소를 함유하는 실리콘을 이용하여, 상기 게이트 절연막 상에 형성된 게이트 전극과,
- <138> 상기 게이트 전극 양측의 상기 실리콘 기판 내에 형성된 p형 소스/드레인 영역과,
- <139> 상기 게이트 전극을 덮어, 평탄화된 표면을 갖는 층간 절연막과,
- <140> 상기 층간 절연막의 평탄화된 표면으로부터 내부로 향하여 형성된 배선용 요부와,
- <141> 상기 요부를 매우는 동배선과,
- <142> 상기 동배선의 위 또는 밑에 형성된 질소를 함유하지 않은 동(銅)의 확산 방지 절연막을 갖는 반도체 장치.
- <143> (부기 10) (10) 상기 게이트 절연막이 질소 함유량이 1 at% 미만의 하층 절연막과 질소 함유량이 1 at% 이상의 상층 절연막을 포함하는 부기 9에 기재된 반도체 장치.
- <144> (부기 11) (a) n형 영역을 갖는 실리콘 기판의 상기 n형 영역 상에 질소를 함유하는 산화 실리콘을 이용한 게이트 절연막을, 상기 게이트 절연막 상에 붕소를 함유하는 실리콘을 이용한 게이트 전극을, 상기 게이트 전극 양측의 상기 실리콘 기판 내에 p형 소스/드레인 영역을, 상기 게이트 전극의 측벽 상에 산화 실리콘을 이용한 측벽 스페이서를 형성하여, 절연 게이트형 트랜지스터를 구성하는 공정과,
- <145> (b) 상기 절연 게이트형 트랜지스터를 덮어, 평탄화된 제 1 표면을 갖는 제 1 층간 절연막과 평탄화된 제 2 표면을 갖는 제 2 층간 절연막을 형성하는 공정과,
- <146> (c) 상기 제 1 표면으로부터 상기 절연 게이트형 트랜지스터에 이르는 홀 부분과 상기 제 2 표면으로부터 상기 홀 부분에 이르는 요부를 형성하는 공정과,
- <147> (d) 상기 홀 부분 내에 도전성 접속부를, 상기 요부 내에 하부의 배리어층과 그 위의 동층을 포함하는 동배선을 형성하는 공정과,
- <148> (e) 상기 동배선을 덮어, 상기 제 2 층간 절연막 상에 탄화 실리콘층을 형성하는 공정을 포함하는 반도체 장치의 제조 방법.

- <149> (부기 12) 상기 공정 (b), (c), (d)가,
- <150> (x1) 상기 제 1층간 절연막을 형성하는 공정과,
- <151> (x2) 상기 홀 부분을 형성하는 공정과,
- <152> (x3) 상기 도전성 접속부를 형성하는 공정과,
- <153> (x4) 상기 제 2 층간 절연막을 형성하는 공정과,
- <154> (x5) 상기 요부를 형성하는 공정과,
- <155> (x6) 상기 동배선을 형성하는 공정을
- <156> 포함하는 부기 11에 기재된 반도체 장치의 제조 방법.
- <157> (부기 13) 상기 공정 (d)가, 상기 홀 부분과 상기 요부에 상기 배리어층과 상기 동층을 매우는 공정을 포함하는 부기 11에 기재된 반도체 장치의 제조 방법.
- <158> (부기 14) (a) n형 영역을 갖는 실리콘 기판의 상기 n형 영역 상에 질소를 함유하는 산화 실리콘을 이용한 게이트 절연막을, 상기 게이트 절연막 상에 붕소를 함유하는 실리콘을 이용한 게이트 전극을, 상기 게이트 전극 양측의 상기 실리콘 기판 내에 p형 소스/드레인 영역을, 상기 게이트 전극의 측벽 상에 산화 실리콘층과 질화 실리콘층의 적층을 이용한 측벽 스페이서를 형성하여, 절연 게이트형 트랜지스터를 구성하는 공정과,
- <159> (b) 상기 절연 게이트형 트랜지스터를 덮어, 평탄화된 제 1 표면을 갖는 제 1 층간 절연막과 평탄화된 제 2 표면을 갖는 제 2 층간 절연막을 형성하는 공정과,
- <160> (c) 상기 제 1 표면으로부터 상기 절연 게이트형 트랜지스터에 이르는 홀 부분과 상기 제 2 표면으로부터 상기 홀 부분에 이르는 요부를 형성하는 공정과,
- <161> (d) 상기 홀 부분 내에 도전성 접속부를, 상기 요부 내에 Ta 또는 Ti로 형성된 하부의 배리어층과 그 위의 동층을 포함하는 동배선을 형성하는 공정을
- <162> 포함하는 반도체 장치의 제조 방법.
- <163> (부기 15) (e) 상기 동배선을 덮어, 상기 제 2 층간 절연막 상에 탄화 실리콘층을 형성하는 공정을
- <164> 더 포함하는 부기 14에 기재된 반도체 장치의 제조 방법.
- <165> (부기 16) 상기 공정 (b), (c), (d)가,
- <166> (x1) 상기 제 1 층간 절연막을 형성하는 공정과,
- <167> (x2) 상기 홀 부분을 형성하는 공정과,
- <168> (x3) 상기 도전성 접속부를 형성하는 공정과,
- <169> (x4) 상기 제 2 층간 절연막을 형성하는 공정과,
- <170> (x5) 상기 요부를 형성하는 공정과,
- <171> (x6) 상기 동배선을 형성하는 공정을
- <172> 포함하는 부기 14 또는 15에 기재된 반도체 장치의 제조 방법.
- <173> (부기 17) 상기 공정 (d)가, 상기 홀 부분과 상기 요부에 상기 배리어층과 상기 동층을 매우는 공정을 포함하는 부기 14 또는 15에 기재된 반도체 장치의 제조 방법.
- <174> (부기 18) (a) n형 영역을 갖는 실리콘 기판의 상기 n형 영역 상에 질소를 포함하는 산화 실리콘을 이용한 게이트 절연막을, 상기 게이트 절연막 상에 붕소를 함유하는 실리콘을 이용한 게이트 전극을, 상기 게이트 전극 양측의 상기 실리콘 기판 내에 p형 소스/드레인 영역을, 상기 게이트 전극의 측벽 상에 산화 실리콘을 이용한 측벽 스페이서를 형성하여, 절연 게이트형 트랜지스터를 구성하는 공정과,
- <175> (b) 상기 절연 게이트형 트랜지스터를 덮어, 평탄화된 제 1 표면을 갖는 제 1 층간 절연막을 형성하는 공정과,
- <176> (c) 상기 제 1 표면으로부터 상기 절연 게이트형 트랜지스터에 이르는 홀 부분을 형성하는 공정과,

- <177> (d) 상기 홀 부분 내에 도전성 접속부를 형성하는 공정과,
- <178> (e) 상기 도전성 접속부를 덮어, 평탄화된 제 2 표면을 갖는 제 2 층간 절연막을 형성하는 공정과,
- <179> (f) 상기 제 2 표면으로부터 상기 홀 부분에 이르는 요부를 형성하는 공정과,
- <180> (g) 상기 요부 내에 하부의 배리어층과 그 위의 동영역을 포함하는 동배선을 매우는 공정과,
- <181> (h) 상기 동배선을 덮어, 상기 층간 절연막 상에 탄화 실리콘층을 형성하는 공정과,
- <182> (i) 상기 실리콘 기판을 340℃이상의 온도에서 열처리하는 공정을
- <183> 포함하는 반도체 장치의 제조 방법.
- <184> (부기 19) (a) n형 영역을 갖는 실리콘 기판의 상기 n형 영역 상에 유전율이 다른 2층 이상의 적층 구조로 형성된 게이트 절연막을, 상기 게이트 절연막 상에 붕소를 함유하는 실리콘을 이용한 게이트 전극을, 상기 게이트 전극 양측의 상기 실리콘 기판 내에 p형 소스/드레인 영역을 형성하여, 절연 게이트형 트랜지스터를 구성하는 공정과,
- <185> (b) 상기 절연 게이트형 트랜지스터를 덮어, 평탄화된 제 1 표면을 갖는 제 1 층간 절연막과 평탄화된 제 2 표면을 갖는 제 2 층간 절연막을 형성하는 공정과,
- <186> (c) 상기 제 1 표면으로부터 상기 절연 게이트형 트랜지스터에 이르는 홀 부분과 상기 제 2 표면으로부터 상기 홀 부분에 이르는 요부를 형성하는 공정과,
- <187> (d) 상기 홀 부분 내에 도전성 접속부를, 상기 요부 내에 하부의 배리어층과 그 위의 동층을 포함하는 동배선을 형성하는 공정과,
- <188> (e) 상기 동배선의 위 또는 밑에 질소를 함유하지 않은 동(銅)의 확산 방지 절연막을 형성하는 공정을
- <189> 포함하는 반도체 장치의 제조 방법.
- <190> (부기 20) 상기 공정 (b), (c), (d)가,
- <191> (x1) 상기 제 1 층간 절연막을 형성하는 공정과,
- <192> (x2) 상기 홀 부분을 형성하는 공정과,
- <193> (x3) 상기 도전성 접속부를 형성하는 공정과,
- <194> (x4) 상기 제 2 층간 절연막을 형성하는 공정과,
- <195> (x5) 상기 요부를 형성하는 공정과,
- <196> (x6) 상기 동배선을 형성하는 공정을
- <197> 포함하는 부기 19에 기재된 반도체 장치의 제조 방법.

발명의 효과

<198> 이상 설명한 바와 같이, 본 발명에 의하면 NBTI 열화를 억제한 반도체 장치가 제공된다.

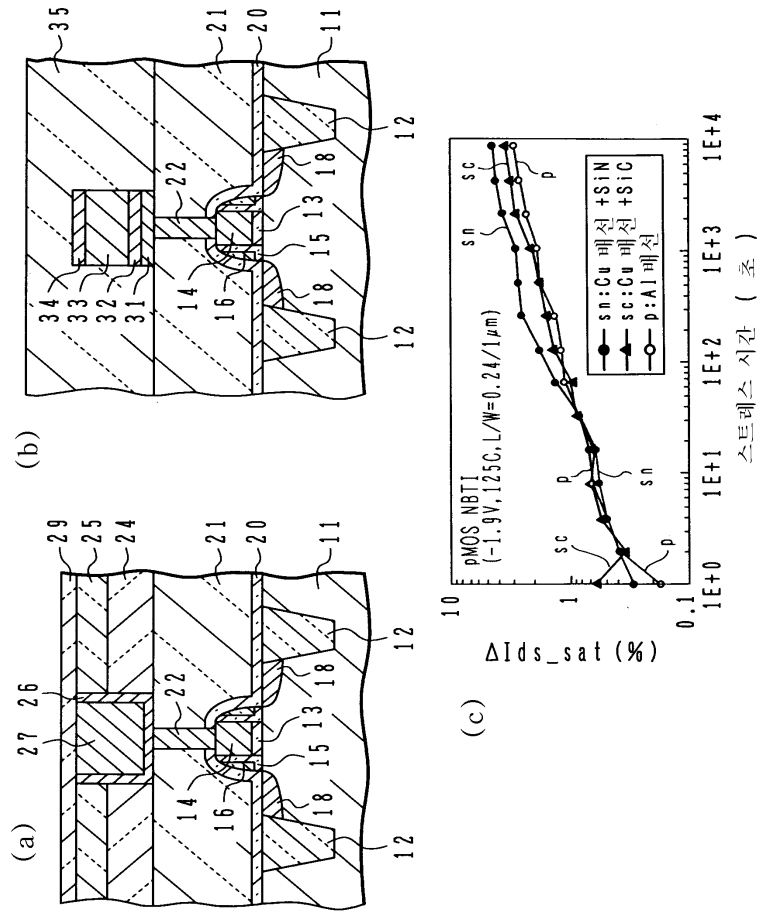
도면의 간단한 설명

- <1> 도 1은 실험에 이용한 샘플의 구성을 나타내는 단면도 및 측정 결과를 나타내는 그래프.
- <2> 도 2는 실험에 이용한 샘플의 구성을 나타내는 단면도 및 측정 결과를 나타내는 그래프.
- <3> 도 3은 실험에 이용한 샘플의 구성을 나타내는 단면도 및 측정 결과를 나타내는 그래프.
- <4> 도 4는 실험에 이용한 샘플의 구성을 나타내는 단면도 및 측정 결과를 나타내는 그래프.
- <5> 도 5는 측정 결과를 나타내는 그래프.
- <6> 도 6은 실험에 이용한 샘플의 구성을 나타내는 단면도 및 측정 결과를 나타내는 그래프.
- <7> 도 7은 실험 결과를 나타내는 그래프.

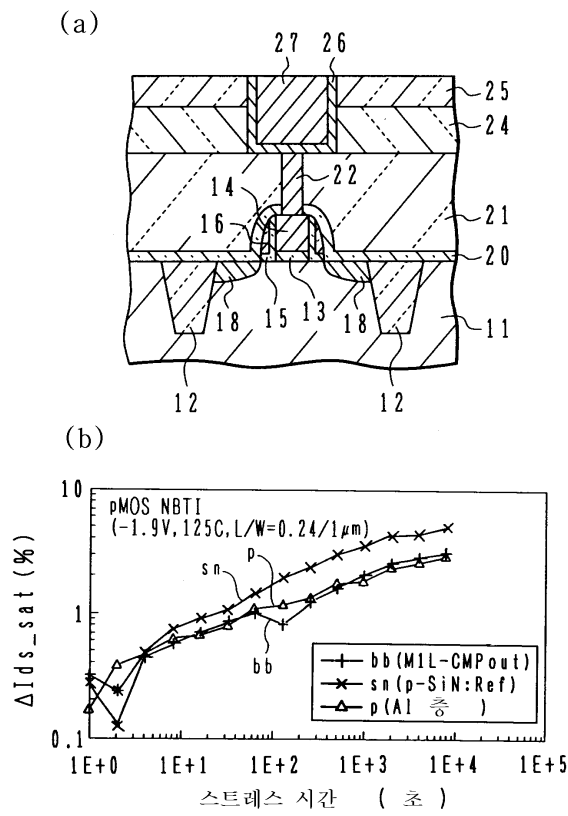
- <8> 도 8은 실시예에 따른 반도체 장치의 구성을 개략적으로 나타내는 단면도.
- <9> 도 9는 실시예에 따른 반도체 장치의 제조 공정을 나타내는 개략 단면도.
- <10> 도 10은 실시예에 따른 반도체 장치의 제조 공정을 나타내는 개략 단면도.
- <11> *도면의 주요 부분에 대한 부호의 설명*
- <12> 11 : 실리콘 기판
- <13> 12 : 셸로우 트렌치 아이솔레이션
- <14> 13 : 게이트 절연층
- <15> 14 : 게이트 전극
- <16> 15 : 질화 실리콘층(적층 측벽 스페이서)
- <17> 16 : 산화 실리콘층(적층 측벽 스페이서)
- <18> 17 : 산화 실리콘층(단층 측벽 스페이서)
- <19> 18 : 소스/드레인 영역
- <20> 20 : 질화 실리콘층(에칭 스톱퍼)
- <21> 21 : 층간 절연막
- <22> 22 : 텅스텐 플러그
- <23> 24, 25 : 절연층
- <24> 26 : 배리어 메탈층
- <25> 27 : 동층(銅層)
- <26> 29 : 동(銅)확산 방지 절연층

도면

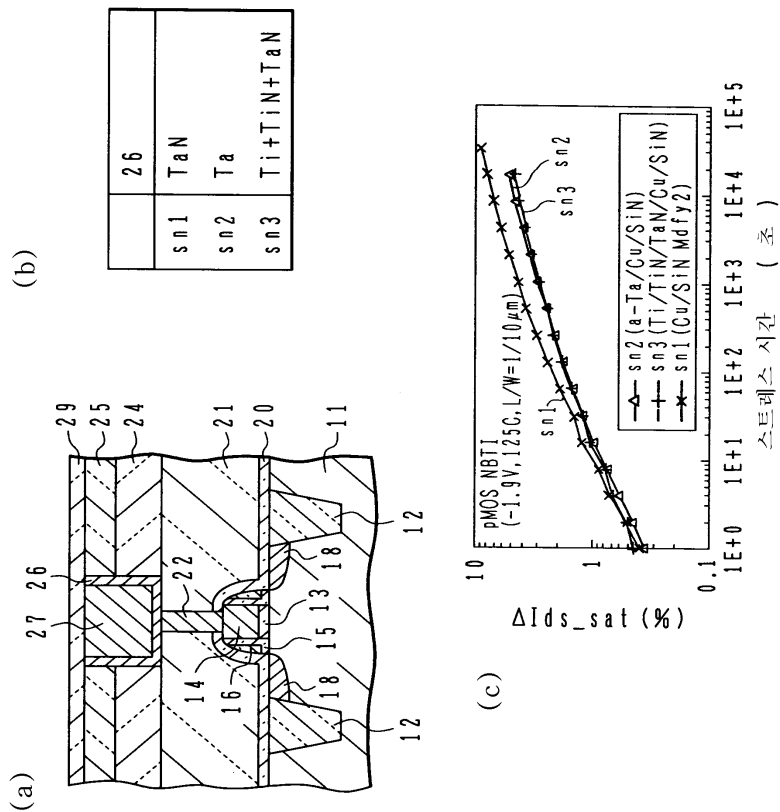
도면1



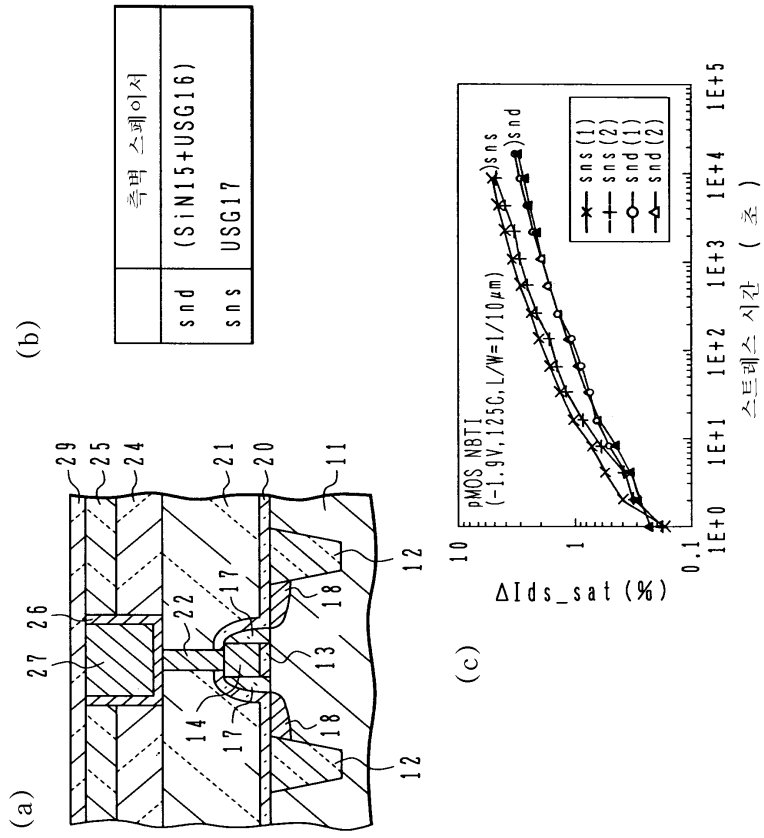
도면2



도면3

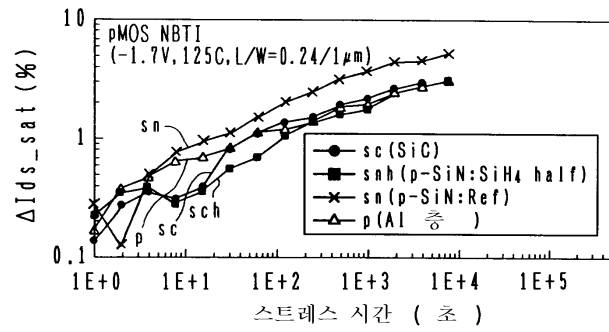


도면4

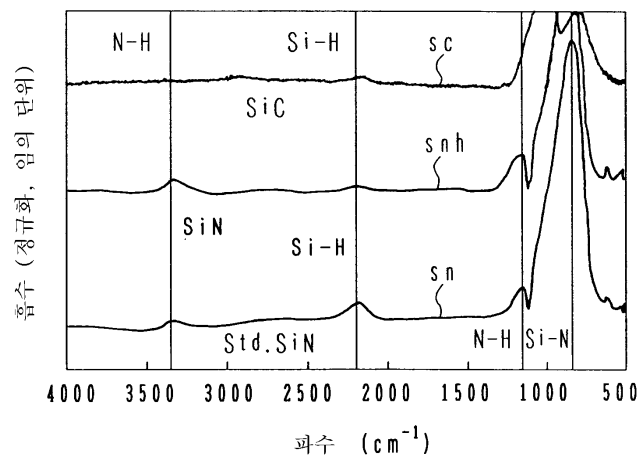


도면5

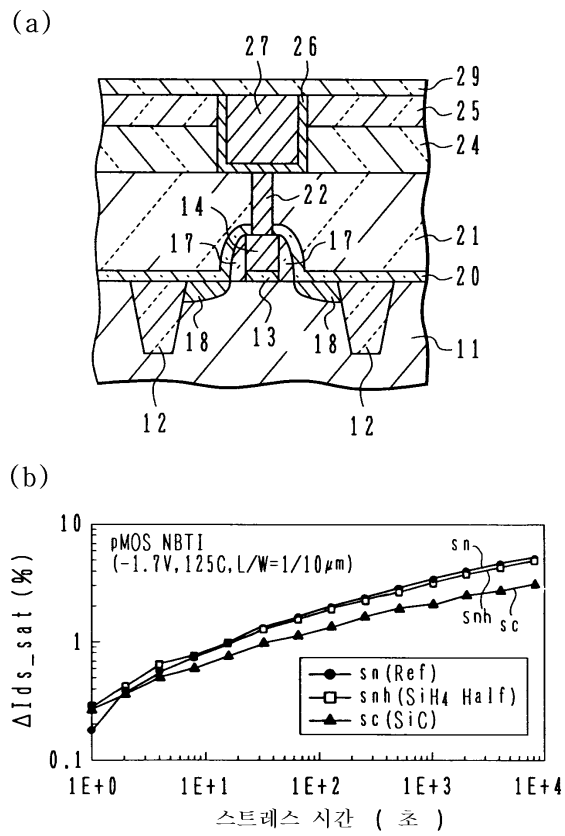
(a)



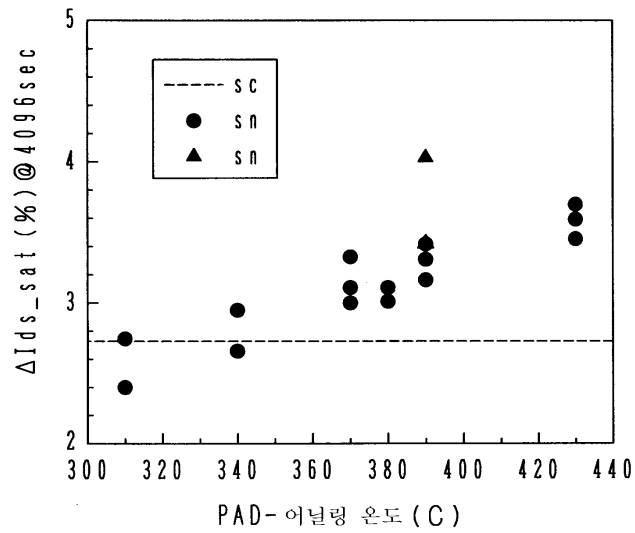
(b)



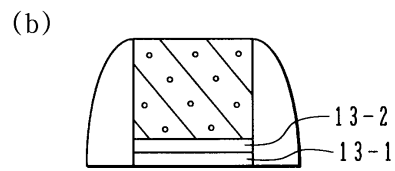
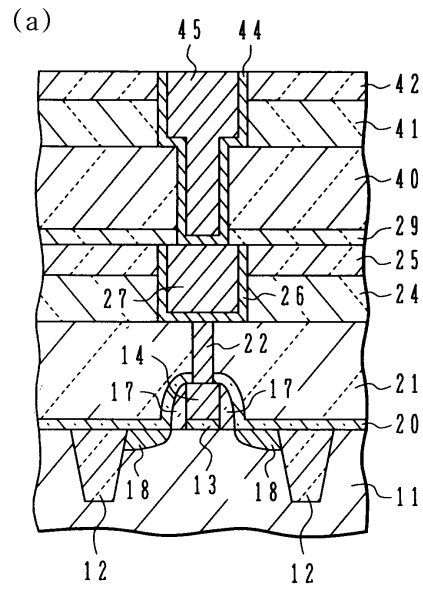
도면6



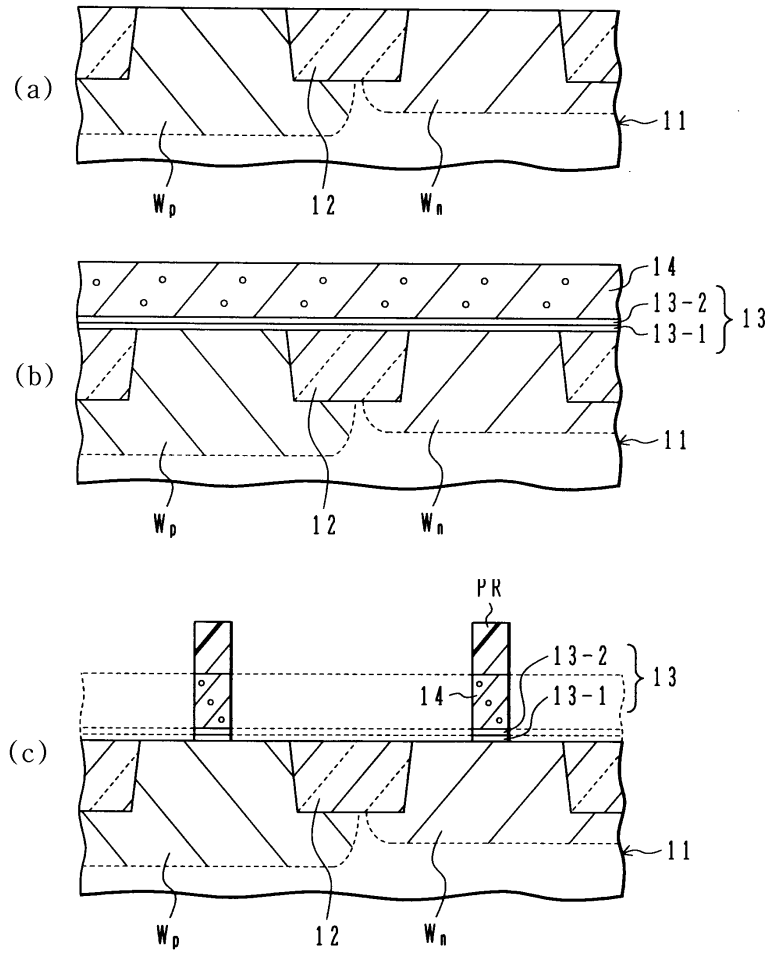
도면7



도면8



도면9



도면10

