

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4597295号  
(P4597295)

(45) 発行日 平成22年12月15日(2010.12.15)

(24) 登録日 平成22年10月1日(2010.10.1)

(51) Int.Cl. F I  
 H O 1 L 29/786 (2006.01) H O 1 L 29/78 6 1 7 T  
 H O 1 L 21/318 (2006.01) H O 1 L 29/78 6 1 9 A  
 H O 1 L 21/318 B

請求項の数 19 (全 40 頁)

(21) 出願番号	特願平11-366281	(73) 特許権者	000153878
(22) 出願日	平成11年12月24日(1999.12.24)		株式会社半導体エネルギー研究所
(65) 公開番号	特開2000-243974(P2000-243974A)		神奈川県厚木市長谷398番地
(43) 公開日	平成12年9月8日(2000.9.8)	(72) 発明者	山崎 舜平
審査請求日	平成18年12月20日(2006.12.20)		神奈川県厚木市長谷398番地 株式会社
(31) 優先権主張番号	特願平10-370170		半導体エネルギー研究所内
(32) 優先日	平成10年12月25日(1998.12.25)	審査官	河本 充雄
(33) 優先権主張国	日本国(JP)	(56) 参考文献	特開平8-18053(JP, A)
			特開平8-254713(JP, A)
			特開平4-177765(JP, A)

最終頁に続く

(54) 【発明の名称】 半導体装置およびその作製方法

(57) 【特許請求の範囲】

【請求項1】

ソース領域と、ドレイン領域と、前記ソース領域とドレイン領域の間に配置されたチャネル形成領域と、を有する半導体膜と、

前記半導体膜のチャネル形成領域に接して形成されたボロン元素を含む窒化珪素膜からなるゲート絶縁膜と、

前記ゲート絶縁膜に接して形成されたゲート電極と、を有することを特徴とする半導体装置。

【請求項2】

ソース領域と、ドレイン領域と、前記ソース領域とドレイン領域の間に配置されたチャネル形成領域と、を有する半導体膜と、

前記半導体膜のチャネル形成領域に接して形成された第1のゲート絶縁膜と、

前記第1のゲート絶縁膜に接して形成されたボロン元素を含む窒化珪素膜からなる第2のゲート絶縁膜と、

前記第2のゲート絶縁膜に接して形成されたゲート電極と、を有することを特徴とする半導体装置。

【請求項3】

請求項2において、

前記第1のゲート絶縁膜は積層構造を有することを特徴とする半導体装置。

【請求項4】

10

20

ソース領域と、ドレイン領域と、前記ソース領域とドレイン領域の間に配置されたチャネル形成領域と、を有する半導体膜を有する半導体装置であって、  
絶縁表面を有する基板上に形成されたゲート電極と、  
前記ゲート電極上に形成されたボロン元素を含む窒化珪素膜からなるゲート絶縁膜と、  
前記ゲート絶縁膜上に形成された前記チャネル形成領域と、を有することを特徴とする半導体装置。

【請求項 5】

ソース領域と、ドレイン領域と、前記ソース領域とドレイン領域の間に配置されたチャネル形成領域と、を有する半導体膜を有する半導体装置であって、  
絶縁表面を有する基板上に形成されたゲート電極と、  
前記ゲート電極上に形成されたボロン元素を含む窒化珪素膜からなる第 1 のゲート絶縁膜と、  
前記第 1 のゲート絶縁膜上に形成された第 2 のゲート絶縁膜と、  
前記第 2 のゲート絶縁膜上に形成された前記チャネル形成領域と、を有することを特徴とする半導体装置。

10

【請求項 6】

ソース領域と、ドレイン領域と、前記ソース領域とドレイン領域の間に配置されたチャネル形成領域と、を有する半導体膜を有する半導体装置であって、  
絶縁表面を有する基板上に形成されたゲート電極と、  
前記ゲート電極上に形成されたボロン元素を含む窒化珪素膜からなる第 1 のゲート絶縁膜と、  
前記第 1 のゲート絶縁膜上に形成された第 2 のゲート絶縁膜と、  
前記第 2 のゲート絶縁膜上に形成された前記チャネル形成領域と、  
前記チャネル形成領域上に形成されたボロン元素を含む窒化珪素膜からなる保護膜と、  
を有することを特徴とする半導体装置。

20

【請求項 7】

請求項 5 又は請求項 6 において、  
前記第 2 のゲート絶縁膜は積層構造を有することを特徴とする半導体装置。

【請求項 8】

請求項 1 乃至請求項 7 のいずれか一項において、  
前記ボロン元素を含む窒化珪素膜中の前記ボロン元素の組成比率は 0 . 1 ~ 5 0 a t o m s % であることを特徴とする半導体装置。

30

【請求項 9】

請求項 1 乃至請求項 7 のいずれか一項において、  
前記ボロン元素を含む窒化珪素膜中の前記ボロン元素の組成比率は 0 . 1 ~ 1 0 a t o m s % であることを特徴とする半導体装置。

【請求項 10】

絶縁表面を有する基板上にゲート電極を形成し、  
前記ゲート電極上にボロン元素を含む窒化珪素膜からなるゲート絶縁膜を形成し、  
前記ゲート絶縁膜上に半導体膜を形成することを特徴とする半導体装置の作製方法。

40

【請求項 11】

絶縁表面を有する基板上にゲート電極を形成し、  
前記ゲート電極上にボロン元素を含む窒化珪素膜からなる第 1 のゲート絶縁膜を形成し、  
前記第 1 のゲート絶縁膜上に第 2 のゲート絶縁膜を形成し、  
前記第 2 のゲート絶縁膜上に半導体膜を形成することを特徴とする半導体装置の作製方法。

【請求項 12】

請求項 11 において、

50

前記第2のゲート絶縁膜は積層構造を有することを特徴とする半導体装置の作製方法。

【請求項13】

絶縁表面を有する基板上に半導体膜を形成し、

前記半導体膜上にボロン元素を含む窒化珪素膜からなるゲート絶縁膜を形成し、

前記ゲート絶縁膜上にゲート電極を形成することを特徴とする半導体装置の作製方法。

【請求項14】

絶縁表面を有する基板上に半導体膜を形成し、

前記半導体膜上に第1のゲート絶縁膜を形成し、

前記第1のゲート絶縁膜上にボロン元素を含む窒化珪素膜からなる第2のゲート絶縁膜を形成し、

前記第2のゲート絶縁膜上にゲート電極を形成することを特徴とする半導体装置の作製方法。

【請求項15】

請求項14において、

前記第1のゲート絶縁膜は積層構造を有することを特徴とする半導体装置の作製方法。

【請求項16】

請求項10乃至請求項15のいずれか一項において、

前記ボロン元素を含む窒化珪素膜中の前記ボロン元素の組成比率は0.1～50atom %であることを特徴とする半導体装置の作製方法。

【請求項17】

請求項10乃至請求項15のいずれか一項において、

前記ボロン元素を含む窒化珪素膜中の前記ボロン元素の組成比率は0.1～10atom %であることを特徴とする半導体装置の作製方法。

【請求項18】

請求項10乃至請求項17のいずれか一項において、

前記ボロン元素を含む窒化珪素膜は、前記ボロン元素を含むガスと不活性ガスとからなる雰囲気内において、半導体ターゲットを用いたスパッタリングを行うことにより形成することを特徴とする半導体装置の作製方法。

【請求項19】

請求項10乃至請求項17のいずれか一項において、

前記ボロン元素を含む窒化珪素膜は、前記ボロン元素を含むガスと不活性ガスとからなる雰囲気内において、

半導体ターゲットを用いて、前記ボロン元素の含有比率を連続的または段階的に変化させてスパッタリングを行うことにより形成することを特徴とする半導体装置の作製方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、非晶質半導体薄膜を結晶化して形成された結晶質半導体膜を利用した半導体装置の作製方法に関するものであり、特に半導体装置の信頼性を向上させる方法に関する。本発明の半導体装置は、薄膜トランジスタ(Thin Film Transistor: TFT)やMOSトランジスタ等の素子だけでなく、これら絶縁ゲート型トランジスタで構成された半導体回路を有する表示装置やイメージセンサ等の電気光学装置をも含むものである。加えて、本発明の半導体装置は、これらの表示装置および電気光学装置を搭載した電子機器をも含むものである。

【0002】

【従来の技術】

近年、ガラス基板等の上にTFTを形成して半導体回路を構成する技術が急速に進んでいる。そのような半導体回路としてはアクティブマトリクス型液晶表示装置のような電気光学装置が代表的である。

10

20

30

40

50

## 【 0 0 0 3 】

アクティブマトリクス型液晶表示装置とは、同一基板上に画素マトリクス回路とドライバー回路とを設けたモノシリック型表示装置である。さらにメモリ回路やクロック発生回路等のロジック回路を内蔵したシステムオンパネルの開発も進められている。

## 【 0 0 0 4 】

アクティブマトリクス型液晶表示装置のドライバー回路やロジック回路は高速動作を行う必要があるため、活性層として非晶質珪素膜（アモルファスシリコン膜）を用いることは不適当である。そのため、現状では結晶質珪素膜（ポリシリコン膜）を活性層としたTFTが主流になりつつある。

## 【 0 0 0 5 】

## 【発明が解決しようとする課題】

TFTは透明なガラス基板に形成することができるので、アクティブマトリクス型表示装置への応用開発が積極的に進められてきた。ポリシリコン膜を利用したTFTは高移動度が得られるので、同一基板上に機能回路を集積させて高精細な画像表示を実現することが可能とされている。

## 【 0 0 0 6 】

アクティブマトリクス型表示装置は画面の解像度が高精細になるに従い、画素だけでも100万個のTFTが必要になってくる。さらに機能回路を付加すると、それ以上の数のTFTが必要となり、液晶表示装置を安定に動作させるためには、個々のTFTの信頼性を確保して安定に動作させる必要があった。

## 【 0 0 0 7 】

このようなアクティブマトリクス型表示装置において、特に、熱伝導性が悪く保温性がよい基板（例えばガラス基板）上にTFTを設けた場合、周辺駆動回路のTFTには大きな電圧及び電流が印加されるため、半導体層が発熱してTFTの信頼性を著しく低下させていた。

## 【 0 0 0 8 】

本発明は上記問題点を鑑みて成されたものであり、絶縁表面上に設けられたTFTを駆動させる際に発生する熱を迅速に拡散して、半導体装置全体を均熱化させる技術を提供することを課題とする。

## 【 0 0 0 9 】

## 【課題を解決するための手段】

上述の課題を解決するために、本発明は、低温で成膜でき、生産性にも優れたスパッタ法を用いて熱伝導性の優れた絶縁膜（ $\text{SiBxNy}$ ： $x > 0$ 、 $y > 0$ ）を半導体素子または半導体装置の絶縁膜として用いることを特徴としている。本発明の絶縁膜（ $\text{SiBxNy}$ ）は、ボロン元素を0.1～50atoms %又は1～50atoms %、望ましくは0.1～10atoms %含有しているため高い熱伝導性を有しており、半導体装置の熱による特性劣化を防止する効果を有している。さらに、本発明の絶縁膜（ $\text{SiBxNy}$ ）はナトリウム等の可動イオンに対してブロッキング効果を有するので、基板等からこれらのイオンが半導体装置中、特にチャネル形成領域に侵入することを防止する効果も有している。

## 【 0 0 1 0 】

本明細書で開示する本発明の構成は、絶縁表面上に形成されたゲート電極と、前記ゲート電極上にゲート絶縁膜と、前記ゲート絶縁膜上に接して、ソース領域と、ドレイン領域と、前記ソース領域とドレイン領域の間に形成されたチャネル形成領域と、を有する半導体装置において、前記ゲート絶縁膜は、ボロン元素を含む窒化珪素膜を一層有することを特徴とする半導体装置である。

## 【 0 0 1 1 】

また、他の本発明の構成は、絶縁表面上に接して、ソース領域と、ドレイン領域と、前記ソース領域とドレイン領域の

10

20

30

40

50

間に形成されたチャネル形成領域と、  
前記チャネル形成領域上にゲート絶縁膜と、  
前記ゲート絶縁膜上に接してゲート電極と、を有する半導体装置において、  
前記ゲート絶縁膜は、ボロン元素を含む窒化珪素膜を一層有することを特徴とする半導体装置である。

【0012】

また、他の本発明の構成は、  
絶縁表面上に形成された絶縁膜と、前記絶縁膜上に形成された半導体素子とを備えた半導体装置において、  
前記絶縁膜はボロン元素を含む窒化珪素膜であることを特徴とする半導体装置である。

10

【0013】

また、他の本発明の構成は、  
絶縁表面上に形成された半導体素子と、半導体素子を保護する絶縁膜とを備えた半導体装置において、  
前記絶縁膜はボロン元素を含む窒化珪素膜であることを特徴とする半導体装置。

【0014】

上記各構成において、前記窒化珪素膜中のボロン元素の組成比率は0.1～50atoms %  
又は1～50atoms %、望ましくは0.1～10atoms %であることを特徴としている。

【0015】

また、本願発明を実施する上での作製方法に関する本発明の構成は、  
不活性ガスを含む雰囲気中において、一導電型を付与する元素が添加された半導体ターゲットを用いたスパッタリングを行ない、窒化珪素膜を形成する工程を有することを特徴とする半導体装置の作製方法である。

20

【0016】

上記作製方法において、前記不活性ガスを含む雰囲気は、アンモニアを含むことを特徴としている。

【0017】

また、上記作製方法において、前記一導電型を付与する元素とは、ボロン元素であることを特徴としている。

【0018】

また、作製方法に関する他の本発明の構成は、  
ボロン元素を含むガスと不活性ガスとからなる雰囲気中において、半導体ターゲットを用いたスパッタリングを行ない、ボロン元素を含む窒化珪素膜を形成する工程を有することを特徴とする半導体装置の作製方法である。

30

【0019】

上記作製方法において、前記不活性ガスは、アルゴン元素を含むガスであることを特徴としている。

【0020】

また、上記作製方法において、前記雰囲気中のボロン元素の含有比率を連続的または段階的に変化させてスパッタリングを行うことを特徴としている。

40

【0021】

また、作製方法に関する他の本発明の構成は、  
絶縁表面上にゲート電極を形成する工程と、  
前記ゲート電極上にボロン元素を含む窒化珪素膜からなるゲート絶縁膜を形成する工程と、  
前記ゲート絶縁膜上に半導体薄膜を形成する工程とを有する半導体装置の作製方法である。

【0022】

また、作製方法に関する他の本発明の構成は、  
絶縁表面上に半導体薄膜を形成する工程と、

50

前記半導体薄膜上にボロン元素を含む窒化珪素膜からなるゲート絶縁膜を形成する工程と、  
前記ゲート絶縁膜上にゲート電極を形成する工程とを有する半導体装置の作製方法である。

【0023】

【本発明の実施の形態】

本実施の形態を図1を用いて説明する。ここでは、スパッタ法による絶縁膜( $\text{SiBxNy}$ )からなるゲート絶縁膜を備えたボトムゲート型TFTおよびその作製方法について説明する。

【0024】

まず、基板101を用意する。基板101としては、ガラス基板、石英基板、結晶性ガラスなどの絶縁性基板、セラミックス基板、半導体基板、プラスチック基板(ポリエチレンテレフレート基板)等を用いることができる。

【0025】

次いで、基板101上にスパッタ法を用いて形成した導電材料からなる導電膜をパターンニングしてゲート配線(ゲート電極を含む)102を形成する。ゲート配線102の材料としては、導電性材料または半導体材料を主成分とする材料、例えばTa(タンタル)、Mo(モリブデン)、Ti(チタン)、W(タングステン)、クロム(Cr)等の金属材料、これら金属材料とシリコンとの化合物であるシリサイド、N型又はP型の導電性を有するポリシリコン等の材料、低抵抗金属材料Cu(銅)、Al(アルミニウム)等を主成分とする材料層を少なくとも一層有する構造であれば特に限定されることなく用いることができる。

【0026】

次いで、基板101及びゲート電極102上に窒化珪素膜( $\text{SiBxNy}$ )103aをスパッタ法により形成する。

【0027】

本発明の実施に用いられるスパッタ装置は基本的に、チャンバーと、チャンバー内を真空にする排気系と、スパッタ用のガスをチャンバーに導入するガス導入系と、ターゲットやRF電極からなる電極系と、電極系に接続されたスパッタリング電源とから構成されている。なお、スパッタ用のガスとしては、Ar、He、Ne、N等の不活性元素から選ばれた一種または複数種からなるガスを用いる。また、スパッタの条件(スパッタ用のガス、ガス流量、成膜圧力、基板の温度、成膜電力等)は、ターゲットの大きさ、基板の寸法、窒化珪素膜( $\text{SiBxNy}$ )の膜厚、窒化珪素膜( $\text{SiBxNy}$ )の膜質等を考慮して実施者が適宜決定すればよい。また、RF電力に代えてDC電力を使用することも可能である。

【0028】

本発明は、この窒化珪素膜( $\text{SiBxNy}$ )103aの形成方法を特徴の一つとしており、その形成方法としては以下に示すように2つの方法がある。

【0029】

本発明の第1の形成方法は、窒素( $\text{N}_2$ )またはアンモニア( $\text{NH}_3$ )を含む雰囲気中において、単結晶シリコンにボロン元素を添加したターゲットを用いたスパッタリング方法である。なお、本発明においては、ボロン元素が好ましくは $1 \times 10^{17} \text{ cm}^{-3}$ 以上添加された単結晶または多結晶の半導体ターゲットを用いる。また、このターゲットのボロン元素含有量を変えることで、窒化珪素膜( $\text{SiBxNy}$ )中におけるボロン元素の組成比を変えることができる。また、同時に複数のターゲット、例えば、ボロン元素を添加したターゲットと、他の一導電型を付与する不純物(例えばガリウム(Ga))を添加したターゲットとを用いることで、さらに複雑な組成比を有する絶縁膜を得ることができる。

【0030】

また、本発明の第2の形成方法は、不活性ガス(例えばアルゴン:Ar)とボロン元素を含有したガス(例えばジボラン: $\text{B}_2\text{H}_6$ )を用いた雰囲気中において、単結晶シリコン

10

20

30

40

50

からなるターゲットを用いたスパッタリング方法である。また、ボロン元素を含有したガス量を変えることで、窒化珪素を主成分とする絶縁膜 ( $\text{SiB}_x\text{N}_y$ ) の組成比を変えることができる。また、雰囲気中のボロン元素含有比率を連続的または段階的に変化させて、ボロン元素の濃度勾配を膜中に持たせる構成としてもよい。

#### 【0031】

上記第1の形成方法または第2の形成方法を用いることによって、膜中にボロン元素を0.1~50atoms %又は1~50atoms %、望ましくは0.1~10atoms %含有し、高い熱伝導性を有する窒化珪素膜 ( $\text{SiB}_x\text{N}_y$ ) 103aを形成することができる。この窒化珪素膜 ( $\text{SiB}_x\text{N}_y$ ) 103aは、ボロン元素を含んでいるため、従来の窒化珪素膜 ( $\text{SiN}$ ) と比較して、高い熱伝導性を有している。勿論、この窒化珪素膜 ( $\text{SiB}_x\text{N}_y$ ) は、十分な絶縁性を有していることは言うまでもない。特に、窒化珪素膜 ( $\text{SiB}_x\text{N}_y$ ) をゲート電極に接して形成すると、TF Tを駆動させる際に発生する熱を迅速に拡散しやすいため、半導体装置全体を均熱化させることを効果的に行うことができる。

10

#### 【0032】

次いで、絶縁膜103b、非晶質半導体膜104を順次大気開放しないで積層形成した。(図1(B))こうすることにより、界面の汚染を防ぐことができる。ここでは、絶縁膜103aと絶縁膜103bとの二層の絶縁膜をゲート絶縁膜として採用しているが、単層または三層以上の積層構造としてもよい。

#### 【0033】

非晶質半導体膜104としては、珪素を含む非晶質半導体膜、例えば非晶質珪素膜、微結晶を有する非晶質半導体膜、微結晶珪素膜、非晶質ゲルマニウム膜、 $\text{SixGe}_{1-x}$  ( $0 < x < 1$ ) で示される非晶質シリコンゲルマニウム膜またはこれらの積層膜を10~80nm、より好ましくは15~60nmの膜厚範囲で用いることができる。絶縁膜103b及び非晶質半導体膜104の形成手段としては熱CVD法、プラズマCVD法、減圧熱CVD法、蒸着法、スパッタ法等の形成方法を用いることができる。

20

#### 【0034】

次いで、非晶質半導体膜104の結晶化処理を行い、結晶質半導体膜105を形成する。(図1(C))結晶化処理としては、公知の如何なる手段、例えば熱結晶化処理、赤外光または紫外光の照射による結晶化処理(以下レーザー結晶化と呼ぶ)、触媒元素を用いた熱結晶化処理等、またはこれらの結晶化処理を組み合わせた処理を用いることができる。

30

#### 【0035】

こうして得られた結晶質半導体膜105を活性層として利用して、ボトムゲート型TF Tを作製する。なお、ここでは、結晶質半導体膜105を活性層として利用したが、結晶化を行わずに非晶質半導体膜を活性層として利用して、ボトムゲート型TF Tを作製してもよい。また、以降の工程は、公知の作製方法に従い作製すればよいので詳細な説明は省略する。

#### 【0036】

ここでは、膜中にボロン元素を0.1~50atoms %又は1~50atoms %、望ましくは0.1~10atoms %含有し、高い熱伝導性を有する絶縁膜 ( $\text{SiB}_x\text{N}_y$ ) をボトムゲート型TF Tのゲート絶縁膜の一層として用いた例を示したが、絶縁膜であれば特に限定されず、例えば、下地膜、層間絶縁膜、マスク絶縁膜、チャネル保護膜、保護膜等に用いることができる。加えて、トップゲート型TF Tに利用される絶縁膜、例えば、下地膜、ゲート絶縁膜、マスク絶縁膜、層間絶縁膜、保護膜等に用いることも可能である。また、順スタガ型TF Tに利用される絶縁膜にも適用することが可能である。このように、本発明はTF T構造に関係なく適用することができる。

40

#### 【0037】

こうして、膜中にボロン元素を0.1~50atoms %又は1~50atoms %、望ましくは0.1~10atoms %含有し、高い熱伝導性を有する窒化珪素膜 ( $\text{SiB}_x\text{N}_y$ ) を絶縁膜として利用した半導体装置は、TF Tを駆動させる際に発生する熱を迅速に拡散して、半導体装置全体を均熱化させることができるため、従来と比較して高い信頼性を備えるこ

50

とができる。

【0038】

【実施例】

以下に本発明の実施例を説明するが、特にこれらの実施例に限定されないことは勿論である。

【0039】

〔実施例1〕 以下、図1～3を用いて、本発明の実施例を詳細に説明する。

【0040】

まず、基板101としてガラス基板（コーニング1737；歪点667）を用意した。次いで、基板101上に積層構造（簡略化のため図示しない）のゲート配線（ゲート電極を含む）102を形成した。本実施例では、スパッタ法を用いて窒化タンタル膜（膜厚50nm）とタンタル膜（膜厚250nm）を積層形成し、公知のパターニング技術であるフォトリソグラフィ法を用いて積層構造を有するゲート配線（ゲート電極を含む）102を形成した。

【0041】

次いで、スパッタ法により膜厚範囲が1～1000nm、好ましくは10～100nmであるボロン元素を含む窒化珪素膜（ $\text{SiB}_x\text{N}_y$ ）103aを形成する。（図1（A））本実施例では、窒素（ $\text{N}_2$ ）またはアンモニア（ $\text{NH}_3$ ）を含む雰囲気中において、ボロン元素が添加された単結晶シリコンのターゲットを用いたスパッタリングを行い、膜厚50nmの窒化珪素膜（ $\text{SiB}_x\text{N}_y$ ）を形成した。また、アルゴンとジボラン（ $\text{B}_2\text{H}_6$ ）を用いた雰囲気中において、単結晶シリコンからなるターゲットを用いたスパッタリング方法を用いて窒化珪素膜（ $\text{SiB}_x\text{N}_y$ ）を形成してもよい。こうして得られた窒化珪素膜（ $\text{SiB}_x\text{N}_y$ ）は、ボロン元素を0.1～50atoms%又は1～50atoms%、望ましくは0.1～10atoms%含有しているため高い熱伝導性を有しており、半導体装置の熱による特性劣化を防止する効果を有している。さらに、この窒化珪素膜はナトリウム等の可動イオンに対してブロッキング効果を有するので、基板等からこれらのイオンが半導体装置中、特にチャネル形成領域に侵入することを防止する効果も有している。

【0042】

次いで、絶縁膜103b、非晶質半導体膜104を順次大気開放しないで積層形成した。（図1（B））本実施例では酸化珪素膜103b（膜厚125nm）をプラズマCVD法により積層形成し、積層構造のゲート絶縁膜とした。本実施例では二層の絶縁膜をゲート絶縁膜として採用しているが、単層または三層以上の積層構造としてもよい。また、本実施例ではゲート絶縁膜上に非晶質半導体膜104として、膜厚54nmの非晶質珪素膜（アモルファスシリコン膜）をプラズマCVD法により形成した。なお、いずれの層の界面にも大気からの汚染物質が付着しないようにするため順次大気開放せずに積層形成した。その後、半導体膜の結晶化を妨げる非晶質珪素膜中の水素濃度を低減するための加熱処理（500℃、1時間）を行った。

【0043】

こうして図1（B）の状態が得られたら、非晶質半導体膜104に対して赤外光または紫外光の照射による結晶化（レーザー結晶化）を行い結晶質半導体膜（結晶を含む半導体膜）105を形成した。（図1（C））結晶化技術として紫外光を用いる場合はエキシマレーザー光または紫外光ランプから発生する強光を用いればよく、赤外光を用いる場合は赤外線レーザー光または赤外線ランプから発生する強光を用いればよい。本実施例ではKrFエキシマレーザー光を線状にビーム形成して照射した。なお、照射条件としては、パルス周波数が30Hz、オーバーラップ率は96%、レーザーエネルギー密度は100～500mJ/cm<sup>2</sup>であり本実施例では360mJ/cm<sup>2</sup>とした。なお、レーザー結晶化の条件（レーザー光の波長、オーバーラップ率、照射強度、パルス幅、繰り返し周波数、照射時間等）は、非晶質半導体膜104の膜厚、基板温度等を考慮して実施者が適宜決定すればよい。なお、レーザー結晶化の条件によっては、初期半導体膜が熔融状態を経過して結晶化する場合や、初期半導体膜が熔融せずに固相状態、もしくは固相と液相の中間状態で結晶化す

10

20

30

40

50

る場合がある。この工程により非晶質半導体膜 104 は結晶化され、結晶質半導体膜 105 に変化する。本実施例において結晶質半導体膜とは多結晶珪素膜（ポリシリコン膜）である。

#### 【0044】

次に、こうして形成された結晶質半導体 105 上にチャネル形成領域を保護する絶縁膜（後にチャネル保護膜となる）106 を形成した。本実施例では酸化珪素膜（膜厚 200 nm）を形成した。次いで、裏面からの露光を用いたパターニング（レジスト膜の成膜、露光、現像）によって、絶縁膜 106 に接してレジストマスク 107 を形成した。（図 1（D））裏面からの露光によるレジストマスクの形成はマスクを必要としないため、製造マスク数を低減することができる。図示したようにレジストマスクの大きさは光の回り込みによって、わずかにゲート配線の幅より小さくなった。

10

#### 【0045】

次いで、レジストマスク 107 をマスクに用いて絶縁膜 106 をエッチングして、チャネル保護膜 108 を形成した後、レジストマスク 107 を除去した。（図 1（E））この工程により、チャネル保護膜 108 と接する領域以外の結晶質珪素膜の表面を露呈させた。このチャネル保護膜 108 は、後のドーピング工程でチャネル形成領域となる領域にドーパントが添加されることを防ぐ役目を果たす。また、本実施例ではチャネル保護膜 108 として酸化珪素膜を用いたが、酸化珪素膜に代えて本発明のボロン元素を含む窒化珪素膜（SiBxNy）を用いて半導体装置の熱による特性劣化を防止する構成としてもよい。

20

#### 【0046】

次いで、フォトリソマスクを用いたパターニングによって n チャネル型 TFT の一部または p チャネル型 TFT を覆うレジストマスク 109 を形成し、表面が露呈された結晶質半導体膜に n 型を付与する不純物元素を添加する工程を行ない、第 1 の不純物領域（n<sup>+</sup> 領域）110a を形成した。（図 2（A））本実施例では、n 型の導電性を付与する不純物としてリン元素を用いた。ドーピングガスとして水素で 1 ~ 10 %（本実施例では 5 %）に希釈したフォスフィン（PH<sub>3</sub>）を用い、ドーズ量  $5 \times 10^{14} \text{ atoms / cm}^2$ 、加速電圧は 10 kV とした。また、上記レジストマスク 109 のパターンを実施者が適宜設定することにより n<sup>+</sup> 型領域の幅が決定され、所望の幅を有する n<sup>-</sup> 型領域、及びチャネル形成領域を得ることが比較的容易にできる。

30

#### 【0047】

次いで、レジストマスク 109 を除去した後、LDD 領域を形成するための絶縁膜 111a を形成した。（図 2（B））本実施例では、絶縁膜 111a として、酸化珪素膜（膜厚 50 nm）をプラズマ CVD 法により形成した。また、本実施例では絶縁膜 111a として酸化珪素膜を用いたが、酸化珪素膜に代えて本発明のボロン元素を含む窒化珪素膜（SiBxNy）を用いて半導体装置の熱による特性劣化を防止する構成としてもよい。

#### 【0048】

次いで、絶縁膜 111a が表面に設けられた結晶質半導体膜に n 型を付与する不純物元素を添加する工程を行ない、第 2 の不純物領域（n<sup>-</sup> 領域）112 を形成した。（図 2（C））ただし、絶縁膜 111a を介してその下の結晶質半導体膜に不純物を添加するために、絶縁膜 111a の膜厚を考慮に入れ、適宜ドーピング条件を設定することが重要である。本実施例ではドーピングガスとして水素で 1 ~ 10 %（本実施例では 5 %）に希釈したフォスフィンを用い、ドーズ量  $3 \times 10^{13} \text{ atoms / cm}^2$ 、加速電圧は 60 kV とした。この絶縁膜 111a を介して不純物元素を添加することにより所望の濃度（SIMS 分析で  $1 \times 10^{18} \sim 1 \times 10^{19} \text{ atoms / cm}^3$ ）の不純物領域を形成することができた。また、こうして形成される第 2 の不純物領域 112 は LDD 領域として機能する。なお、この時、さらに不純物が添加されて第 1 の不純物領域 110b が形成され、チャネル保護膜の直下には真性な結晶質半導体領域が残った。ただし、図示しないが実際には多少チャネル保護膜の内側に回り込んで不純物元素が添加される。

40

#### 【0049】

次いで、フォトリソマスクを用いて n チャネル型 TFT を覆うレジストマスク 114 を形成し

50

、結晶質半導体膜に p 型を付与する不純物元素を添加する工程を行ない、第 3 の不純物領域 (  $p^+$  領域 ) 113 を形成した。(図 2 (D)) 本実施例では p 型を付与する不純物元素として B (ボロン元素) を用いた。ドーピングガスには水素で 1 ~ 10 % に希釈されたジボラン (  $B_2H_6$  ) を用い、ドーズ量  $4 \times 10^{15} \text{atoms} / \text{cm}^2$ 、加速電圧は 30 kV とした。

#### 【0050】

次いで、レジストマスク 114 を除去してレーザーアニールまたは熱アニールによる不純物の活性化処理を行なった後、水素雰囲気中で熱処理 (350、1 時間) を行い、全体を水素化した。その後、公知のパターニング技術により所望の形状を有する活性層を形成した。(図 3 (A)) この時、活性層を覆う絶縁膜 111a もパターニングされて絶縁膜 111b が形成された。

10

#### 【0051】

以上の工程を経て、n チャネル型 TFT のソース領域 115、ドレイン領域 116、低濃度不純物領域 117、118、チャネル形成領域 119 が形成され、p チャネル型 TFT のソース領域 121、ドレイン領域 122、チャネル形成領域 120 が形成された。

#### 【0052】

次いで、n チャネル型 TFT 及び p チャネル型 TFT を覆って、プラズマ CVD 法により膜厚 100 nm の酸化珪素膜と、TEOS と酸素 (  $O_2$  ) を原料ガスに用いた膜厚 940 nm の酸化珪素膜との積層構造の層間絶縁膜 123 を形成した。(図 3 (B)) また、本実施例では層間絶縁膜 123 として酸化珪素膜を用いたが、酸化珪素膜に代えて本発明のボロン元素を含む窒化珪素膜 (  $SiB_xN_y$  ) を用いて半導体装置の熱による特性劣化を防止する構成としてもよい。

20

#### 【0053】

そして、コンタクトホールを形成してソース配線 124、126、ドレイン配線 125、127 を形成して、図 3 (C) に示す状態を得た。最後に水素雰囲気中で熱処理を行い、全体を水素化して n チャネル型 TFT 及び p チャネル型 TFT が完成した。

#### 【0054】

なお、本実施例においては、工程順序を変更し非晶質半導体膜のパターニング後に結晶化処理を行ってもよい。また、本実施例の不純物の添加工程の順序に限定されず、実施者は適宜、不純物の添加工程の順序を変更して不純物領域を形成すればよい。

30

#### 【0055】

[実施例 2] 実施例 1 では、レーザー光によって非晶質珪素膜を結晶化させたが、本実施例では、実施例 1 と異なる方法で非晶質半導体膜の結晶化を行う例を示す。以下、図 4 ~ 6 を用いて本実施例を説明する。

#### 【0056】

まず、実施例 1 と同様に基板 101 上に、ゲート電極 102、ゲート絶縁膜 103a、103b を形成した。(図 4 (A)) ここまでの工程は実施例 1 と同一であるため、符号は図 1 と同じものをを用いた。なお、ゲート絶縁膜 103a は、ボロン元素を含む窒化珪素膜 (  $SiB_xN_y$  ) である。

#### 【0057】

次いで、実施例 1 に従い非晶質珪素膜 104a を形成した。次に、酸素雰囲気中において UV 光を照射することにより非晶質珪素膜 104a の表面に図示しない極薄い酸化膜を形成する。この酸化膜は後に塗布されるニッケルを含んだ溶液の濡れ性を向上させる機能を有する。

40

#### 【0058】

次にニッケルを含有する溶液を非晶質珪素膜 104a 表面に塗布する。ニッケル含有量 (重量換算) は 0.1 ~ 50 ppm、より好ましくは 1 ppm ~ 30 ppm とすればよい。これは、非晶質珪素膜 104a 中のニッケル濃度を  $10^{15} \sim 10^{19} \text{atoms/cm}^3$  のオーダーとするためである。 $10^{15} \text{atoms/cm}^3$  以下であるとニッケルの触媒作用を得られないことができない。 $10^{19} \text{atoms/cm}^3$  程度の濃度であれば、ゲッタリングを実施しない場合でも動作

50

可能な T F T を作製可能であり、ゲッタリング工程を効率良く行うためでもある。なお、上記のニッケルの濃度は S I M S による測定値の最大値で定義される。

【 0 0 5 9 】

本実施例では、ニッケルを 1 0 p p m 含有するニッケル酢酸塩溶液を塗布した。そして、スピンドーターにより基板 1 0 1 を回転して、余分なニッケル酢酸塩溶液を吹き飛ばして除去し、非晶質珪素膜 1 0 4 a の表面に極薄いニッケル含有層 2 0 5 を形成する。(図 4 ( B ) )

【 0 0 6 0 】

図 4 ( B ) に示す状態を得たら、窒素雰囲気中で温度 5 5 0 、4 時間加熱して、非晶質珪素膜 1 0 4 a を結晶化した。この結晶化工程により結晶質珪素膜 2 0 4 b が得られた。この結晶成長はニッケルを添加した非晶質珪素膜 1 0 4 a 表面から基板 1 0 1 の方(縦方向)へ進行するため、本明細書では縦成長と呼ぶことにする(図 4 ( C ) )。なお、本実施例では全面にニッケル含有層を形成する構成としたが、レジスト等を用い選択的にニッケル含有層を形成して基板表面と平行な方向(横方向)へ結晶化を進行させる構成としてもよい。

10

【 0 0 6 1 】

なお、この結晶化工程に従えば粒界を含む多結晶シリコン膜が形成されるが、異なる条件で微結晶状態のシリコン膜を形成することができる。

【 0 0 6 2 】

また、上記加熱処理は電熱炉において 5 0 0 ~ 7 0 0 、より好ましくは 5 5 0 ~ 6 5 0 の温度で行うことができる。この時、加熱温度の上限は耐熱性を考慮して、使用するガラス基板 1 0 1 のガラス歪点より低くすることが必要である。ガラス歪点を超えるとガラス基板の反り、縮み等が顕在化してしまう。また、加熱時間は 1 ~ 1 2 時間程度とすればよい。この加熱処理はファーネスアニール(電熱炉内での加熱処理)によって行われる。なお、ランプアニール等の加熱手段を用いることも可能である。

20

【 0 0 6 3 】

次に、得られた結晶質珪素膜 2 0 4 b に対してレーザー光の照射を行い、結晶性の改善された結晶質珪素膜 2 0 4 c を得る。本実施例では、パルス発振型の K r F エキシマレーザー(波長 2 4 8 n m )を用いた(図 4 ( D ) )。なお、レーザー光の照射前に、溶液の濡れ性を向上させるために形成された極薄い酸化膜を除去してもよい。

30

【 0 0 6 4 】

パルス発振型のレーザーとして、短波長(紫外線領域)の X e C l エキシマレーザーや、長波長の Y A G レーザー等を用いる。本実施例で用いたエキシマレーザーは紫外光を発振するので、被照射領域において瞬間的に熔融固化が繰り返される。そのため、エキシマレーザー光を照射することにより、一種の非平衡状態が形成され、ニッケルが非常に動きやすい状態となる。

【 0 0 6 5 】

また、図 4 ( C ) に示す結晶化工程で得られる結晶質珪素膜 2 0 4 b は非晶質成分が不規則に残存する。しかし、図 4 ( D ) に示すレーザー光の照射によってそのような非晶質成分を完全に結晶化することができるので、結晶質珪素膜 2 0 4 c の結晶性は大幅に改善されている。

40

【 0 0 6 6 】

なお、このレーザー照射工程を省略することは可能であるが、レーザー照射することによって、結晶性の改善の他に、後のゲッタリング工程の効率を向上させるという効果が得られる。レーザー照射後では、結晶性珪素膜 2 0 4 c 中の残留ニッケル濃度の S I M S の最高値は、 $1 \times 10^{19} \sim 2 \times 10^{19} \text{ atoms/cm}^3$  程度である。

【 0 0 6 7 】

上記結晶化工程の後に、結晶質珪素膜中に残存する触媒元素を除去または低減するゲッタリング技術(特開平10-270363 号公報)を用いてもよい。なお、同公報には、リン元素を全面または選択的に添加した後に加熱処理(3 0 0 ~ 7 0 0 、1 ~ 1 2 時間)を行う技

50

術が記載されている。また、高温の硫酸を用いた液相による方法やハロゲン元素を含む気相による方法やボロン元素を添加して加熱する方法を用いる方法を用いてもよい。

【0068】

次いで、実施例1の図1(D)に示した工程と同様に結晶質半導体204c上に膜厚200nmのチャネル形成領域を保護する絶縁膜(後にチャネル保護膜となる)206を形成した。また、本実施例では絶縁膜206として酸化珪素膜を用いたが、酸化珪素膜に代えて本発明のボロン元素を含む窒化珪素膜( $\text{SiB}_x\text{N}_y$ )を用いて半導体装置の熱による特性劣化を防止する構成としてもよい。次いで、裏面からの露光を用いたパターンングによって、絶縁膜206に接してレジストマスク207を形成した。(図4(E))

【0069】

次いで、レジストマスク207をマスクに用いて絶縁膜206をエッチングして、チャネル保護膜208を形成した後、レジストマスク207を除去した。(図4(F))

【0070】

次いで、フォトリソを用いたパターンングによってnチャネル型TFETの一部またはpチャネル型TFETを覆うレジストマスク209を形成し、表面が露呈された結晶質半導体膜にn型を付与する不純物元素(リン)を添加する工程を行ない、第1の不純物領域( $n^+$ 領域)210aを形成した。(図5(A))本実施例では、ドーピングガスとして水素で1~10%(本実施例では5%)に希釈したフォスフィン( $\text{PH}_3$ )を用い、ドーズ量 $5 \times 10^{14} \text{ atoms / cm}^2$ 、加速電圧は10kVとした。

【0071】

次いで、レジストマスク209を除去した後、LDD領域を形成するための制御絶縁膜(本実施例では、膜厚50nmの酸化珪素膜)211aを形成した。(図5(B))本実施例では制御絶縁膜211aとして酸化珪素膜を用いたが、酸化珪素膜に代えて本発明のボロン元素を含む窒化珪素膜( $\text{SiB}_x\text{N}_y$ )を用いて半導体装置の熱による特性劣化を防止する構成としてもよい。

【0072】

次いで、制御絶縁膜211aが表面に設けられた結晶質半導体膜にn型を付与する不純物元素を添加する工程を行ない、第2の不純物領域( $n^-$ 領域)212を形成した。(図5(C))本実施例ではドーピングガスとして水素で1~10%(本実施例では5%)に希釈したフォスフィンを用い、ドーズ量 $3 \times 10^{13} \text{ atoms / cm}^2$ 、加速電圧は60kVとした。この制御絶縁膜211aを介して不純物元素を添加することにより所望の濃度(SIMS分析で $1 \times 10^{18} \sim 1 \times 10^{19} \text{ atoms / cm}^3$ )の不純物領域を形成することができた。また、こうして形成される第2の不純物領域212はLDD領域として機能する。なお、この時、さらに不純物が添加されて第1の不純物領域210bが形成され、チャネル保護膜の直下には真性な結晶質半導体領域が残った。

【0073】

次いで、フォトリソを用いてnチャネル型TFETを覆うレジストマスク214を形成し、結晶質半導体膜にp型を付与する不純物元素を添加する工程を行ない、第3の不純物領域( $p^+$ 領域)213を形成した。(図5(D))本実施例ではドーピングガスには水素で1~10%に希釈されたジボラン( $\text{B}_2\text{H}_6$ )を用い、ドーズ量 $4 \times 10^{15} \text{ atoms / cm}^2$ 、加速電圧は30kVとした。

【0074】

次いで、レジストマスク214を除去して、300~700℃、1~12時間の加熱処理を行ない、ニッケル濃度を低減する技術(特開平8-330602号公報)を本実施例に適用した。本実施例では600℃、8時間の加熱処理を行ない、LDD領域およびチャネル形成領域の内部に残存するニッケルを高濃度不純物領域(ソース領域及びドレイン領域)の方に移動させる。(図6(A))こうしてニッケル濃度が低減されたチャネル形成領域(SIMS分析で $1 \times 10^{18} \text{ atoms / cm}^3$ 以下、好ましくは $1 \times 10^{16} \text{ atoms / cm}^3$ 以下)が得られる。この加熱処理による触媒元素の低減と同時に、ドーピング時の結晶性の損傷の回復、熱アニールによる不純物の活性化処理が行なわれる。加えてファーンেসアニール

10

20

30

40

50

、レーザーアニールまたはランプアニールを行ってもよい。その後、水素雰囲気中で熱処理（350、1時間）を行い、全体を水素化した。

【0075】

その後、公知のパターニング技術により所望の形状を有する活性層を形成した。（図6（B））この時、活性層を覆う絶縁膜211aもパターニングされて絶縁膜211bが形成された。

【0076】

以上の工程を経て、nチャネル型TFETのソース領域215、ドレイン領域216、低濃度不純物領域217、218、チャネル形成領域219が形成され、pチャネル型TFETのソース領域221、ドレイン領域222、チャネル形成領域220が形成された。

10

【0077】

次いで、nチャネル型TFET及びpチャネル型TFETを覆って、プラズマCVD法により膜厚100nmの酸化珪素膜と、TEOSと酸素（O<sub>2</sub>）を原料ガスに用いた膜厚940nmの酸化珪素膜との積層構造の層間絶縁膜223を形成した。（図6（C））本実施例では層間絶縁膜223として酸化珪素膜を用いたが、酸化珪素膜に代えて本発明のボロン元素を含む窒化珪素膜（SiBxNy）を用いて半導体装置の熱による特性劣化を防止する構成としてもよい。

【0078】

そして、コンタクトホールを形成してソース配線224、226、ドレイン配線225、227を形成して、図6（D）に示す状態を得た。最後に水素雰囲気中で熱処理を行い、全体を水素化してnチャネル型TFET及びpチャネル型TFETが完成した。

20

【0079】

【実施例3】 上記実施例1または実施例2の作製工程を用いたnチャネル型TFET及びpチャネル型TFETを備えた半導体装置について、図7（A）～（C）及び図8（A）、（B）を用いてその構造の一例を説明する。

【0080】

なお、本発明にかかる半導体装置は、同一基板上に周辺駆動回路部と画素マトリクス回路部とを備えている。本実施例では図示を容易にするため、周辺駆動回路部の一部を構成するCMOS回路を図7に示し、画素マトリクス回路部の一部を構成する画素TFET（Nチャネル型TFET）を図8に示した。なお、実施例1及び2の作製工程に加え、0.2～0.4μmのパッシベーション膜（保護膜）319を形成した。パッシベーション膜319としては窒素珪素膜、例えばボロン元素を含む窒化珪素膜（SiBxNy）を用いて半導体装置の熱による特性劣化を防止する構成とすることが好ましい。

30

【0081】

図7で示すCMOS回路はインバータ回路とも呼ばれ、半導体回路を構成する基本回路である。このようなインバータ回路を組み合わせたことでNAND回路、NOR回路のような基本論理回路を構成したり、さらに複雑なロジック回路をも構成することができる。

【0082】

図7（A）は図7（B）の上面図に相当する図であり、図7（A）において、点線A-A'で切断した部分が、図7（B）のCMOS回路の断面構造に相当する。また、図7（C）は、図7（A）及び図7（B）に対応するインバータ回路の回路図である。

40

【0083】

図7（B）において、いずれのTFET（薄膜トランジスタ）も基板301上に形成されている。CMOS回路のPチャネル型TFETの場合には、ゲート電極302が形成され、その上にボロン元素を含む窒化珪素膜（SiBxNy）からなる第1絶縁膜303、酸化珪素からなる第2絶縁膜304が設けられている。第2絶縁膜上には、活性層としてp<sup>+</sup>領域312（ドレイン領域）、315（ソース領域）とチャネル形成領域314とが形成される。上記実施例1及び2では工程数を低減するため、Pチャネル型TFETに前記高濃度不純物領域と前記チャネル形成領域の間に低濃度不純物領域（LDD領域）を設けてい

50

いが、作製してもよい。チャネル形成領域 314 は絶縁膜 313 で保護される。なお、 $p^+$  領域 312、315 は活性層と同一パターンニング形状を有する絶縁膜（制御絶縁膜）308 で保護される。絶縁膜 308 の上を覆う第 1 の層間絶縁膜 317 にコンタクトホールが形成され、 $p^+$  領域 312、315 に配線 318、320 が接続され、さらにその上にパッシベーション膜 319 が形成される。簡略化のため図示しないがさらにその上に第 2 の層間絶縁膜が形成され、配線 320 に引き出し配線が接続されて、その上を覆って第 3 の層間絶縁膜が形成される。

#### 【0084】

一方、Nチャネル型の TFT は、活性層として  $n^+$  領域（ソース領域）305、 $n^+$  領域 311（ドレイン領域）と、チャネル形成領域 309 と、前記  $n^+$  型領域とチャネル形成領域の間に  $n^-$  型領域 306、310 が形成される。なお、ドレイン領域に接する  $n^-$  型領域 310 は  $n^-$  型領域 306 より幅を大きく形成して信頼性を向上させた。絶縁膜 308 の上を覆う第 1 の層間絶縁膜 317 にコンタクトホールが形成され、 $n^+$  型領域 305、311 には配線 316、318 が形成され、さらにその上にパッシベーション膜 319 が形成される。簡略化のため図示しないがさらにその上に第 2 の層間絶縁膜が形成され、配線 320 に引き出し配線が接続されて、その上を覆って第 3 の層間絶縁膜が形成される。なお、活性層以外の部分は、上記 Pチャネル型 TFT と概略同一構造であり簡略化のため説明を省略する。307 は 313 と同じ機能を有する絶縁膜である。

#### 【0085】

また、図 8（A）は図 8（B）の上面図に相当する図であり、図 8（A）において、点線 A-A' で切断した部分が、図 8（B）の画素マトリクス回路の断面構造に相当する。

#### 【0086】

画素マトリクス回路に形成された Nチャネル型 TFT については、基本的に、CMOS 回路の Nチャネル型 TFT と同一構造である。基板上 401 にゲート電極 403 が形成され、その上にボロン元素を含む窒化珪素膜（SiBNy）からなる第 1 絶縁膜 402、酸化珪素からなる第 2 絶縁膜 404 が設けられている。第 2 絶縁膜上には、活性層として  $n^+$  領域 405、409、414 と、チャネル形成領域 407、411 と、前記  $n^+$  型領域とチャネル形成領域の間に  $n^-$  型領域 406、413 が形成される。また、チャネル形成領域 407、411 は絶縁膜 408、412 で保護される。なお、 $n^-$  型領域及び  $n^+$  領域は活性層と同一パターンニング形状を有する絶縁膜（制御絶縁膜）410 で保護される。絶縁膜 410 の上を覆う第 1 の層間絶縁膜 419 にコンタクトホールが形成され、 $n^+$  領域 405 に配線 416 が接続され、 $n^+$  領域 414 に配線 417 が接続され、さらにその上にパッシベーション膜 418 が形成される。そして、その上に第 2 の層間絶縁膜 420 が形成される。さらに、その上に第 3 の層間絶縁膜 422 が形成され、ITO、 $SnO_2$  等の透明導電膜からなる画素電極 423 が接続される。また、421 は画素電極 423 と隣接する画素電極である。

#### 【0087】

なお、画素マトリクス回路の容量部は、第 1 絶縁膜及び第 2 絶縁膜を誘電体として、容量配線 415 と、 $n^+$  領域 414 とで形成されている。

#### 【0088】

本実施例では一例として透過型の LCD を作製したが特に限定されない。例えば、画素電極の材料として反射性を有する金属材料を用い、画素電極のパターンニングの変更、または幾つかの工程の追加／削除を適宜行えば反射型の LCD を作製することが可能である。

#### 【0089】

なお、本実施例では、画素マトリクス回路の画素 TFT のゲート配線をダブルゲート構造としているが、オフ電流のバラツキを低減するために、トリプルゲート構造等のマルチゲート構造としても構わない。また、開口率を向上させるためにシングルゲート構造としてもよい。

#### 【0090】

本実施例を実施して作製された TFT は、よりばらつきの少ない電気特性を示す。また、

本実施例を実施例 1、実施例 2 と組み合わせることは可能である。

【0091】

〔実施例 4〕 本実施例を図 9 と図 10 により説明する。実施例 1 及び 2 においては、ボトムゲート型 T F T のゲート絶縁膜の一層として、ボロン元素を含む窒化珪素膜 ( S i B x N y ) を用いた例を示したが、本実施例では、トップゲート型 T F T の下地膜の一層として、ボロン元素を含む窒化珪素膜 ( S i B x N y ) を用いた例を示す。

【0092】

ここでは、n チャネル型 T F T と p チャネル型 T F T を同一基板上に作製し、C M O S 回路の基本構成であるインバータ回路を形成する例について説明する。

【0093】

基板 501 はガラス基板、プラスチック基板、セラミックス基板などを用いることができる。また、酸化シリコン膜や窒化シリコン膜などの絶縁膜を表面に形成したシリコン基板やステンレスに代表される金属基板を用いても良い。勿論、石英基板を用いることも可能である。

【0094】

そして、基板 501 の T F T が形成される主表面には、ボロン元素を含む窒化珪素膜 ( S i B x N y ) から成る下地膜 502 と、窒化酸化珪素膜から成る下地膜 503 が形成される。本実施例では、アルゴン ( A r ) とジボラン ( B <sub>2</sub> H <sub>6</sub> ) を含む雰囲気中において、単結晶シリコンからなるターゲットを用いたスパッタリングにより窒化珪素膜 ( S i B x N y ) 502 を形成した。また、窒素 ( N <sub>2</sub> ) またはアンモニア ( N H <sub>3</sub> ) を含む雰囲気中において、ボロン元素が添加された単結晶シリコンのターゲットを用いたスパッタリング方法を用いて、窒化珪素膜 ( S i B x N y ) を形成してもよい。こうして得られた窒化珪素膜 ( S i B x N y ) 502 は、ボロン元素を 0 . 1 ~ 50 atoms % 又は 1 ~ 50 atoms %、望ましくは 0 . 1 ~ 10 atoms % 含有しているため高い熱伝導性を有しており、半導体装置の熱による特性劣化を防止する効果を有している。下地膜 503 はプラズマ C V D 法やスパッタ法で形成すれば良く、基板 501 から T F T に有害な不純物が半導体層へ拡散することを防ぐために設けるものである。従って、ボロン元素を含む窒化珪素膜 ( S i B x N y ) からなる下地膜 502 を 20 ~ 100 nm、代表的には 50 nm の厚さに形成し、さらに窒化酸化珪素膜ならなる下地膜 503 を 50 ~ 500 nm、代表的には 150 ~ 200 nm の厚さに積層形成すれば良かった。

【0095】

勿論、下地膜をボロン元素を含む窒化珪素膜 ( S i B x N y ) からなる下地膜 502、または、窒化酸化珪素膜ならなる下地膜 503 のどちらか一方のみで形成しても良いが、T F T の信頼性を考慮すると 2 層構造とすることが最も望ましかった。

【0096】

下地膜 503 に接して形成される半導体層は、プラズマ C V D 法、減圧 C V D 法、スパッタ法などの成膜法で形成される非晶質半導体を、レーザー結晶化法や熱処理による固相成長法で結晶化された、結晶質半導体を用いることが望ましい。また、前記成膜法で形成される微結晶半導体を適用することも可能である。ここで適用できる半導体材料は、シリコン ( S i )、ゲルマニウム ( G e )、またシリコンゲルマニウム合金、炭化シリコンがあり、その他にガリウム砒素などの化合物半導体材料を用いることもできる。

【0097】

半導体層は 10 ~ 100 nm、代表的には 50 nm の厚さとして形成されるものである。プラズマ C V D 法で作製される非晶質半導体膜には 10 ~ 40 atom% の割合で膜中に水素が含まれているが、結晶化の工程に先立って 400 ~ 500 の熱処理の工程を行い水素を膜中から脱離させて含有水素量を 5 atom% 以下としておくことが望ましい。また、非晶質シリコン膜をスパッタ法や蒸着法などの他の作製方法で形成しても良いが、膜中に含まれる酸素、窒素などの不純物元素を十分低減させておくことが望ましい。

【0098】

また、下地膜と非晶質半導体膜とは同じ成膜法で形成可能であるので、下地膜 503 と、

10

20

30

40

50

半導体層を連続形成すると良い。それぞれの膜が形成された後、その表面が大気雰囲気に触れないことにより、その表面の汚染を防ぐことができる。その結果、T F Tの特性バラツキを発生させる要因の一つをなくすことができた。

【0099】

非晶質半導体膜を結晶化する工程は、公知のレーザー結晶化技術または熱結晶化の技術を用いれば良い。また、触媒元素を用いた熱結晶化の技術により結晶質半導体膜を形成すると優れたT F T特性を得ることができる。

【0100】

こうして形成された結晶質半導体膜を、第1のフォトリソマスクを使用して、公知のパターニング法によりレジストマスクを形成し、ドライエッチング法により島状の半導体層504、505を形成した。

10

【0101】

次に、島状の半導体層504、505の表面に、酸化シリコンまたは窒化シリコンを主成分とするゲート絶縁膜506を形成する。また、ゲート絶縁膜506としてボロン元素を含む窒化珪素膜( $\text{SiBxNy}$ )を用いて半導体装置の熱による特性劣化を防止する構成としてもよい。ゲート絶縁膜506は、プラズマCVD法やスパッタ法で形成し、その厚さを10~200nm、好ましくは50~150nmとして形成すれば良い。

【0102】

そして、ゲート絶縁膜506の表面に第1の導電層507と、第3の導電層508とを形成した。第1の導電層507は、Ta、Ti、Mo、Wから選ばれた元素を主成分とする導電性材料を用いる。そして、第1の導電層507の厚さは5~50nm、好ましくは10~25nmで形成すれば良い。

20

【0103】

ゲート絶縁膜506と第1の導電層507の厚さは重要であった。これは、後に実施される第1の不純物添加の工程において、n型を付与する不純物をゲート絶縁膜506と第1の導電層507を通過させて、半導体層504、505に添加するためであった。実際には、ゲート絶縁膜506と第1の導電層507の厚さを考慮して、第1の不純物添加の工程の条件が決定された。ここで、ゲート絶縁膜506や第1の導電層507の厚さが予め決められた値よりも10%以上変動すると、添加される不純物濃度が減少してしまうためであった。

30

【0104】

第2の導電層508はAlまたはCuを主成分とする導電性材料を用いる。例えば、Alを用いる場合には、Ti、Si、Scから選ばれた元素が0.1~5atom%添加されたAl合金を用いても良い。第2の導電層は100~1000nm、好ましくは200~400nmで形成すれば良い。これは、ゲート配線またはゲートバスラインの配線抵抗を下げるための配線材料として形成されるものである。(図9(A))

【0105】

本発明において、ゲート配線とは、ゲート絶縁膜506上に、ゲート電極と同じ材料から形成され、ゲート電極に接続する配線であり、ゲート電極に接続する構成においてゲートバスラインもゲート配線の一部であると見なす。

40

【0106】

次に第2のフォトリソマスクを使用してレジストマスクを形成し、第3の導電層の不要な部分を除去して、ゲートバスラインの一部を形成した(図9(B)の509)。第3の導電層がAlである場合、リン酸溶液によるウェットエッチング法により、下地にある第1の導電層と選択性良く除去することができた。

【0107】

そして、第3のフォトリソマスクにより、半導体層504と、半導体層505のチャネル形成領域を覆うレジストマスク510、511を形成した。このとき、配線を形成する領域にもレジストマスク512を形成しておいても良い。

【0108】

50

そして、n型を付与する第1の不純物元素を添加する工程を行った。結晶質半導体材料に対してn型を付与する不純物元素としては、リン(P)、砒素(As)、アンチモン(Sb)などが知られているが、ここでは、リンを用い、フォスフィン(PH<sub>3</sub>)を用いたイオンドープ法で行った。この工程では、ゲート絶縁膜506と第1の導電膜507を通してその下の半導体層にリンを添加するために、加速電圧は80keVと高めに設定した。半導体層に添加されるリンの濃度は、 $1 \times 10^{16} \sim 1 \times 10^{19} \text{atoms/cm}^3$ の範囲にするのが好ましく、ここでは $1 \times 10^{18} \text{atoms/cm}^3$ とした。そして、半導体層にリンが添加された領域513、514が形成された。ここで形成されたリンが添加された領域の一部は、LDD領域として機能する第2の不純物領域とされるものである。(図9(B))

【0109】

その後、レジストマスク510、511、512を除去して、第3の導電層515を全面に形成した。第3の導電層515は第1の導電層507と同じ材料で形成されても良く、Ta、Ti、Mo、Wから選ばれた元素を主成分とする導電性材料を用いる。そして、第2の導電層515の厚さは100~1000nm、好ましくは200~500nmで形成しておけば良い。(図9(C))

【0110】

次に、第4のフォトマスクによりレジストマスク516、517、518、519を形成した。第4のフォトマスクは、pチャネル型TFTのゲート電極と、ゲート配線、ゲートバスラインを形成するためのものであった。nチャネル型TFTのゲート電極は後の工程で形成するため、第1の導電層の一部522と第3の導電層の一部523が半導体層505上で残るようにレジストマスク517を形成した。

【0111】

第1の導電層と第3の導電層はドライエッチング法により不要な部分を除去した。そして、ゲート電極520、521と、ゲート配線524、525と、ゲートバスライン526、527が形成された。

【0112】

ゲートバスラインは、第2の導電層509が第1の導電層526と第3の導電層527とで覆われたクラッド型の構造として形成された。第2の導電層はAlやCuを主成分とした低抵抗材料であり、配線抵抗を下げる事ができた。

【0113】

そして、レジストマスク516、517、518、519をそのまま残して、pチャネル型TFTが形成される半導体層504の一部に、p型を付与する第3の不純物元素を添加する工程を行った。p型を付与する不純物元素としては、ボロン(B)、ガリウム(Ga)等が知られているが、ここではボロン元素をその不純物元素として、ジボラン(B<sub>2</sub>H<sub>6</sub>)を用いてイオンドープ法で添加した。ここでも加速電圧を80keVとして、 $2 \times 10^{20} \text{atoms/cm}^3$ の濃度にボロン元素を添加した。そして、図9(D)に示すようにボロン元素が高濃度に添加された第3の不純物領域552、553が形成された。

【0114】

図9(D)で設けられたレジストマスクを除去した後、新たに第5のフォトマスクによりレジストマスク528、529、530を形成した。第5のフォトマスクはnチャネル型TFTのゲート電極を形成するためのものであり、ドライエッチング法によりゲート電極531、532が形成された。このときゲート電極531、532は第2の不純物領域513、514の一部と重なるように形成された。(図9(E))

【0115】

そして、レジストマスク528、529、530を完全に除去した後、レジストマスク533、534、535を形成した。レジストマスク534はnチャネル型TFTのゲート電極531、532と、第2の不純物領域の一部を覆う形で形成されるものであった。レジストマスク534は、LDD領域のオフセット量を定めるものであった。

【0116】

そして、n型を付与する第2の不純物元素を添加する工程を行った。そして、ソース領域

10

20

30

40

50

となる第1の不純物領域537とドレイン領域となる第1の不純物領域536が形成された。ここでは、フォスフィンを用いたイオンドープ法で行った。この工程でも、ゲート絶縁膜506を通してその下の半導体層にリンを添加するために、加速電圧は80keVと高めに設定した。この領域のリンの濃度はn型を付与する第1の不純物元素を添加する工程と比較して高濃度であり、 $1 \times 10^{19} \sim 1 \times 10^{21} \text{ atoms/cm}^3$  とするのが好ましく、ここでは $1 \times 10^{20} \text{ atoms/cm}^3$  とした。(図10(A))

#### 【0117】

そして、ゲート絶縁膜506、ゲート電極520、521、531、532、ゲート配線524、525、ゲートバスライン526、527の表面に第1の層間絶縁膜538、550を形成した。第1の層間絶縁膜550は窒化シリコン膜であり、50nmの厚さで形成された。また第1の層間絶縁膜538は酸化シリコン膜であり、950nmの厚さに形成された。また、第1の層間絶縁膜550としてボロン元素を含む窒化珪素膜(SiBxNy)を用いて半導体装置の熱による特性劣化を防止する構成としてもよい。

10

#### 【0118】

ここで形成された窒化シリコン膜から成る第1の層間絶縁膜550は次の熱処理の工程を行うために必要なものであった。これはゲート電極520、521、531、532、ゲート配線524、525、ゲートバスライン526、527の表面が酸化することを防ぐために効果的であった。

#### 【0119】

熱処理の工程は、それぞれの濃度で添加されたn型またはp型を付与する不純物元素を活性化するために行う必要があった。この工程は、電気加熱炉を用いた熱アニール法や、前述のエキシマレーザーを用いたレーザーアニール法や、ハロゲンランプを用いたラピットサーマルアニール法(RTA法)で行えば良い。しかし、レーザーアニール法は低い基板加熱温度で活性をすることができるが、ゲート電極の下にかくれる領域まで活性化させることは困難であった。従って、ここでは熱アニール法で活性化の工程を行った。加熱処理は、窒素雰囲気中において300~700、好ましくは350~550、ここでは450、2時間の処理を行った。

20

#### 【0120】

第1の層間絶縁膜538、550はその後、第7のフォトマスクを用い、所定のレジストマスクを形成した後、エッチング処理によりそれぞれのTFETのソース領域と、ドレイン領域に達するコンタクトホールが形成された。そして、ソース電極539、540とドレイン電極541を形成した。図示していないが、本実施例ではこの電極を、Ti膜を100nm、Tiを含むAl膜300nm、Ti膜150nmをスパッタ法で連続して形成した3層構造の電極として用いた。

30

#### 【0121】

以上の工程で、CMOS回路のnチャネル型TFETにはチャネル形成領域545、第1の不純物領域548、549、第2の不純物領域546、547が形成された。ここで、第2の不純物領域は、ゲート電極と重なる領域(GOLD領域)536a、547aと、ゲート電極と重ならない領域(LDD領域)546b、547bがそれぞれ形成された。そして、第1の不純物領域548はソース領域として、第1の不純物領域549はドレイン領域となった。

40

#### 【0122】

一方、pチャネル型TFETは、チャネル形成領域542、第3の不純物領域543、544が形成された。そして、第3の不純物領域543はソース領域として、第3の不純物領域544はドレイン領域となった。(図10(B))

#### 【0123】

また、図10(C)はインバータ回路の上面図を示し、TFET部分のA-A'断面構造、ゲート配線部分のB-B'断面構造、ゲートバスライン部分のC-C'断面構造は、図10(B)と対応している。本発明において、ゲート電極とゲート配線は、第1の導電層と第2の導電層とから形成され、ゲートバスラインは、第1の導電層と第2の導電層と

50

第3の導電層とから形成されたクラッド構造を有している。

【0124】

図9と図10では、nチャネル型TFTとpチャネル型TFTとを相補的に組み合わせるCMOS回路を例にして示したが、nチャネル型TFTを用いたNMOS回路や、液晶表示装置の画素マトリクス回路に本願発明を適用することもできる。

【0125】

〔実施例5〕 本実施例では、実施例4において半導体層504、505として用いる結晶質半導体膜を、触媒元素を用いた熱結晶化法により形成する例を示す。触媒元素を用いる場合、特開平7-130652号公報、特開平8-78329号公報で開示された技術を用いることが望ましい。

10

【0126】

ここで、特開平7-130652号公報に開示されている技術を本願発明に適用する場合の例を図11に示す。まず基板601に下地膜602を設け、その上に非晶質珪素膜（アモルファスシリコンとも呼ぶ）603を形成した。本実施例では、下地膜602の上層として酸化珪素膜を用い、下層として、ボロン元素を含む窒化珪素膜（SiBxNy）を用いて半導体装置の熱による特性劣化を防止した。なお、膜剥がれが生じないなら窒化珪素膜（SiBxNy）に接して非晶質珪素膜を形成してもよい。さらに、重量換算で10ppmのニッケルを含む酢酸ニッケル塩溶液を塗布してニッケル含有層604を形成した。（図11（A））

【0127】

20

次に、500、1時間の脱水素工程の後、500～650で4～24時間（本実施例では550、14時間）の熱処理を行い、結晶質珪素膜605を形成した。こうして得られた結晶質珪素膜（ポリシリコンとも呼ぶ）605は非常に優れた結晶性を有した。（図11（B））

【0128】

また、特開平8-78329号公報で開示された技術は、触媒元素を選択的に添加することによって、非晶質半導体膜の選択的な結晶化を可能としたものである。同技術を本願発明に適用した場合について、図12で説明する。

【0129】

まず、ガラス基板701に下地膜702を設け、その上に非晶質珪素膜703、酸化シリコン膜704を連続的に形成した。下地膜702の上層として酸化珪素膜を用い、下層として、ボロン元素を含む窒化珪素膜（SiBxNy）を用いて半導体装置の熱による特性劣化を防止した。なお、膜剥がれが生じないなら窒化珪素膜（SiBxNy）に接して非晶質珪素膜を形成してもよい。

30

【0130】

次に酸化シリコン膜704をパターニングして、選択的に開孔部705を形成し、その後、重量換算で10ppmのニッケルを含む酢酸ニッケル塩溶液を塗布した。これにより、ニッケル含有層706が形成され、ニッケル含有層706は開孔部705の底部のみで非晶質珪素膜702と接触した。（図12（A））

【0131】

40

次に、500～650で4～24時間（本実施例では580、14時間）の熱処理を行い、結晶質珪素膜707を形成した。この結晶化の過程では、ニッケルが接した非晶質珪素膜の部分が最初に結晶化し、そこから横方向へと結晶化が進行する。こうして形成された結晶質珪素膜707は棒状または針状の結晶が集合して成り、その各々の結晶は巨視的にはある特定の方向性をもって成長しているため、結晶性が揃っているという利点がある。

【0132】

尚、上記2つの技術において使用可能な触媒元素は、ニッケル（Ni）の以外にも、ゲルマニウム（Ge）、鉄（Fe）、パラジウム（Pd）、スズ（Sn）、鉛（Pb）、コバルト（Co）、白金（Pt）、銅（Cu）、金（Au）、といった元素を用いても良い。

50

## 【 0 1 3 3 】

以上のような技術を用いて結晶質半導体膜（結晶質珪素膜や結晶質シリコンゲルマニウム膜などを含む）を形成し、パターニングを行えば、T F Tの半導体層を形成することができる。本実施例の技術を用いて、結晶質半導体膜から作製されたT F Tは、優れた特性が得られるが、そのため高い信頼性を要求されていた。しかしながら、本願発明の絶縁膜およびT F T構造を採用することで、本実施例の技術を最大限に生かしたT F Tを作製することが可能となった。

## 【 0 1 3 4 】

〔実施例 6〕 本実施例は、実施例 4 で用いられる半導体層 5 0 4、5 0 5 を形成する方法として、実施例 5 のように非晶質半導体膜を初期膜として前記触媒元素を用いて結晶質半導体膜を形成した後で、その触媒元素を結晶質半導体膜から除去する工程を行った例を示す。本実施例ではその方法として、特開平 1 0 - 1 3 5 4 6 8 号公報または特開平 1 0 - 1 3 5 4 6 9 号公報に記載された技術を用いた。

## 【 0 1 3 5 】

同公報に記載された技術は、非晶質半導体膜の結晶化に用いた触媒元素を結晶化後にリンのゲッターリング作用を用いて除去する技術である。同技術を用いることで、結晶質半導体膜中の触媒元素の濃度を  $1 \times 10^{17} \text{atoms/cm}^3$  以下、好ましくは  $1 \times 10^{16} \text{atoms/cm}^3$  にまで低減することができる。

## 【 0 1 3 6 】

本実施例の構成について図 1 3 を用いて説明する。ここではコーニング社の 1 7 3 7 基板に代表される無アルカリガラス基板を用いた。図 1 3 ( A ) では、実施例 2 で示した結晶化の技術を用いて、下地膜 8 0 2、結晶質珪素膜 8 0 3 が形成された状態を示している。本実施例では、下地膜 8 0 2 の上層として窒化酸化珪素膜を用い、下層として、ボロン元素を含む窒化珪素膜 ( S i B x N y ) を用いて半導体装置の熱による特性劣化を防止した。なお、膜剥がれが生じないなら窒化珪素膜 ( S i B x N y ) に接して非晶質珪素膜を形成してもよい。そして、結晶質珪素膜 8 0 3 の表面にマスク用の酸化珪素膜 8 0 4 が 1 5 0 n m の厚さに形成され、パターニングにより開孔部が設けられ、結晶質珪素膜を露出させた領域を設けてある。そして、リンを添加する工程を実施して、結晶質珪素膜にリンが添加された領域 8 0 5 が設けられた。

## 【 0 1 3 7 】

この状態で、窒素雰囲気中で 5 5 0 ~ 8 0 0 、 5 ~ 2 4 時間（本実施例では 6 0 0 、 1 2 時間）の熱処理を行うと、結晶質珪素膜にリンが添加された領域 8 0 5 がゲッターリングサイトとして働き、結晶質珪素膜 8 0 3 に残存していた触媒元素はリンが添加された領域 8 0 5 に移動させることができた。

## 【 0 1 3 8 】

そして、マスク用の酸化珪素膜 8 0 4 と、リンが添加された領域 8 0 5 とをエッチングして除去することにより、結晶化の工程で使用した触媒元素の濃度を  $1 \times 10^{17} \text{atoms/cm}^3$  以下にまで低減された結晶質珪素膜を得ることができた。この結晶質珪素膜はそのまま実施例 4 で示した本願発明の T F T の半導体層として使用することができた。

## 【 0 1 3 9 】

〔実施例 7〕 本実施例では、実施例 4 で示した本願発明の T F T を作製する工程において、半導体層 5 0 4、5 0 5 とゲート絶縁膜 5 0 6 を形成する他の実施形態を示す。

## 【 0 1 4 0 】

ここでは、少なくとも 7 0 0 ~ 1 1 0 0 程度の耐熱性を有する基板が必要であり、石英基板 9 0 0 が用いられた。下地膜 9 0 1 の上層として酸化珪素膜を用い、下層として、ボロン元素を含む窒化珪素膜 ( S i B x N y ) を用いて半導体装置の熱による特性劣化を防止した。なお、膜剥がれが生じないなら窒化珪素膜 ( S i B x N y ) に接して非晶質珪素膜を形成してもよい。そして実施例 5 で示した技術を用い、結晶質半導体膜が形成され、これを T F T の活性層にするために、島状にパターニングして半導体層 9 0 2、9 0 3 を形成した。そして、半導体層 9 0 2、9 0 3 を覆って、ゲート絶縁膜 9 0 4 を、酸化珪素

を主成分とする膜で形成した。本実施例では、プラズマCVD法で窒化酸化珪素膜を70nmの厚さで形成した。(図14(A))

【0141】

そして、ハロゲン(代表的には塩素)と酸素を含む雰囲気中で熱処理を行った。本実施例では、950、30分とした。尚、処理温度は700~1100の範囲で選択すれば良く、処理時間も10分から8時間の間で選択すれば良かった。(図14(B))

【0142】

その結果、本実施例の条件では、半導体層902、903とゲート絶縁膜904との界面で熱酸化膜が形成され、ゲート絶縁膜907が形成された。

【0143】

以上の工程で作製されたゲート絶縁膜907は、絶縁耐圧が高く半導体層905、906とゲート絶縁膜907の界面は非常に良好なものであった。以降の工程は実施例4に従えばTFETを作製できる。

【0144】

勿論、本実施例に実施例5や実施例6を組み合わせることは実施者が適宜決定すれば良い。

【0145】

[実施例8] 本実施例では、実施例4と異なる工程で結晶質珪素膜を作製する例を示す。具体的には実施例5で示したリンによるゲッタリング工程とは異なるゲッタリング工程について説明する。なお、基本的な工程は図9または図10に従うものであるので、相違点のみに着目して説明する。

【0146】

まず、実施例5の工程に従って図15(A)の状態を得た。ただし、TFETの活性層となる結晶質珪素膜1005の形成には実施例5に示した熱結晶化技術を用いている。

【0147】

次いで、基板1001ごと300に加熱した液相中(本実施例では硫酸溶液中)に浸し、結晶化に用いたニッケルを除去または低減する。本実施例では活性層をパターニングする前にゲッタリングを行うが、活性層をパターニングした後に行っても良い。また、硫酸と接触させる他の手段として、加熱した硫酸溶液を基板上に均一に滴下する方法を用いてもよい。

【0148】

本工程において、加熱した硫酸中でニッケルは溶解して溶け出し、表面近傍から容易に除去される。すると内部のニッケルは濃度の低い表面近傍に拡散してきてさらに多くのニッケルが溶けだす。この現象を繰り返して、結晶化に用いたニッケルを結晶質珪素膜から除去または低減する。このようにして、液相による触媒元素の低減処理を行うことで、結晶質珪素膜1106中の触媒元素の濃度を $1 \times 10^{17} \text{atoms/cm}^3$ 以下、好ましくは $1 \times 10^{16} \text{atoms/cm}^3$ にまで低減することができる。(図15(B))

【0149】

なお、硫酸溶液と結晶質半導体膜との接触性を高めるために、予め結晶質半導体膜の表面の自然酸化膜等をフッ酸を含むエッチャント等により除去して清浄化することが望ましい。

【0150】

また、本実施例ではニッケルを例にとって説明しているが、前述した他の触媒元素でも同様の現象によってゲッタリングされる。

【0151】

以上の工程を経て得られた結晶質珪素膜1006を用いて、実施例5で説明したプロセスを用いれば、図10に示したTFETが得られる。

【0152】

なお、本実施例の構成は実施例4~実施例7のいずれの構成とも自由に組み合わせることが可能である。

10

20

30

40

50

## 【 0 1 5 3 】

【 実施例 9 】 実施例 1 では、膜中にボロン元素を 0 . 1 ~ 5 0 atoms % 又は 1 ~ 5 0 atoms %、望ましくは 0 . 1 ~ 1 0 atoms % 含有し、高い熱伝導性を有する絶縁膜 ( Si B x N y ) をボトムゲート型 T F T のゲート絶縁膜の一層として用いた例を示したが、本実施例では、本発明のボロン元素を含む窒化珪素膜 ( Si B x N y ) を順スタガ型 T F T に利用する絶縁膜に適用した例を図 1 6 に示す。

## 【 0 1 5 4 】

図 1 6 に典型的な順スタガ型 T F T を示した。まず、下地膜 1 1 0 0 が設けられた基板上にソース層及びドレイン層を形成する。次いで、ソース層及びドレイン層を覆う非晶質珪素膜を成膜し、レーザー光により結晶化させて半導体層 1 1 0 1 を形成する。その後、絶縁膜を形成し、ゲート電極及び配線電極を形成して、順スタガ型 T F T を形成した。本実施例において、下地膜 1 1 0 0 または絶縁膜 1 1 0 2 にボロン元素を含む窒化珪素膜 ( Si B x N y ) を適用した。

## 【 0 1 5 5 】

このように、本発明は T F T 構造に関係なく適用することができる。

## 【 0 1 5 6 】

【 実施例 1 0 】 本実施例では、本願発明によって作製された液晶表示装置の例を図 1 7 に示す。画素 T F T ( 画素スイッチング素子 ) の作製方法やセル組工程は公知の手段を用いれば良いので詳細な説明は省略する。

## 【 0 1 5 7 】

図 1 7 は、本実施例のアクティブマトリクス型液晶パネルの概略図である。図 1 7 に示すようにアクティブマトリクス基板と対向基板とが対向し、これらの基板間に液晶が挟まれている。アクティブマトリクス基板はガラス基板 1 2 0 0 上に形成された画素マトリクス回路 1 2 0 1、走査線駆動回路 1 2 0 2、信号線駆動回路 1 2 0 3 を有する。

## 【 0 1 5 8 】

走査線駆動回路 1 2 0 2、信号線駆動回路 1 2 0 3 はそれぞれ走査線 1 2 3 0、信号線 1 2 4 0 によって画素マトリクス回路 1 2 0 1 に接続されている。これら駆動回路 1 2 0 2、1 2 0 3 は C M O S 回路で主に構成されている。

## 【 0 1 5 9 】

画素マトリクス回路 1 2 0 1 の行ごとに走査線 1 2 3 0 が形成され、列ごとに信号線 1 2 4 0 が形成されている。走査線 1 2 3 0、信号線 1 2 4 0 の交差部近傍には、画素 T F T 1 2 1 0 が形成されている。画素 T F T 1 2 1 0 のゲート電極は走査線 1 2 3 0 に接続され、ソースは信号線 1 2 4 0 に接続されている。更に、ドレインには画素電極 1 2 6 0、保持容量 1 2 7 0 が接続されている。

## 【 0 1 6 0 】

対向基板 1 2 8 0 はガラス基板全面に I T O 膜等の透明導電膜が形成されている。透明導電膜は画素マトリクス回路 1 2 0 1 の画素電極 1 2 6 0 に対する対向電極であり、画素電極、対向電極間に形成された電界によって液晶材料が駆動される。対向基板 1 2 8 0 には必要であれば配向膜や、ブラックマトリクスや、カラーフィルタが形成されている。

## 【 0 1 6 1 】

アクティブマトリクス基板側のガラス基板には F P C 1 2 3 1 を取り付ける面を利用して I C チップ 1 2 3 2、1 2 3 3 が取り付けられている。これらの I C チップ 1 2 3 2、1 2 3 3 はビデオ信号の処理回路、タイミングパルス発生回路、補正回路、メモリ回路、演算回路などの回路をシリコン基板上に形成して構成される。

## 【 0 1 6 2 】

さらに、本実施例では液晶表示装置を例に挙げて説明しているが、アクティブマトリクス型の表示装置であれば E L ( エレクトロルミネッセンス ) 表示装置や E C ( エレクトロクロミックス ) 表示装置に本願発明を適用することも可能であることは言うまでもない。

## 【 0 1 6 3 】

また、本願発明を用いて作製できる液晶表示装置は透過型か反射型かは問わない。どちら

10

20

30

40

50

を選択するのも実施者の自由である。この様に本願発明はあらゆるアクティブマトリクス型の電気光学装置（半導体装置）に対して適用することが可能である。

【0164】

なお、本実施例に示した半導体装置を作製するにあたって、実施例1～実施例9のどの構成を採用しても良いし、各実施例を自由に組み合わせて用いることが可能である。

【0165】

〔実施例11〕 本願発明は従来のIC技術全般に適用することが可能である。即ち、現在市場に流通している全ての半導体回路に適用できる。例えば、ワンチップ上に集積化されたRISCプロセッサ、ASICプロセッサ等のマイクロプロセッサに適用しても良いし、液晶用ドライバー回路（D/Aコンバータ、補正回路、信号分割回路等）に代表される信号処理回路や携帯機器（携帯電話、PHS、モバイルコンピュータ）用の高周波回路に適用しても良い。

10

【0166】

さらに、従来のMOSFET上に層間絶縁膜を形成し、その上に本願発明を用いて半導体回路を作製したような三次元構造の半導体装置を実現することも可能である。このように本願発明は現在LSIが用いられている全ての半導体装置に適用することが可能である。即ち、SIMOX、Smart-Cut（SOITEC社の登録商標）、ELTRAN（キャノン株式会社の登録商標）などのSOI構造（単結晶半導体薄膜を用いたTFT構造）に本願発明を適用してもよい。

【0167】

また、マイクロプロセッサ等の半導体回路は様々な電子機器に搭載されて中枢回路として機能する。代表的な電子機器としてはパーソナルコンピュータ、携帯型情報端末機器、その他あらゆる家電製品が挙げられる。また、車両（自動車や電車等）の制御用コンピュータなども挙げられる。本願発明はその様な半導体装置に対しても適用可能である。

20

【0168】

なお、本実施例に示した半導体装置を作製するにあたって、実施例1～実施例9のどの構成を採用しても良いし、各実施例を自由に組み合わせて用いることが可能である。

【0169】

〔実施例12〕

実施例1では、TFTの活性層として結晶質珪素膜を用いた例を示したが、本実施例では、活性層として非晶質珪素膜を用いた例を示す。

30

【0170】

本発明のボロンを含む絶縁膜は、活性層として結晶質珪素膜を用いたポリシリコンTFTよりもむしろ、活性層として非晶質珪素膜を用いたアモルファスシリコンTFTに適している。

【0171】

実施例1に従って、基板上にゲート電極を形成した。

【0172】

次いで、ゲート電極を覆ってゲート絶縁膜と非晶質珪素膜を連続的に成膜する。アモルファスシリコンTFTの場合は、上記実施例1と同様にゲート絶縁膜を多層にしてもよいが、アモルファスシリコンからなる活性層にボロンが混入しても活性化せず導電型に影響しないため、本実施例ではボロンを添加した窒化珪素膜と非晶質珪素膜を同一チャンパーで連続的に成膜した。

40

【0173】

次いで、実施例1と同様にして非晶質半導体膜上にチャネル形成領域を保護する絶縁膜（後にチャネル保護膜となる）を形成した。なお、この絶縁膜も非晶質珪素膜と連続的に成膜してもよい。

【0174】

以降の工程は実施例1に従い図3（C）に示したようなボトムゲート型TFTを完成させた。

50

## 【 0 1 7 5 】

本実施例では、ボトムゲート型 T F T のゲート絶縁膜の一層として用いた例を示したが、絶縁膜であれば特に限定されず、例えば、下地膜、層間絶縁膜、マスク絶縁膜、チャネル保護膜、保護膜等に用いることができる。

## 【 0 1 7 6 】

例えば、ゲート絶縁膜としてボロンを含む窒化珪素膜を用い、チャネル保護膜としてボロンを含む窒化珪素膜を用いてチャネル形成領域をボロンを含む窒化珪素膜で挟む構成とするとさらに効果的に放熱効果が得られる。また、ゲート絶縁膜としてボロンを含む窒化珪素膜を用い、チャネル保護膜としてボロンを含む酸化窒化珪素膜 ( $\text{SiN}_x\text{B}_y\text{O}_z$  : ただし、 $x$ 、 $y$ 、及び  $z$  は、組成比を表す値であって、 $x > 0$ 、 $y > 0$ 、 $z > 0$  である。) を用いてもよい。また、ゲート絶縁膜として窒化珪素膜を用い、チャネル保護膜としてボロンを含む酸化窒化珪素膜 ( $\text{SiN}_x\text{B}_y\text{O}_z$ ) を用いてもよい。

10

## 【 0 1 7 7 】

また、一般的にアモルファスシリコンを用いたボトムゲート型 T F T は、図 1 8 に示したような構造を有している。このような構造においても本発明のボロンを含む窒化珪素膜を適用することができることは言うまでもない。

## 【 0 1 7 8 】

図 1 8 において、1 3 1 0 は基板、1 3 1 1 はゲート電極、1 3 1 2 はゲート絶縁膜、1 3 1 3 はアモルファスシリコンからなる半導体領域、1 3 1 4 は p 型または n 型を付与する不純物元素 (リンまたはボロン等) がドーピングされた半導体領域、1 3 1 5 a はソース電極、1 3 1 5 b はドレイン電極、1 3 1 6 は画素電極、1 3 1 7 は層間絶縁膜、1 3 1 8 はチャネル保護膜である。本発明は、図 1 8 中に示した絶縁膜、例えばゲート絶縁膜 1 3 1 2、層間絶縁膜 1 3 1 7、チャネル保護膜 1 3 1 8 に用いることができる。

20

## 【 0 1 7 9 】

さらに、ゲート絶縁膜 1 3 1 2 及びチャネル保護膜 1 3 1 8 にボロンを含む窒化珪素膜を用いた場合、ボロンを含む窒化珪素膜によって半導体領域 1 3 1 3 が挟まれるため効果的に放熱することができる。また、ボロンを含む窒化珪素膜に代えてボロンを含む酸化窒化珪素膜を用いることができる。

## 【 0 1 8 0 】

なお、本実施例に示した半導体装置を作製するにあたって、実施例 1 ~ 実施例 3 のどの構成を採用しても良いし、各実施例 1 0、1 1 と自由に組み合わせて用いることが可能である。

30

## 【 0 1 8 1 】

## 〔 実施例 1 3 〕

本願発明を実施して形成された C M O S 回路や画素部は様々な電気光学装置 (アクティブマトリクス型液晶ディスプレイ、アクティブマトリクス型 E L ディスプレイ、アクティブマトリクス型 E C ディスプレイ) に用いることができる。即ち、それら電気光学装置を表示部に組み込んだ電子機器全てに本願発明を実施できる。

## 【 0 1 8 2 】

その様な電子機器としては、ビデオカメラ、デジタルカメラ、プロジェクター (リア型またはフロント型)、ヘッドマウントディスプレイ (ゴーグル型ディスプレイ)、カーナビゲーション、カーステレオ、パーソナルコンピュータ、携帯情報端末 (モバイルコンピュータ、携帯電話または電子書籍等) などが挙げられる。それらの一例を図 1 9、図 2 0 及び図 2 1 に示す。

40

## 【 0 1 8 3 】

図 1 9 ( A ) はパーソナルコンピュータであり、本体 2 0 0 1、画像入力部 2 0 0 2、表示部 2 0 0 3、キーボード 2 0 0 4 等を含む。本発明を画像入力部 2 0 0 2、表示部 2 0 0 3 やその他の信号制御回路に適用することができる。

## 【 0 1 8 4 】

図 1 9 ( B ) はビデオカメラであり、本体 2 1 0 1、表示部 2 1 0 2、音声入力部 2 1 0

50

3、操作スイッチ2104、バッテリー2105、受像部2106等を含む。本発明を表示部2102やその他の信号制御回路に適用することができる。

【0185】

図19(C)はモバイルコンピュータ(モビルコンピュータ)であり、本体2201、カメラ部2202、受像部2203、操作スイッチ2204、表示部2205等を含む。本発明は表示部2205やその他の信号制御回路に適用できる。

【0186】

図19(D)はゴーグル型ディスプレイであり、本体2301、表示部2302、アーム部2303等を含む。本発明は表示部2302やその他の信号制御回路に適用することができる。

10

【0187】

図18(E)はプログラムを記録した記録媒体(以下、記録媒体と呼ぶ)を用いるプレーヤーであり、本体2401、表示部2402、スピーカ部2403、記録媒体2404、操作スイッチ2405等を含む。なお、このプレーヤーは記録媒体としてDVD(Digital Versatile Disc)、CD等を用い、音楽鑑賞や映画鑑賞やゲームやインターネットを行うことができる。

本発明は表示部2402やその他の信号制御回路に適用することができる。

【0188】

図19(F)はデジタルカメラであり、本体2501、表示部2502、接眼部2503、操作スイッチ2504、受像部(図示しない)等を含む。本願発明を表示部2502やその他の信号制御回路に適用することができる。

20

【0189】

図20(A)はフロント型プロジェクターであり、投射装置2601、スクリーン2602等を含む。本発明は投射装置2601の一部を構成する液晶表示装置2808やその他の信号制御回路に適用することができる。

【0190】

図20(B)はリア型プロジェクターであり、本体2701、投射装置2702、ミラー2703、スクリーン2704等を含む。本発明は投射装置2702の一部を構成する液晶表示装置2808やその他の信号制御回路に適用することができる。

【0191】

なお、図20(C)は、図20(A)及び図20(B)中における投射装置2601、2702の構造の一例を示した図である。投射装置2601、2702は、光源光学系2801、ミラー2802、2804~2806、ダイクロイックミラー2803、プリズム2807、液晶表示装置2808、位相差板2809、投射光学系2810で構成される。投射光学系2810は、投射レンズを含む光学系で構成される。本実施例は三板式の例を示したが、特に限定されず、例えば単板式であってもよい。また、図20(C)中において矢印で示した光路に実施者が適宜、光学レンズや、偏光機能を有するフィルムや、位相差を調節するためのフィルム、IRフィルム等の光学系を設けてもよい。

30

【0192】

また、図20(D)は、図20(C)中における光源光学系2801の構造の一例を示した図である。本実施例では、光源光学系2801は、リフレクター2811、光源2812、レンズアレイ2813、2814、偏光変換素子2815、集光レンズ2816で構成される。なお、図20(D)に示した光源光学系は一例であって特に限定されない。例えば、光源光学系に実施者が適宜、光学レンズや、偏光機能を有するフィルムや、位相差を調節するフィルム、IRフィルム等の光学系を設けてもよい。

40

【0193】

ただし、図20に示したプロジェクターにおいては、透過型の電気光学装置を用いた場合を示しており、反射型の電気光学装置及びEL表示装置での適用例は図示していない。

【0194】

図21(A)は携帯電話であり、本体2901、音声出力部2902、音声入力部290

50

3、表示部2904、操作スイッチ2905、アンテナ2906等を含む。本願発明を音声出力部2902、音声入力部2903、表示部2904やその他の信号制御回路に適用することができる。

【0195】

図21(B)は携帯書籍(電子書籍)であり、本体3001、表示部3002、3003記憶媒体3004、操作スイッチ3005、アンテナ3006等を含む。本発明は表示部3002、3003やその他の信号回路に適用することができる。

【0196】

図21(C)はディスプレイであり、本体3101、支持台3102、表示部3103等を含む。本発明は表示部3103に適用することができる。本発明のディスプレイは特に大画面化した場合において有利であり、対角10インチ以上(特に30インチ以上)のディスプレイには有利である。

【0197】

以上の様に、本願発明の適用範囲は極めて広く、あらゆる分野の電子機器に適用することが可能である。

【0198】

なお、本実施例に示した半導体装置を作製するにあたって、実施例1～実施例9及び実施例12のどの構成を採用しても良いし、各実施例を自由に組み合わせて用いることが可能である。また、実施例10、11に示した電気光学装置や半導体回路をその様に組み合わせて用いても良い。

【0199】

〔実施例14〕

本実施例では、本願発明を用いてEL(エレクトロルミネッセンス)表示装置を作製した例について説明する。

【0200】

図22(A)は本願発明を用いたEL表示装置の上面図である。図22(A)において、4010は基板、4011は画素部、4012はソース側駆動回路、4013はゲート側駆動回路であり、それぞれの駆動回路は配線4014～4016を経てFPC4017に至り、外部機器へと接続される。

【0201】

このとき、少なくとも画素部、好ましくは駆動回路及び画素部を囲むようにしてカバー材6000、シーリング材(ハウジング材ともいう)7000、密封材(第2のシーリング材)7001が設けられている。

【0202】

また、図22(B)は本実施例のEL表示装置の断面構造であり、基板4010、下地膜4021の上に駆動回路用TFT(但し、ここではnチャネル型TFTとpチャネル型TFTを組み合わせたCMOS回路を図示している。)4022及び画素部用TFT4023(但し、ここではEL素子への電流を制御するTFTだけ図示している。)が形成されている。これらのTFTは公知の構造(トップゲート構造またはボトムゲート構造)を用いれば良い。

【0203】

本願発明は、駆動回路用TFT4022、画素部用TFT4023に際して用いることができる。

【0204】

本願発明を用いて駆動回路用TFT4022、画素部用TFT4023が完成したら、樹脂材料でなる層間絶縁膜(平坦化膜)4026の上に画素部用TFT4023のドレインと電氣的に接続する透明導電膜でなる画素電極4027を形成する。画素電極4027が透明導電膜である場合、画素部用TFTとしては、Pチャネル型TFTを用いることが好ましい。透明導電膜としては、酸化インジウムと酸化スズとの化合物(ITOと呼ばれる)または酸化インジウムと酸化亜鉛との化合物を用いることができる。そして、画素電極

10

20

30

40

50

4027を形成したら、絶縁膜4028を形成し、画素電極4027上に開口部を形成する。

【0205】

次に、EL層4029を形成する。EL層4029は公知のEL材料（正孔注入層、正孔輸送層、発光層、電子輸送層または電子注入層）を自由に組み合わせて積層構造または単層構造とすれば良い。どのような構造とするかは公知の技術を用いれば良い。また、EL材料には低分子系材料と高分子系（ポリマー系）材料がある。低分子系材料を用いる場合は蒸着法を用いるが、高分子系材料を用いる場合には、スピンコート法、印刷法またはインクジェット法等の簡易な方法を用いることが可能である。

【0206】

本実施例では、シャドーマスクを用いて蒸着法によりEL層を形成する。シャドーマスクを用いて画素毎に波長の異なる発光が可能な発光層（赤色発光層、緑色発光層及び青色発光層）を形成することで、カラー表示が可能となる。その他にも、色変換層（CCM）とカラーフィルターを組み合わせた方式、白色発光層とカラーフィルターを組み合わせた方式があるがいずれの方法を用いても良い。

勿論、単色発光のEL表示装置とすることもできる。

【0207】

EL層4029を形成したら、その上に陰極4030を形成する。陰極4030とEL層4029の界面に存在する水分や酸素は極力排除しておくことが望ましい。従って、真空中でEL層4029と陰極4030を連続成膜するか、EL層4029を不活性雰囲気中で形成し、大気解放しないで陰極4030を形成するといった工夫が必要である。本実施例ではマルチチャンバー方式（クラスターツール方式）の成膜装置を用いることで上述のような成膜を可能とする。

【0208】

なお、本実施例では陰極4030として、LiF（フッ化リチウム）膜とAl（アルミニウム）膜の積層構造を用いる。具体的にはEL層4029上に蒸着法で1nm厚のLiF（フッ化リチウム）膜を形成し、その上に300nm厚のアルミニウム膜を形成する。勿論、公知の陰極材料であるMgAg電極を用いても良い。そして陰極4030は4031で示される領域において配線4016に接続される。配線4016は陰極4030に所定の電圧を与えるための電源供給線であり、導電性ペースト材料4032を介してFPC4017に接続される。

【0209】

4031に示された領域において陰極4030と配線4016とを電氣的に接続するために、層間絶縁膜4026及び絶縁膜4028にコンタクトホールを形成する必要がある。これらは層間絶縁膜4026のエッチング時（画素電極用コンタクトホールの形成時）や絶縁膜4028のエッチング時（EL層形成前の開口部の形成時）に形成しておけば良い。また、絶縁膜4028をエッチングする際に、層間絶縁膜4026まで一括でエッチングしても良い。この場合、層間絶縁膜4026と絶縁膜4028が同じ樹脂材料であれば、コンタクトホールの形状を良好なものとすることができる。

【0210】

このようにして形成されたEL素子の表面を覆って、パッシベーション膜6003、充填材6004、カバー材6000が形成される。

【0211】

さらに、EL素子部を囲むようにして、カバー材7000と基板4010の内側にシーリング材が設けられ、さらにシーリング材7000の外側には密封材（第2のシーリング材）7001が形成される。

【0212】

このとき、この充填材6004は、カバー材6000を接着するための接着剤としても機能する。充填材6004としては、PVC（ポリビニルクロライド）、エポキシ樹脂、シリコーン樹脂、PVB（ポリビニルブチラル）またはEVA（エチレンビニルアセテート

10

20

30

40

50

）を用いることができる。この充填材 6 0 0 4 の内部に乾燥剤を設けておくと、吸湿効果を保持できるので好ましい。

【 0 2 1 3 】

また、充填材 6 0 0 4 の中にスペーサーを含有させてもよい。このとき、スペーサーを BaO などからなる粒状物質とし、スペーサー自体に吸湿性をもたせてもよい。

【 0 2 1 4 】

スペーサーを設けた場合、パッシベーション膜 6 0 0 3 はスペーサー圧を緩和することができる。また、パッシベーション膜とは別に、スペーサー圧を緩和する樹脂膜などを設けてもよい。

【 0 2 1 5 】

また、カバー材 6 0 0 0 としては、ガラス板、アルミニウム板、ステンレス板、FRP (Fiberglass-Reinforced Plastics) 板、PVF (ポリビニルフルオライド) フィルム、マイラーフィルム、ポリエステルフィルムまたはアクリルフィルムを用いることができる。なお、充填材 6 0 0 4 として PVB や EVA を用いる場合、数十  $\mu$ m のアルミニウムホイルを PVF フィルムやマイラーフィルムで挟んだ構造のシートを用いることが好ましい。

【 0 2 1 6 】

但し、EL 素子からの発光方向（光の放射方向）によっては、カバー材 6 0 0 0 が透光性を有する必要がある。

【 0 2 1 7 】

また、配線 4 0 1 6 はシーリング材 7 0 0 0 および密封材 7 0 0 1 と基板 4 0 1 0 との隙間を通して FPC 4 0 1 7 に電氣的に接続される。なお、ここでは配線 4 0 1 6 について説明したが、他の配線 4 0 1 4、4 0 1 5 も同様にしてシーリング材 7 0 0 0 および密封材 7 0 0 1 の下を通して FPC 4 0 1 7 に電氣的に接続される。

【 0 2 1 8 】

[ 実施例 1 5 ]

本実施例では、本願発明を用いて実施例 1 4 とは異なる形態の EL 表示装置を作製した例について、図 2 3 ( A )、図 2 3 ( B ) を用いて説明する。図 2 3 ( A )、図 2 3 ( B ) と同じ番号のものは同じ部分を指しているので説明は省略する。

【 0 2 1 9 】

図 2 3 ( A ) は本実施例の EL 表示装置の上面図であり、図 2 3 ( A ) を A - A ' で切断した断面図を図 2 3 ( B ) に示す。

【 0 2 2 0 】

実施例 1 4 に従って、EL 素子の表面を覆ってパッシベーション膜 6 0 0 3 までを形成する。

【 0 2 2 1 】

さらに、EL 素子を覆うようにして充填材 6 0 0 4 を設ける。この充填材 6 0 0 4 は、カバー材 6 0 0 0 を接着するための接着剤としても機能する。充填材 6 0 0 4 としては、PVC (ポリビニルクロライド)、エポキシ樹脂、シリコーン樹脂、PVB (ポリビニルブチラル) または EVA (エチレンビニルアセテート) を用いることができる。この充填材 6 0 0 4 の内部に乾燥剤を設けておくと、吸湿効果を保持できるので好ましい。

【 0 2 2 2 】

また、充填材 6 0 0 4 の中にスペーサーを含有させてもよい。このとき、スペーサーを BaO などからなる粒状物質とし、スペーサー自体に吸湿性をもたせてもよい。

【 0 2 2 3 】

スペーサーを設けた場合、パッシベーション膜 6 0 0 3 はスペーサー圧を緩和することができる。また、パッシベーション膜とは別に、スペーサー圧を緩和する樹脂膜などを設けてもよい。

【 0 2 2 4 】

また、カバー材 6 0 0 0 としては、ガラス板、アルミニウム板、ステンレス板、FRP (

10

20

30

40

50

Fiberglass-Reinforced Plastics) 板、PVF (ポリビニルフルオライド) フィルム、マイラーフィルム、ポリエステルフィルムまたはアクリルフィルムを用いることができる。なお、充填材 6004 として PVB や EVA を用いる場合、数十  $\mu\text{m}$  のアルミニウムホイルを PVF フィルムやマイラーフィルムで挟んだ構造のシートを用いることが好ましい。

【0225】

但し、EL 素子からの発光方向 ( 光の放射方向 ) によっては、カバー材 6000 が透光性を有する必要がある。

【0226】

次に、充填材 6004 を用いてカバー材 6000 を接着した後、充填材 6004 の側面 ( 露呈面 ) を覆うようにフレーム材 6001 を取り付ける。フレーム材 6001 はシーリング材 ( 接着剤として機能する ) 6002 によって接着される。このとき、シーリング材 6002 としては、光硬化性樹脂を用いるのが好ましいが、EL 層の耐熱性が許せば熱硬化性樹脂を用いても良い。なお、シーリング材 6002 はできるだけ水分や酸素を透過しない材料であることが望ましい。また、シーリング材 6002 の内部に乾燥剤を添加してあっても良い。

10

【0227】

また、配線 4016 はシーリング材 6002 と基板 4010 との隙間を通して FPC 4017 に電氣的に接続される。なお、ここでは配線 4016 について説明したが、他の配線 4014、4015 も同様にしてシーリング材 6002 の下を通して FPC 4017 に電

20

【0228】

[ 実施例 16 ]

本実施例では EL 表示装置の画素部のさらに詳細な断面構造を図 24 に、上面構造を図 25 ( A ) に、回路図を図 25 ( B ) に示す。図 25、図 25 ( A ) 及び図 25 ( B ) では共通の符号を用いるので互いに参照すれば良い。

【0229】

図 24 において、基板 3501 上に設けられたスイッチング用 TFT 3502 は本願発明の NTFT を用いて形成される ( 実施例 1 ~ 12 参照 ) 。本実施例ではダブルゲート構造としているが、構造及び作製プロセスに大きな違いはないので説明は省略する。但し、ダブルゲート構造とすることで実質的に二つの TFT が直列された構造となり、オフ電流値を低減することができるという利点がある。なお、本実施例ではダブルゲート構造としているが、シングルゲート構造でも構わないし、トリプルゲート構造やそれ以上のゲート本数を持つマルチゲート構造でも構わない。また、本願発明の PTFT を用いて形成しても構わない。

30

【0230】

また、電流制御用 TFT 3503 は本願発明の NTFT を用いて形成される。このとき、スイッチング用 TFT 3502 のドレイン配線 35 は配線 36 によって電流制御用 TFT のゲート電極 37 に電氣的に接続されている。また、38 で示される配線は、スイッチング用 TFT 3502 のゲート電極 39a、39b を電氣的に接続するゲート配線である。

40

【0231】

このとき、電流制御用 TFT 3503 が本願発明の構造であることは非常に重要な意味を持つ。電流制御用 TFT は EL 素子を通る電流量を制御するための素子であるため、多くの電流が流れ、熱による劣化やホットキャリアによる劣化の危険性が高い素子でもある。そのため、電流制御用 TFT のドレイン側に、ゲート絶縁膜を介してゲート電極を重ねるように LDD 領域を設ける本願発明の構造は極めて有効である。

【0232】

また、本実施例では電流制御用 TFT 3503 をシングルゲート構造で図示しているが、複数の TFT を直列につなげたマルチゲート構造としても良い。さらに、複数の TFT を並列につなげて実質的にチャネル形成領域を複数に分割し、熱の放射を高い効率で行える

50

ようにした構造としても良い。このような構造は熱による劣化対策として有効である。

【0233】

また、図25(A)に示すように、電流制御用TF T 3503のゲート電極37となる配線は3504で示される領域で、電流制御用TF T 3503のドレイン配線40と絶縁膜を介して重なる。このとき、3504で示される領域ではコンデンサが形成される。このコンデンサ3504は電流制御用TF T 3503のゲートにかかる電圧を保持するためのコンデンサとして機能する。なお、ドレイン配線40は電流供給線(電源線)3506に接続され、常に一定の電圧が加えられている。

【0234】

スイッチング用TF T 3502及び電流制御用TF T 3503の上には第1パッシベーション膜41が設けられ、その上に樹脂絶縁膜でなる平坦化膜42が形成される。平坦化膜42を用いてTF Tによる段差を平坦化することは非常に重要である。後に形成されるEL層は非常に薄いため、段差が存在することによって発光不良を起こす場合がある。従って、EL層をできるだけ平坦面に形成しうるように画素電極を形成する前に平坦化しておくことが望ましい。

10

【0235】

また、43は反射性の高い導電膜でなる画素電極(EL素子の陰極)であり、電流制御用TF T 3503のドレインに電氣的に接続される。この場合においては、電流制御用TF Tとしてnチャネル型TF Tを用いることが好ましい。画素電極43としてはアルミニウム合金膜、銅合金膜または銀合金膜など低抵抗な導電膜またはそれらの積層膜を用いることが好ましい。勿論、他の導電膜との積層構造としても良い。

20

【0236】

また、絶縁膜(好ましくは樹脂)で形成されたバンク44a、44bにより形成された溝(画素に相当する)の中に発光層45が形成される。なお、ここでは一画素しか図示していないが、R(赤)、G(緑)、B(青)の各色に対応した発光層を作り分けても良い。発光層とする有機EL材料としては共役ポリマー系材料を用いる。代表的なポリマー系材料としては、ポリパラフェニレンビニレン(PPV)系、ポリビニルカルバゾール(PVK)系、ポリフルオレン系などが挙げられる。

【0237】

なお、PPV系有機EL材料としては様々な型のものであるが、例えば「H. Schenk, H. Becker, O. Gelsen, E. Kluge, W. Kreuder, and H. Spreitzer, "Polymers for Light Emitting Diodes", Euro Display, Proceedings, 1999, p.33-37」や特開平10-92576号公報に記載されたような材料を用いれば良い。

30

【0238】

具体的な発光層としては、赤色に発光する発光層にはシアノポリフェニレンビニレン、緑色に発光する発光層にはポリフェニレンビニレン、青色に発光する発光層にはポリフェニレンビニレン若しくはポリアルキルフェニレンを用いれば良い。膜厚は30~150nm(好ましくは40~100nm)とすれば良い。

【0239】

但し、以上の例は発光層として用いることのできる有機EL材料の一例であって、これに限定する必要はまったくない。発光層、電荷輸送層または電荷注入層を自由に組み合わせるEL層(発光及びそのためのキャリアの移動を行わせるための層)を形成すれば良い。

40

【0240】

例えば、本実施例ではポリマー系材料を発光層として用いる例を示したが、低分子系有機EL材料を用いても良い。また、電荷輸送層や電荷注入層として炭化珪素等の無機材料を用いることも可能である。これらの有機EL材料や無機材料は公知の材料を用いることができる。

【0241】

本実施例では発光層45の上にPEDOT(ポリチオフェン)またはPAni(ポリアニリン)でなる正孔注入層46を設けた積層構造のEL層としている。

50

そして、正孔注入層 4 6 の上には透明導電膜でなる陽極 4 7 が設けられる。本実施例の場合、発光層 4 5 で生成された光は上面側に向かって（T F T の上方に向かって）放射されるため、陽極は透光性でなければならない。透明導電膜としては酸化インジウムと酸化スズとの化合物や酸化インジウムと酸化亜鉛との化合物を用いることができるが、耐熱性の低い発光層や正孔注入層を形成した後で形成するため、可能な限り低温で成膜できるものが好ましい。

#### 【0242】

陽極 4 7 まで形成された時点で E L 素子 3 5 0 5 が完成する。なお、ここでいう E L 素子 3 5 0 5 は、画素電極（陰極）4 3、発光層 4 5、正孔注入層 4 6 及び陽極 4 7 で形成されたコンデンサを指す。図 2 5（A）に示すように画素電極 4 3 は画素の面積にほぼ一致する  
10

#### 【0243】

ところで、本実施例では、陽極 4 7 の上にさらに第 2 パッシベーション膜 4 8 を設けている。第 2 パッシベーション膜 4 8 としては窒化珪素膜または窒化酸化珪素膜が好ましい。この目的は、外部と E L 素子とを遮断することであり、有機 E L 材料の酸化による劣化を防ぐ意味と、有機 E L 材料からの脱ガスを抑える意味との両方を併せ持つ。これにより E L 表示装置の信頼性が高められる。

#### 【0244】

以上のように本願発明の E L 表示パネルは図 2 4 のような構造の画素からなる画素部を有し、オフ電流値の十分に低いスイッチング用 T F T と、ホットキャリア注入に強い電流制御用 T F T とを有する。従って、高い信頼性を有し、且つ、良好な画像表示が可能な E L 表示パネルが得られる。  
20

#### 【0245】

なお、本実施例の構成は、実施例 1 ~ 1 2 構成と自由に組み合わせて実施することが可能である。また、実施例 1 3 の電子機器の表示部として本実施例の E L 表示パネルを用いることは有効である。

#### 【0246】

##### 〔実施例 1 7〕

本実施例では、実施例 1 6 に示した画素部において、E L 素子 3 5 0 5 の構造を反転させた構造について説明する。説明には図 2 6 を用いる。なお、図 2 4 の構造と異なる点は E L 素子の部分と電流制御用 T F T だけであるので、その他の説明は省略することとする。  
30

#### 【0247】

図 2 6 において、電流制御用 T F T 3 5 0 3 は本願発明の P T F T を用いて形成される。作製プロセスは実施例 1 ~ 1 2 を参照すれば良い。

#### 【0248】

本実施例では、画素電極（陽極）5 0 として透明導電膜を用いる。具体的には酸化インジウムと酸化亜鉛との化合物でなる導電膜を用いる。勿論、酸化インジウムと酸化スズとの化合物でなる導電膜を用いても良い。

#### 【0249】

そして、絶縁膜でなるバンク 5 1 a、5 1 b が形成された後、溶液塗布によりポリビニルカルバゾールでなる発光層 5 2 が形成される。その上にはカリウムアセチルアセトネート（a c a c K と表記される）でなる電子注入層 5 3、アルミニウム合金でなる陰極 5 4 が形成される。この場合、陰極 5 4 がパッシベーション膜としても機能する。こうして E L 素子 3 7 0 1 が形成される。  
40

#### 【0250】

本実施例の場合、発光層 5 2 で発生した光は、矢印で示されるように T F T が形成された基板の方に向かって放射される。

#### 【0251】

なお、本実施例の構成は、実施例 1 ~ 1 2 の構成と自由に組み合わせて実施することが可  
50

能である。また、実施例 13 の電子機器の表示部として本実施例の E L 表示パネルを用いることは有効である。

#### 【0252】

##### [実施例 18]

本実施例では、図 25 (B) に示した回路図とは異なる構造の画素とした場合の例について図 27 (A) ~ (C) に示す。なお、本実施例において、3801 はスイッチング用 T F T 3802 のソース配線、3803 はスイッチング用 T F T 3802 のゲート配線、3804 は電流制御用 T F T、3805 はコンデンサ、3806、3808 は電流供給線、3807 は E L 素子とする。

#### 【0253】

図 27 (A) は、二つの画素間で電流供給線 3806 を共通とした場合の例である。即ち、二つの画素が電流供給線 3806 を中心に線対称となるように形成されている点に特徴がある。この場合、電源供給線の本数を減らすことができるため、画素部をさらに高精細化することができる。

#### 【0254】

また、図 27 (B) は、電流供給線 3808 をゲート配線 3803 と平行に設けた場合の例である。なお、図 27 (B) では電流供給線 3808 とゲート配線 3803 とが重ならないように設けた構造となっているが、両者が異なる層に形成される配線であれば、絶縁膜を介して重なるように設けることもできる。この場合、電源供給線 3808 とゲート配線 3803 とで専有面積を共有させることができるため、画素部をさらに高精細化することができる。

#### 【0255】

また、図 27 (C) は、図 27 (B) の構造と同様に電流供給線 3808 をゲート配線 3803 と平行に設け、さらに、二つの画素を電流供給線 3808 を中心に線対称となるように形成する点に特徴がある。また、電流供給線 3808 をゲート配線 3803 のいずれか一方と重なるように設けることも有効である。この場合、電源供給線の本数を減らすことができるため、画素部をさらに高精細化することができる。

#### 【0256】

なお、本実施例の構成は、実施例 1 ~ 12、14 または 15 の構成と自由に組み合わせて実施することが可能である。また、実施例 13 の電子機器の表示部として本実施例の画素構造を有する E L 表示パネルを用いることは有効である。

#### 【0257】

##### [実施例 19]

実施例 16 に示した図 25 (A)、図 25 (B) では電流制御用 T F T 3503 のゲートにかかる電圧を保持するためにコンデンサ 3504 を設ける構造としているが、コンデンサ 3504 を省略することも可能である。実施例 16 の場合、電流制御用 T F T 3503 として実施例 1 ~ 12 に示すような本願発明の N T F T を用いているため、ゲート絶縁膜を介してゲート電極に重なるように設けられた L D D 領域を有している。この重なり合った領域には一般的にゲート容量と呼ばれる寄生容量が形成されるが、本実施例ではこの寄生容量をコンデンサ 3504 の代わりとして積極的に用いる点に特徴がある。

#### 【0258】

この寄生容量のキャパシタンスは、上記ゲート電極と L D D 領域とが重なり合った面積によって変化するため、その重なり合った領域に含まれる L D D 領域の長さによって決まる。

#### 【0259】

また、実施例 18 に示した図 27 (A) ~ (C) の構造においても同様に、コンデンサ 3805 を省略することは可能である。

#### 【0260】

なお、本実施例の構成は、実施例 1 ~ 12、14 ~ 18 の構成と自由に組み合わせて実施することが可能である。また、実施例 14 の電子機器の表示部として本実施例の画素構造

10

20

30

40

50

を有するＥＬ表示装置を用いることは有効である。

【０２６１】

【発明の効果】

以上のように、本発明の窒化珪素を主成分とする膜は、ボロン元素を０．１～５０atoms %又は１～５０atoms %、望ましくは０．１～１０atoms %含有しているため高い熱伝導性を有しており、半導体装置の熱による特性劣化を防止する効果を有している。さらに、本発明の窒化珪素を主成分とする膜はナトリウム等の可動イオンに対してブロッキング効果を有するので、基板等からこれらのイオンが半導体装置中、特にチャネル形成領域に侵入することを防止する効果も有している。

【０２６２】

本発明を用いることで、ＴＦＴで作製されたＣＭＯＳ回路を含む半導体装置、また、具体的には液晶表示装置の画素マトリクス回路や、その周辺に設けられる駆動回路の信頼性を高めることができた。延いては、ＴＦＴを回路に含む半導体回路や上記液晶表示装置を部品として組み込んだ電子機器の信頼性も向上した。

【図面の簡単な説明】

【図１】 実施例１のＴＦＴの作製工程の説明図である。

【図２】 実施例１のＴＦＴの作製工程の説明図である。

【図３】 実施例１のＴＦＴの作製工程の説明図である。

【図４】 実施例２のＴＦＴの作製工程の説明図である。

【図５】 実施例２のＴＦＴの作製工程の説明図である。

【図６】 実施例２のＴＦＴの作製工程の説明図である。

【図７】 実施例３のＣＭＯＳ回路の上面図及び断面図の説明図である。

【図８】 実施例３の画素マトリクス回路の上面図及び断面図の説明図である。

【図９】 実施例４のＴＦＴの作製工程の説明図である。

【図１０】 実施例４のＴＦＴの作製工程の説明図及び上面図である。

【図１１】 実施例５の結晶化工程の説明図であり、基板断面図である。

【図１２】 実施例５の結晶化工程の説明図であり、基板断面図である。

【図１３】 実施例６のゲッターリング工程の説明図であり、基板断面図である。

【図１４】 実施例７のゲッターリング工程の説明図であり、基板断面図である。

【図１５】 実施例８のゲッターリング工程の説明図であり、基板断面図である。

【図１６】 実施例９の説明図であり、基板断面図である。

【図１７】 アクティブマトリクス基板の構成を示す図である。

【図１８】 ボトムゲート型ＴＦＴの断面構造の説明図である。

【図１９】 電子機器の説明図である。

【図２０】 電子機器の説明図である。

【図２１】 電子機器の説明図である。

【図２２】 ＥＬ表示装置の上面図及び断面図である。

【図２３】 ＥＬ表示装置の上面図及び断面図である。

【図２４】 ＥＬ表示装置の画素部の断面図である。

【図２５】 ＥＬ表示装置の画素部の上面図及び断面図である。

【図２６】 ＥＬ表示装置の画素部の断面図である。

【図２７】 ＥＬ表示装置の画素部の回路図である。

10

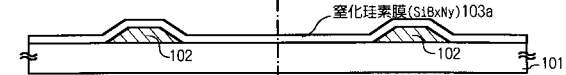
20

30

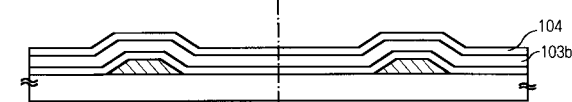
40

【図 1】

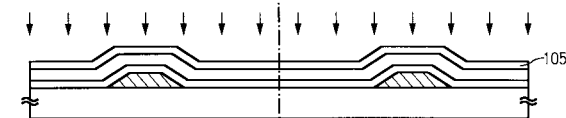
(A) スパッタ法による窒化珪素膜(SiBxNy)103aの形成工程



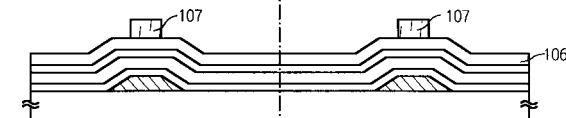
(B) 絶縁膜103b、半導体膜の形成工程



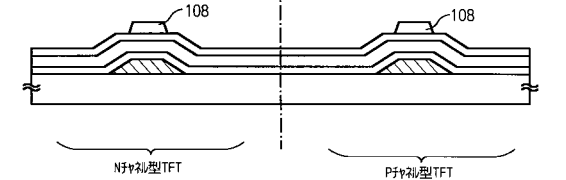
(C) レーザー結晶化工程



(D) 裏面露光工程

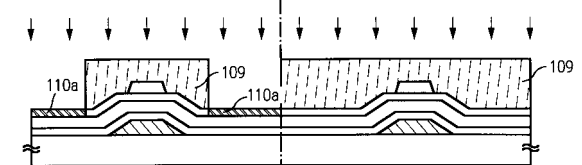


(E) エッチング工程



【図 2】

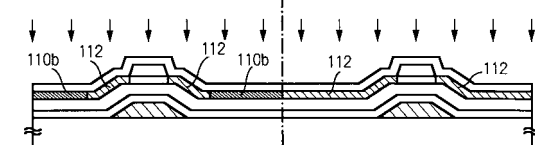
(A) ドーピング工程 (n+領域の形成工程)



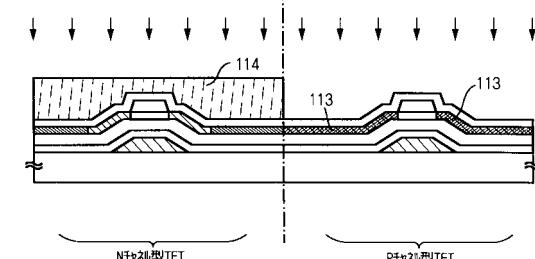
(B) 絶縁膜111aの形成工程



(C) ドーピング工程 (n-領域の形成工程)

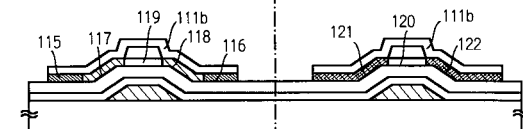


(D) ドーピング工程 (p+領域の形成工程)

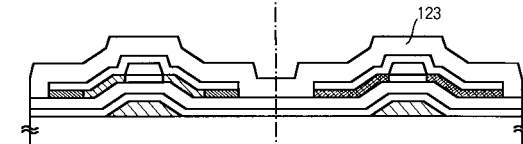


【図 3】

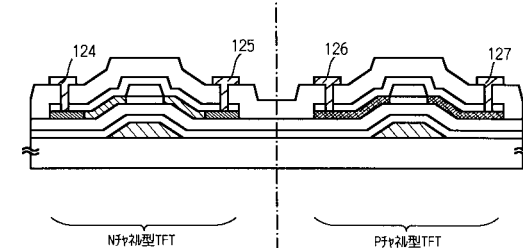
(A) 活性化及びパターニング工程



(B) 層間絶縁膜の形成工程

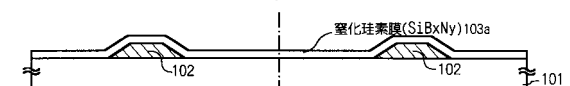


(C) ソース配線及びドレイン配線の形成工程

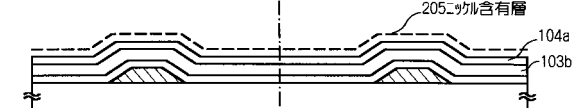


【図 4】

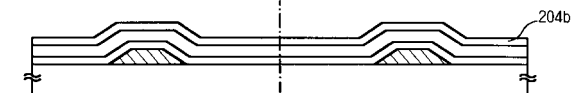
(A) スパッタ法による窒化珪素膜(SiBxNy)103aの形成工程



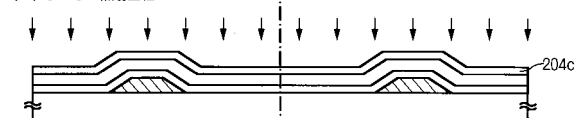
(B) 絶縁膜103b、半導体膜の形成工程



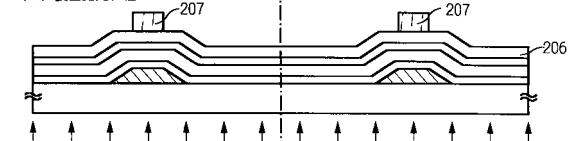
(C) 加熱処理による結晶化工程



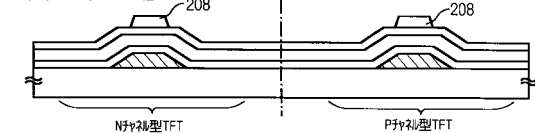
(D) レーザー照射工程



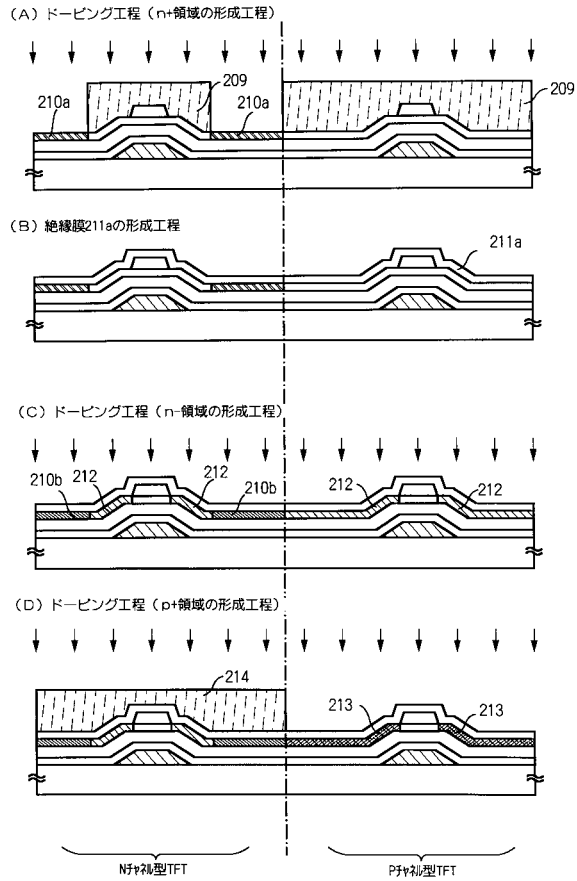
(E) 裏面露光工程



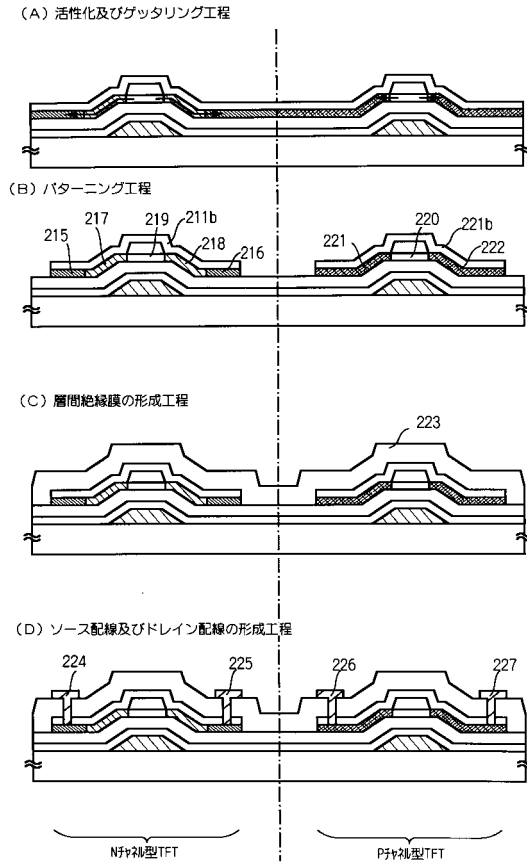
(F) エッチング工程



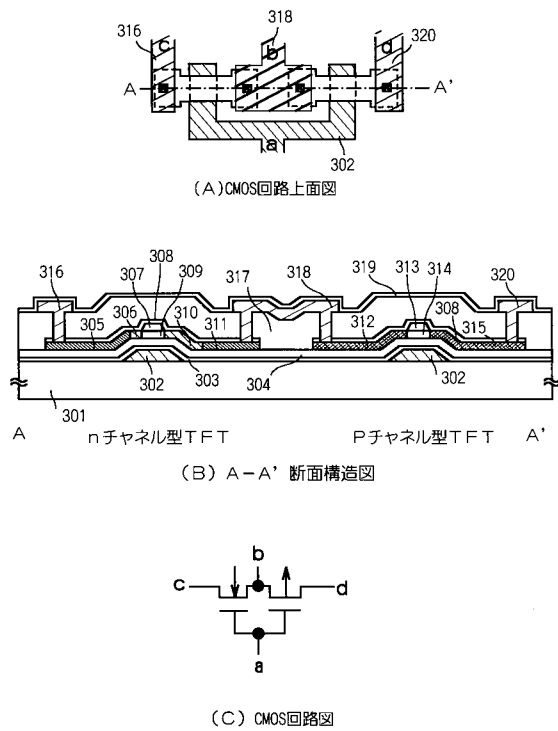
【図 5】



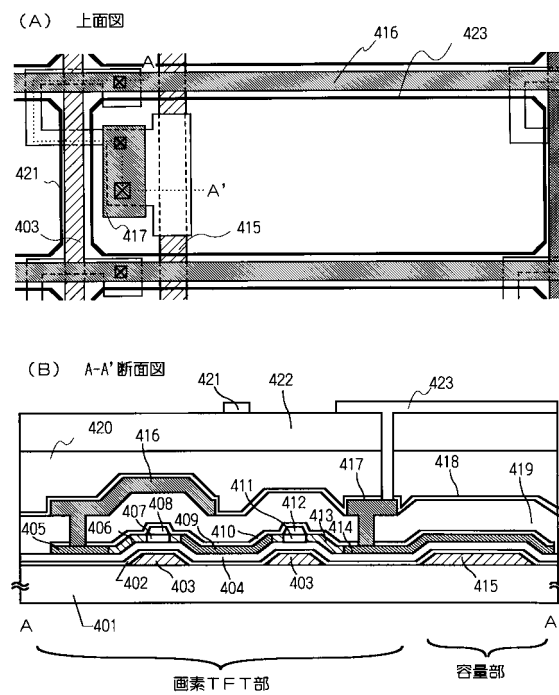
【図 6】



【図 7】

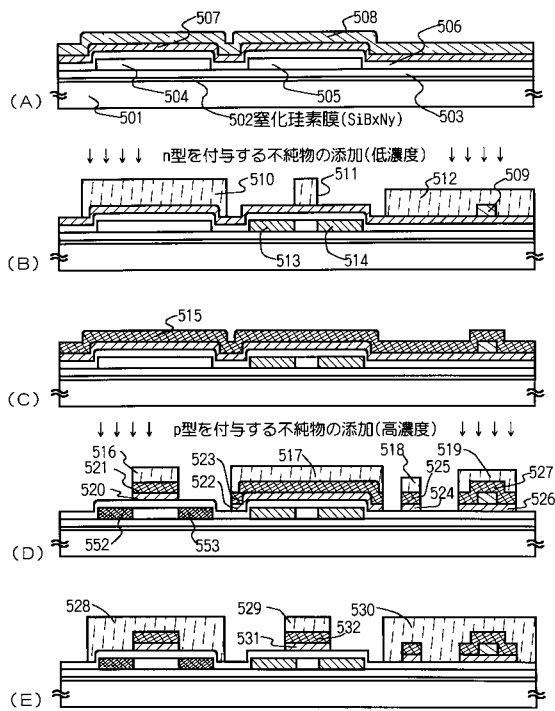


【図 8】



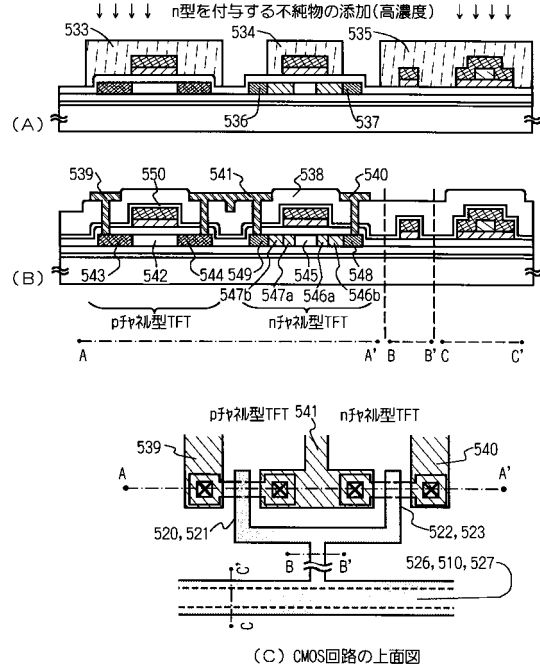
【図 9】

【図 9】



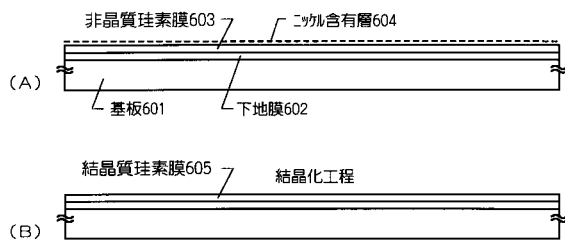
501:基板、502:下地膜(SiBxNy)、503:下地膜(SiON)、504、505:半導体層、506:ゲート絶縁膜、507:第1の導電層、508:第2の導電層、509:ゲートライン、510、511、512、516、517、518、519:レジスタマスク、515:第3の導電層、520、522:ゲート電極、521、523:ゲート電極、524、525:ゲート配線、526、527:ゲートライン、528、529、530:レジスタマスク、531、532:ゲート電極

【図 10】

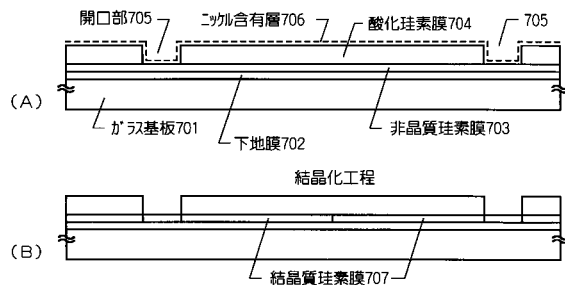


533、534、535:レジスタマスク、550:第1の層間絶縁膜(SiN)、538:第1の層間絶縁膜(SiO2)、539、540:ソース電極、541:ドレイン電極、542、545:チャネル領域、543:第3の不純物領域(N+)、544:第3の不純物領域(P+)、546、547:第2の不純物領域、548:第1の不純物領域(N+)、549:第1の不純物領域(P+)

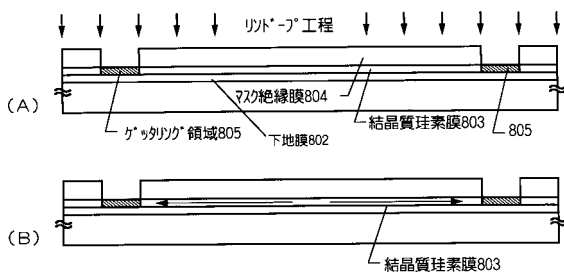
【図 11】



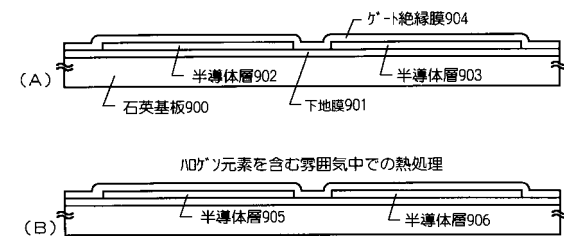
【図 12】



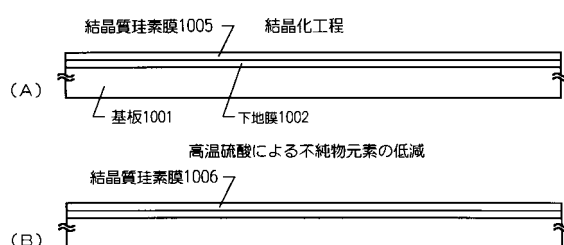
【図 13】



【図 14】

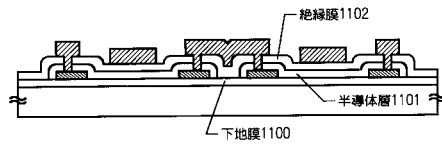


【図 15】

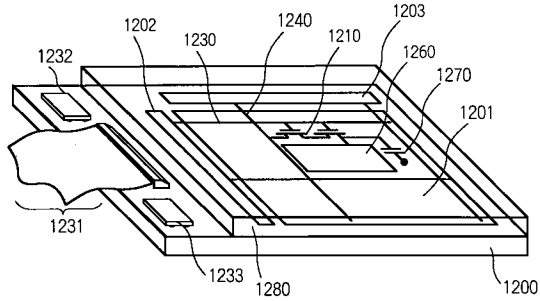


【図 16】

順スタガ型TFT



【図 17】



アクティブマトリクス基板

1200: ガラス基板

1201: 画素マトリクス回路

1202: 走査線駆動回路, 1203: 信号線駆動回路

1231: FPC 1232, 1233: ICチップ

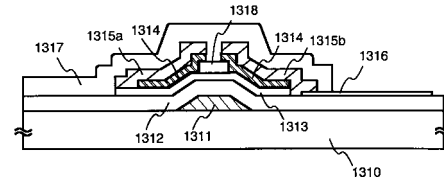
1210: 画素TFT

1230: 走査線 1240: 信号線

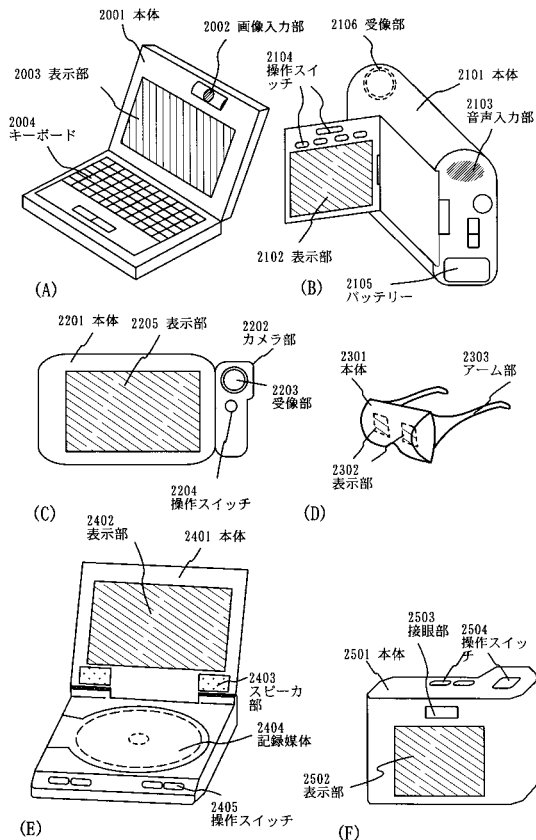
1260: 画素電極 1270: 保持容量

1280: 対向基板

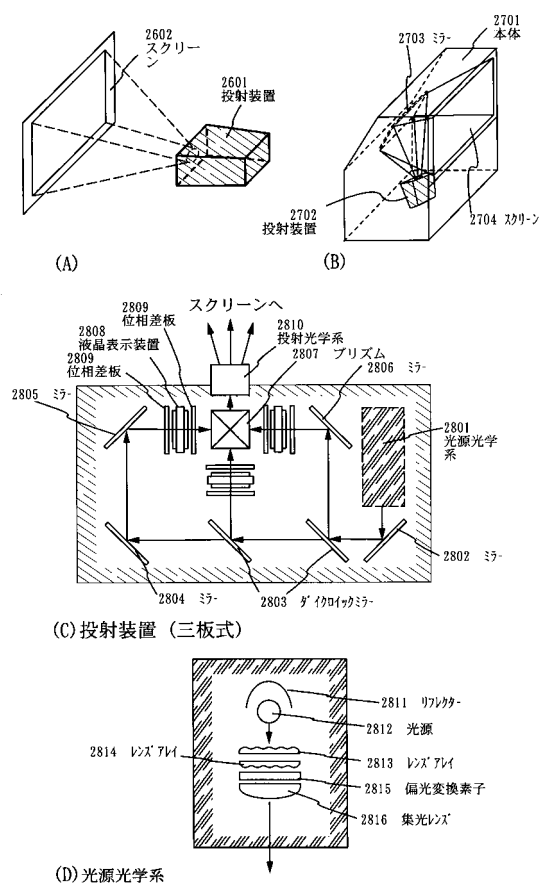
【図 18】



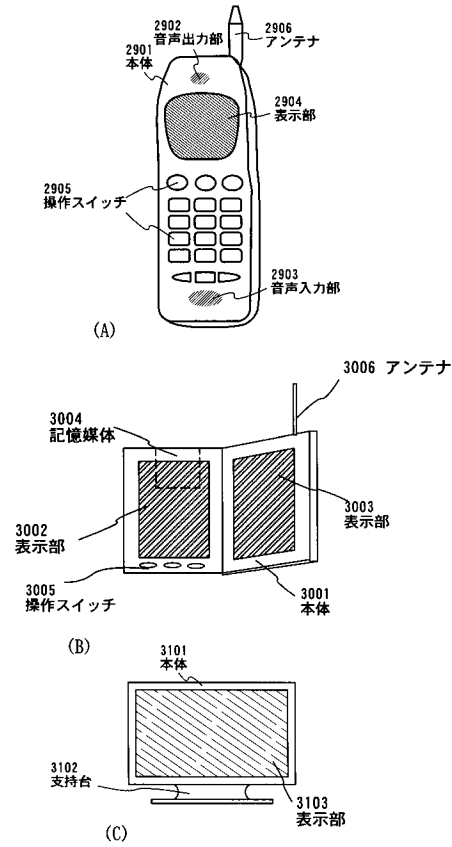
【図 19】



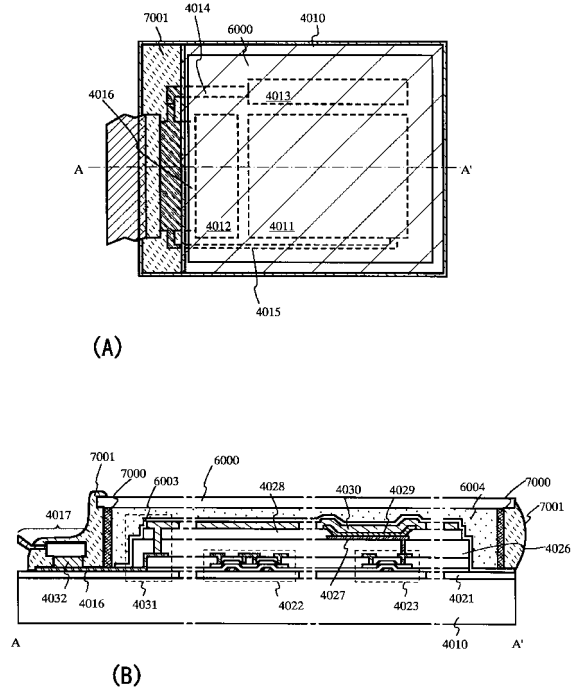
【図 20】



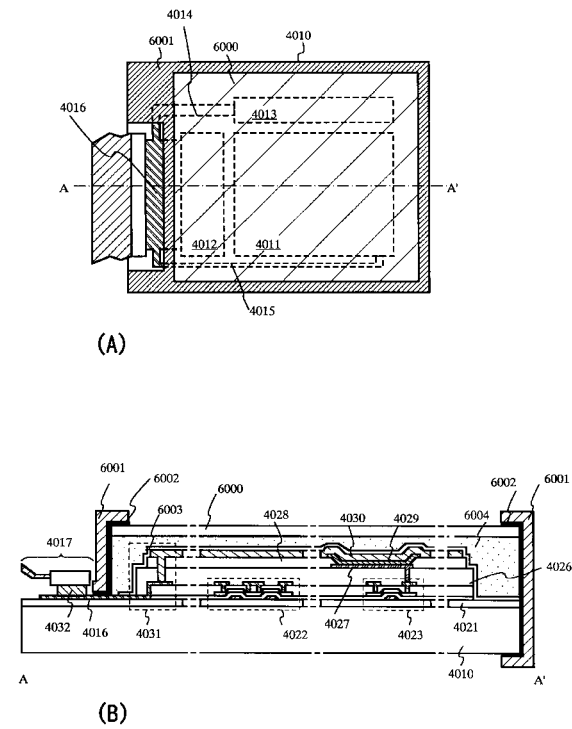
【図 2 1】



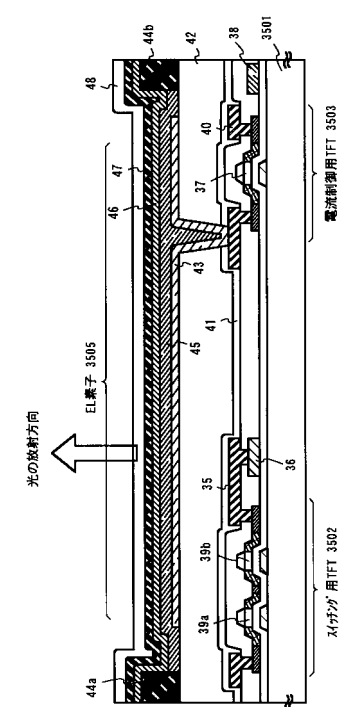
【図 2 2】



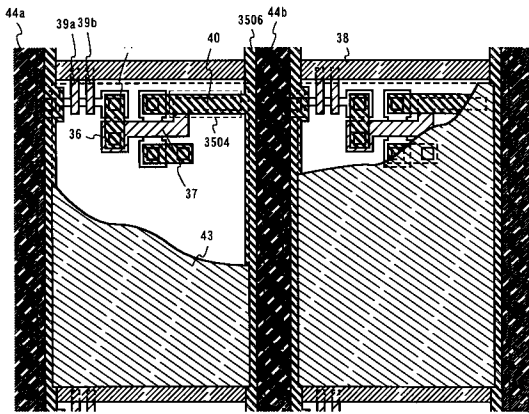
【図 2 3】



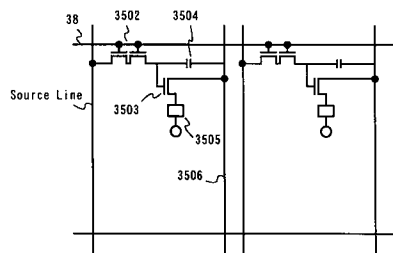
【図 2 4】



【図 25】

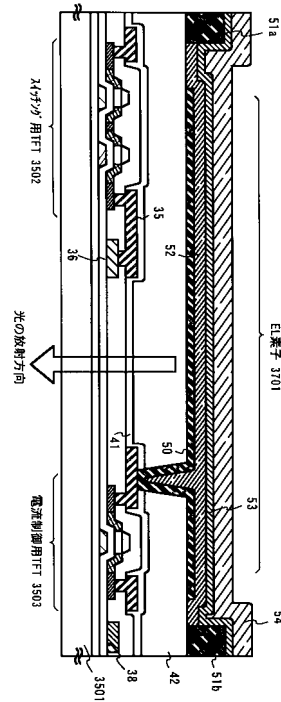


(A)

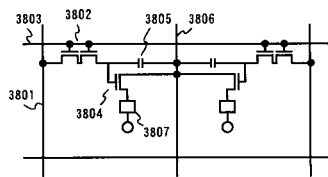


(B)

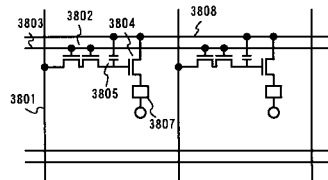
【図 26】



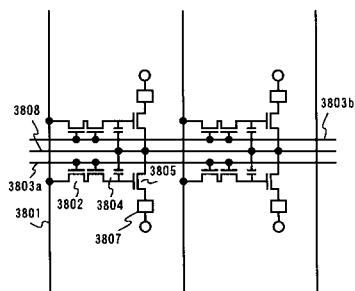
【図 27】



(A)



(B)



(C)

---

フロントページの続き

(58)調査した分野(Int.Cl. , D B 名)

H01L 29/786

H01L 21/318

H01L 21/336