



(10) 授权公告号 CN 113302732 B

(45) 授权公告日 2023. 08. 04

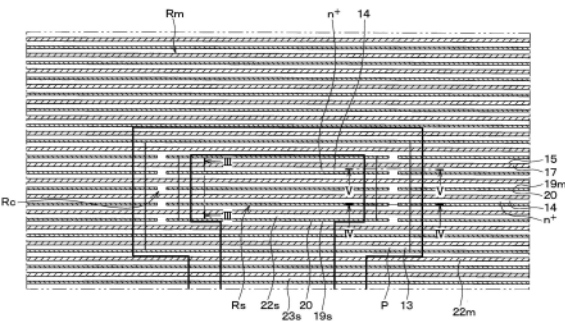
(21) 申请号 202080009119.9	(74) 专利代理机构 永新专利商标代理有限公司
(22) 申请日 2020.01.09	72002
(65) 同一申请的已公布的文献号	专利代理师 吕文卓
申请公布号 CN 113302732 A	(51) Int.Cl.
(43) 申请公布日 2021.08.24	H01L 21/8234 (2006.01)
(30) 优先权数据	H01L 27/088 (2006.01)
2019-005484 2019.01.16 JP	H01L 29/78 (2006.01)
(85) PCT国际申请进入国家阶段日	H01L 29/739 (2006.01)
2021.07.14	(56) 对比文件
(86) PCT国际申请的申请数据	CN 104471710 A, 2015.03.25
PCT/JP2020/000489 2020.01.09	CN 108140611 A, 2018.06.08
(87) PCT国际申请的公布数据	JP 2008235788 A, 2008.10.02
W02020/149211 JA 2020.07.23	JP 2010238993 A, 2010.10.21
(73) 专利权人 株式会社电装	JP 2018107331 A, 2018.07.05
地址 日本爱知县	US 2009189219 A1, 2009.07.30
(72) 发明人 萩野勇志	WO 2018117238 A1, 2018.06.28
	审查员 谢毓毓
	权利要求书2页 说明书6页 附图6页

(54) 发明名称

半导体装置

(57) 摘要

在漂移层与体层(13)的层叠方向上,在一个方向上,主接触沟槽(19m)及形成于主单元区域(Rm)的第1杂质区域(14)比主上部电极(22m)更向感测上部电极(22s)侧突出,感测接触沟槽(19s)及形成于感测单元区域(Rs)的第1杂质区域(14)比感测上部电极(22s)更向主上部电极(22m)侧突出。



1. 一种半导体装置,在主单元区域(R_m)及感测单元区域(R_s)中分别形成有相同的半导体开关元件,基于流到上述感测单元区域的上述半导体开关元件中的电流,检测流到上述主单元区域的上述半导体开关元件中的电流,其特征在于,

上述半导体开关元件具备:

第1导电型的漂移层(12);

第2导电型的体层(13),形成在上述漂移层上;

第1导电型的第1杂质区域(14),形成在上述体层的表层部,杂质浓度比上述漂移层高;

栅极绝缘膜(16),配置在夹在上述第1杂质区域与上述漂移层之间的上述体层的表面;

栅极电极(17),配置在上述栅极绝缘膜上;

第1导电型或第2导电型的第2杂质区域(11),隔着上述漂移层而形成在上述体层的相反侧,杂质浓度比上述漂移层高;

第1电极(22_m、22_s),与上述第1杂质区域及上述体层电连接;以及

第2电极(24),与上述第2杂质区域电连接;

在上述主单元区域,形成有沿一个方向延伸设置并且使上述第1杂质区域及上述体层露出的主接触沟槽(19_m);

在上述感测单元区域,形成有沿上述一个方向延伸设置并且使上述第1杂质区域及上述体层露出、与上述主接触沟槽分离的感测接触沟槽(19_s);

在上述主接触沟槽及上述感测接触沟槽中,配置有与上述第1杂质区域及上述体层电连接的连接电极(20);

上述第1电极具有与配置在上述主接触沟槽中的上述连接电极连接的主上部电极(22_m)、以及与配置在上述感测接触沟槽中的上述连接电极连接并与上述主上部电极分离的感测上部电极(22_s);

在从上述漂移层和上述体层的层叠方向观察时,

在上述一个方向上,上述主接触沟槽及形成于上述主单元区域的上述第1杂质区域比上述主上部电极更向上述感测上部电极侧突出,上述感测接触沟槽及形成于上述感测单元区域的上述第1杂质区域比上述感测上部电极更向上述主上部电极侧突出,

在从上述层叠方向观察时,在上述一个方向上,上述主接触沟槽比形成于上述主单元区域的上述第1杂质区域更向上述感测上部电极侧突出,上述感测接触沟槽比形成于上述感测单元区域的上述第1杂质区域更向上述主上部电极侧突出。

2. 如权利要求1所述的半导体装置,其特征在于,

形成于上述主单元区域的体层和形成于上述感测单元区域的体层被截断。

3. 如权利要求2所述的半导体装置,其特征在于,

在形成于上述主单元区域的体层与形成于上述感测单元区域的体层之间,配置有上述漂移层。

4. 如权利要求2所述的半导体装置,其特征在于,

在形成于上述主单元区域的体层与形成于上述感测单元区域的体层之间,形成有杂质浓度比上述体层高的第2导电型的分离层(25)。

5. 如权利要求1~4中任一项所述的半导体装置,其特征在于,

在从上述层叠方向观察时,

上述感测单元区域形成为圆状；

上述主单元区域形成为，与上述感测单元区域的外缘部之间的间隔在上述感测单元区域的外周的周向上是固定的。

半导体装置

[0001] 对关联申请的相互参照

[0002] 本申请基于2019年1月16日提出申请的日本专利申请第2019-5484号,这里通过参照引用其记载内容。

技术领域

[0003] 本发明涉及具有主单元区域及感测单元区域的半导体装置。

背景技术

[0004] 以往,提出了具有主单元区域及感测单元区域的半导体装置。具体而言,在这样的半导体装置中,主单元区域及感测单元区域形成有相同的开关元件并且成为规定的面积比。另外,作为开关元件,例如形成纵型MOSFET(metal oxide semiconductor field effect transistor的简称)。并且,流过主单元区域的电流及流过感测单元区域的电流依赖于面积比。因此,流过主单元区域的电流根据流过感测单元区域的电流及面积比来检测。

[0005] 但是,在这样的半导体装置中,有时由于电流在半导体装置的面方向上扩散时的扩散电阻,从而流过主单元区域的电流与流过感测单元区域的电流的电流比不同于面积比。因此,例如在专利文献1中提出了如下方案:在主单元区域及感测单元区域中形成有纵型MOSFET且将下部电极共用的半导体装置中,使主单元区域的上部电极和感测单元区域的上部电极接近地配置。由此,与主单元区域的上部电极和感测单元区域的上部电极远离的情况相比,电流难以扩散。因而,流过主单元区域的电流与流过感测单元区域的电流的电流比难以与面积比不同,能够抑制流过主单元区域的电流的检测精度的下降。

[0006] 现有技术文献

[0007] 专利文献

[0008] 专利文献1:美国专利第8928066号说明书

发明内容

[0009] 但是,本发明的发明人研究确认到:即使在上述专利文献1的半导体装置中,电流扩散的抑制也不充分,还有改善的余地。即,确认到:流过主单元区域的电流的检测精度还有改善的余地。

[0010] 本发明的目的在于,提供能够实现流过主单元区域的电流的检测精度的提高的半导体装置。

[0011] 根据本发明的1个技术方案,半导体装置在主单元区域及感测单元区域分别形成有相同的半导体开关元件;半导体开关元件具备:第1导电型的漂移层;第2导电型的体层,形成在漂移层上;第1导电型的第1杂质区域,形成在体层的表层部,杂质浓度比漂移层高;栅极绝缘膜,配置在夹在第1杂质区域与漂移层之间的体层的表面;栅极电极,配置在栅极绝缘膜上;第1导电型或第2导电型的第2杂质区域,隔着漂移层而形成在体层的相反侧,杂质浓度比漂移层高;第1电极,与第1杂质区域及体层电连接;以及第2电极,与第2杂质区域

电连接。并且,在主单元区域,形成有沿一个方向延伸设置并且使第1杂质区域及体层露出的主接触沟槽;在感测单元区域,形成有沿一个方向延伸设置并且使第1杂质区域及体层露出、与主接触沟槽分离的感测接触沟槽;在主接触沟槽及感测接触沟槽中,配置有与第1杂质区域及体层电连接的连接电极;第1电极具有与配置在主接触沟槽中的连接电极连接的主上部电极、以及与配置在感测接触沟槽中的连接电极连接并与主上部电极分离的感测上部电极;在漂移层和体层的层叠方向上,在一个方向上,主接触沟槽及形成于主单元区域的第1杂质区域比主上部电极更向感测上部电极侧突出,感测接触沟槽及形成于感测单元区域的第1杂质区域比感测上部电极更向主上部电极侧突出。

[0012] 由此,相比于主上部电极与感测上部电极的间隔,能够缩短形成于主单元区域的第1杂质区域与形成于感测单元区域的第1杂质区域的间隔。即,能够将主单元区域及感测单元区域更接近地配置。因此,能够抑制电流在半导体装置的面方向上扩散。因而,流过主单元区域的电流和流过感测单元区域的电流的电流比相对于面积比难以不同。由此,能够抑制流过主单元区域的电流的检测精度的下降。

[0013] 另外,对各构成要素等赋予的带括号的标号表示该构成要素等与后述的实施方式所记载的具体构成要素等的对应关系的一例。

附图说明

[0014] 图1是第1实施方式的半导体装置的平面示意图。

[0015] 图2是将图1中的区域II放大的平面示意图。

[0016] 图3是沿着图2中的III—III线的剖视图。

[0017] 图4是沿着图2中的IV—IV线的剖视图。

[0018] 图5是沿着图2中的V—V线的剖视图。

[0019] 图6是表示对源极区域相对于接触沟槽的突出长度、与上升电压及弯折电流之间的关系进行调查的实验结果的图。

[0020] 图7是第2实施方式的半导体装置的剖视图。

[0021] 图8是第3实施方式的半导体装置的剖视图。

[0022] 图9是第4实施方式的半导体装置的平面示意图。

具体实施方式

[0023] 以下,基于附图对本发明的实施方式进行说明。另外,在以下的各实施方式中,对相互相同或等同的部分赋予相同的标号而进行说明。

[0024] (第1实施方式)

[0025] 参照附图对第1实施方式进行说明。本实施方式的半导体装置如图1所示,具有主单元区域R_m、感测单元区域R_s、中间区域R_c、周边区域R_p。并且,半导体装置为如下结构:感测单元区域R_s隔着中间区域R_c而被主单元区域R_m包围,并且主单元区域R_m被周边区域R_p包围。

[0026] 以下,参照图2~图5对主单元区域R_m及感测单元区域R_s的结构进行说明。另外,在本实施方式中,在主单元区域R_m及感测单元区域R_s,具备同样的构造的n沟道型的纵型MOSFET。即,图3的剖视图虽然是感测单元区域R_s的剖视图,但主单元区域R_m的剖视图也同

样。

[0027] 此外,主单元区域R_m及感测单元区域R_s形成为规定的面积比。并且,本实施方式的半导体装置检测流过感测单元区域R_s的电流,通过检测到的感测单元区域R_s的电流及面积比,检测(即计算)流过主单元区域R_m的电流。

[0028] 半导体装置具备具有由n⁺型的硅基板构成的漏极层11的半导体基板10。并且,在漏极层11上,配置有杂质浓度比漏极层11低的n⁻型的漂移层12。在漂移层12上,形成有杂质浓度设定得比较低的p型的体(body)层13。在体层13的表层部,具备杂质浓度比漂移层12高的源极区域14。另外,在本实施方式中,漏极层11相当于第2杂质区域,源极区域14相当于第1杂质区域。

[0029] 并且,在半导体基板10,以将源极区域14及体层13贯通而达到漂移层12的方式形成有栅极沟槽15。该栅极沟槽15以将内壁面的表面覆盖的方式形成有栅极绝缘膜16,并且隔着栅极绝缘膜16而在栅极沟槽15内埋入了由掺杂多晶硅构成的栅极电极17。由此,形成沟槽栅构造。在本实施方式中,如图2所示,栅极沟槽15以图中的纸面左右方向为长度方向(即,一个方向),以成为条状态的方式形成有多个。此外,栅极沟槽15成为形成于主单元区域R_m的部分与形成于感测单元区域R_s的部分相连的状态。即,栅极沟槽15从主单元区域R_m经由中间区域R_c延伸设置到感测单元区域R_s。

[0030] 另外,图2虽不是剖视图,但为了容易理解,对栅极电极17及后述的连接电极20施以了阴影。此外,在图2中,将配置于栅极沟槽15的栅极绝缘膜16、及后述的层间绝缘膜18、21等省略而进行图示。

[0031] 并且,在本实施方式中,源极区域14形成在主单元区域R_m及感测单元区域R_s,没有形成在中间区域R_c。即,在本实施方式中,将形成了源极区域14的部分设为主单元区域R_m或感测单元区域R_s,将没有形成源极区域14的部分设为中间区域R_c。换言之,在本实施方式中,根据是否形成了源极区域14来划分区域。

[0032] 在半导体基板10上,形成有由氧化膜等构成的第1层间绝缘膜18。并且,以将第1层间绝缘膜18及源极区域14贯通而达到体层13的方式形成有接触沟槽19_m、19_s。由此,源极区域14从接触沟槽19_m、19_s的侧面露出,体层13从接触沟槽19_m、19_s的底部露出。

[0033] 在本实施方式中,在感测单元区域R_s及主单元区域R_m中,接触沟槽19_m、19_s沿着栅极沟槽15的延伸设置方向而形成在相邻的栅极沟槽15之间。即,接触沟槽19_m、19_s的长度方向与栅极沟槽15的长度方向平行。

[0034] 但是,接触沟槽19_m、19_s形成为,形成于感测单元区域R_s的部分与形成于主单元区域R_m的部分相分离。以下,将形成于主单元区域R_m的接触沟槽19_m也称作主接触沟槽19_m,将形成于感测单元区域R_s的接触沟槽19_s也称作感测接触沟槽19_s。

[0035] 并且,在主接触沟槽19_m及感测接触沟槽19_s中,分别埋入了连接电极20。另外,在本实施方式中,作为连接电极20而埋入了钨。

[0036] 此外,在半导体基板10上,形成有第2层间绝缘膜21,该第2层间绝缘膜21形成有使形成于主单元区域R_m及感测单元区域R_s的连接电极20的一部分露出的接触孔21a。另外,第2层间绝缘膜21由氧化膜等构成。

[0037] 并且,以经接触孔21a而与连接电极20电连接的方式,在主单元区域R_m形成有主上部电极22_m,在感测单元区域R_s形成有感测上部电极22_s。

[0038] 在本实施方式中,主上部电极22m如图2所示,以一部分缺失了的四边框体形状构成。感测上部电极22s呈四边形,以被主上部电极22m包围的方式配置。并且,感测上部电极22s中的一边被连接于引出布线23s,经过形成于主上部电极22m的缺口而被引出到主单元区域Rm的外侧。此外,虽然没有特别图示,但在图1中的周边区域Rp,形成有与主上部电极22m连接的焊盘部,并且形成有与感测上部电极22s连接的焊盘部。另外,在本实施方式中,主上部电极22m及感测上部电极22s相当于第1电极。

[0039] 在半导体基板10的背面侧,形成有相当于漏极电极的下部电极24。另外,下部电极24形成在半导体基板10的背面的整体,在主单元区域Rm及感测单元区域Rs中被共用。此外,在本实施方式中,下部电极24相当于第2电极。

[0040] 以上是本实施方式的半导体装置的基本结构。并且,这样的半导体装置通过向栅极电极17施加规定的电压而在体层13形成反型层而流过电流。另外,在本实施方式中, n^- 型、 n^+ 型相当于第1导电型,p型相当于第2导电型。

[0041] 接着,对本实施方式的主上部电极22m、主接触沟槽19m及形成于主单元区域Rm的源极区域14的位置关系进行说明。此外,对感测上部电极22s、感测接触沟槽19s、形成于感测单元区域Rs的源极区域14的关系进行说明。另外,以下,将半导体基板10的面方向的法线方向也简称作法线方向。但是,由于本实施方式的半导体装置如上述那样构成,所以法线方向换种说法也能够称作漂移层12与体层13的层叠方向。

[0042] 在本实施方式中,如图2及图4所示,当从法线方向观察时(即,在层叠方向上),主接触沟槽19m形成为,在长度方向上从主上部电极22m突出。具体而言,当从法线方向观察时,主接触沟槽19m形成为,比主上部电极22m更向感测单元区域Rs侧突出。同样,当从法线方向观察时,感测接触沟槽19s形成为,在长度方向上从感测上部电极22s突出。具体而言,当从法线方向观察时,感测接触沟槽19s形成为,比感测上部电极22s更向主单元区域Rm侧突出。

[0043] 此外,如图2及图5所示,当从法线方向观察时,形成于主单元区域Rm的源极区域14形成为,在长度方向上从主上部电极22m突出。具体而言,当从法线方向观察时,形成于主单元区域Rm的源极区域14形成为,比主上部电极22m更向感测单元区域Rs侧突出。同样,当从法线方向观察时,形成于感测单元区域Rs的源极区域14形成为,在长度方向上从感测上部电极22s突出。具体而言,当从法线方向观察时,形成于感测单元区域Rs的源极区域14形成为,比感测上部电极22s更向主单元区域Rm侧突出。

[0044] 但是,在本实施方式中,主接触沟槽19m形成为,比形成于主单元区域Rm的源极区域14突出。同样,感测接触沟槽19s形成为,比形成于感测单元区域Rs的源极区域14突出。

[0045] 如以上说明,在本实施方式中,主接触沟槽19m及形成于主单元区域Rm的源极区域14形成为,在长度方向上比主上部电极22m更向感测单元区域Rs侧突出。此外,感测接触沟槽19s及形成于感测单元区域Rs的源极区域14形成为,在长度方向上比感测上部电极22s更向主单元区域Rm侧突出。因此,根据本实施方式,能够使形成于主单元区域Rm的源极区域14与形成于感测单元区域Rs的源极区域14之间的间隔比主上部电极22m与感测上部电极22s之间的间隔短。即,能够将主单元区域Rm及感测单元区域Rs更接近地配置。因此,能够抑制电流在半导体基板10的面方向上扩散。因而,流过主单元区域Rm的电流与流过感测单元区域Rs的电流的电流比相对于面积比难以不同。由此,能够抑制流过主单元区域Rm的电流的

检测精度的下降。

[0046] 此外,在本实施方式中,在长度方向上,主接触沟槽19m形成为,比形成于主单元区域Rm的源极区域14更向感测单元区域Rs侧突出。同样,感测接触沟槽19s形成为,比形成于感测单元区域Rs的源极区域14更向主单元区域Rm侧突出。因此,如图6所示,能够抑制包括n型的源极区域14、p型的体层13、n型的漂移层12的寄生晶体管的动作。

[0047] 另外,在图6中,所谓上升电压,表示在半导体装置中刚刚开始流动电流后的电压,越大则表示寄生晶体管越难以动作。此外,在图6中,所谓弯折电流,表示在半导体装置中开始流动电流时能够流过该半导体装置的电流,越大则表示寄生晶体管越难以动作。并且,在图6中,所谓源极区域相对于接触沟槽的突出长度,如果是正值则表示源极区域14比接触沟槽19m、19s突出,如果是负值则表示接触沟槽19m、19s比源极区域14突出。

[0048] (第2实施方式)

[0049] 对第2实施方式进行说明。本实施方式相对于第1实施方式变更了体层13的结构。其他与上述第1实施方式是同样的所以这里省略说明。

[0050] 在本实施方式中,如图7所示,形成于感测单元区域Rs的体层13和形成于主单元区域Rm的体层13成为被截断的状态。并且,成为在形成于感测单元区域Rs的体层13与形成于主单元区域Rm的体层13之间配置有漂移层12的状态。即,在中间区域Rc,存在没有形成体层13的部分。另外,中间区域Rc中的没有形成体层13的部分以将感测单元区域Rs包围而绕一周的方式构成。此外,图7相当于图2中的V-V截面。

[0051] 如以上说明,在本实施方式中,形成于感测单元区域Rs的体层13和形成于主单元区域Rm的体层13被截断而构成。因此,在中间区域Rc,形成难以作为MOSFET而动作的部分,在该部分不流过电流。因此,能够抑制电流在半导体基板10的面方向上扩散,能够进一步实现检测精度的提高。

[0052] 另外,主单元区域Rm的体层13只要一直形成到比源极区域14更靠感测单元区域Rs侧,则与主接触沟槽19m的位置关系能够适当变更。即,主单元区域Rm的体层13可以一直形成至比主接触沟槽19m更靠感测单元区域Rs,也可以主接触沟槽19m一直形成至更靠感测单元区域Rs侧。同样,感测单元区域Rs的体层13只要一直形成至比源极区域14更靠主单元区域Rm侧,则与感测接触沟槽19s的位置关系能够适当变更。即,感测单元区域Rs的体层13可以一直形成至比感测接触沟槽19s更靠主单元区域Rm,也可以感测接触沟槽19s一直形成至更靠主单元区域Rm侧。

[0053] (第3实施方式)

[0054] 对第3实施方式进行说明。本实施方式相对于第2实施方式变更了体层13的结构。其他与上述第2实施方式是同样的所以这里省略说明。

[0055] 在本实施方式中,如图8所示,形成于感测单元区域Rs的体层13和形成于主单元区域Rm的体层13被形成于中间区域Rc的分离层25分离。在本实施方式中,分离层25由杂质浓度比体层13高的P⁺型的区域构成。另外,分离层25以将感测单元区域Rs包围而绕一周的方式构成。此外,图8相当于图2中的V-V截面。

[0056] 作为这样的半导体装置,也由于电流难以流过形成有分离层25的部分,所以能够得到与上述第2实施方式同样的效果。

[0057] (第4实施方式)

[0058] 对第4实施方式进行说明。本实施方式相对于第1实施方式变更了主单元区域R_m及感测单元区域R_s的平面形状。其他与上述第1实施方式是同样的所以这里省略说明。

[0059] 在本实施方式中,如图9所示,当从法线方向观察时,感测单元区域R_s呈大致圆状。并且,主单元区域R_m形成为,与感测单元区域R_s的外缘部之间的间隔沿着该感测单元区域R_s的外周的周向是固定的。另外,当从法线方向观察时,感测上部电极22s呈大致圆状,主上部电极22m以一部分缺失了的圆框体形状构成。并且,感测上部电极22s与上述第1实施方式同样,经过形成于主上部电极22m的缺口而被引出到主单元区域R_m的外侧。另外,图9相当于图1中的区域II的放大图。

[0060] 由此,主单元区域R_m与感测单元区域R_s的间隔沿着感测单元区域R_s的外周而是均匀的。因此,电流向横向的扩散的影响均匀地对感测单元区域R_s带来影响,能够容易地进行设计。

[0061] (其他实施方式)

[0062] 将本发明依据实施方式进行了描述,但应理解的是本发明并不限于该实施方式及构造。本发明也包含各种各样的变形例及等价范围内的变形。除此以外,各种各样的组合及形态,进而在它们中包含仅一要素、其以上或其以下的其他组合及形态也落入在本发明的范畴及思想范围内。

[0063] 例如,在上述各实施方式中,将第1导电型为n型、第2导电型为p型的n沟道型的沟槽栅构造的MOSFET作为半导体开关元件的一例进行了说明。但是,这只不过表示一例,也可以是其他构造的半导体开关元件,例如相对于n沟道型而言使各构成要素的导电型反型了的p沟道型的沟槽栅构造的MOSFET。此外,除MOSFET以外,对于同样的构造的IGBT (insulated gate bipolar transistor的简称)也能够应用上述各实施方式。在IGBT的情况下,除了将漏极层11变更为p型的集电极层以外,与在上述各实施方式中说明的纵型MOSFET是同样的。进而,在上述各实施方式中,还能够对不是沟槽栅构造而是平面栅极构造的半导体装置进行应用。

[0064] 此外,也可以将上述各实施方式适当变更。例如,也可以对上述第2、第3实施方式组合上述第4实施方式。

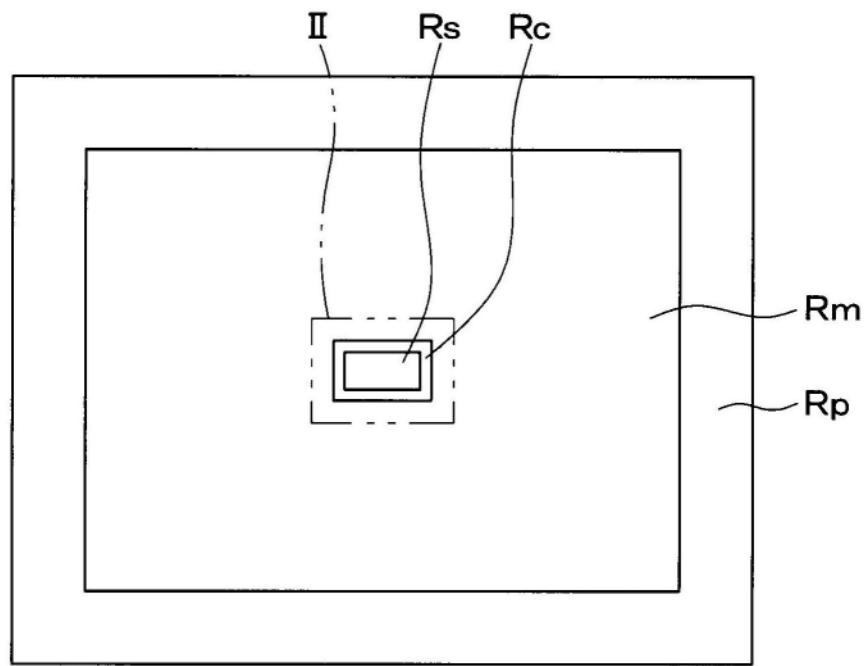


图1

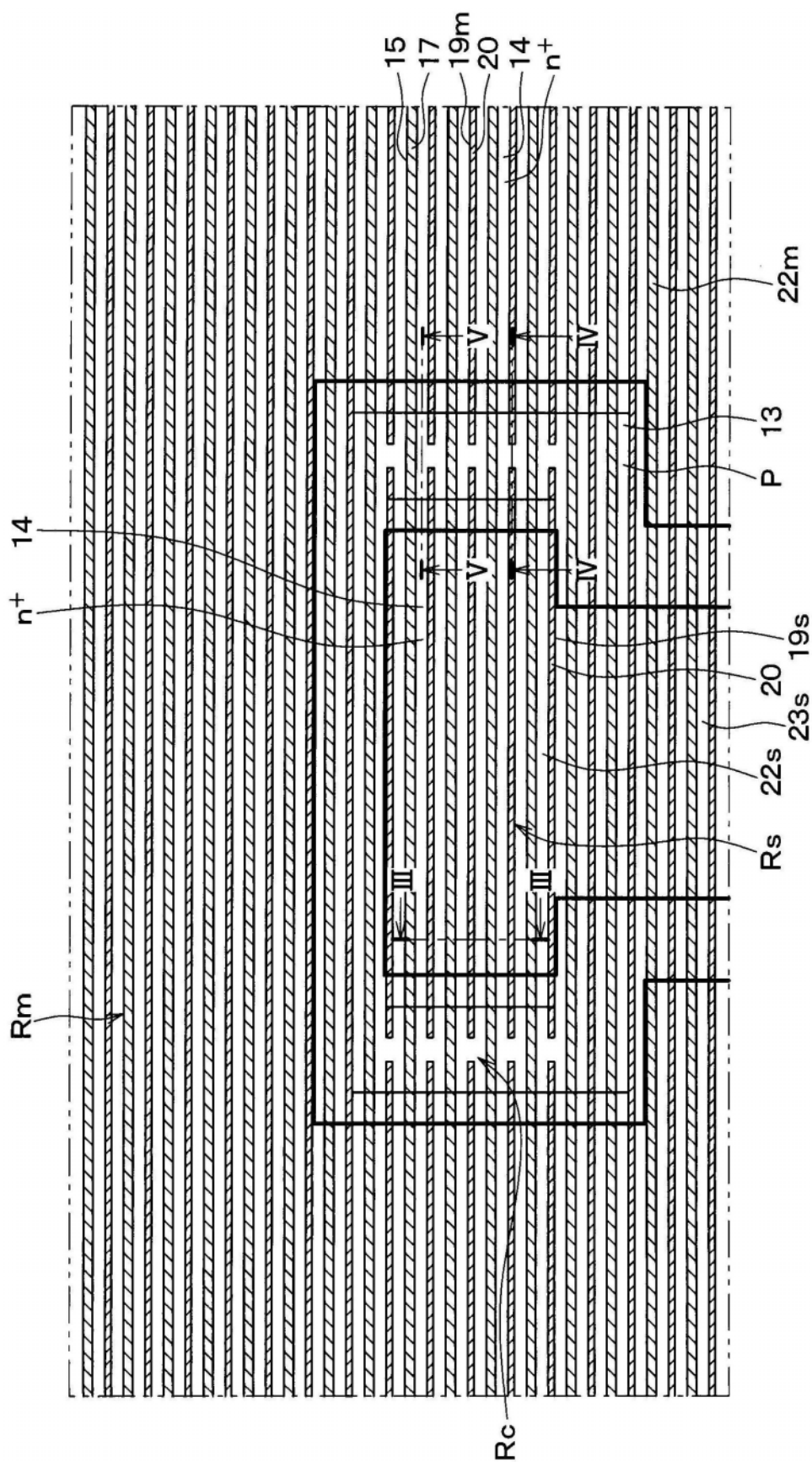


图2

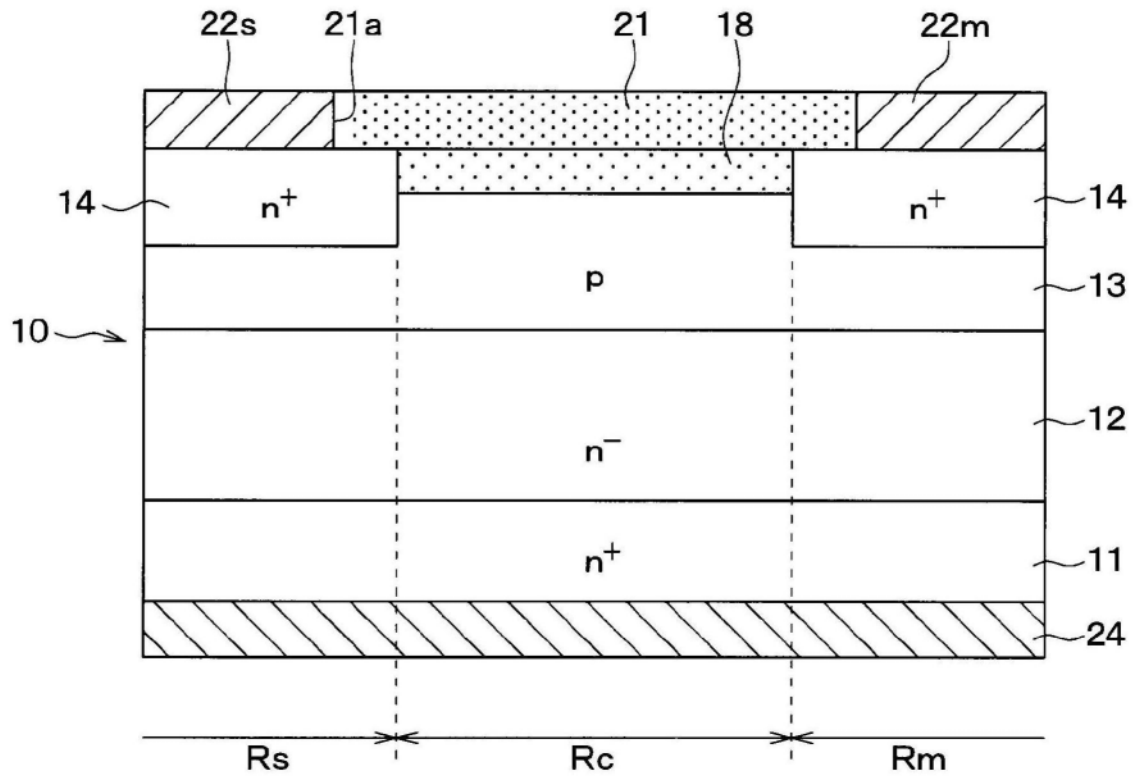


图5

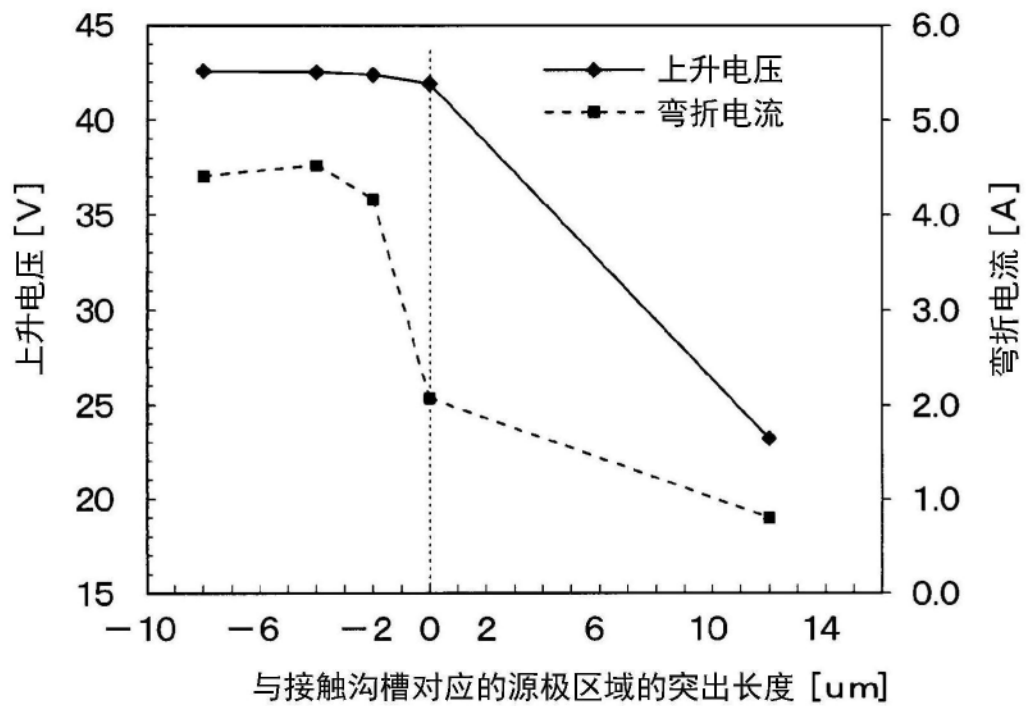


图6

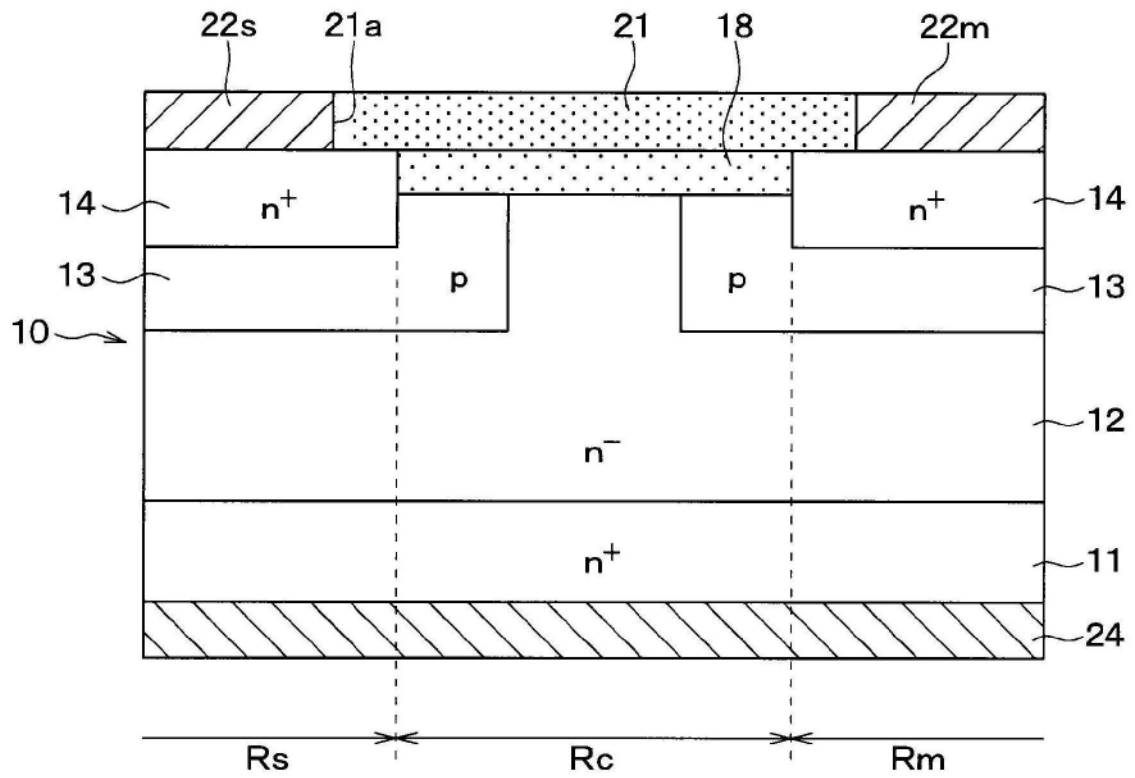


图7

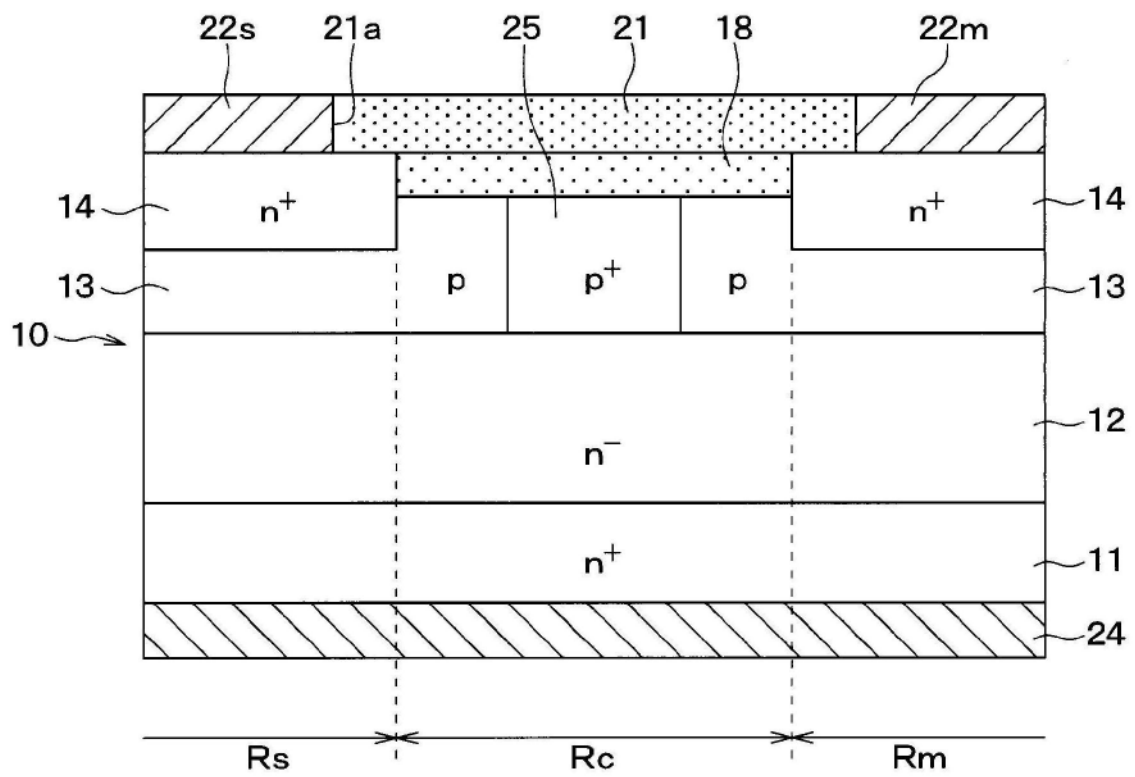


图8

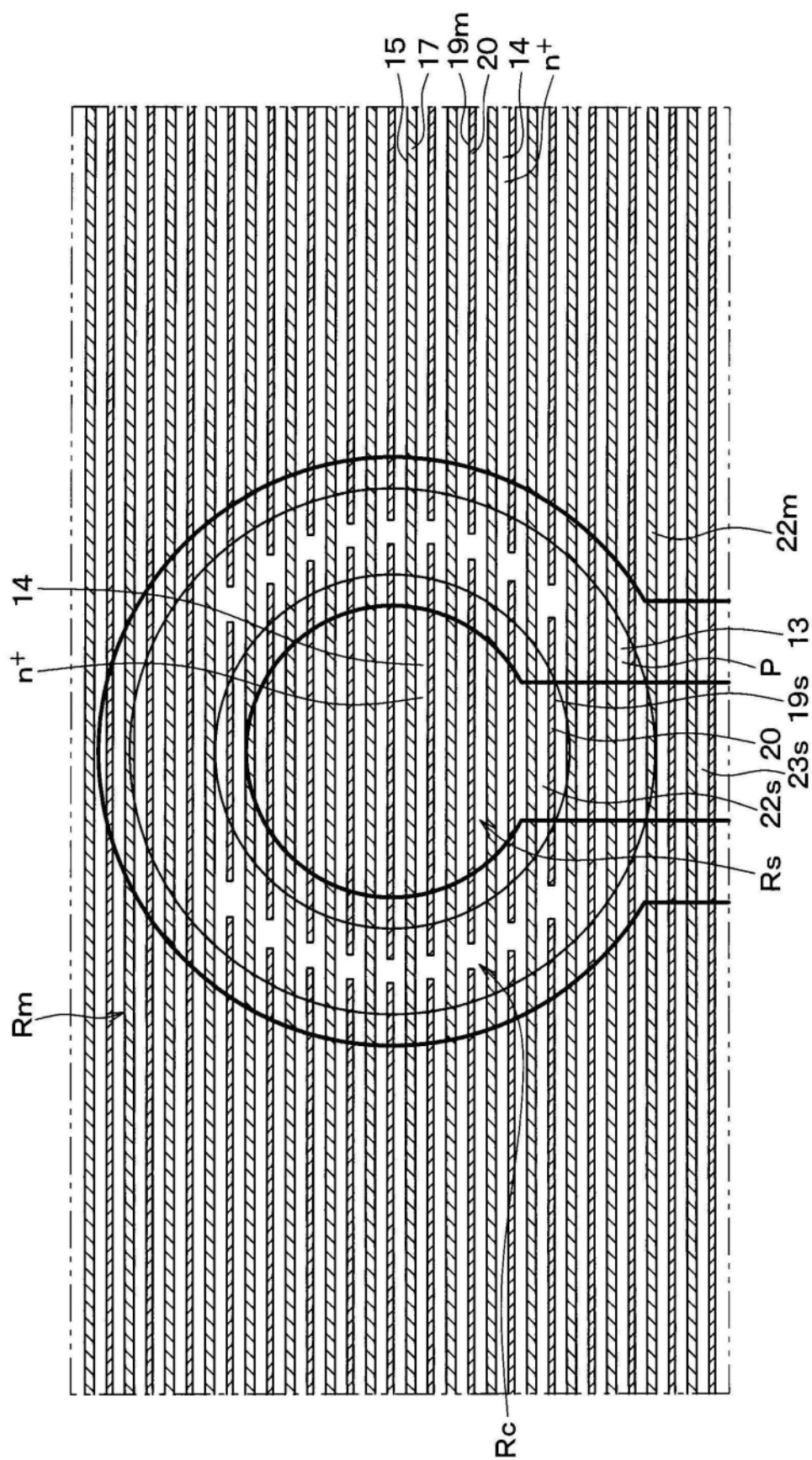


图9