

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関  
国際事務局

(43) 国際公開日  
2024年4月4日(04.04.2024)

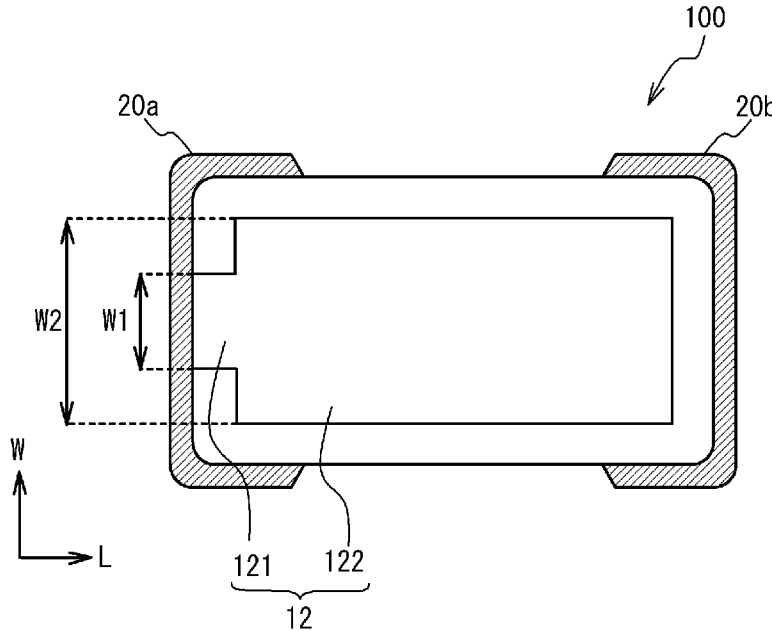


(10) 国際公開番号  
**WO 2024/071420 A1**

- (51) 国際特許分類:  
*H01G 13/00* (2013.01)    *H01G 2/06* (2006.01)  
*H05K 13/02* (2006.01)    *H01G 4/30* (2006.01)
- (21) 国際出願番号:                    PCT/JP2023/035788
- (22) 国際出願日:                    2023年9月29日(29.09.2023)
- (25) 国際出願の言語:                    日本語
- (26) 国際公開の言語:                    日本語
- (30) 優先権データ:  
特願 2022-158955    2022年9月30日(30.09.2022) JP  
特願 2022-158517    2022年9月30日(30.09.2022) JP
- (71) 出願人: 太陽誘電株式会社(TAIYO YUDEN CO., LTD.) [JP/JP]; 〒1040031 東京都中央区京橋二丁目7番19号 Tokyo (JP).
- (72) 発明者: 北村 翔平 (KITAMURA, Shohei); 〒1040031 東京都中央区京橋二丁目7番19号 太陽誘電株式会社内 Tokyo (JP). 城田歩 (SHIROTA, Ayumi); 〒1040031 東京都中央区京橋二丁目7番19号 太陽誘電株式会社内 Tokyo (JP). 松岡亜友美 (MATSUOKA, Ayumi); 〒1040031 東京都中央区京橋二丁目7番19号 太陽誘電株式会社内 Tokyo (JP). 浅子ひかり (ASAKO, Hikari); 〒1040031 東京都中央区京橋二丁目7番19号 太陽誘電株式会社内 Tokyo (JP).
- (74) 代理人: 片山 修平 (KATAYAMA, Shuhei); 〒1040031 東京都中央区京橋1-6-1 三井住友海上テプコビル Tokyo (JP).

(54) Title: CERAMIC ELECTRONIC COMPONENT, PACKAGE, CIRCUIT BOARD, AND METHOD FOR MANUFACTURING CERAMIC ELECTRONIC COMPONENT

(54) 発明の名称: セラミック電子部品、包装体、回路基板、およびセラミック電子部品の製造方法



(57) Abstract: This ceramic electronic component is characterized by comprising: a laminated chip that has a substantially rectangular parallelepiped shape, that has layered alternately a plurality of dielectric layers and a plurality of internal electrode layers mainly made of Ni, and that is formed such that the internal electrode layers are alternately exposed to opposite first and second end surfaces of the substantially rectangular parallelepiped shape; and a pair of external electrodes that are provided to the first and second end surfaces and that have contact layers being in contact with the first and second end surfaces and being mainly made of Cu. The ceramic electronic component is also characterized in that a

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CV, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, MG, MK, MN, MU, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, CV, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SC, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, ME, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

一 国際調査報告 (条約第21条(3))

low melting metal having a lower melting point than that of Cu is added to the internal electrode layers and the contact layers, and in one or more of the internal electrode layers from the outermost layer of the internal electrode layers, the width of connection parts connected to the external electrodes is smaller than that in other regions.

(57) 要約: セラミック電子部品は、複数の誘電体層と、Niを主成分とする複数の内部電極層と、が交互に積層され、略直方体形状を有し、前記略直方体形状の対向する第1端面と第2端面とに前記複数の内部電極層が交互に露出するように形成された積層チップと、前記1端面および前記第2端面に設けられ、前記第1端面および前記第2端面に接する接触層の主成分がCuである1対の外部電極と、を備え、前記複数の内部電極層および前記接触層に、Cuよりも低融点の低融点金属が添加されており、前記複数の内部電極層のうち最外層から1層以上の内部電極層において、前記外部電極に接続される接続部の幅が、他の領域の幅よりも狭いことを特徴とする。

## 明 細 書

発明の名称：

セラミック電子部品、包装体、回路基板、およびセラミック電子部品の製造方法

### 技術分野

[0001] 本発明は、セラミック電子部品、包装体、回路基板、およびセラミック電子部品の製造方法に関する。

### 背景技術

[0002] 近年、携帯情報端末等の電子機器の小型化が進み、回路基板上でのセラミック電子部品の実装面積は制限されている。その一方で、機器の高機能化により、積層セラミックコンデンサのさらなる大容量化が求められている。

### 先行技術文献

#### 特許文献

- [0003] 特許文献1：国際公開第2014/175034号  
特許文献2：特開2022-067608号公報  
特許文献3：特開2014-212295号公報  
特許文献4：特開2011-134943号公報

### 発明の概要

#### 発明が解決しようとする課題

[0004] セラミック電子部品の大容量化を実現するため、薄層化および積層数の増加、カバー層やサイドマージン（外側保護部）の縮小が進められている。しかしながら、内部電極層の面積や積層数を増やし、カバー層およびサイドマージンを薄くしていくと、Cuの外部電極を焼付けた際に、外部電極に覆われた、カバー層とサイドマージンとが重なる部分にクラックが生じる場合がある。このクラックを抑制するために、Cuの拡散を抑制することが考えられる（例えば、特許文献1参照）。Cuの拡散を抑制する手段としては、一

般的には、外部電極を形成する導電性ペーストに添加するガラスの成分の調整や（例えば、特許文献1参照）、Snのような低融点金属の添加（例えば、特許文献2参照）で焼付け温度を下げる方法が知られている。

[0005] しかしながら、クラックが発生しない程度まで焼き付け温度を過度に下げると、外部電極の緻密性が低下して信頼性を確保できなくなったり、外部電極とセラミック本体との固着強度が低下したりといった問題がある。

[0006] また、積層セラミックコンデンサの大容量化を実現するには、内部電極層の総対向面積の増加が重要である。実装面積を拡大せずに大容量化を実現するために、内部電極層の積層数を多くすることが考えられる（例えば、特許文献3参照）。しかしながら、積層数が多いと、積層時に位置ずれが起きやすくなったり、焼成前の積層体を積層方向に垂直にカットすることが困難となったりする。

[0007] そこで、積層数を抑えつつ内部電極層の幅を大きくすることが考えられる。しかしながら、内部電極層の幅が大きくなると、バインダが十分に除去されないおそれがある（特許文献4）。バインダが十分に除去されないと、クラックが発生するおそれがある。

[0008] 本発明は、上記課題に鑑みなされたものであり、クラックの発生を抑制することができるセラミック電子部品、包装体、回路基板、およびセラミック電子部品の製造方法を提供することを目的とする。

### 課題を解決するための手段

[0009] 本発明に係るセラミック電子部品は、複数の誘電体層と、Niを主成分とする複数の内部電極層と、が交互に積層され、略直方体形状を有し、前記略直方体形状の対向する第1端面と第2端面とに前記複数の内部電極層が交互に露出するように形成された積層チップと、前記第1端面および前記第2端面に設けられ、前記第1端面および前記第2端面に接する接触層の主成分がCuである1対の外部電極と、を備え、前記複数の内部電極層および前記接触層に、Cuよりも低融点の低融点金属が添加されており、前記複数の内部電極層のうち最外層から1層以上の内部電極層において、前記外部電極に接

続される接続部の幅が、他の領域の幅よりも狭いことを特徴とする。

- [0010] 上記セラミック電子部品において、前記低融点金属は、Ga、In、Sn、Bi、Zn、Alの少なくともいずれか1つを含んでいてもよい。
- [0011] 上記セラミック電子部品において、前記最外層から1層以上の内部電極層は、前記複数の内部電極層の全積層数に対して、合計で10%以上の層数を有していてもよい。
- [0012] 上記セラミック電子部品において、前記接続部の幅は、異なる外部電極に接続される内部電極層同士が対向する領域における前記内部電極層の幅の、 $1/2$ 以上、 $4/5$ 以下であってもよい。
- [0013] 上記セラミック電子部品において、前記第1端面と前記第2端面とが対向する方向における前記接続部の長さは、前記1対の外部電極が前記第1端面または前記第2端面から、前記積層チップの前記第1端面および前記第2端面以外の4面の少なくともいずれかの面に延在する距離の $1/3$ 以上であってもよい。
- [0014] 上記セラミック電子部品において、前記第1端面と前記第2端面とが対向する方向に直交するとともに互いに直交する方向を第1方向および第2方向とし、前記複数の内部電極層が積層される方向を前記第1方向とする場合、前記第2方向の寸法に対して前記第1方向の寸法は、1.3倍以上であってもよい。
- [0015] 上記セラミック電子部品において、前記第1端面と前記第2端面とが対向する方向に直交するとともに互いに直交する方向を第1方向および第2方向とし、前記複数の内部電極層が積層される方向を前記第2方向とする場合、前記第2方向の寸法に対して前記第1方向の寸法は、1.3倍以上であってもよい。
- [0016] 上記セラミック電子部品において、前記複数の内部電極層のそれぞれの厚みは、 $0.1\mu\text{m}$ 以上 $2\mu\text{m}$ 以下であってもよい。
- [0017] 上記セラミック電子部品において、前記複数の誘電体層のそれぞれの厚みは、 $0.3\mu\text{m}$ 以上 $10\mu\text{m}$ 以下であってもよい。

- [0018] 本発明に係る包装体は、上記セラミック電子部品のいずれかと、前記第1端面と前記第2端面とが対向する方向に直交するとともに互いに直交する第1方向および第2方向のうち、前記第1方向に垂直なシール面と、前記シール面から前記第1方向に窪み、前記セラミック電子部品を収容する凹部と、を有するキャリアテープと、前記シール面に貼り付けられ、前記凹部を覆うトップテープと、を備えることを特徴とする。
- [0019] 本発明に係る回路基板は、上記セラミック電子部品のいずれかと、前記第1端面と前記第2端面とが対向する方向に直交するとともに互いに直交する第1方向および第2方向のうち、前記第1方向に垂直な実装面と、前記実装面に設けられ、前記セラミック電子部品の前記1対の外部電極がそれぞれハンダを介して接続された1対の接続電極と、を有する実装基板と、を備えることを特徴とする。
- [0020] 本発明に係るセラミック電子部品の製造方法は、誘電体グリーンシート上にNiを主成分としてCuよりも低融点の低融点金属が添加された内部電極パターンが成膜された積層単位が、複数積層された積層体を焼成する工程と、前記積層体を焼成する際に、または前記積層体を焼成した後に、前記積層体の互いに対向する第1端面と第2端面とに、Cuを主成分として前記低融点金属を含む層を形成する工程と、を含み、前記複数の内部電極パターンのうち最外層から1層以上の内部電極パターンにおいて、前記低融点金属を含む層に接続される接続部の幅が、他の領域の幅よりも狭いことを特徴とする。
- [0021] 本発明に係るセラミック電子部品は、第1方向の寸法が前記第1方向と直交する第2方向の寸法の1.3倍以上であり、複数の誘電体層と、Niを主成分とする複数の内部電極層と、が前記第2方向に交互に積層され、略直方体形状を有し、前記第1方向および前記第2方向に直交する第3方向に対向する第1端面と第2端面とに前記複数の内部電極層が交互に露出するように形成された積層チップと、前記第1端面および前記第2端面に設けられ、前記第1端面および前記第2端面に接する部位の主成分がCuである1対の外

部電極と、を備え、前記複数の内部電極層の内部、および前記複数の内部電極層と前記複数の誘電体層との界面の少なくともいずれか一方に、Cuよりも低融点の低融点金属が備わっていることを特徴とする。

- [0022] 上記セラミック電子部品において、前記低融点金属は、Ga、In、Sn、Bi、Pb、Znのいずれか1つを含んでいてもよい。
- [0023] 上記セラミック電子部品において、前記複数の内部電極層のうち最外層から1層以上の内部電極層において、前記外部電極に接続される接続部の前記第1方向の幅が、他の領域の幅よりも狭くてもよい。
- [0024] 上記セラミック電子部品において、前記最外層から1層以上の内部電極層は、前記複数の内部電極層の全積層数に対して、合計で10%以上、50%以下の層数を有していてもよい。
- [0025] 上記セラミック電子部品において、前記接続部の前記第1方向の幅は、異なる外部電極に接続される内部電極層同士が対向する領域における前記内部電極層の前記第1方向の幅の、 $1/2$ 以上、 $4/5$ 以下であってもよい。
- [0026] 上記セラミック電子部品において、前記複数の内部電極層のそれぞれの厚みは、 $0.1\ \mu\text{m}$ 以上 $2\ \mu\text{m}$ 以下であってもよい。
- [0027] 上記セラミック電子部品において、前記複数の誘電体層のそれぞれの厚みは、 $0.3\ \mu\text{m}$ 以上 $3\ \mu\text{m}$ 以下であってもよい。
- [0028] 本発明に係る包装体は、上記のいずれかのセラミック電子部品と、前記第1方向に垂直なシール面と、前記シール面から前記第1方向に窪み、前記セラミック電子部品を収容する凹部と、を有するキャリアテープと、前記シール面に貼り付けられ、前記凹部を覆うトップテープと、を備えることを特徴とする。
- [0029] 本発明に係る回路基板は、上記のいずれかのセラミック電子部品と、前記第1方向に垂直な実装面と、前記実装面に設けられ、前記セラミック電子部品の前記1対の外部電極がそれぞれハンダを介して接続された1対の接続電極と、を有する実装基板と、を備えることを特徴とする。
- [0030] 本発明に係るセラミック電子部品の製造方法は、第1方向の寸法が前記第

1方向と直交する第2方向の寸法の1.3倍以上であるセラミック電子部品の製造方法であって、誘電体グリーンシート上にNiを主成分としてCuよりも低融点の低融点金属が添加された内部電極パターンが成膜された積層単位が、前記第2方向に複数積層された積層体を焼成する工程と、前記積層体を焼成する際に、または前記積層体を焼成した後に、前記積層体の前記第1方向および前記第2方向に直交する第3方向に対向する第1端面と第2端面とにCuを主成分とする層を形成する工程と、を含むことを特徴とする。

### 発明の効果

[0031] 本発明によれば、クラックの発生を抑制することができるセラミック電子部品、包装体、回路基板、およびセラミック電子部品の製造方法を提供することができる。

### 図面の簡単な説明

[0032] [図1] (a) および (b) は第1実施形態に係る積層セラミックコンデンサの部分断面斜視図である。

[図2] 図1 (a) のA-A線断面図である。

[図3] 図1 (a) のB-B線断面図である。

[図4] 外部電極付近の拡大断面図である。

[図5] クラックを例示する図である。

[図6] 第1領域および第2領域を例示する図である。

[図7] 寸法eを例示する図である。

[図8] 積層セラミックコンデンサの製造方法のフローを例示する図である。

[図9] 積層セラミックコンデンサを含む回路基板の側面図である。

[図10] 包装体の部分平面図である。

[図11] 包装体の断面図である。

[図12] (a) および (b) は第2実施形態に係る積層セラミックコンデンサを例示する図である。

[図13] (a) および (b) は第3実施形態に係る積層セラミックコンデンサを例示する図である。

[図14]積層工程を例示する図である。

[図15] (a) および (b) は第4実施形態に係る積層セラミックコンデンサを例示する図である。

[図16] (a) および (b) は第5実施形態に係る積層セラミックコンデンサを例示する図である。

[図17]第6実施形態に係る積層セラミックコンデンサの部分断面斜視図である。

[図18]図17のA-A線断面図である。

[図19]図17のB-B線断面図である。

[図20]外部電極付近の拡大断面図である。

[図21]積層数の多い積層セラミックコンデンサを例示する図である。

[図22]脱バインダクラックを例示する図である。

[図23]積層セラミックコンデンサの製造方法のフローを例示する図である。

[図24]積層工程を例示する図である。

[図25]積層セラミックコンデンサを含む回路基板の側面図である。

[図26]包装体の部分平面図である。

[図27]図26のD-D線に沿った包装体の断面図である。

[図28]外部電極近傍のコーナー部のクラックを例示する図である。

[図29]第7実施形態に係る積層セラミックコンデンサを例示する図である。

[図30]寸法eを例示する図である。

[図31]積層工程を例示する図である。

[図32]第8実施形態に係る積層セラミックコンデンサを例示する図である。

[図33]積層工程を例示する図である。

### 発明を実施するための形態

[0033] 以下、図面を参照しつつ、実施形態について説明する。

[0034] (第1実施形態)

図1(a)および図1(b)は、第1実施形態に係る積層セラミックコンデンサ100の部分断面斜視図である。図2は、図1(a)のA-A線断面

図である。図3は、図1(a)のB-B線断面図である。図1で例示するように、積層セラミックコンデンサ100は、略直方体形状を有する積層チップ10と、積層チップ10のいずれかの対向する2端面に設けられた外部電極20a、20bと、を備える。なお、積層チップ10の当該2端面以外の4面のうち積層方向の両端の2面を、上面および下面と称する。2端面、上面および下面以外の2面を側面と称する。外部電極20a、20bは、積層チップ10の積層方向の上面、下面および2側面に延在している。ただし、外部電極20aと外部電極20bとは、互いに離間している。

[0035] なお、図1(a)～図3において、T方向(第1方向)は、積層セラミックコンデンサ100の高さ方向であり、外部電極20aと外部電極20bとが対向する方向(長さ方向:L方向)に直交する。W方向(第2方向)は、T方向およびL方向に直交する。本実施形態においては、T方向は、内部電極層12の積層方向に相当し、積層チップ10の上面と下面とが対向する方向である。W方向は、積層チップ10の2側面が対向する方向である。L方向は、積層チップ10の2端面が対向する方向である。

[0036] 積層セラミックコンデンサ100のT方向の高さを高さ $T_0$ とし、W方向の幅を幅 $W_0$ とし、積層セラミックコンデンサ100のL方向の長さを長さ $L_0$ とした場合に、積層セラミックコンデンサ100は、 $T_0=W_0$ の関係を有している。なお、高さ $T_0$ 、幅 $W_0$ 、および長さ $L_0$ 、それぞれT方向、W方向、およびL方向の最大寸法である。

[0037] 積層チップ10は、誘電体として機能するセラミック材料を含む誘電体層11と、金属を主成分とする内部電極層12とが、交互に積層された構成を有する。言い換えると、積層チップ10は、互いに対向する複数の内部電極層12と、複数の内部電極層12の間に各々挟まれた誘電体層11と、を備えている。各内部電極層12が延伸される方向の端縁は、積層チップ10の外部電極20aが設けられた第1端面と、外部電極20bが設けられた第2端面とに対して、交互に露出している。外部電極20aに接続される内部電極層12は、外部電極20bには接続されていない。外部電極20bに接続

される内部電極層12は、外部電極20aには接続されていない。したがって、各内部電極層12が、外部電極20aと外部電極20bとに、交互に導通する。また、誘電体層11と内部電極層12との積層体において、積層方向の最上層には内部電極層12が配置され、積層方向の最下層にも内部電極層12が配置され、当該積層体の積層方向の両端面のそれぞれは、カバー層13によって覆われている。カバー層13は、セラミック材料を主成分とする。例えば、カバー層13の主成分は、誘電体層11の主成分と同じである。

[0038] 誘電体層11は、例えば、一般式 $ABO_3$ で表されるペロブスカイト構造を有するセラミック材料を主相とする。なお、当該ペロブスカイト構造は、化学量論組成から外れた $ABO_{3-\alpha}$ を含む。例えば、当該セラミック材料として、 $BaTiO_3$ （チタン酸バリウム）、 $CaZrO_3$ （ジルコン酸カルシウム）、 $CaTiO_3$ （チタン酸カルシウム）、 $SrTiO_3$ （チタン酸ストロンチウム）、 $MgTiO_3$ （チタン酸マグネシウム）、ペロブスカイト構造を形成する $Ba_{1-x-y}Ca_xSr_yTi_{1-z}Zr_zO_3$  ( $0 \leq x \leq 1$ ,  $0 \leq y \leq 1$ ,  $0 \leq z \leq 1$ )等のうち少なくとも1つから選択して用いることができる。 $Ba_{1-x-y}Ca_xSr_yTi_{1-z}Zr_zO_3$ は、チタン酸バリウムストロンチウム、チタン酸バリウムカルシウム、ジルコン酸バリウム、チタン酸ジルコン酸バリウム、チタン酸ジルコン酸カルシウムおよびチタン酸ジルコン酸バリウムカルシウムなどである。

[0039] 誘電体層11には、添加物が添加されていてもよい。誘電体層11への添加物として、マグネシウム(Mg)、マンガン(Mn)、モリブデン(Mo)、バナジウム(V)、クロム(Cr)、希土類元素(イットリウム(Y)、サマリウム(Sm)、ユーロピウム(Eu)、ガドリニウム(Gd)、テルビウム(Tb)、ジスプロシウム(Dy)、ホルミウム(Ho)、エルビウム(Er)、ツリウム(Tm)およびイッテルビウム(Yb))の酸化物、または、コバルト(Co)、ニッケル(Ni)、リチウム(Li)、ホウ素(B)、ナトリウム(Na)、カリウム(K)もしくはケイ素(Si)を含む酸化物

、または、C o、N i、L i、B、N a、KもしくはS iを含むガラスが挙げられる。

[0040] 1層あたりの誘電体層11の積層方向の厚みは、例えば、0.3 $\mu$ m以上10 $\mu$ m以下であり、または0.4 $\mu$ m以上8 $\mu$ m以下であり、または0.5 $\mu$ m以上5 $\mu$ m以下である。1層あたりの誘電体層11の厚みは、積層セラミックコンデンサ100の例えば図2の断面を機械研磨で露出した後、走査透過電子顕微鏡等の顕微鏡で撮影した画像から10か所の厚さの平均値を求めるようにして測定することができる。

[0041] 内部電極層12は、N iを主成分とする。1層あたりの内部電極層12の積層方向の厚みは、例えば、0.1 $\mu$ m以上2 $\mu$ m以下である。1層あたりの内部電極層12の厚みは、積層セラミックコンデンサ100の例えば図2の断面を機械研磨で露出した後、走査透過電子顕微鏡等の顕微鏡で撮影した画像から10か所の厚さの平均値を求めるようにして測定することができる。

[0042] 図2で例示するように、外部電極20aに接続された内部電極層12と外部電極20bに接続された内部電極層12とが対向する領域は、積層セラミックコンデンサ100において静電容量を生じる領域である。そこで、当該静電容量を生じる領域を、容量部14と称する。すなわち、容量部14は、異なる外部電極に接続された隣接する内部電極層同士が対向する領域である。

[0043] 外部電極20aに接続された内部電極層12同士が、外部電極20bに接続された内部電極層12を介さずに対向する領域を、エンドマージン15と称する。また、外部電極20bに接続された内部電極層12同士が、外部電極20aに接続された内部電極層12を介さずに対向する領域も、エンドマージン15である。すなわち、エンドマージンは、同じ外部電極に接続された内部電極層が異なる外部電極に接続された内部電極層を介さずに対向する領域である。エンドマージン15は、静電容量を生じない領域である。エンドマージン15は、容量部14の誘電体層11と同じ組成であってもよく、

異なる組成であってもよい。

[0044] 図3で例示するように、積層チップ10において、2側面から内部電極層12に至るまでの領域をサイドマージン16と称する。サイドマージン16も、静電容量を生じない領域である。サイドマージン16は、容量部14の誘電体層11と同じ組成であってもよく、異なる組成であってもよい。

[0045] 図4は、外部電極20a付近の拡大断面図である。図4では、ハッチを省略している。図4で例示するように、外部電極20aは、積層チップ10の第1端面に接する接触層である下地層21上に、めっき層22が設けられた構造を有している。下地層21は、Cuを主成分とする。下地層21は、ガラス成分を含んでいてもよい。めっき層22は、Cu、Ni、アルミニウム(Al)、亜鉛(Zn)、Snなどの金属またはこれらの2以上の合金を主成分とする。めっき層22は、単一金属成分のめっき層でもよく、互いに異なる金属成分の複数のめっき層でもよい。例えば、めっき層22は、下地層21側から順に、第1めっき層23、第2めっき層24および第3めっき層25が形成された構造を有する。第1めっき層23は、例えば、Snめっき層である。第2めっき層24は、例えば、Niめっき層である。第3めっき層25は、例えば、Snめっき層である。なお、図4では、外部電極20aについて例示しているが、外部電極20bも同様の積層構造を有する。

[0046] 積層セラミックコンデンサの大容量化を実現するため、薄層化および積層数の増加、カバー層やサイドマージンの縮小が進められている。しかしながら、内部電極層の面積や積層数を増やし、カバー層およびサイドマージンを薄くしていくと、外部電極を焼付けた際に、外部電極に覆われた、カバー層とサイドマージンとが重なる部分(外部電極近傍のコーナー部)に、図5のようなクラック40が生じる場合がある。

[0047] これは、以下のようなメカニズムに基づき発生する。下地層21を焼き付ける際に内部電極層12と下地層21とが反応すると、下地層21の金属成分であるCuが、内部電極層12のNi側に拡散し、内部電極層12が膨張する。この内部電極層12の膨張により、カバー層13およびサイドマージ

ン16に、外側に向かった応力が生じ、クラックが発生するというものである。このクラックを抑制するためには、Cuの拡散を抑制することが考えられる。Cuの拡散を抑制する手段としては、例えば、下地層21を形成するための導電性ペーストに添加するガラスの成分の調整や、Snのような低融点金属の添加で焼付け温度を下げる方法が考えられる。

[0048] しかしながら、クラックが発生しない程度まで焼き付け温度を下げる場合、下地層21の緻密性が低下して信頼性を確保できなくなったり、下地層21と積層チップ10との固着強度が低下したりといった問題が生じ得る。加えて、クラック40が、外部電極20a、20bに覆われている部分で発生すると、外観から確認することができないことが大きな課題となる。

[0049] そこで、本実施形態に係る積層セラミックコンデンサ100は、焼付け温度を過度に下げなくても、Cuの拡散によるクラック発生を抑制することができる構成を有している。

[0050] まず、内部電極層12および下地層21は、下地層21の主成分金属であるCuよりも低融点の低融点金属を含んでいる。低融点金属は、Cuよりも低融点であれば特に限定されるものではないが、例えば、Ga（ガリウム）、In（インジウム）、Sn、Bi（ビスマス）、Zn、Alなどである。

[0051] 内部電極層12において、低融点金属は、内部電極層12の主成分であるNiと合金化していてもよく、単体の金属として配置されていてもよい。例えば、低融点金属は、内部電極層12において均一に分散して配置されていてもよく、内部電極層12と誘電体層11との界面に偏析していてもよい。

[0052] 下地層21において、低融点金属は、下地層21の主成分であるCuと合金化していてもよく、単体の金属として配置されていてもよい。例えば、低融点金属は、下地層21において均一に分散して配置されていてもよく、下地層21と積層チップ10との界面に偏析していてもよい。

[0053] また、各内部電極層12の面内方向の寸法に変化を持たせる。具体的には、図6で例示するように、外部電極20aに接続される内部電極層12は、エンドマージン15に相当する領域において外部電極20aに接続されW方

向に寸法W1を有する第1領域121（接続部）と、容量部14に相当する領域においてW方向に寸法W2を有する第2領域122とを有する。寸法W1は、寸法W2よりも小さくなっている。W方向において、第1領域121が第2領域122よりも内側に位置する。外部電極20bに接続される内部電極層12においても、寸法W1を有する第1領域121と、寸法W2を有する第2領域122とが設けられている。例えば、第1領域121のW方向の中心と、第2領域122のW方向の中心とが一致する。

[0054] この構成によれば、めっき工程で発生する水素による絶縁抵抗の劣化を防止するために、Ga、In、Sn、Bi、Zn、Alなどの低融点金属を含む下地層21を用いたり、誘電体層11との界面の電位障壁を変化させて高温負荷寿命を向上するために、Ga、In、Sn、Bi、Zn、Alなどの低融点金属を含む内部電極層12を用いたりしても、コーナー部において下地層21から内部電極層12への移動距離が長くなるため、下地層21から内部電極層12への拡散が抑制される。それにより、クラック40の発生が抑制される。以上のことから、焼き付け温度を過度に下げなくても、クラックの発生を抑制することができる。その結果、下地層21の緻密性を確保することができる。

[0055]  $W1/W2$ が小さいと、外部電極20a、20bと内部電極層12との接続性が低下して良好な導通が得られないおそれがある、そこで、 $W1/W2$ に下限を設けることが好ましい。一方、 $W1/W2$ が大きいと、外部電極20a、20bから内部電極層12への移動距離を十分に長くできないおそれがある。そこで、 $W1/W2$ に上限を設けることが好ましい。以上のことから、 $W1/W2$ は、 $1/2$ 以上が好ましく、 $2/3$ 以上がより好ましい。また、 $W1/W2$ は、 $4/5$ 以下が好ましく、 $3/4$ 以下がより好ましい。

[0056] ここで、図7で例示するように、外部電極20a、20bが積層チップ10の両端面からL方向に延在する寸法を寸法eと称する。コーナー部のクラック40を抑制する観点から、第1領域121のL方向の寸法は、寸法eの $1/3$ 以上であることが好ましく、 $1/2$ 以上であることがより好ましい。

- [0057] 下地層 2 1 に十分な量の低融点金属が添加されていないと、めっき工程で発生する水素による絶縁抵抗の劣化を防止できないおそれがある。そこで、下地層 2 1 に対する低融点金属の添加濃度に下限を設けることが好ましい。本実施形態においては、低融点金属の添加濃度は、1 a t % 以上であることが好ましく、3 a t % 以上であることがより好ましく、5 a t % 以上であることがさらに好ましい。なお、低融点金属の添加濃度は、下地層 2 1 の全体において、C u を 1 0 0 a t % とした場合の低融点金属の添加量 (a t %) のことである。複数種類の低融点金属が含まれる場合には、低融点金属の添加濃度は、当該複数種類の低融点金属の合計量のことである。
- [0058] 一方、下地層 2 1 における低融点金属の添加量が多いと、内部電極層 1 2 への C u の拡散が十分に抑制できないおそれがある。そこで、低融点金属の添加濃度に上限を設けることが好ましい。本実施形態においては、低融点金属の添加濃度は、2 0 a t % 以下であることが好ましく、1 5 a t % 以下であることがより好ましく、1 0 a t % 以下であることがさらに好ましい。
- [0059] 内部電極層 1 2 に十分な量の低融点金属が添加されていないと、高温負荷寿命を向上させるための電位障壁を変化させられないおそれがある。そこで、内部電極層 1 2 に対する低融点金属の添加濃度に下限を設けることが好ましい。本実施形態においては、低融点金属の添加濃度は、0. 1 a t % 以上であることが好ましく、0. 3 a t % 以上であることがより好ましく、0. 5 a t % 以上であることがさらに好ましい。なお、低融点金属の添加濃度は、隣接する 2 層の誘電体層 1 1 の間の 1 層の内部電極層 1 2 の全体において、N i を 1 0 0 a t % とした場合の低融点金属の添加量 (a t %) のことである。複数種類の低融点金属が含まれる場合には、低融点金属の添加濃度は、当該複数種類の低融点金属の合計量のことである。
- [0060] 一方、内部電極層 1 2 における低融点金属の添加量が多いと、過焼結による内部電極の球状化や誘電体層の異常粒成長を引き起こすおそれがある。そこで、内部電極層 1 2 における低融点金属の添加濃度に上限を設けることが好ましい。本実施形態においては、低融点金属の添加濃度は、1 0 a t % 以

下であることが好ましく、5 at %以下であることがより好ましく、2 at %以下であることがさらに好ましい。

[0061] T方向において、内部電極層12の積層密度は、例えば、500層/mm以上であり、750層/mm以上であり、1000層/mm以上1500層/mm以下である。

[0062] 続いて、第1実施形態に係る積層セラミックコンデンサ100の製造方法について説明する。図8は、積層セラミックコンデンサ100の製造方法のフローを例示する図である。

[0063] (原料粉末作製工程)

まず、誘電体層11を形成するための誘電体材料を用意する。誘電体層11に含まれるAサイト元素およびBサイト元素は、通常は $ABO_3$ の粒子の焼結体の形で誘電体層11に含まれる。例えば、 $BaTiO_3$ は、ペロブスカイト構造を有する正方晶化合物であって、高い誘電率を示す。この $BaTiO_3$ は、一般的に、二酸化チタンなどのチタン原料と炭酸バリウムなどのバリウム原料とを反応させてチタン酸バリウムを合成することで得ることができる。誘電体層11の主成分セラミックの合成方法としては、従来種々の方法が知られており、例えば固相法、ゾルーゲル法、水熱法等が知られている。本実施形態においては、これらのいずれも採用することができる。

[0064] 得られたセラミック粉末に、目的に応じて所定の添加化合物を添加する。添加化合物としては、Mg、Mn、Mo、V、Cr、希土類元素(Y、Sm、Eu、Gd、Tb、Dy、Ho、Er、TmおよびYb)の酸化物、または、Co、Ni、Li、B、Na、KもしくはSiを含む酸化物、または、Co、Ni、Li、B、Na、KもしくはSiを含むガラスが挙げられる。これらのうち、主として $SiO_2$ が焼結助剤として機能する。

[0065] 例えば、セラミック原料粉末に添加化合物を含む化合物を湿式混合し、乾燥および粉碎してセラミック材料を調製する。例えば、上記のようにして得られたセラミック材料について、必要に応じて粉碎処理して粒径を調節し、あるいは分級処理と組み合わせることで粒径を整えてもよい。以上の工程に

より、誘電体材料が得られる。

[0066] (積層工程)

次に、得られた原料粉末に、ポリビニルブチラール (PVB) 樹脂等のバインダと、エタノール、トルエン等の有機溶剤と、可塑剤とを加えて湿式混合する。得られたスラリーを使用して、例えばダイコータ法やドクターブレード法により、基材上に誘電体グリーンシートを塗工して乾燥させる。基材は、例えば、ポリエチレンテレフタレート (PET) フィルムである。

[0067] 次に、誘電体グリーンシート上に、内部電極パターンを成膜する。内部電極パターンが成膜された誘電体グリーンシートを、積層単位とする。内部電極パターンには、Cuよりも低融点の低融点金属を含むNi粉末を用いる。成膜の手法は、印刷、スパッタ、蒸着などであってもよい。

[0068] 次に、誘電体グリーンシートを基材から剥がしつつ、積層単位を積層する。次に、積層単位が積層されることで得られた積層体の上下にカバーシートを所定数 (例えば2~10層) だけ積層して熱圧着する。カバーシートは、誘電体グリーンシートと同様の手法により形成することができる。

[0069] (脱バインダ工程)

このようにして得られた積層体を、N<sub>2</sub>雰囲気中で脱バインダ処理する。熱処理温度は、250℃~700℃程度である。

[0070] (焼成工程)

その後、酸素分圧 $10^{-5}$ ~ $10^{-8}$  atmの還元雰囲気中で1100~1300℃で10分~2時間焼成する。このようにして、積層チップ10が得られる。

[0071] (再酸化処理工程)

その後、N<sub>2</sub>ガス雰囲気中において600℃~1000℃で再酸化処理を行ってもよい。

[0072] (塗布工程)

次に、積層体の第1側面に、下地層21となる金属ペーストをディップ法などで塗布する。この金属ペーストには、ガラスフリットなどのガラス成分

を含ませるとともに、Cuよりも低融点の低融点金属を含ませる。

[0073] (焼付工程)

次に、700℃～900℃程度の温度で金属ペーストを焼き付けることで、下地層21を形成する。

[0074] (めっき処理工程)

その後、めっき処理により、下地層21上に、銅、ニッケル、スズ等の金属コーティングを行ってもよい。例えば、下地層21上に、第1めっき層23、第2めっき層24および第3めっき層25を順に形成する。それにより、積層セラミックコンデンサ100が完成する。

[0075] 本実施形態に係る製造方法によれば、コーナー部において下地層21から内部電極層12への移動距離が長くなるため、下地層21から内部電極層12への拡散が抑制される。それにより、クラック40の発生が抑制される。以上のことから、焼き付け温度を過度に下げなくても、クラックの発生を抑制することができる。その結果、下地層21の緻密性を確保することができる。

[0076] なお、上記の製造方法では、積層チップ10を焼成した後に下地層21を焼き付けたが、それに限られない。例えば、積層チップ10を焼成する際に、同時に下地層21を焼成してもよい。

[0077] ここで、積層セラミックコンデンサ100の実装について説明する。図9は、積層セラミックコンデンサ100を含む回路基板200の側面図である。回路基板200は、積層セラミックコンデンサ100が実装される実装基板210を有する。実装基板210は、L方向およびW方向の平面に沿って延び、T方向に垂直な実装面Gを有する基材211と、実装面Gに設けられた一对の接続電極212と、を有する。

[0078] 回路基板200では、積層セラミックコンデンサ100の外部電極20a、20bがそれぞれ実装基板210の一对の接続電極212に半田Hを介して接続されている。これにより、回路基板200では、積層セラミックコンデンサ100が実装基板210に対して固定されるとともに電氣的に接続さ

れている。

- [0079] 積層セラミックコンデンサ100は、実装基板210に実装する際に包装体300として包装された状態で準備される。図10および図11は、包装体300を例示する図である。図10は、包装体300の部分平面図である。図11は、図10のC-C線に沿った包装体300の断面図である。
- [0080] 包装体300は、積層セラミックコンデンサ100と、キャリアテープ310と、トップテープ320と、を備える。キャリアテープ310は、W方向に延びる長尺状のテープとして構成されている。キャリアテープ310には、積層セラミックコンデンサ100を1個ずつ収容する複数の凹部311がW方向に間隔をあけて配列されている。
- [0081] キャリアテープ310は、T方向と直交する上向きの面であるシール面Pを有し、複数の凹部311はシール面PからT方向の下向きに窪んでいる。つまり、キャリアテープ310は、シール面P側から複数の凹部311内の積層セラミックコンデンサ100を取り出すことが可能なように構成されている。
- [0082] キャリアテープ310では、複数の凹部311の列とはL方向にずれた位置に、W方向に間隔をあけて配列されたT方向に貫通する複数の送り孔312が設けられている。送り孔312は、テープ搬送機構がキャリアテープ310をW方向に搬送するために用いられる係合孔として構成される。
- [0083] 包装体300では、トップテープ320が複数の凹部311の列に沿ってキャリアテープ310のシール面Pに貼り付けられ、複数の積層セラミックコンデンサ100を収容した複数の凹部311がトップテープ320によって一括して覆われている。これにより、複数の積層セラミックコンデンサ100が複数の凹部311内に保持される。
- [0084] 図11に示すように、キャリアテープ310の凹部311内の積層セラミックコンデンサ100では、積層チップ10におけるT方向上方を向いた第1主面M1がトップテープ320と対向している。また、積層チップ10のT方向下方を向いた第2主面M2は、凹部311の底面と対向している。

[0085] 包装体300として包装された積層セラミックコンデンサ100の実装の際には、キャリアテープ310のシール面Pからトップテープ320をW方向に沿って剥離させる。これにより、包装体300では、複数の積層セラミックコンデンサ100が收容された複数の凹部311をT方向上方に順次開放させることができる。

[0086] 開放された凹部311に收容された積層セラミックコンデンサ100は、T方向上方を向いた積層チップ10の第1主面M1が実装装置の吸着ノズルの先端に吸着された状態に取り出される。実装装置は、吸着ノズルを移動させることで、実装基板210の実装面G上に積層セラミックコンデンサ100を移動させる。

[0087] 続いて、実装装置は、積層チップ10の第2主面M2を実装面Gに対向させ、外部電極20a, 20bを半田ペーストが塗布された一对の接続電極212上に位置合わせした状態で、積層チップ10の第1主面M1に対する吸着ノズルによる吸着を解除する。これにより、積層セラミックコンデンサ100が実装面G上に載置される。

[0088] そして、積層セラミックコンデンサ100が実装面G上に載置された実装基板210に対してリフロー炉などを用いて半田ペーストを溶融させた後に硬化させる。これにより、外部電極20a, 20bが実装基板210の一对の接続電極212に半田Hを介して接続されることで、図9に示す回路基板200が得られる。

[0089] (第2実施形態)

図12(a)および図12(b)は、第2実施形態に係る積層セラミックコンデンサ100aの部分断面斜視図である。積層セラミックコンデンサ100aが第1実施形態に係る積層セラミックコンデンサ100と異なるのは、 $T_0/W_0$ の比である。本実施形態においては、 $T_0/W_0$ は、1.3倍以上である。この構成では、内部電極層12の積層数を多くすることができるため、静電容量を大きくすることができる。静電容量を大きくする観点から、 $T_0/W_0$ は、1.5倍以上であることが好ましい。

## [0090] (第3実施形態)

図13(a)および図13(b)は、第3実施形態に係る積層セラミックコンデンサ100bの部分断面斜視図である。積層セラミックコンデンサ100bが第1実施形態に係る積層セラミックコンデンサ100と異なるのは、全ての内部電極層12が第1領域121および第2領域122を有しているのではなく、一部の内部電極層12が第1領域121および第2領域122を有している点である。例えば、図13(a)および図13(b)で例示するように、最外層の内部電極層12から内側に向かって1以上の内部電極層12が第1領域121および第2領域122を有している。第1領域121および第2領域122を有している内部電極層12を、外側領域の内部電極層12と称する。外側領域の内部電極層12よりも内側であってW方向の寸法が略一定の内部電極層12を、内側領域の内部電極層12と称する。

[0091] 外部電極20a, 20bから内部電極層12への拡散を抑制する観点から、全積層数に対して合計で10%以上の層数の内部電極層12が上記の外側領域の内部電極層12であることが好ましく、25%以上の層数の内部電極層12が上記の外側領域の内部電極層12であることがより好ましい。一方で、外部電極20a, 20bと内部電極層12との接続不良を削減する観点から、全積層数に対して合計で50%以下の層数の内部電極層12が上記の外側領域の内部電極層12であることが好ましく、40%以下の層数の内部電極層12が上記の外側領域の内部電極層12であることがより好ましい。

[0092] 内側領域の内部電極層12よりもT方向の一方側の外側領域の内部電極層12の層数と、T方向の他方側の外側領域の内部電極層12の層数とは、同じであることが好ましい。

[0093] なお、内部電極層12の積層数を多くすれば、静電容量を大きくすることができる。静電容量を大きくする観点から、 $T_0/W_0$ は、1.3倍以上であることが好ましく、1.5倍以上であることがより好ましい。

[0094] 本実施形態に係る積層セラミックコンデンサ100bは、例えば、図14で例示するように、寸法W1および寸法W2を有する内部電極パターン52

aが成膜された誘電体グリーンシート51と、W方向に一定の寸法を有する内部電極パターン52が成膜された誘電体グリーンシート51とを積層することによって得ることができる。

[0095] (第4実施形態)

図15(a)および図15(b)は、第4実施形態に係る積層セラミックコンデンサ100cの部分断面斜視図である。積層セラミックコンデンサ100cが第1実施形態に係る積層セラミックコンデンサ100と異なるのは、内部電極層12の積層方向である。本実施形態においては、W方向は、内部電極層12の積層方向に相当し、積層チップ10の上面と下面とが対向する方向である。T方向は、積層チップ10の2側面が対向する方向である。L方向は、積層チップ10の2端面が対向する方向である。したがって、本実施形態においては、第1実施形態における寸法W1をT方向における寸法T1と読み替え、寸法W2をT方向における寸法T2と読み替えることができる。

[0096] 積層セラミックコンデンサ100cが実装基板210に実装される際には、積層セラミックコンデンサ100cの2側面のいずれかを実装基板210に対向させる。

[0097] 積層セラミックコンデンサ100cでは、回路基板200の駆動時に、実装基板210の接続電極212を介して外部電極20a, 20bに電圧が印加されると、圧電効果によって積層チップ10に電歪が生じることが知られている。積層チップ10に生じる電歪では、内部電極層12の積層方向に相対的に大きく変形する。

[0098] 回路基板200では、交流電圧が印加された積層セラミックコンデンサ100cに繰り返し電歪が生じることで、実装基板210の基材211に厚み方向の振動が発生することがある。回路基板200では、基材211に発生する振動が大きくなると、基材211からノイズ音が発生する、いわゆる「音鳴き」という現象が生じることがある。

[0099] しかしながら、本実施形態に係る積層セラミックコンデンサ100cでは

、内部電極層 1 2 の積層方向が基材 2 1 1 の面内方向であるため、積層チップ 1 0 の電歪によって基材 2 1 1 に厚み方向の振動が発生しにくい。また、積層セラミックコンデンサ 1 0 0 d では、内部電極層 1 2 の積層数が少なく、電歪による変形量が小さく抑えられるため、基材 2 1 1 に振動が発生したとしてもノイズ音が生じるほどの大きい振動とはなりにくい。

[0100] (第 5 実施形態)

図 1 6 ( a ) および図 1 6 ( b ) は、第 5 実施形態に係る積層セラミックコンデンサ 1 0 0 d の部分断面斜視図である。積層セラミックコンデンサ 1 0 0 d が第 4 実施形態に係る積層セラミックコンデンサ 1 0 0 c と異なるのは、全ての内部電極層 1 2 が第 1 領域 1 2 1 および第 2 領域 1 2 2 を有しているのではなく、一部の内部電極層 1 2 が第 1 領域 1 2 1 および第 2 領域 1 2 2 を有している点である。例えば、図 1 3 ( a ) および図 1 3 ( b ) で例示するように、最外層の内部電極層 1 2 から内側に向かって 1 以上の内部電極層 1 2 が第 1 領域 1 2 1 および第 2 領域 1 2 2 を有している。第 1 領域 1 2 1 および第 2 領域 1 2 2 を有している内部電極層 1 2 を、外側領域の内部電極層 1 2 と称する。外側領域の内部電極層 1 2 よりも内側であって T 方向の寸法が略一定の内部電極層 1 2 を、内側領域の内部電極層 1 2 と称する。

[0101] 外部電極 2 0 a , 2 0 b から内部電極層 1 2 への拡散を抑制する観点から、全積層数に対して合計で 1 0 % 以上の層数の内部電極層 1 2 が上記の外側領域の内部電極層 1 2 であることが好ましく、 2 5 % 以上の層数の内部電極層 1 2 が上記の外側領域の内部電極層 1 2 であることがより好ましい。一方で、外部電極 2 0 a , 2 0 b と内部電極層 1 2 との接続不良を削減する観点から、全積層数に対して合計で 5 0 % 以下の層数の内部電極層 1 2 が上記の外側領域の内部電極層 1 2 であることが好ましく、 4 0 % 以下の層数の内部電極層 1 2 が上記の外側領域の内部電極層 1 2 であることがより好ましい。

[0102] 内側領域の内部電極層 1 2 よりも W 方向の一方側の外側領域の内部電極層 1 2 の層数と、 W 方向の他方側の外側領域の内部電極層 1 2 の層数とは、同じであることが好ましい。

[0103] 積層セラミックコンデンサ100dが実装基板210に実装される際には、積層セラミックコンデンサ100dの2側面のいずれかを実装基板210に対向させる。

[0104] 積層セラミックコンデンサ100dでは、回路基板200の駆動時に、実装基板210の接続電極212を介して外部電極20a, 20bに電圧が印加されると、圧電効果によって積層チップ10に電歪が生じることが知られている。積層チップ10に生じる電歪では、内部電極層12の積層方向に相対的に大きく変形する。

[0105] 回路基板200では、交流電圧が印加された積層セラミックコンデンサ100dに繰り返し電歪が生じることで、実装基板210の基材211に厚み方向の振動が発生することがある。回路基板200では、基材211に発生する振動が大きくなると、基材211からノイズ音が発生する、いわゆる「音鳴き」という現象が生じることがある。

[0106] しかしながら、本実施形態に係る積層セラミックコンデンサ100dでは、内部電極層12の積層方向が基材211の面内方向であるため、積層チップ10の電歪によって基材211に厚み方向の振動が発生しにくい。また、積層セラミックコンデンサ100dでは、内部電極層12の積層数が少なく、電歪による変形量が小さく抑えられるため、基材211に振動が発生したとしてもノイズ音が生じるほどの大きい振動とはなりにくい。

[0107] (第6実施形態)

図17は、第6実施形態に係る積層セラミックコンデンサ100eの外観図である。図18は、図17のA-A線断面図である。図19は、図17のB-B線断面図である。図17~図19で例示するように、積層セラミックコンデンサ100eは、略直方体形状を有する積層チップ10と、積層チップ10のいずれかの対向する2端面に設けられた外部電極20a, 20bと、を備える。なお、積層チップ10の当該2端面以外の4面のうち、積層方向の両端の2面を側面と称する。積層チップ10において、2端面および2側面以外の2面を上面および下面と称する。下面は、実装面として機能する

面であり、積層セラミックコンデンサ100eが実装基板に実装される際に実装基板と対向する面である。外部電極20a, 20bは、積層チップ10の上面、下面および2側面に延在している。ただし、外部電極20aと外部電極20bとは、互いに離間している。

[0108] なお、図17～図19において、T方向（第1方向）は、積層セラミックコンデンサ100eの高さ方向であり、積層チップ10の上面と下面とが対向する方向である。W方向（第2方向）は、誘電体層11および内部電極層12の積層方向である。L方向（第3方向）は、積層チップ10の2端面が対向する方向であり、外部電極20aと外部電極20bとが対向する方向である。L方向と、W方向と、T方向とは、互いに直交している。

[0109] 積層チップ10は、誘電体として機能するセラミック材料を含む誘電体層11と、金属を主成分とする内部電極層12とが、交互に積層された構成を有する。言い換えると、積層チップ10は、互いに対向する複数の内部電極層12と、複数の内部電極層12の間に各々挟まれた誘電体層11と、を備えている。各内部電極層12が延伸される方向の端縁は、積層チップ10の外部電極20aが設けられた第1端面と、外部電極20bが設けられた第2端面とに対して、交互に露出している。外部電極20aに接続される内部電極層12は、外部電極20bには接続されていない。外部電極20bに接続される内部電極層12は、外部電極20aには接続されていない。したがって、各内部電極層12が、外部電極20aと外部電極20bとに、交互に導通する。また、誘電体層11と内部電極層12との積層体において、積層方向の最上層には内部電極層12が配置され、積層方向の最下層にも内部電極層12が配置され、当該積層体の2側面のそれぞれは、カバー層13によって覆われている。カバー層13は、セラミック材料を主成分とする。例えば、カバー層13の主成分は、誘電体層11の主成分と同じである。

[0110] 誘電体層11は、例えば、一般式 $ABO_3$ で表されるペロブスカイト構造を有するセラミック材料を主相とする。なお、当該ペロブスカイト構造は、化学量論組成から外れた $ABO_{3-\alpha}$ を含む。例えば、当該セラミック材料として

、 $BaTiO_3$  (チタン酸バリウム)、 $CaZrO_3$  (ジルコン酸カルシウム)、 $CaTiO_3$  (チタン酸カルシウム)、 $SrTiO_3$  (チタン酸ストロンチウム)、 $MgTiO_3$  (チタン酸マグネシウム)、ペロブスカイト構造を形成する $Ba_{1-x-y}Ca_xSr_yTi_{1-z}Zr_zO_3$  ( $0 \leq x \leq 1$ ,  $0 \leq y \leq 1$ ,  $0 \leq z \leq 1$ )等のうち少なくとも1つから選択して用いることができる。 $Ba_{1-x-y}Ca_xSr_yTi_{1-z}Zr_zO_3$ は、チタン酸バリウムストロンチウム、チタン酸バリウムカルシウム、ジルコン酸バリウム、チタン酸ジルコン酸バリウム、チタン酸ジルコン酸カルシウムおよびチタン酸ジルコン酸バリウムカルシウムなどである。

[0111] 誘電体層11には、添加物が添加されていてもよい。誘電体層11への添加物として、マグネシウム(Mg)、マンガン(Mn)、モリブデン(Mo)、バナジウム(V)、クロム(Cr)、希土類元素(イットリウム(Y)、サマリウム(Sm)、ユーロピウム(Eu)、ガドリニウム(Gd)、テルビウム(Tb)、ジスプロシウム(Dy)、ホルミウム(Ho)、エルビウム(Er)、ツリウム(Tm)およびイッテルビウム(Yb))の酸化物、または、コバルト(Co)、ニッケル(Ni)、リチウム(Li)、ホウ素(B)、ナトリウム(Na)、カリウム(K)もしくはケイ素(Si)を含む酸化物、または、Co、Ni、Li、B、Na、KもしくはSiを含むガラスが挙げられる。

[0112] 1層あたりの誘電体層11のT方向の厚みは、例えば、 $0.3 \mu m$ 以上 $3 \mu m$ 以下である。1層あたりの誘電体層11のT方向の厚みは、積層セラミックコンデンサ100eの例えば図18の断面を機械研磨で露出した後、走査透過電子顕微鏡等の顕微鏡で撮影した画像から10か所の厚さの平均値を求めるようにして測定することができる。

[0113] 内部電極層12は、Niを主成分とする。1層あたりの内部電極層12のT方向の厚みは、例えば、 $0.1 \mu m$ 以上 $2 \mu m$ 以下である。1層あたりの内部電極層12のT方向の厚みは、積層セラミックコンデンサ100eの例えば図18の断面を機械研磨で露出した後、走査透過電子顕微鏡等の顕微鏡

で撮影した画像から10か所の厚さの平均値を求めようにして測定することができる。

[0114] 図18で例示するように、外部電極20aに接続された内部電極層12と外部電極20bに接続された内部電極層12とが対向する領域は、積層セラミックコンデンサ100eにおいて静電容量を生じる領域である。そこで、当該静電容量を生じる領域を、容量部14と称する。すなわち、容量部14は、異なる外部電極に接続された隣接する内部電極層同士が対向する領域である。

[0115] 外部電極20aに接続された内部電極層12同士が、外部電極20bに接続された内部電極層12を介さずに対向する領域を、エンドマージン15と称する。また、外部電極20bに接続された内部電極層12同士が、外部電極20aに接続された内部電極層12を介さずに対向する領域も、エンドマージン15である。すなわち、エンドマージンは、同じ外部電極に接続された内部電極層が異なる外部電極に接続された内部電極層を介さずに対向する領域である。エンドマージン15は、静電容量を生じない領域である。エンドマージン15は、容量部14の誘電体層11と同じ組成であってもよく、異なる組成であってもよい。

[0116] 図19で例示するように、積層チップ10において、T方向に上面から内部電極層12に至るまでの領域およびT方向に下面から内部電極層12に至るまでの領域をサイドマージン16と称する。すなわち、サイドマージン16は、上記積層構造において積層された複数の内部電極層12が上面側および下面側に延びた端部を覆うように設けられた領域である。サイドマージン16も、静電容量を生じない領域である。サイドマージン16は、容量部14の誘電体層11と同じ組成であってもよく、異なる組成であってもよい。

[0117] 図20は、外部電極20a付近の拡大断面図である。図20では、ハッチを省略している。図20で例示するように、外部電極20aは、下地層21上に、めっき層22が設けられた構造を有している。下地層21は、Cuを主成分とする。下地層21は、ガラス成分を含んでいてもよい。めっき層2

2は、Ni、アルミニウム（Al）、亜鉛（Zn）、Snなどの金属またはこれらの2以上の合金を主成分とする。めっき層22は、単一金属成分のめっき層でもよく、互いに異なる金属成分の複数のめっき層でもよい。例えば、めっき層22は、下地層21側から順に、第1めっき層23、第2めっき層24および第3めっき層25が形成された構造を有する。第1めっき層23は、例えば、Snめっき層である。第2めっき層24は、例えば、Niめっき層である。第3めっき層25は、例えば、Snめっき層である。なお、図20では、外部電極20aについて例示しているが、外部電極20bも同様の積層構造を有する。

[0118] 大容量の積層セラミックコンデンサを実現しようとする、内部電極層の総対向面積の増加が重要である。実装面積を拡大せずに大容量化を実現するために、内部電極層の積層数を多くすることが考えられる。例えば、図21のように、各内部電極層12の面積の増加を抑えつつ、内部電極層12の積層数を多くすることが考えられる。このような構成とすることで、内部電極層12の総対向面積が増加するため、大容量を実現することができると考えられる。しかしながら、積層数が多いと、積層時に位置ずれがおきやすくなったり、焼成前の積層体を積層方向に垂直にカットすることが困難となったりする。

[0119] そこで、本実施形態に係る積層セラミックコンデンサ100eは、各内部電極層の面積を大きくし、積層数が抑えられた構成を有している。具体的には、図17で例示するように、積層セラミックコンデンサ100eのT方向の高さを高さ $T_0$ とし、W方向の幅を幅 $W_0$ とし、L方向の長さを長さ $L_0$ とした場合に、積層セラミックコンデンサ100eは、 $T_0 \geq W_0 \times 1.3$ の関係を有している。このような構成にすることにより、内部電極層12の幅を大きくすることができる一方で内部電極層12の積層数を抑えることができるため、積層時の位置ずれの抑制や、焼成前の積層体を積層方向に垂直にカットすることができる。なお、高さ $T_0$ 、幅 $W_0$ 、および長さ $L_0$ は、それぞれT方向、W方向、およびL方向の最大寸法である。

- [0120] しかしながら、内部電極層12のT方向の高さが大きくなると、焼成前の積層体に含まれている有機物のバインダを除去する脱バインダ工程を実施しても、バインダの排出経路が長くなっているため、バインダが十分に除去されないおそれがある。この場合、図22で例示するように、バインダの分解ガスが積層体の内部に残留するようになり、クラック（脱バインダクラック）やデラミネーションが生じるおそれがある。
- [0121] そこで、本実施形態に係る積層セラミックコンデンサ100eは、 $T_0 \geq W_0 \times 1.3$ の関係が成立するような構成においても良好な脱バインダ特性を実現することができる構成を有している。
- [0122] 具体的には、内部電極層12の内部、または内部電極層12と誘電体層11との界面に、下地層21の主成分であるCuよりも低融点の低融点金属が備わっている。低融点金属は、Cuよりも低融点であれば特に限定されるものではないが、例えば、Ga（ガリウム）、In（インジウム）、Sn、Bi（ビスマス）、Pb（鉛）、Znなどである。低融点金属は、内部電極層12の主成分であるNiと合金化していてもよく、単体の金属として配置されていてもよい。例えば、低融点金属は、内部電極層12において均一に分散して配置されていてもよく、内部電極層12と誘電体層11との界面に偏析していてもよい。
- [0123] 内部電極層12の内部、または内部電極層12と誘電体層11との界面に低融点金属が備わっていることで、脱バインダ工程の熱処理の際に、低融点金属が備わっていない場合と比較してバインダの排出開始温度が低くなる。それにより、良好な脱バインダ性が実現され、クラックやデラミネーションを抑制することができるようになる。バインダの排出開始温度が低くなるのは、低融点金属がバインダの排出温度で融解することで、バインダの排出を容易にする作用を発揮するからであると考えられる。
- [0124] 十分な量の低融点金属が添加されていないと、十分に良好な脱バインダ性が得られないおそれがある。そこで、低融点金属の添加濃度に下限を設けることが好ましい。本実施形態においては、低融点金属の添加濃度は、0.1

a t %以上であることが好ましく、0.3 a t %以上であることがより好ましく、0.5 a t %以上であることがさらに好ましい。なお、低融点金属の添加濃度は、隣接する2層の誘電体層に挟まれた1層の内部電極層12の全体において、内部電極層12のNiを100 a t %とした場合の低融点金属の添加量(a t %)のことである。複数種類の低融点金属が含まれる場合には、低融点金属の添加濃度は、当該複数種類の低融点金属の合計量のことである。

[0125] 一方、低融点金属の添加量が多いと、過焼結による内部電極の球状化や誘電体層の異常粒成長を引き起こすおそれがある。そこで、低融点金属の添加濃度に上限を設けることが好ましい。本実施形態においては、低融点金属の添加濃度は、10 a t %以下であることが好ましく、5 a t %以下であることがより好ましく、2 a t %以下であることがさらに好ましい。

[0126] 高さ $T_0$ 、幅 $W_0$ 、および長さ $L_0$ は、特に限定されるものではないが、例えば、高さ $T_0$ を0.15 mm以上1.0 mm以下とすることができ、幅 $W_0$ を0.1 mm以上0.7 mm以下とすることができ、長さ $L_0$ は0.2 mm以上1.2 mm以下とすることができる。

[0127] W方向において、内部電極層12の積層密度は、例えば、500層/mm以上であり、750層/mm以上であり、1000層/mm以上1500層/mm以下である。

[0128] なお、高容量化実現のために、 $T_0$ は、 $W_0$ の1.5倍以上であることが好ましく、2.0倍以上であることがより好ましい。

[0129] 内部電極層12のT方向の最大高さを高さ $T_a$ とし、W方向の最大幅を幅 $W_a$ とした場合に、例えば、 $T_a$ は $W_a$ の500倍以上であり、700倍以上であり、1000倍以上である。また、容量部14のT方向の高さとW方向の幅との比(T/W比)は、例えば、1.3倍以上であり、1.5倍以上であり、2.0倍以上である。

[0130] 続いて、第6実施形態に係る積層セラミックコンデンサ100eの製造方法について説明する。図23は、積層セラミックコンデンサ100eの製造

方法のフローを例示する図である。

[0131] (原料粉末作製工程)

まず、誘電体層11を形成するための誘電体材料を用意する。誘電体層11に含まれるAサイト元素およびBサイト元素は、通常は $ABO_3$ の粒子の焼結体の形で誘電体層11に含まれる。例えば、 $BaTiO_3$ は、ペロブスカイト構造を有する正方晶化合物であって、高い誘電率を示す。この $BaTiO_3$ は、一般的に、二酸化チタンなどのチタン原料と炭酸バリウムなどのバリウム原料とを反応させてチタン酸バリウムを合成することで得ることができる。誘電体層11の主成分セラミックの合成方法としては、従来種々の方法が知られており、例えば固相法、ゾルーゲル法、水熱法等が知られている。本実施形態においては、これらのいずれも採用することができる。

[0132] 得られたセラミック粉末に、目的に応じて所定の添加化合物を添加する。添加化合物としては、Mg、Mn、Mo、V、Cr、希土類元素(Y、Sm、Eu、Gd、Tb、Dy、Ho、Er、TmおよびYb)の酸化物、または、Co、Ni、Li、B、Na、KもしくはSiを含む酸化物、または、Co、Ni、Li、B、Na、KもしくはSiを含むガラスが挙げられる。これらのうち、主として $SiO_2$ が焼結助剤として機能する。

[0133] 例えば、セラミック原料粉末に添加化合物を含む化合物を湿式混合し、乾燥および粉碎してセラミック材料を調製する。例えば、上記のようにして得られたセラミック材料について、必要に応じて粉碎処理して粒径を調節し、あるいは分級処理と組み合わせることで粒径を整えてもよい。以上の工程により、誘電体材料が得られる。

[0134] (積層工程)

次に、得られた原料粉末に、ポリビニルブチラール(PVB)樹脂等のバインダと、エタノール、トルエン等の有機溶剤と、可塑剤とを加えて湿式混合する。得られたスラリーを使用して、例えばダイコータ法やドクターブレード法により、基材上に誘電体グリーンシートを塗工して乾燥させる。基材は、例えば、ポリエチレンテレフタレート(PET)フィルムである。

[0135] 次に、図24で例示するように、誘電体グリーンシート51上に、内部電極パターン52を成膜する。内部電極パターン52が成膜された誘電体グリーンシート51を、積層単位とする。内部電極パターン52には、Cuよりも低融点の低融点金属を含むNi粉末を用いる。成膜の手法は、印刷、スパッタ、蒸着などであってもよい。

[0136] 次に、誘電体グリーンシート51を基材から剥がしつつ、図24で例示するように、積層単位を積層する。次に、積層単位が積層されることで得られた積層体の上下にカバーシート53を所定数（例えば2～10層）だけ積層して熱圧着する。カバーシート53は、誘電体グリーンシート51と同様の手法により形成することができる。

[0137] (脱バインダ工程)

このようにして得られた積層体を、N<sub>2</sub>雰囲気中で脱バインダ処理する。熱処理温度は、250℃～700℃程度であり、熱処理時間は、5分～1時間程度である。

[0138] (焼成工程)

その後、酸素分圧 $10^{-5}$ ～ $10^{-8}$  atmの還元雰囲気中で1100℃～1300℃で10分～2時間焼成する。このようにして、積層チップ10が得られる。

[0139] (再酸化処理工程)

その後、N<sub>2</sub>ガス雰囲気中において600℃～1000℃で再酸化処理を行ってもよい。

[0140] (塗布工程)

次に、積層体の第1側面に、下地層21となる金属ペーストをディップ法などで塗布する。この金属ペーストには、ガラスフリットなどのガラス成分を含ませる。

[0141] (焼付工程)

次に、700℃～900℃程度の温度で金属ペーストを焼き付けることで、下地層21を形成する。

[0142] (めっき処理工程)

その後、めっき処理により、下地層 21 上に、銅、ニッケル、スズ等の金属コーティングを行ってもよい。例えば、下地層 21 上に、第 1めっき層 23、第 2めっき層 24 および第 3めっき層 25 を順に形成する。それにより、積層セラミックコンデンサ 100 e が完成する。

[0143] 本実施形態に係る製造方法によれば、内部電極パターン 52 に低融点金属が添加される。低融点金属が添加されることで、脱バインダ工程の熱処理の際に、低融点金属が添加されない場合と比較してバインダの排出開始温度が低くなる。それにより、良好な脱バインダ特性が実現され、クラックやデラミネーションを抑制することができるようになる。

[0144] なお、上記の製造方法では、積層チップ 10 を焼成した後に下地層 21 を焼き付けたが、それに限られない。例えば、積層チップ 10 を焼成する際に、同時に下地層 21 を焼成してもよい。

[0145] ここで、積層セラミックコンデンサ 100 e の実装について説明する。図 25 は、積層セラミックコンデンサ 100 e を含む回路基板 200 の側面図である。回路基板 200 は、積層セラミックコンデンサ 100 e が実装される実装基板 210 を有する。実装基板 210 は、L 方向および W 方向の平面に沿って延び、T 方向に垂直な実装面 G を有する基材 211 と、実装面 G に設けられた一对の接続電極 212 と、を有する。

[0146] 回路基板 200 では、積層セラミックコンデンサ 100 e の外部電極 20a, 20b がそれぞれ実装基板 210 の一对の接続電極 212 にハンダ H を介して接続されている。これにより、回路基板 200 では、積層セラミックコンデンサ 100 e が実装基板 210 に対して固定されるとともに電氣的に接続されている。

[0147] ここで、積層セラミックコンデンサ 100 e では、回路基板 200 の駆動時に、実装基板 210 の接続電極 212 を介して外部電極 20a, 20b に電圧が印加されると、圧電効果によって積層チップ 10 に電歪が生じることが知られている。積層チップ 10 に生じる電歪では、内部電極層 12 の積層

方向に相対的に大きく変形する。

- [0148] 回路基板 200 では、交流電圧が印加された積層セラミックコンデンサ 100e に繰り返し電歪が生じることで、実装基板 210 の基材 211 に厚み方向の振動が発生することがある。回路基板 200 では、基材 211 に発生する振動が大きくなると、基材 211 からノイズ音が発生する、いわゆる「音鳴き」という現象が生じることがある。
- [0149] しかしながら、本実施形態に係る積層セラミックコンデンサ 100e では、内部電極層 12 の積層方向が基材 211 の面内方向であるため、積層チップ 10 の電歪によって基材 211 に厚み方向の振動が発生しにくい。また、積層セラミックコンデンサ 100e では、内部電極層 12 の積層数が少なく、電歪による変形量が小さく抑えられるため、基材 211 に振動が発生したとしてもノイズ音が生じるほどの大きい振動とはなりにくい。
- [0150] 積層セラミックコンデンサ 100e は、実装基板 210 に実装する際に包装体 300 として包装された状態で準備される。図 26 および図 27 は、包装体 300 を例示する図である。図 26 は、包装体 300 の部分平面図である。図 27 は、図 26 の D-D 線に沿った包装体 300 の断面図である。
- [0151] 包装体 300 は、積層セラミックコンデンサ 100e と、キャリアテープ 310 と、トップテープ 320 と、を備える。キャリアテープ 310 は、W 方向に延びる長尺状のテープとして構成されている。キャリアテープ 310 には、積層セラミックコンデンサ 100e を 1 個ずつ収容する複数の凹部 311 が W 方向に間隔をあけて配列されている。
- [0152] キャリアテープ 310 は、T 方向と直交する上向きの面であるシール面 P を有し、複数の凹部 311 はシール面 P から T 方向の下向きに窪んでいる。つまり、キャリアテープ 310 は、シール面 P 側から複数の凹部 311 内の積層セラミックコンデンサ 100e を取り出すことが可能なように構成されている。
- [0153] キャリアテープ 310 では、複数の凹部 311 の列とは L 方向にずれた位置に、W 方向に間隔をあけて配列された T 方向に貫通する複数の送り孔 31

- 2が設けられている。送り孔312は、テープ搬送機構がキャリアテープ310をW方向に搬送するために用いられる係合孔として構成される。
- [0154] 包装体300では、トップテープ320が複数の凹部311の列に沿ってキャリアテープ310のシール面Pに貼り付けられ、複数の積層セラミックコンデンサ100eを収容した複数の凹部311がトップテープ320によって一括して覆われている。これにより、複数の積層セラミックコンデンサ100eが複数の凹部311内に保持される。
- [0155] 図27に示すように、キャリアテープ310の凹部311内の積層セラミックコンデンサ100eでは、積層チップ10におけるT方向上方を向いた第1主面M1がトップテープ320と対向している。また、積層チップ10のT方向下方を向いた第2主面M2は、凹部311の底面と対向している。
- [0156] 包装体300として包装された積層セラミックコンデンサ100eの実装の際には、キャリアテープ310のシール面Pからトップテープ320をW方向に沿って剥離させる。これにより、包装体300では、複数の積層セラミックコンデンサ100eが収容された複数の凹部311をT方向上方に順次開放させることができる。
- [0157] 開放された凹部311に収容された積層セラミックコンデンサ100eは、T方向上方を向いた積層チップ10の第1主面M1が実装装置の吸着ノズルの先端に吸着された状態で取り出される。実装装置は、吸着ノズルを移動させることで、実装基板210の実装面G上に積層セラミックコンデンサ100eを移動させる。
- [0158] 続いて、実装装置は、積層チップ10の第2主面M2を実装面Gに対向させ、外部電極20a, 20bを半田ペーストが塗布された一对の接続電極212上に位置合わせした状態で、積層チップ10の第1主面M1に対する吸着ノズルによる吸着を解除する。これにより、積層セラミックコンデンサ100eが実装面G上に載置される。
- [0159] そして、積層セラミックコンデンサ100eが実装面G上に載置された実装基板210に対してリフロー炉などを用いて半田ペーストを溶融させた後

に硬化させる。これにより、外部電極 20 a, 20 b が実装基板 210 の一対の接続電極 212 に半田 H を介して接続されることで、図 25 に示す回路基板 200 が得られる。

[0160] (第 7 実施形態)

外部電極 20 a, 20 b の位置における W 方向および T 方向の断面において、外部電極 20 a, 20 b から内部電極層 12 に過剰に拡散が生じると、図 28 で例示するように、外部電極近傍のコーナー部にクラック 40 が生じるおそれがある。特に、下地層 21 の主成分金属が Cu で、内部電極層 12 の主成分金属が Ni である場合に、拡散が生じやすい。また、内部電極層 12 中、または内部電極層 12 と誘電体層 11 との界面に上記のような低融点金属が配置されると、下地層 21 を形成する際に下地層 21 からの拡散が助長されるおそれがある。なお、図 28 は、図 17 の C-C 線断面に相当する図である。

[0161] そこで、第 7 実施形態に係る積層セラミックコンデンサ 100 f では、各内部電極層 12 の T 方向の寸法に変化を持たせる。図 29 で例示するように、外部電極 20 a に接続される内部電極層 12 は、エンドマージン 15 に相当する領域において外部電極 20 a に接続され T 方向に寸法 T1 を有する第 1 領域 121 (接続部) と、容量部 14 に相当する領域において T 方向に寸法 T2 を有する第 2 領域 122 とを有する。寸法 T1 は、寸法 T2 よりも低くなっている。T 方向において、第 1 領域 121 が第 2 領域 122 よりも内側に位置する。この構成によれば、コーナー部において外部電極 20 a, 20 b から内部電極層 12 への移動距離が長くなるため、外部電極 20 a, 20 b から内部電極層 12 への拡散が抑制される。それにより、クラック 40 の発生が抑制される。外部電極 20 b に接続される内部電極層 12 においても、寸法 T1 を有する第 1 領域 121 と、寸法 T2 を有する第 2 領域 122 とが設けられている。

[0162] 例えば、 $T1 / T2$  が小さいと、外部電極 20 a, 20 b と内部電極層 12 との接続性が低下して良好な導通が得られないおそれがある、そこで、T

1/T2に下限を設けることが好ましい。一方、T1/T2が大きいと、外部電極20a, 20bから内部電極層12への移動距離を十分に長くできないおそれがある。そこで、T1/T2に上限を設けることが好ましい。以上のことから、T1/T2は、1/2以上が好ましく、2/3以上がより好ましい。また、T1/T2は、4/5以下が好ましく、3/4以下がより好ましい。

[0163] ここで、図30で例示するように、外部電極20a, 20bが積層チップ10の両端面からL方向に延在する寸法を寸法eと称する。コーナー部のクラック40を抑制する観点から、第1領域121のL方向の寸法は、寸法eの1/3以上であることが好ましく、1/2以上であることがより好ましい。

[0164] 本実施形態に係る積層セラミックコンデンサ100fは、例えば、図31で例示するように、寸法T1および寸法T2を有する内部電極パターン52aが成膜された誘電体グリーンシート51を積層することによって、得ることができる。

[0165] (第8実施形態)

第7実施形態では、全ての内部電極層12が第1領域121および第2領域122を有していたが、一部の内部電極層12が第1領域121および第2領域122を有していてもよい。例えば、図32で例示するように、最外層の内部電極層12から内側に向かって1以上の内部電極層12が第1領域121および第2領域122を有していることが好ましい。第1領域121および第2領域122を有している内部電極層12を、外側領域の内部電極層12と称する。外側領域の内部電極層12よりも内側であってT方向の高さが略一定の内部電極層12を、内側領域の内部電極層12と称する。

[0166] 外部電極20a, 20bから内部電極層12への拡散を抑制する観点から、全積層数に対して合計で10%以上の層数の内部電極層12が上記の外側領域の内部電極層12であることが好ましく、25%以上の層数の内部電極層12が上記の外側領域の内部電極層12であることがより好ましい。一方

で、外部電極 20a, 20b と内部電極層 12 との接続不良を削減する観点から、全積層数に対して合計で 50% 以下の層数の内部電極層 12 が上記の外側領域の内部電極層 12 であることが好ましく、40% 以下の層数の内部電極層 12 が上記の外側領域の内部電極層 12 であることがより好ましい。

[0167] 内側領域の内部電極層 12 よりも W 方向の一方側の外側領域の内部電極層 12 の層数と、W 方向の他方側の外側領域の内部電極層 12 の層数とは、同じであることが好ましい。

[0168] 本実施形態に係る積層セラミックコンデンサ 100g は、例えば、図 33 で例示するように、寸法 T1 および寸法 T2 を有する内部電極パターン 52a が成膜された誘電体グリーンシート 51 と、T 方向に一定の寸法を有する内部電極パターン 52 が成膜された誘電体グリーンシート 51 とを積層することによって得ることができる。

[0169] なお、上記各実施形態は、セラミック電子部品の一例として積層セラミックコンデンサについて説明したが、それに限られない。例えば、上記各実施形態の構成は、バリスタやサーミスタなどの、他の積層セラミック電子部品に適用することもできる。

## 実施例

[0170] 以下、各実施形態に係る積層セラミックコンデンサを作製し、特性について調べた。

[0171] (実施例 1)

実施例 1 では、第 1 実施形態で説明した積層セラミックコンデンサを作製した。まず、BaTiO<sub>3</sub> を主成分とするスラリを配合、塗工し、誘電体グリーンシートを得た。各誘電体グリーンシートに内部電極パターンを印刷した。内部電極パターンには、ニッケル粉末を用い、Sn 粉末を添加した。Ni に対する Sn の添加濃度は、1.0at% とした。得られた積層単位の 250 層を積層し、積層体を得た。

[0172] BaTiO<sub>3</sub> を主成分とするスラリを配合、塗工し、カバーシートを得た。上記の積層体の積層方向の上下のそれぞれに、複数のカバーシートを積層し

て圧着し、その後、脱バインダ工程を行なった。その後、焼成し、再酸化処理を行なった。得られた積層チップの2端面にCuを主成分とする金属ペーストを塗布し、800℃前後で焼き付けた。これらの工程を経て、長さ $L_0$ ：0.6mm、幅 $W_0$ ：0.3mm、高さ $T_0$ ：0.3mm)で、内部電極層が250層積層された積層セラミックコンデンサを作製した。

[0173] 焼成された積層セラミックコンデンサにおいて、各内部電極層のT方向の厚みは0.5 $\mu$ mであり、各誘電体層のT方向の厚みは0.5 $\mu$ mであった。各カバー層のT方向における厚みは、25 $\mu$ mであった。各サイドマージンのW方向における厚みは、25 $\mu$ mであった。各内部電極層において、容量部ではW方向の寸法 $W_2$ を大きくし、エンドマージンではW方向の寸法 $W_1$ を $W_2$ よりも小さくした。容量部における内部電極層の寸法 $W_2$ は250 $\mu$ mであり、エンドマージンにおける内部電極層の寸法 $W_1$ は150 $\mu$ mであった。各エンドマージンのL方向の長さは、15 $\mu$ mであった。各外部電極が積層チップの両端面からL方向に延在する寸法 $e$ は、20 $\mu$ mであった。

[0174] (実施例2-1)

実施例2-1では、第2実施形態で説明した積層セラミックコンデンサを作製した。内部電極層の積層数を350層とした。長さ $L_0$ は0.6mmであり、幅 $W_0$ は0.3mmであり、高さ $T_0$ は0.4mmであった。その他の条件は、実施例1と同じとした。

[0175] (実施例2-2)

実施例2-2では、第2実施形態で説明した積層セラミックコンデンサを作製した。内部電極層の積層数を450層とした。長さ $L_0$ は0.6mmであり、幅 $W_0$ は0.3mmであり、高さ $T_0$ は0.5mmであった。その他の条件は、実施例1と同じとした。

[0176] (実施例3)

実施例3では、第3実施形態で説明した積層セラミックコンデンサを作製した。内部電極層の積層数を450層とした。長さ $L_0$ は0.6mmであり、

幅 $W_0$ は0.3 mmであり、高さ $T_0$ は0.5 mmであった。外側領域の各50層の各内部電極層において、容量部ではW方向の寸法 $W_2$ を大きくし、エンドマージンではW方向の寸法 $W_1$ を $W_2$ よりも小さくした。容量部における内部電極層の寸法 $W_2$ は250  $\mu\text{m}$ であり、エンドマージンにおける内部電極層の寸法 $W_1$ は150  $\mu\text{m}$ であった。内側領域の350層の各内部電極層において、容量部における内部電極層のW方向の寸法およびエンドマージンにおける内部電極層のW方向の寸法を250  $\mu\text{m}$ とした。その他の条件は、実施例1と同じとした。

[0177] (実施例4-1)

実施例4-1では、第4実施形態で説明した積層セラミックコンデンサを作製した。内部電極層の積層数を250層とした。焼成された積層セラミックコンデンサにおいて、長さ $L_0$ は0.6 mmであり、幅 $W_0$ は0.3 mmであり、高さ $T_0$ は0.5 mmであった。各内部電極層のW方向の厚みは0.5  $\mu\text{m}$ であり、各誘電体層のW方向の厚みは0.5  $\mu\text{m}$ であった。各カバー層のW方向における厚みは、25  $\mu\text{m}$ であった。各サイドマージンのT方向における厚みは、25  $\mu\text{m}$ であった。各内部電極層において、容量部ではT方向の寸法 $T_2$ を大きくし、エンドマージンではT方向の寸法 $T_1$ を $T_2$ よりも小さくした。容量部における内部電極層の寸法 $T_2$ は450  $\mu\text{m}$ であり、エンドマージンにおける内部電極層の寸法 $T_1$ は300  $\mu\text{m}$ であった。各エンドマージンのL方向の長さは、15  $\mu\text{m}$ であった。各外部電極が積層チップの両端面からL方向に延在する寸法 $e$ は、20  $\mu\text{m}$ であった。

[0178] (実施例4-2)

実施例4-2では、第4実施形態で説明した積層セラミックコンデンサを作製した。内部電極層の積層数を250層とした。焼成された積層セラミックコンデンサにおいて、長さ $L_0$ は0.6 mmであり、幅 $W_0$ は0.3 mmであり、高さ $T_0$ は0.4 mmであった。各内部電極層のW方向の厚みは0.5  $\mu\text{m}$ であり、各誘電体層のW方向の厚みは0.5  $\mu\text{m}$ であった。各カバー層のW方向における厚みは、25  $\mu\text{m}$ であった。各サイドマージンのT方向に

おける厚みは、 $25\ \mu\text{m}$ であった。各内部電極層において、容量部ではT方向の寸法T2を大きくし、エンドマージンではT方向の寸法T1をT2よりも小さくした。容量部における内部電極層の寸法T2は $350\ \mu\text{m}$ であり、エンドマージンにおける内部電極層の寸法T1は $250\ \mu\text{m}$ であった。各エンドマージンのL方向の長さは、 $15\ \mu\text{m}$ であった。各外部電極が積層チップの両端面からL方向に延在する寸法eは、 $20\ \mu\text{m}$ であった。

[0179] (実施例5)

実施例5では、第5実施形態で説明した積層セラミックコンデンサを作製した。外側領域の各50層の各内部電極層において、容量部ではT方向の寸法T2を大きくし、エンドマージンではT方向の寸法T1をT2よりも小さくした。容量部における内部電極層の寸法T2は $450\ \mu\text{m}$ であり、エンドマージンにおける内部電極層の寸法T1は $300\ \mu\text{m}$ であった。内側領域の150層の各内部電極層において、容量部における内部電極層のT方向の寸法およびエンドマージンにおける内部電極層のT方向の寸法を $450\ \mu\text{m}$ とした。その他の条件は、実施例4と同じとした。

[0180] 表1に、実施例1～5および比較例1, 2の各条件を示す。

[表1]

	添加金属	L <sub>0</sub> (mm)	W <sub>0</sub> (mm)	T <sub>0</sub> (mm)	積層数	W1 or T1 (μm)	W2 or T2 (μm)	エンドマージン (μm)	e寸 (μm)
実施例1	Sn	0.6	0.3	0.3	250	150	250	15	20
実施例2-1	Sn	0.6	0.3	0.4	250	150	250	15	20
実施例2-2	Sn	0.6	0.3	0.5	450	150	250	15	20
実施例3	Sn	0.6	0.3	0.5	外側:50と50 内側:350	外側:150 内側:250	250	15	20
実施例4-1	Sn	0.6	0.3	0.5	250	300	450	15	20
実施例4-2	Sn	0.6	0.3	0.4	250	250	350	15	20
実施例5	Sn	0.6	0.3	0.5	外側:50と50 内側:150	外側:300 内側:450	450	15	20
比較例1	Sn	0.6	0.3	0.3	250	250	250	15	20
比較例2	Sn	0.6	0.3	0.5	450	250	250	15	20

[0181] 比較例1, 2および実施例1~5のそれぞれについて、各100個のサンプルを作成した。実施例1~5では、クラックが確認されなかった。クラックが確認されなかったのは、複数の内部電極層のうち最外層から1層以上の内部電極層において、外部電極に接続される接続部の幅が他の領域の幅よりも狭くなっていることで、コーナー部において下地層から内部電極層への移動距離が長くなって下地層から内部電極層への拡散が抑制されたからであると考えられる。これに対して、比較例1, 2では、クラックが確認された。クラックが確認されたのは、コーナー部において下地層から内部電極層への移動距離が短くなって下地層から内部電極層への拡散が促進されたからであると考えられる。

[表2]

	クラック有無
実施例1	無
実施例2-1	無
実施例2-2	無
実施例3	無
実施例4-1	無
実施例4-2	無
実施例5	無
比較例1	有
比較例2	有

## [0182] (実施例6)

実施例6では、第6実施形態で説明した積層セラミックコンデンサを作製した。まず、BaTiO<sub>3</sub>を主成分とするスラリーを配合、塗工し、誘電体グリーンシートを得た。各誘電体グリーンシートに内部電極パターンを印刷した。内部電極パターンには、ニッケル粉末を用い、Sn粉末を添加した。Niに対するSnの添加濃度は、1.0at%とした。T方向において、各内部電極パターンの高さを誘電体グリーンシートの高さよりも低くした。得られた積層単位の250層を積層し、積層体を得た。

[0183] BaTiO<sub>3</sub>を主成分とするスラリーを配合、塗工し、カバーシートを得た。上記の積層体の積層方向の上下のそれぞれに、複数のカバーシートを積層して圧着し、その後、バレル研磨を行ない、脱バインダ工程を行なった。その後、焼成し、再酸化処理を行なった。得られた積層チップの2端面にCuを主成分とする金属ペーストを塗布し、800℃前後で焼き付けた。これらの工程を経て、長さL<sub>0</sub>: 0.6mm、幅W<sub>0</sub>: 0.3mm、高さT<sub>0</sub>: 0.5mmで、内部電極層が250層積層された積層セラミックコンデンサを作製した。

[0184] 焼成された積層セラミックコンデンサにおいて、各内部電極層のW方向の厚みは0.5μmであり、各誘電体層のW方向の厚みは0.5μmであった

。各カバー層のW方向における厚みは、 $25\ \mu\text{m}$ であった。各サイドマージンのT方向における厚みは、 $25\ \mu\text{m}$ であった。各内部電極層のT方向の寸法 ( $T1 = T2$ ) は $450\ \mu\text{m}$ であった。各エンドマージンのL方向における長さは、 $40\ \mu\text{m}$ であった。

[0185] (実施例7)

実施例7では、第7実施形態で説明した積層セラミックコンデンサを作製した。各内部電極層において、容量部ではT方向の寸法T2を大きくし、エンドマージンではT方向の寸法T1をT2よりも小さくした。容量部における内部電極層の寸法T2は $450\ \mu\text{m}$ であり、エンドマージンにおける内部電極層の寸法T1は $300\ \mu\text{m}$ であった。その他の条件は、実施例6と同じとした。

[0186] (実施例8)

実施例8では、第8実施形態で説明した積層セラミックコンデンサを作製した。外側領域の各50層の各内部電極層において、容量部ではT方向の寸法T2を大きくし、エンドマージンではT方向の寸法T1をT2よりも小さくした。容量部における内部電極層の寸法T2は $450\ \mu\text{m}$ であり、エンドマージンにおける内部電極層の寸法T1は $300\ \mu\text{m}$ であった。内側領域の150層の各内部電極層において、容量部における内部電極層の寸法T2およびエンドマージンにおける寸法T1を $450\ \mu\text{m}$ とした。その他の条件は、実施例6と同じとした。

[0187] (実施例9)

実施例9では、各内部電極層のT方向の寸法が $350\ \mu\text{m}$ となるように実施例6と内部電極パターンの印刷幅を変更し、長さ $L_0 : 0.6\ \text{mm}$ 、幅 $W_0 : 0.3\ \text{mm}$ 、高さ $T_0 : 0.4\ \text{mm}$ で、内部電極層が250層積層された積層セラミックコンデンサを作製した。その他の条件は、実施例6と同じとした。

[0188] (比較例3)

比較例3では、内部電極パターンにSnを添加しなかった。その他の条件

は、実施例6と同じとした。

[0189] 表3に、実施例6～9および比較例3の各条件を示す。

[表3]

	添加金属	添加量 (at%)	L <sub>0</sub> (mm)	W <sub>0</sub> (mm)	T <sub>0</sub> (mm)	T1 (μm)	T2 (μm)	エンド・マージン (μm)
実施例6	Sn	1.0	0.6	0.3	0.5	450	450	40
実施例7	Sn	1.0	0.6	0.3	0.5	300	450	40
実施例8	Sn	1.0	0.6	0.3	0.5	外側:300 内側:450	450	40
実施例9	Sn	1.0	0.6	0.3	0.4	350	350	40
比較例3	-		0.6	0.3	0.5	450	450	40

[0190] 比較例3および実施例6～9のそれぞれについて、各100個のサンプルを作成した。表4に示すように、実施例6～9では、クラックが確認されなかった。クラックが確認されなかったのは、内部電極層の内部または内部電極層と誘電体層との界面に低融点金属が備わったことで、脱バインダ工程においてバインダ排出開始温度が低下してバインダが十分に除去されたからであると考えられる。一方で、比較例3ではクラックが確認された。これは、低融点金属を添加しなかったことで、バインダが十分に除去されなかったからであると考えられる。

[表4]

	クラック有無
実施例6	無
実施例7	無
実施例8	無
実施例9	無
比較例3	有

[0191] 以上、本発明の実施例について詳述したが、本発明に係る特定の実施例に

限定されるものではなく、特許請求の範囲に記載された本発明の要旨の範囲内において、種々の変形・変更が可能である。

### 符号の説明

- [0192] 10 積層チップ
- 11 誘電体層
  - 12 内部電極層
  - 13 カバー層
  - 14 容量部
  - 15 エンドマージン
  - 16 サイドマージン
- 20 a, 20 b 外部電極
- 21 下地層
  - 22 めっき層
  - 23 第1めっき層
  - 24 第2めっき層
  - 25 第3めっき層
- 51 誘電体グリーンシート
- 52 内部電極パターン
  - 53 カバーシート
- 100 積層セラミックコンデンサ
- 121 第1領域
  - 122 第2領域

## 請求の範囲

- [請求項1] 複数の誘電体層と、Niを主成分とする複数の内部電極層と、が交互に積層され、略直方体形状を有し、前記略直方体形状の対向する第1端面と第2端面とに前記複数の内部電極層が交互に露出するように形成された積層チップと、
- 前記1端面および前記第2端面に設けられ、前記第1端面および前記第2端面に接する接触層の主成分がCuである1対の外部電極と、を備え、
- 前記複数の内部電極層および前記接触層に、Cuよりも低融点の低融点金属が添加されており、
- 前記複数の内部電極層のうち最外層から1層以上の内部電極層において、前記外部電極に接続される接続部の幅が、他の領域の幅よりも狭いことを特徴とするセラミック電子部品。
- [請求項2] 前記低融点金属は、Ga、In、Sn、Bi、Zn、Alの少なくともいずれか1つを含むことを特徴とする請求項1に記載のセラミック電子部品。
- [請求項3] 前記最外層から1層以上の内部電極層は、前記複数の内部電極層の全積層数に対して、合計で10%以上の層数を有することを特徴とする請求項1または請求項2に記載のセラミック電子部品。
- [請求項4] 前記接続部の幅は、異なる外部電極に接続される内部電極層同士が対向する領域における前記内部電極層の幅の、 $1/2$ 以上、 $4/5$ 以下であることを特徴とする請求項1または請求項2に記載のセラミック電子部品。
- [請求項5] 前記第1端面と前記第2端面とが対向する方向における前記接続部の長さは、前記1対の外部電極が前記第1端面または前記第2端面から、前記積層チップの前記第1端面および前記第2端面以外の4面の少なくともいずれかの面に延在する距離の $1/3$ 以上であることを特徴とする請求項1または請求項2に記載のセラミック電子部品。

- [請求項6] 前記第1端面と前記第2端面とが対向する方向に直交するとともに互いに直交する方向を第1方向および第2方向とし、前記複数の内部電極層が積層される方向を前記第1方向とする場合、前記第2方向の寸法に対して前記第1方向の寸法は、1.3倍以上であることを特徴とする請求項1または請求項2に記載のセラミック電子部品。
- [請求項7] 前記第1端面と前記第2端面とが対向する方向に直交するとともに互いに直交する方向を第1方向および第2方向とし、前記複数の内部電極層が積層される方向を前記第2方向とする場合、前記第2方向の寸法に対して前記第1方向の寸法は、1.3倍以上であることを特徴とする請求項1または請求項2に記載のセラミック電子部品。
- [請求項8] 前記複数の内部電極層のそれぞれの厚みは、 $0.1\ \mu\text{m}$ 以上 $2\ \mu\text{m}$ 以下であることを特徴とする請求項1または請求項2に記載のセラミック電子部品。
- [請求項9] 前記複数の誘電体層のそれぞれの厚みは、 $0.3\ \mu\text{m}$ 以上 $10\ \mu\text{m}$ 以下であることを特徴とする請求項1または請求項2に記載のセラミック電子部品。
- [請求項10] 請求項1または請求項2に記載のセラミック電子部品と、  
前記第1端面と前記第2端面とが対向する方向に直交するとともに互いに直交する第1方向および第2方向のうち、前記第1方向に垂直なシール面と、前記シール面から前記第1方向に窪み、前記セラミック電子部品を収容する凹部と、を有するキャリアテープと、  
前記シール面に貼り付けられ、前記凹部を覆うトップテープと、  
を備えることを特徴とする包装体。
- [請求項11] 請求項1または請求項2に記載のセラミック電子部品と、  
前記第1端面と前記第2端面とが対向する方向に直交するとともに互いに直交する第1方向および第2方向のうち、前記第1方向に垂直な実装面と、前記実装面に設けられ、前記セラミック電子部品の前記1対の外部電極がそれぞれハンダを介して接続された1対の接続電極

と、を有する実装基板と、

を備えることを特徴とする回路基板。

[請求項12]

誘電体グリーンシート上にNiを主成分としてCuよりも低融点の低融点金属が添加された内部電極パターンが成膜された積層単位が、複数積層された積層体を焼成する工程と、

前記積層体を焼成する際に、または前記積層体を焼成した後に、前記積層体の互いに対向する第1端面と第2端面とに、Cuを主成分として前記低融点金属を含む層を形成する工程と、を含み、

前記複数の内部電極パターンのうち最外層から1層以上の内部電極パターンにおいて、前記低融点金属を含む層に接続される接続部の幅が、他の領域の幅よりも狭いことを特徴とするセラミック電子部品の製造方法。

[請求項13]

第1方向の寸法が前記第1方向と直交する第2方向の寸法の1.3倍以上であり、

複数の誘電体層と、Niを主成分とする複数の内部電極層と、が前記第2方向に交互に積層され、略直方体形状を有し、前記第1方向および前記第2方向に直交する第3方向に対向する第1端面と第2端面とに前記複数の内部電極層が交互に露出するように形成された積層チップと、

前記第1端面および前記第2端面に設けられ、前記第1端面および前記第2端面に接する部位の主成分がCuである1対の外部電極と、を備え、

前記複数の内部電極層の内部、および前記複数の内部電極層と前記複数の誘電体層との界面の少なくともいずれか一方に、Cuよりも低融点の低融点金属が備わっていることを特徴とするセラミック電子部品。

[請求項14]

前記低融点金属は、Ga、In、Sn、Bi、Pb、Znのいずれか1つを含むことを特徴とする請求項13に記載のセラミック電子部

品。

- [請求項15] 前記複数の内部電極層のうち最外層から1層以上の内部電極層において、前記外部電極に接続される接続部の前記第1方向の幅が、他の領域の幅よりも狭いことを特徴とする請求項13または請求項14に記載のセラミック電子部品。
- [請求項16] 前記最外層から1層以上の内部電極層は、前記複数の内部電極層の全積層数に対して、合計で10%以上、50%以下の層数を有することを特徴とする請求項15に記載のセラミック電子部品。
- [請求項17] 前記接続部の前記第1方向の幅は、異なる外部電極に接続される内部電極層同士が対向する領域における前記内部電極層の前記第1方向の幅の、 $1/2$ 以上、 $4/5$ 以下であることを特徴とする請求項15または請求項16に記載のセラミック電子部品。
- [請求項18] 前記複数の内部電極層のそれぞれの厚みは、 $0.1\ \mu\text{m}$ 以上 $2\ \mu\text{m}$ 以下であることを特徴とする請求項13または請求項14に記載のセラミック電子部品。
- [請求項19] 前記複数の誘電体層のそれぞれの厚みは、 $0.3\ \mu\text{m}$ 以上 $3\ \mu\text{m}$ 以下であることを特徴とする請求項13または請求項14に記載のセラミック電子部品。
- [請求項20] 請求項13または請求項14に記載のセラミック電子部品と、  
前記第1方向に垂直なシール面と、前記シール面から前記第1方向に窪み、前記セラミック電子部品を収容する凹部と、を有するキャリアテープと、  
前記シール面に貼り付けられ、前記凹部を覆うトップテープと、  
を備えることを特徴とする包装体。
- [請求項21] 請求項13または請求項14に記載のセラミック電子部品と、  
前記第1方向に垂直な実装面と、前記実装面に設けられ、前記セラミック電子部品の前記1対の外部電極がそれぞれハンダを介して接続された1対の接続電極と、を有する実装基板と、

を備えることを特徴とする回路基板。

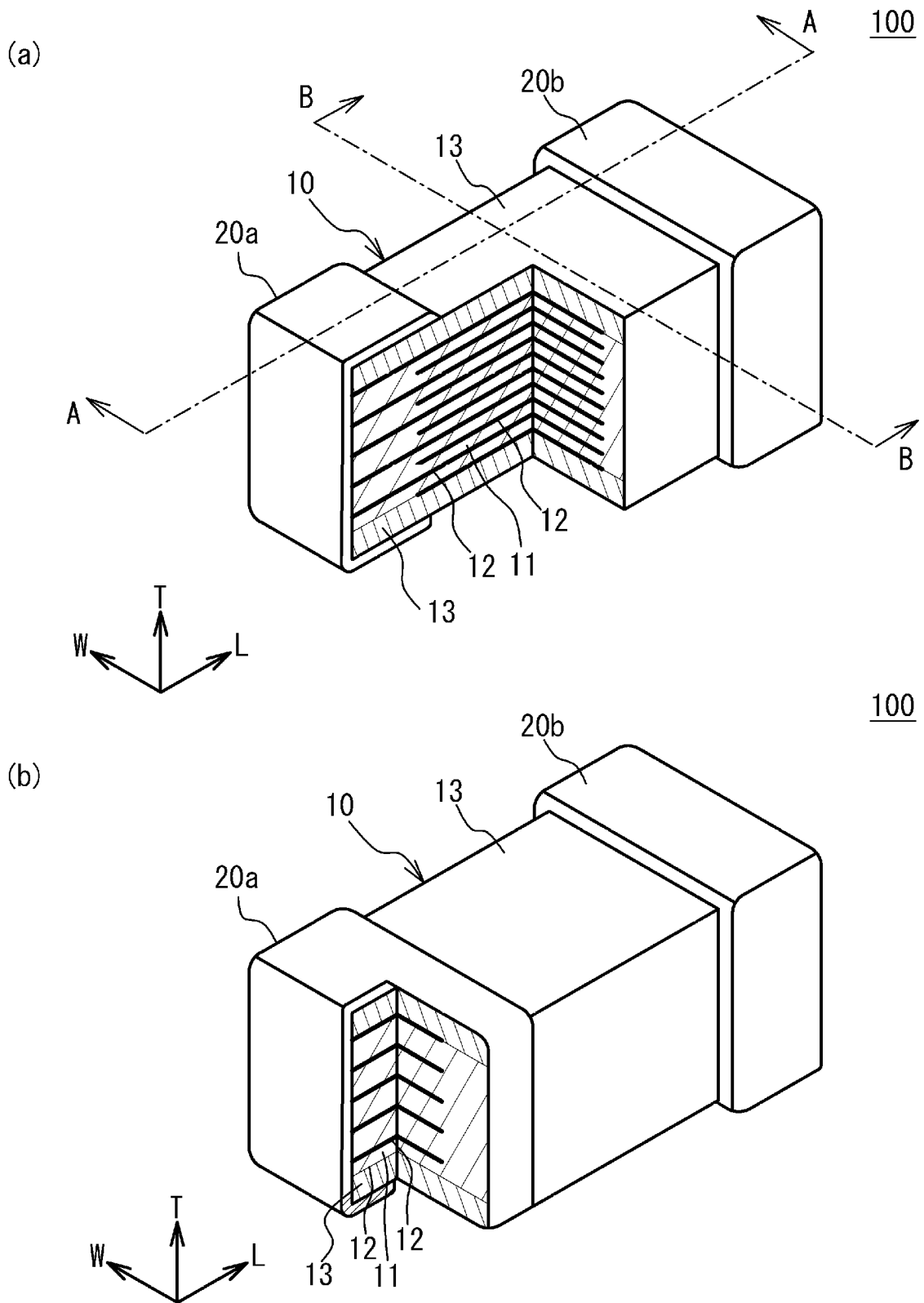
[請求項22]

第1方向の寸法が前記第1方向と直交する第2方向の寸法の1.3倍以上であるセラミック電子部品の製造方法であって、

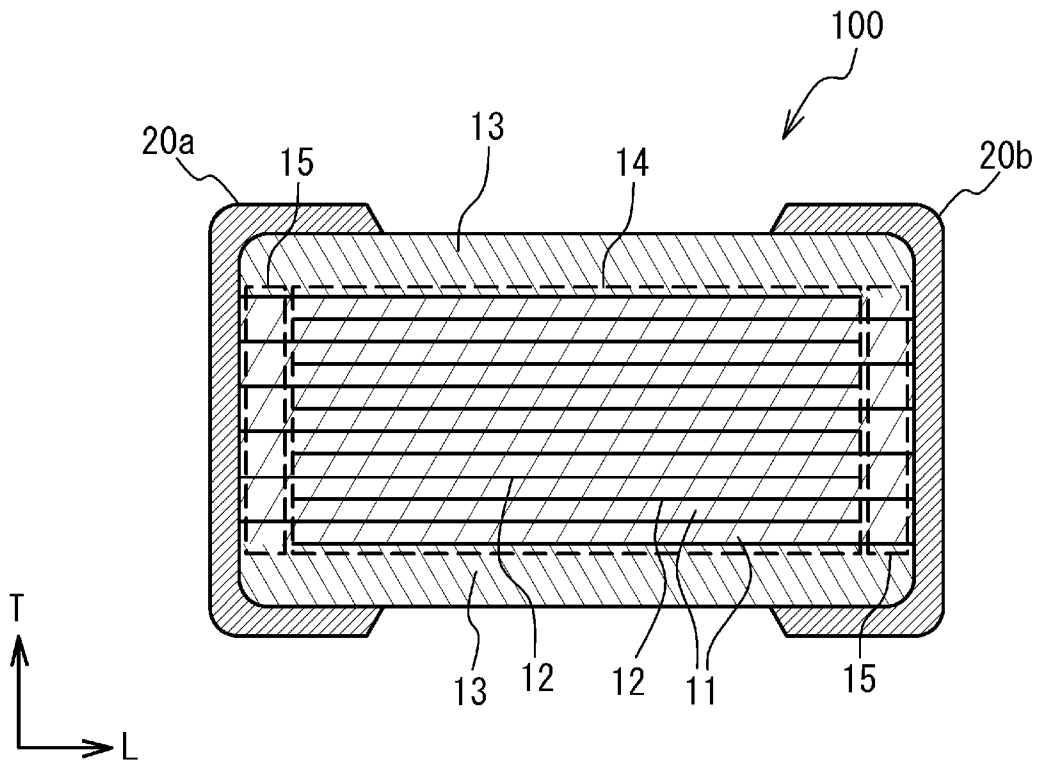
誘電体グリーンシート上にNiを主成分としてCuよりも低融点の低融点金属が添加された内部電極パターンが成膜された積層単位が、前記第2方向に複数積層された積層体を焼成する工程と、

前記積層体を焼成する際に、または前記積層体を焼成した後に、前記積層体の前記第1方向および前記第2方向に直交する第3方向に対向する第1端面と第2端面とにCuを主成分とする層を形成する工程と、を含むことを特徴とするセラミック電子部品の製造方法。

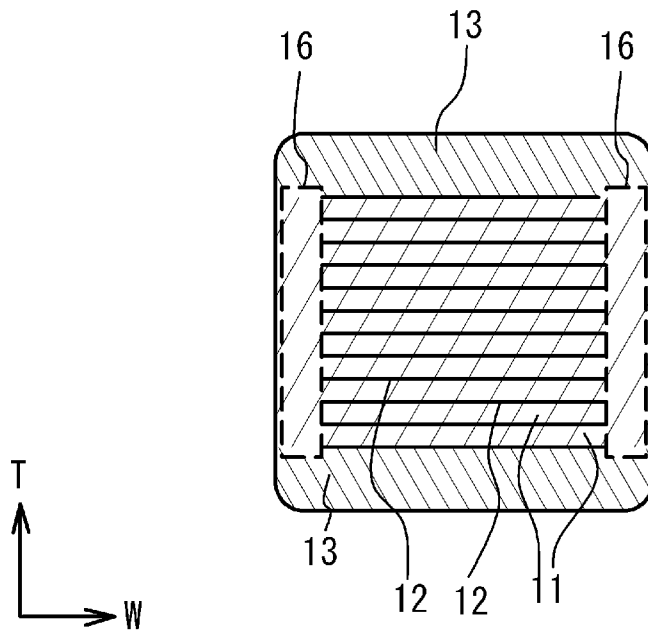
[図1]



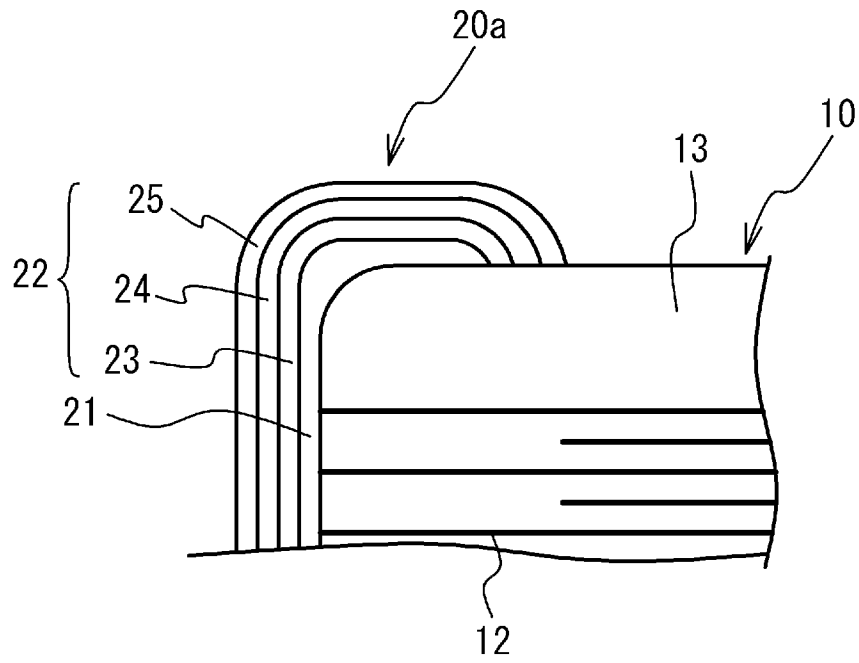
[図2]



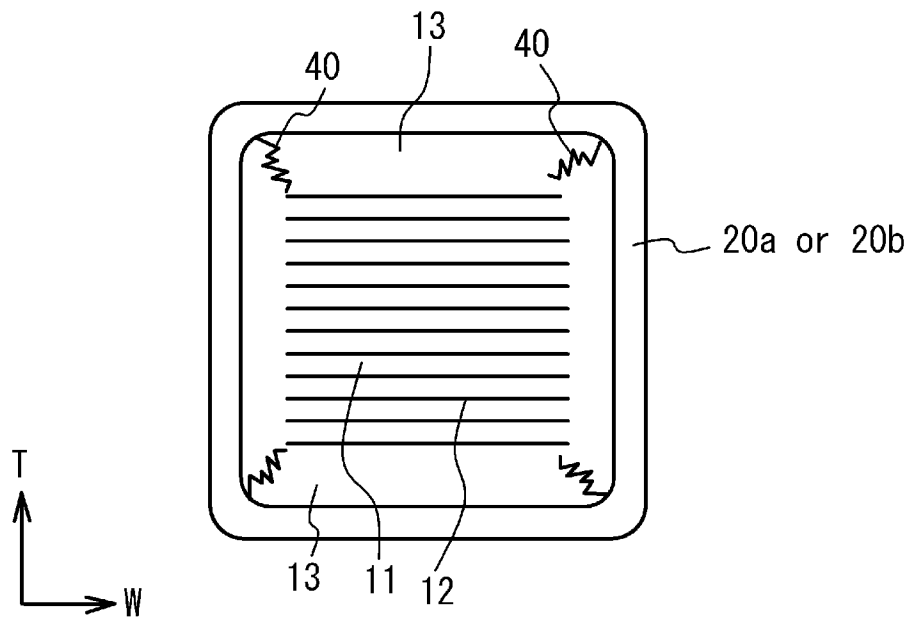
[図3]



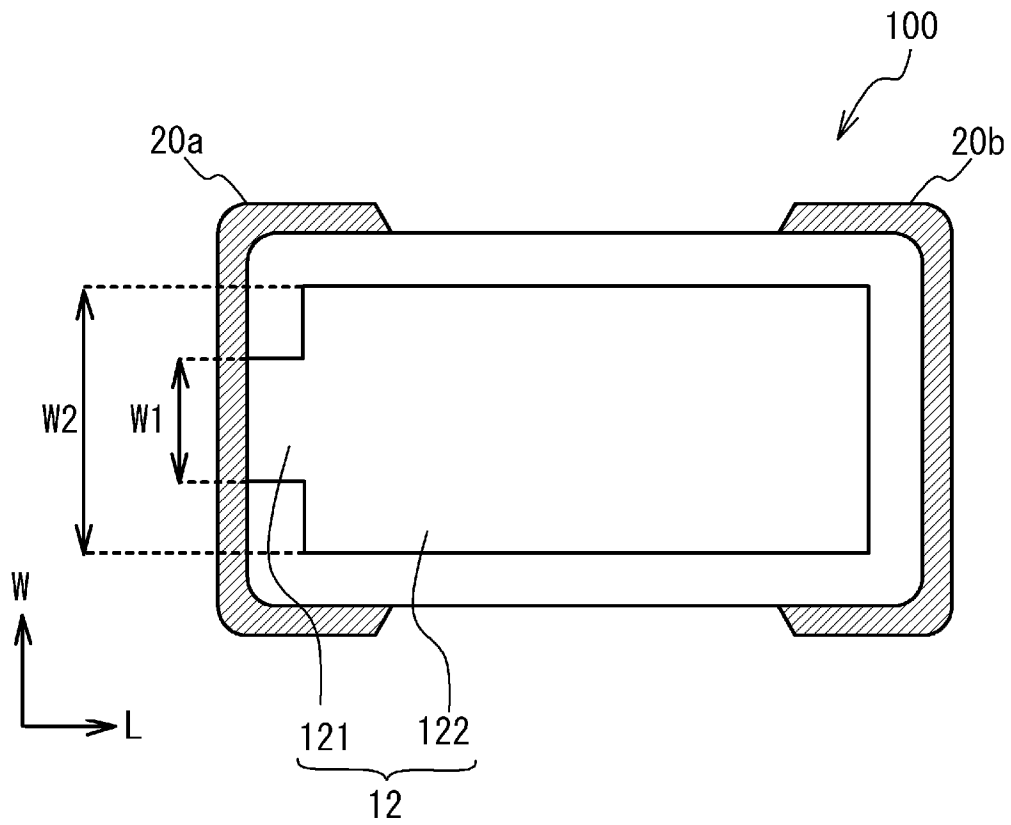
[図4]



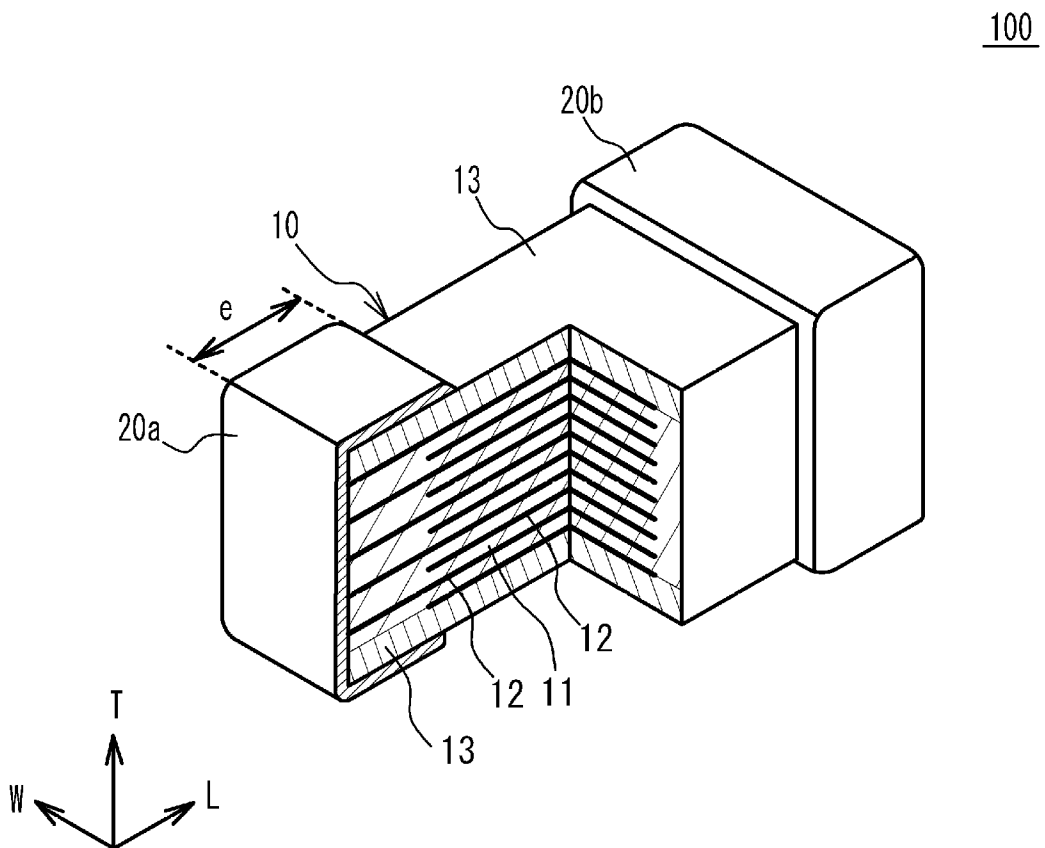
[図5]



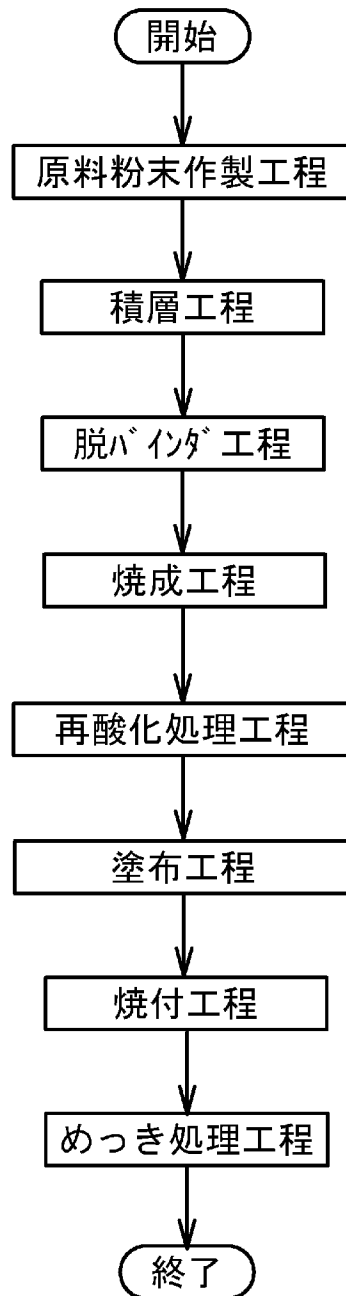
[図6]



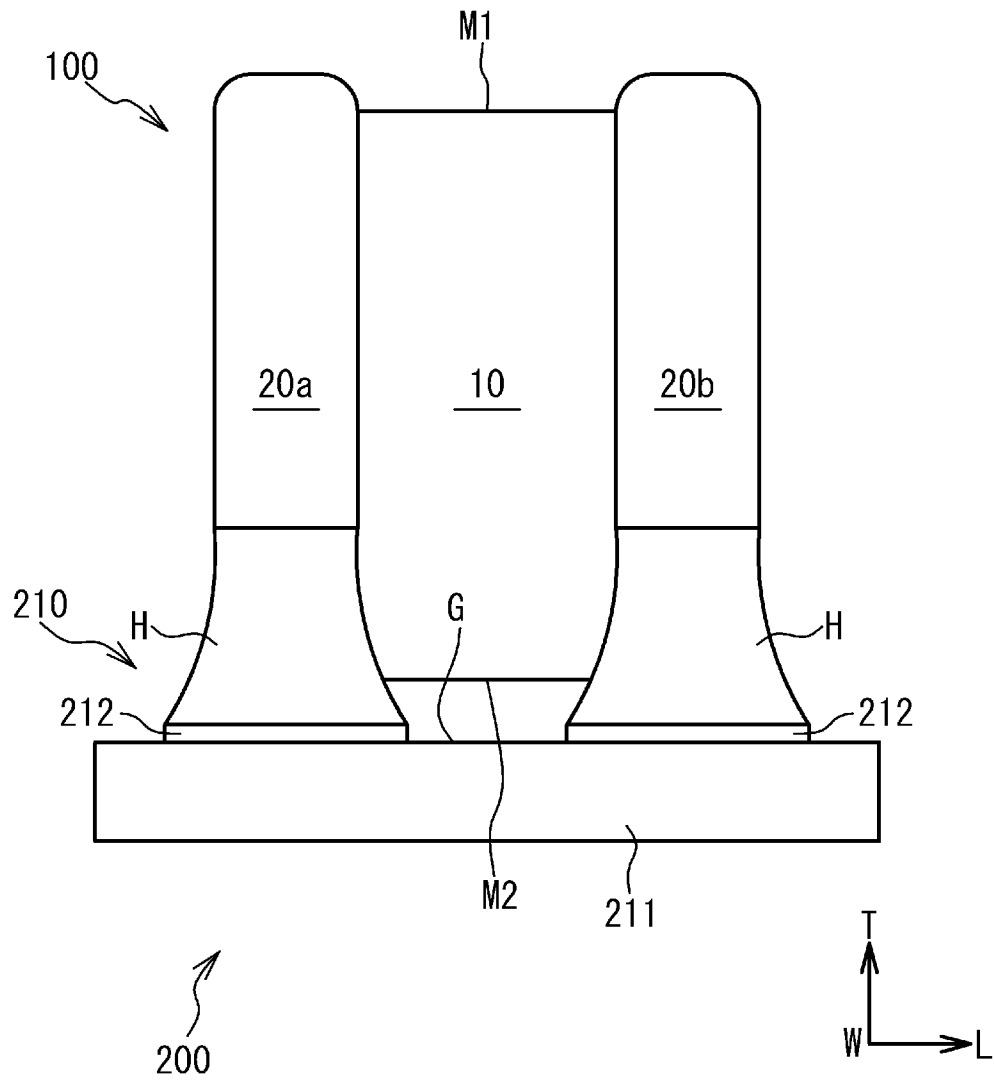
[図7]

100

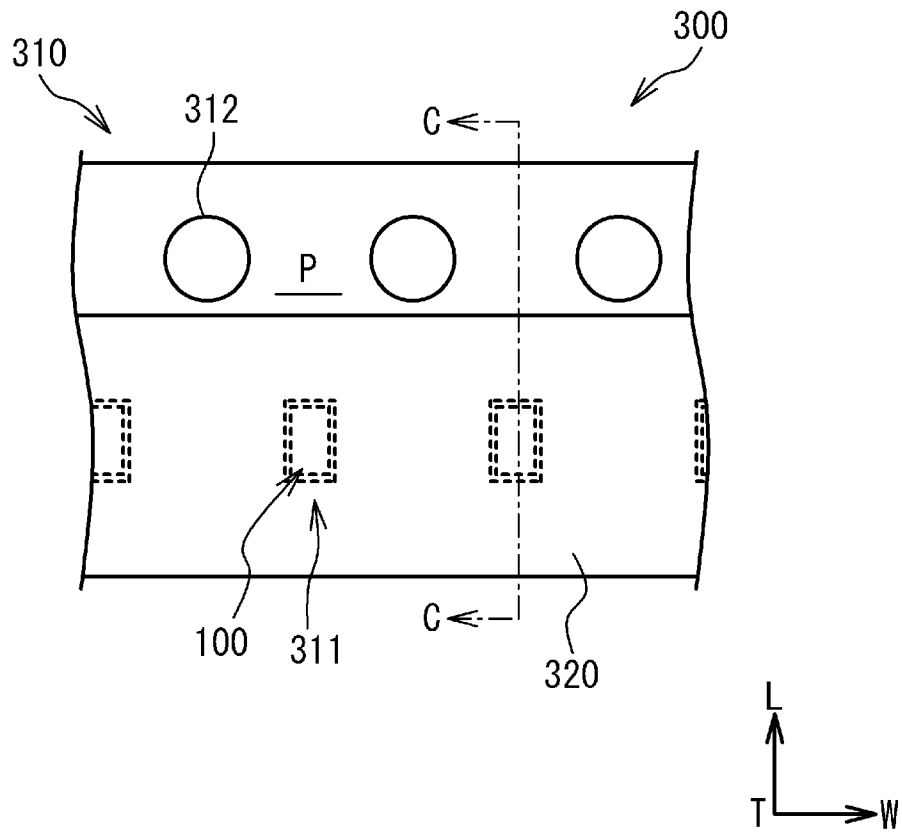
[図8]



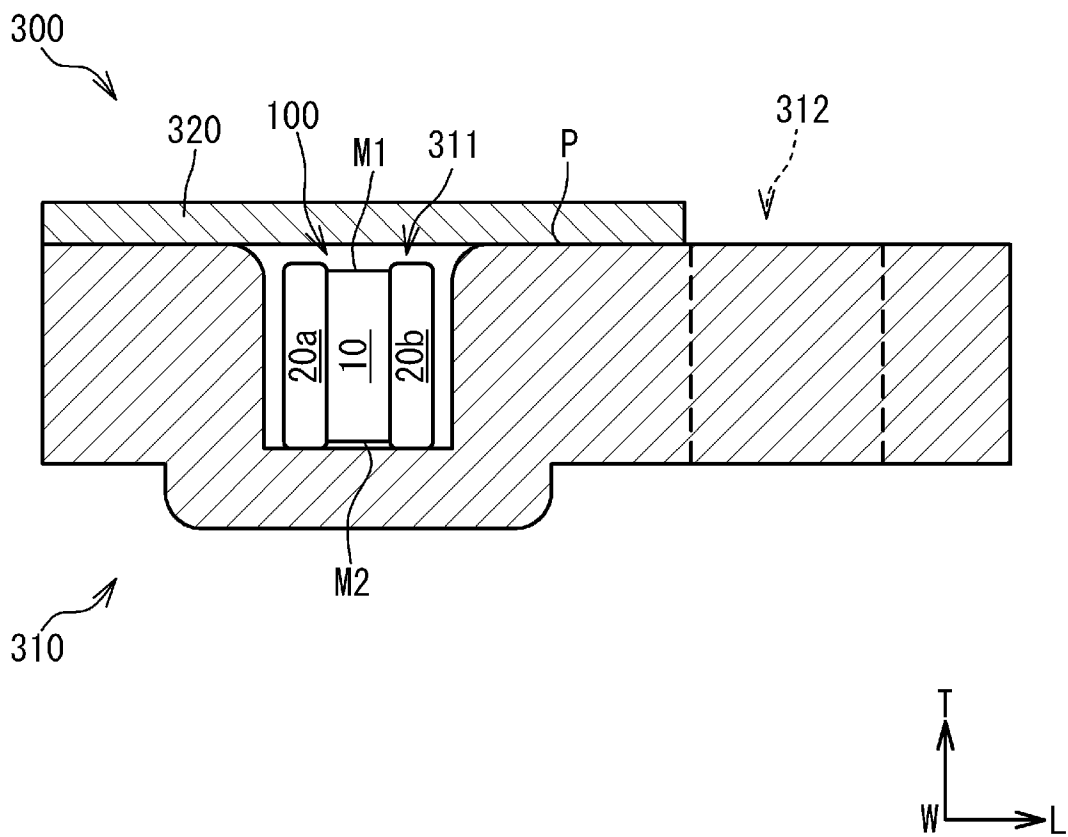
[図9]



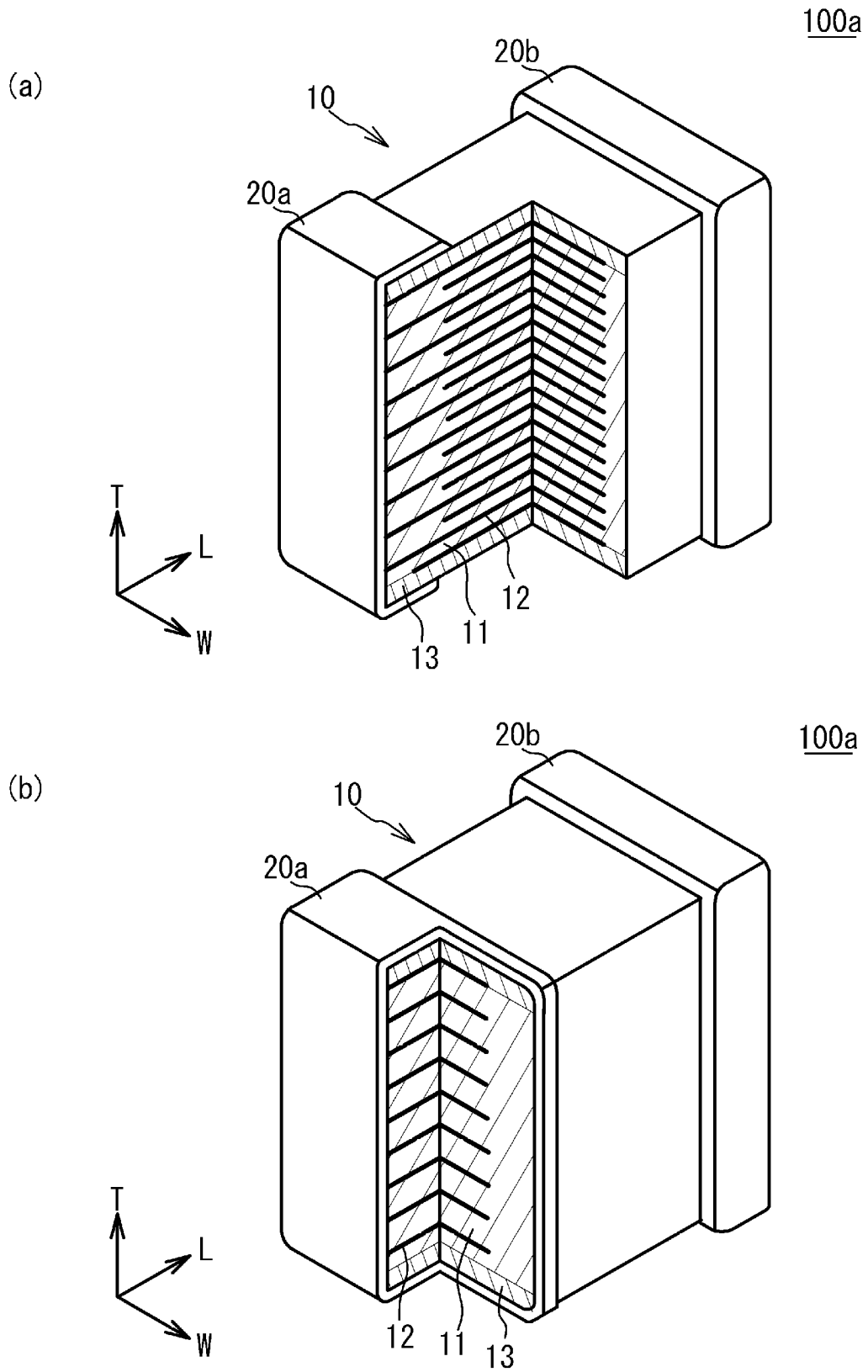
[図10]



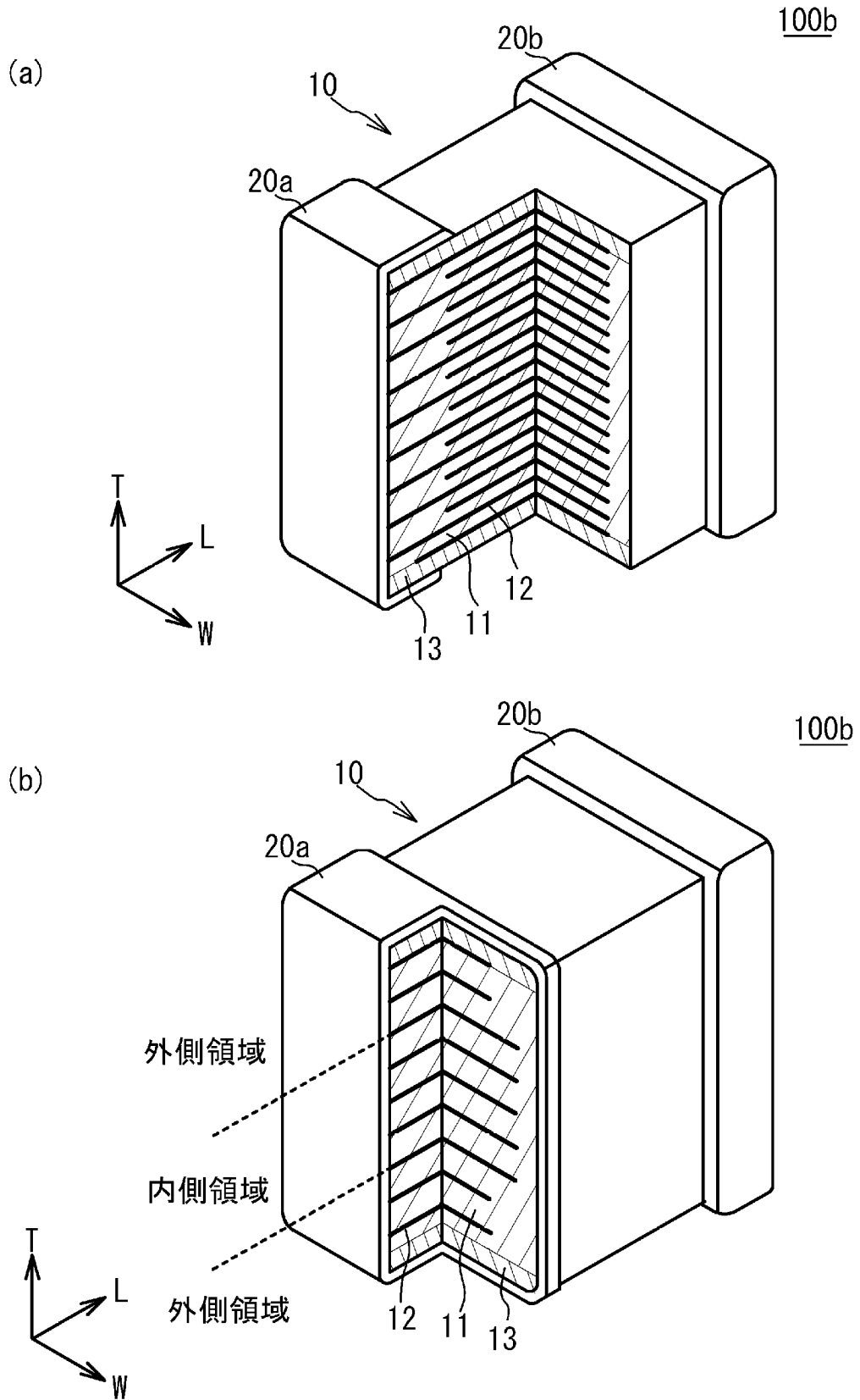
[図11]



[図12]

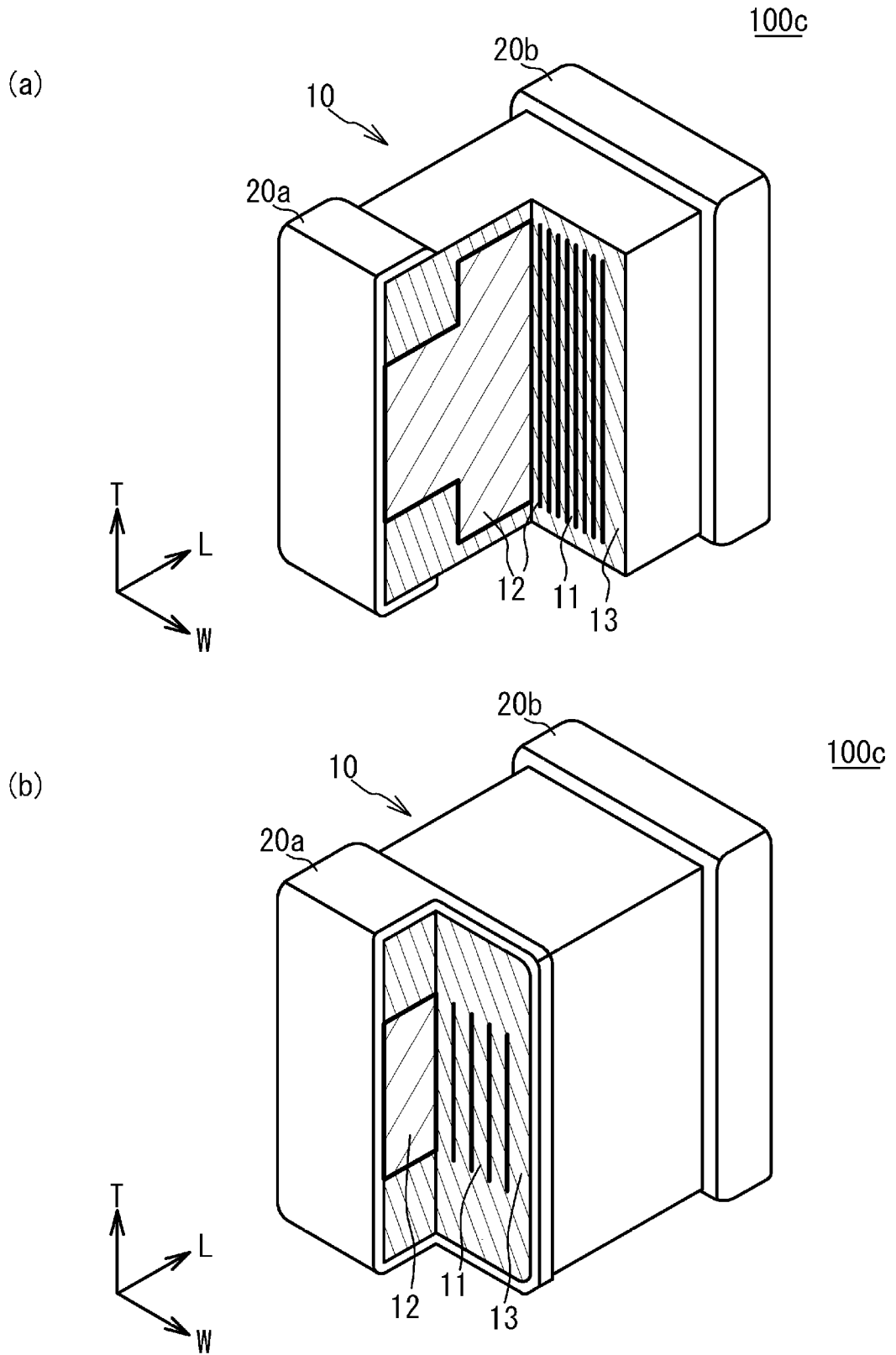


[図13]

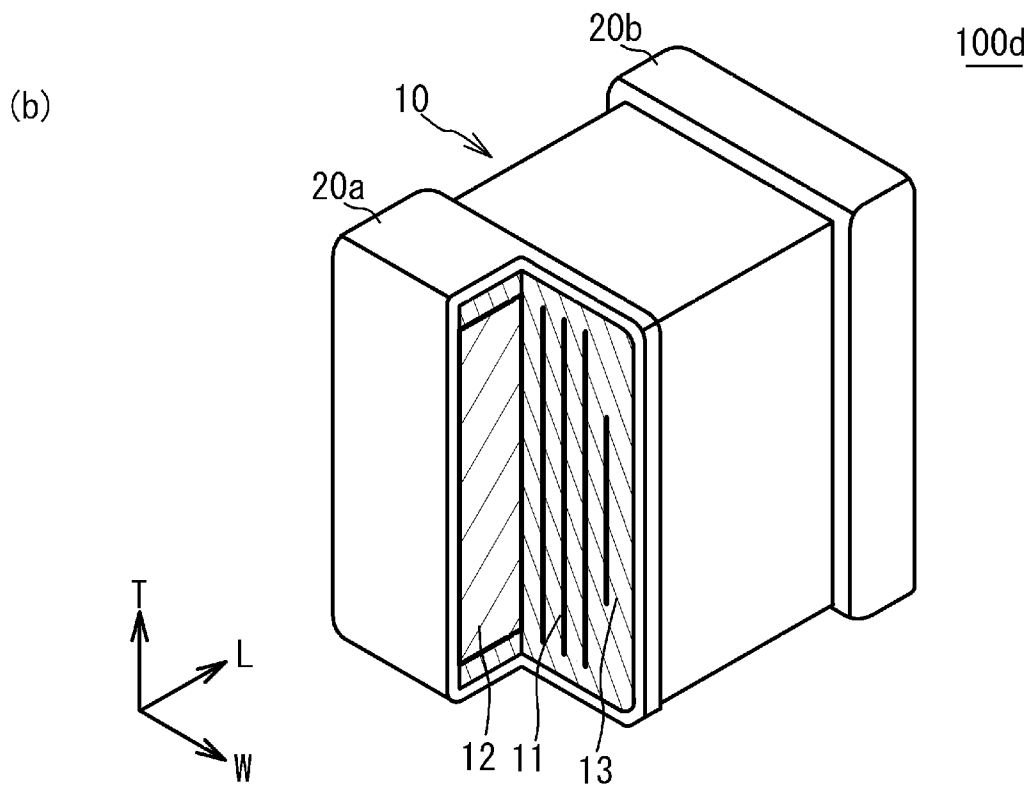
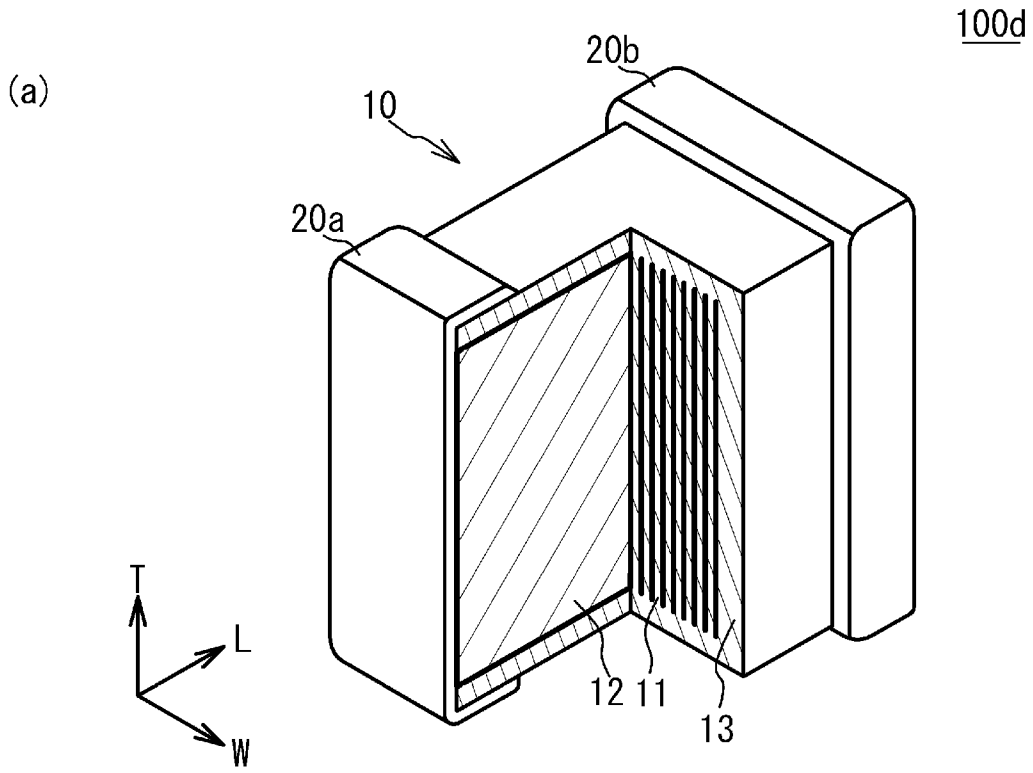




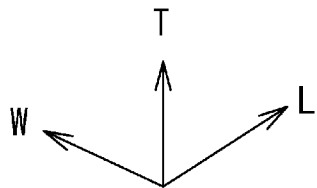
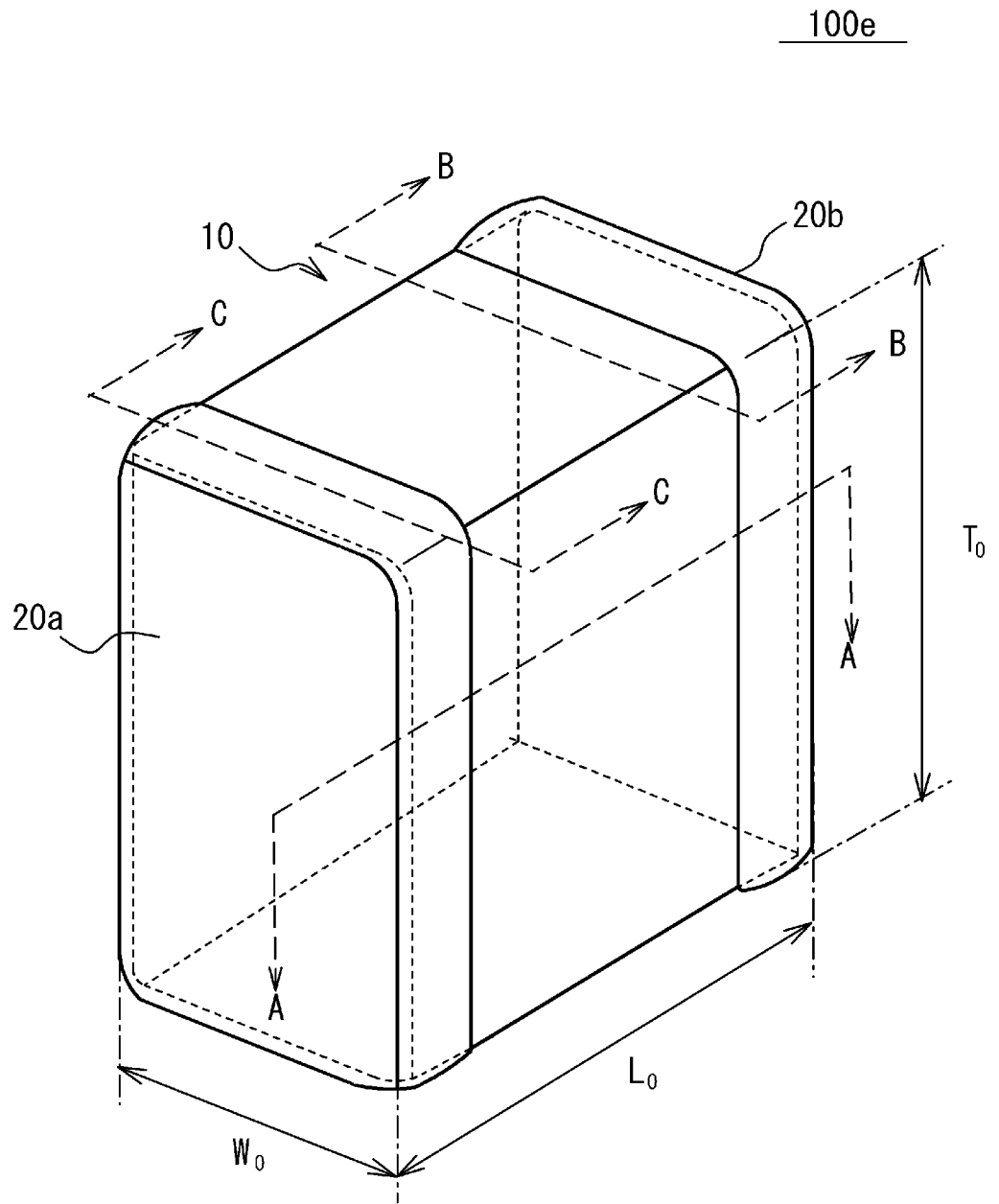
[図15]



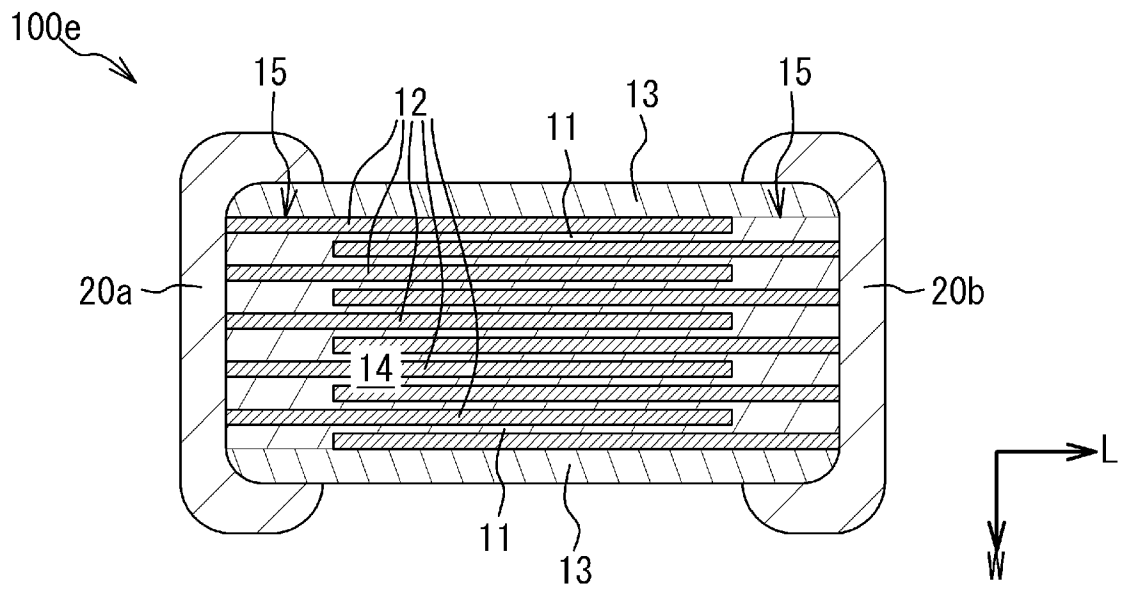
[図16]



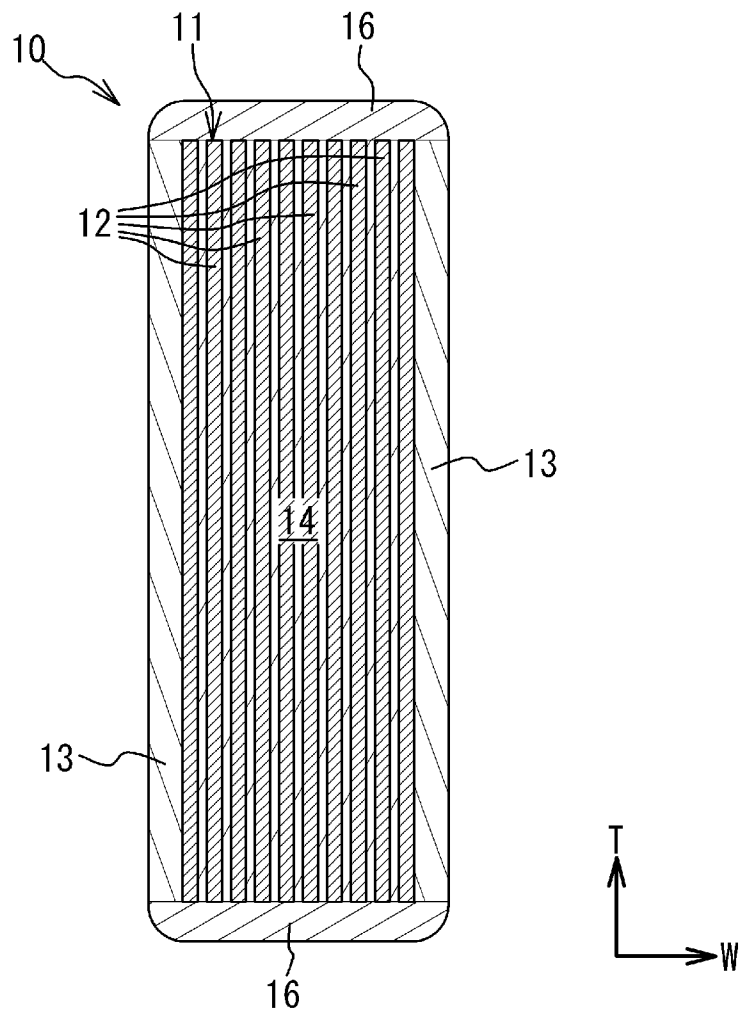
[図17]



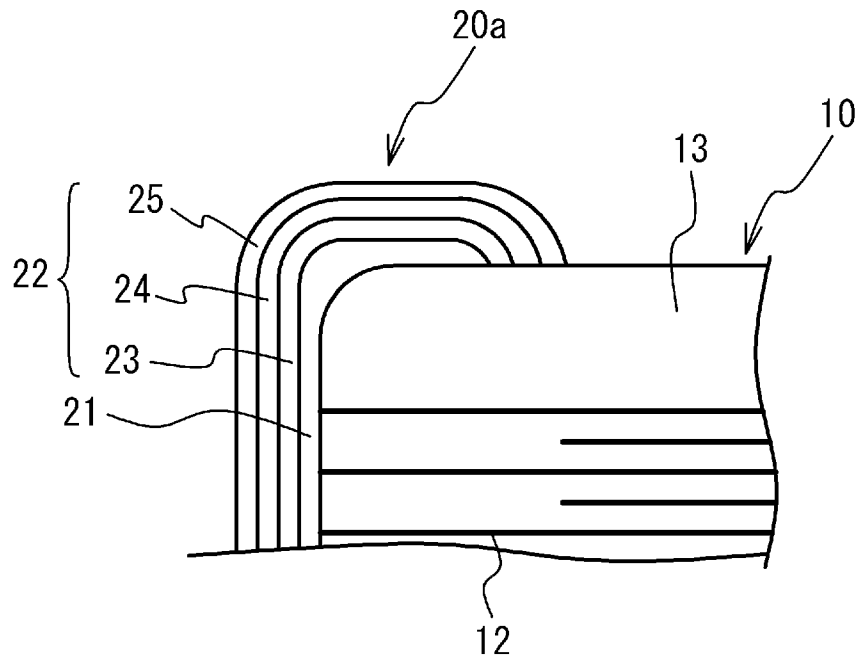
[図18]



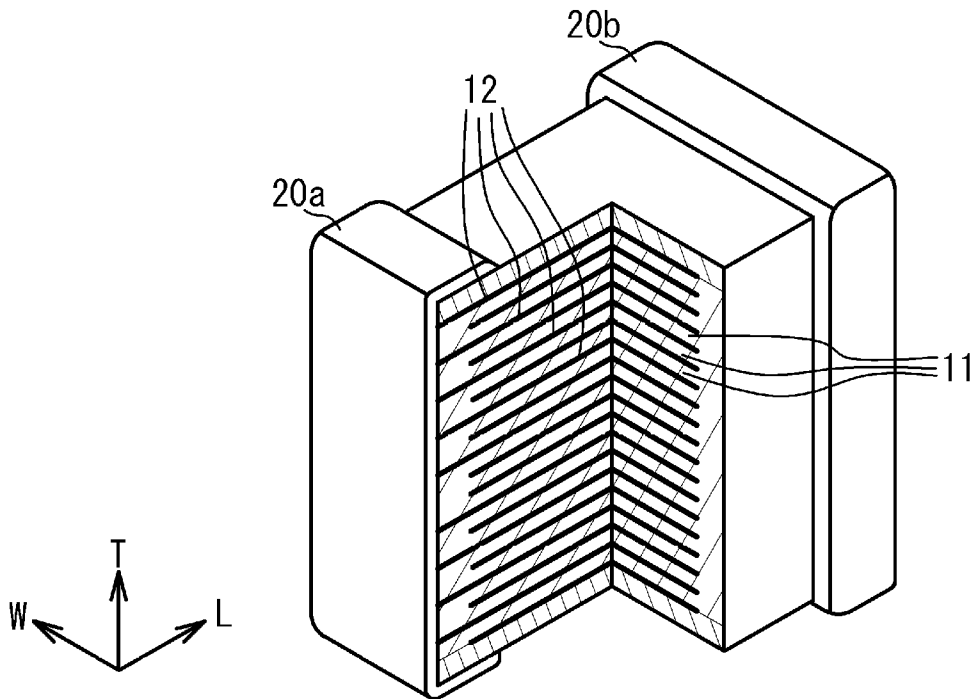
[図19]



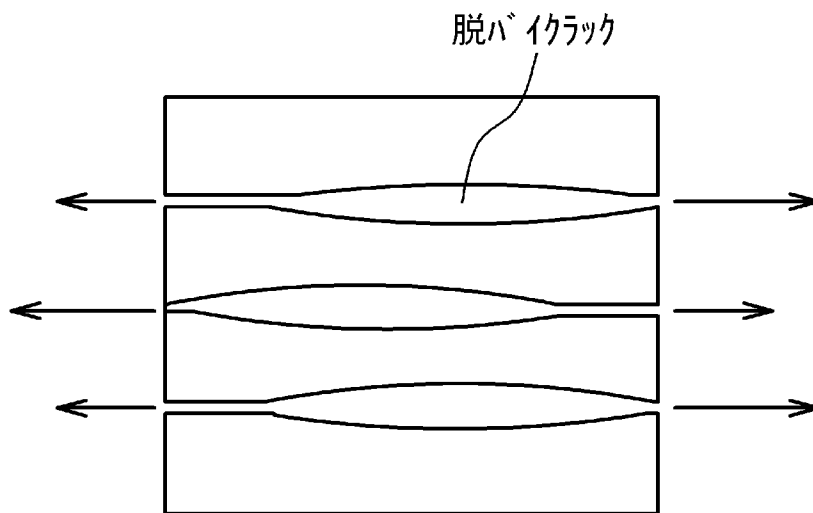
[図20]



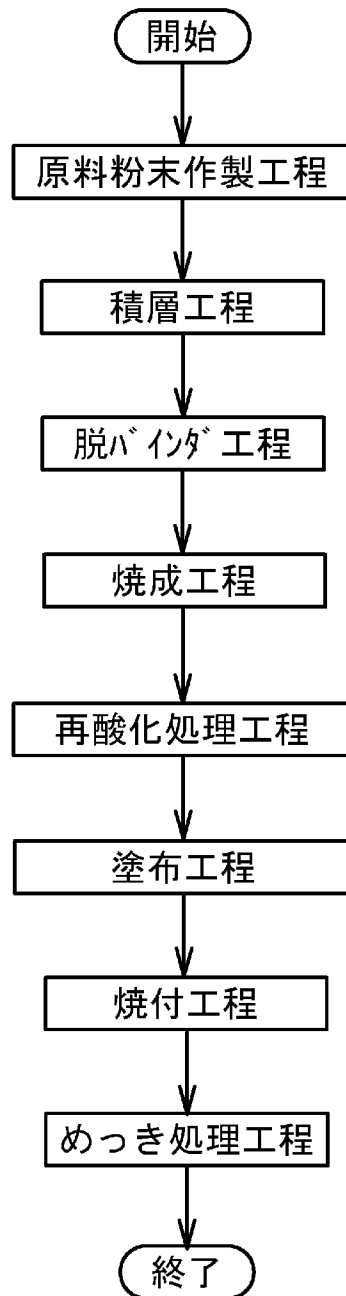
[図21]



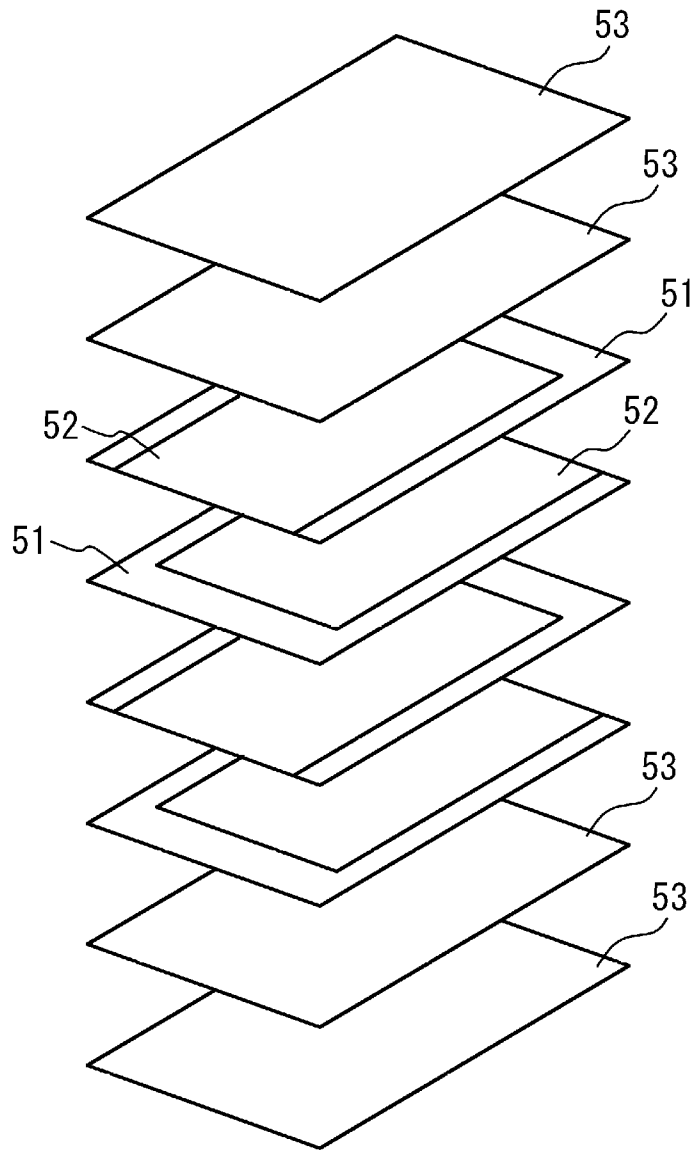
[図22]



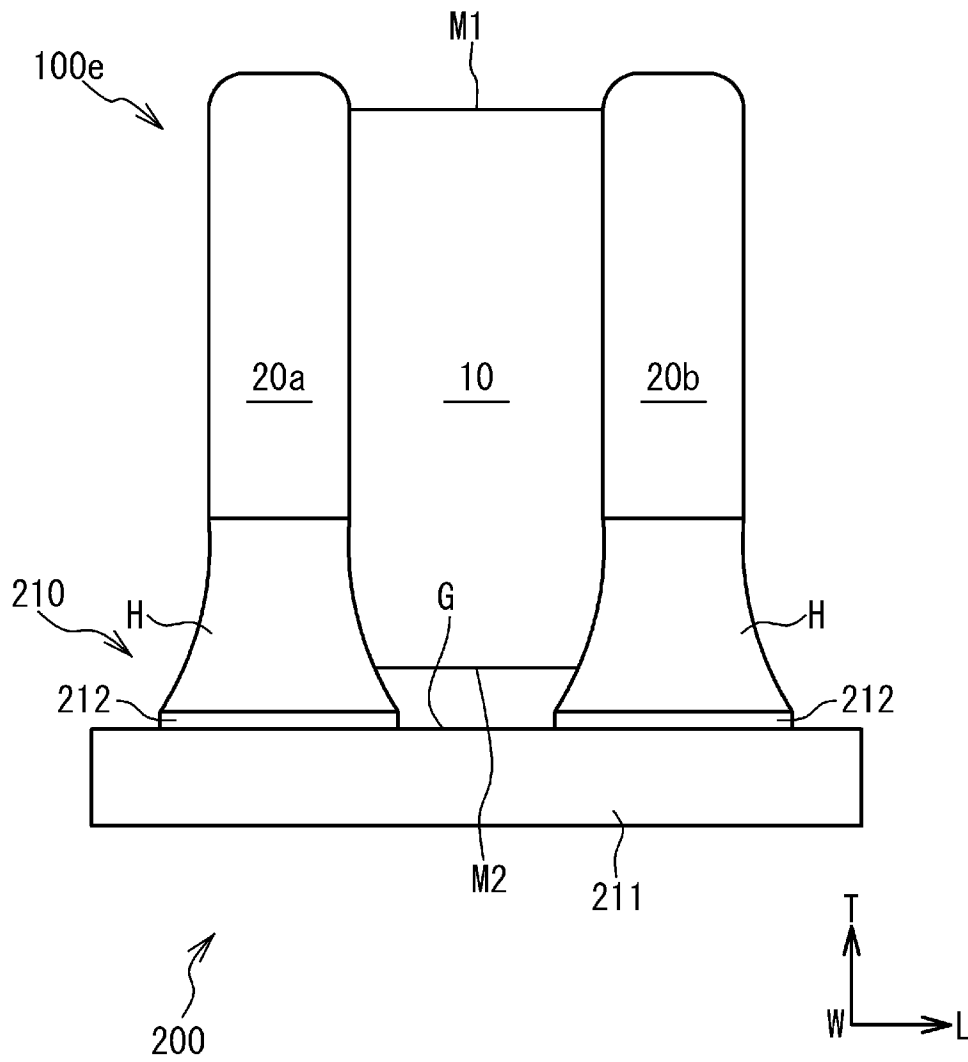
[図23]



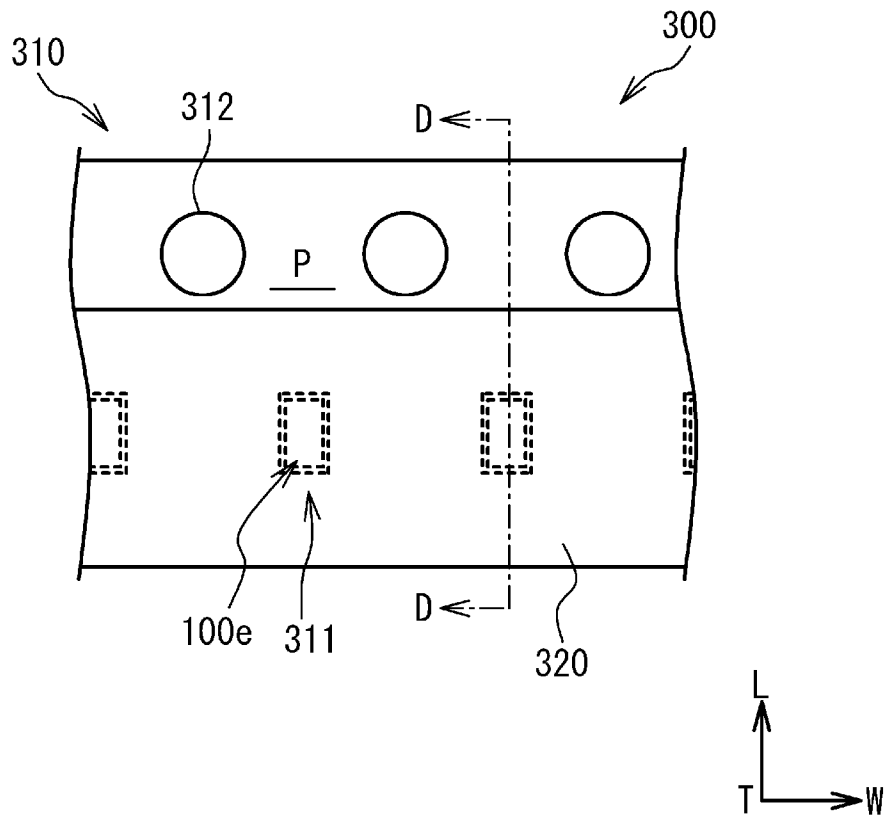
[図24]



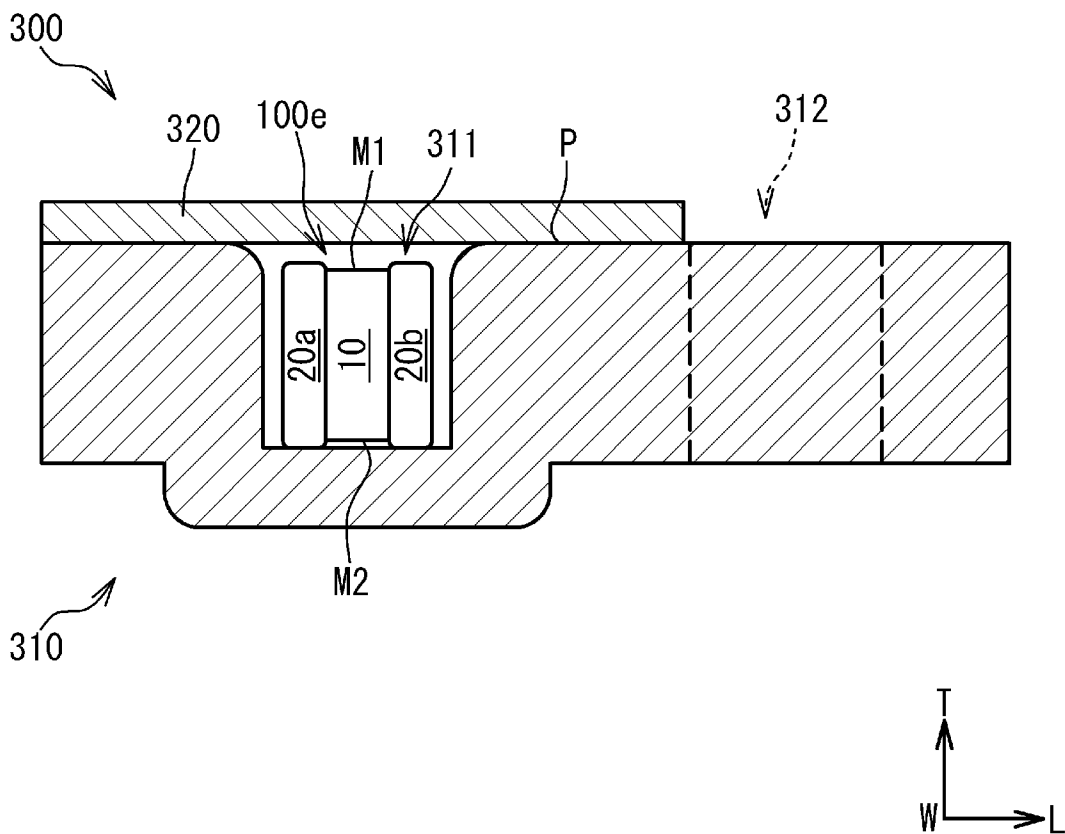
[図25]



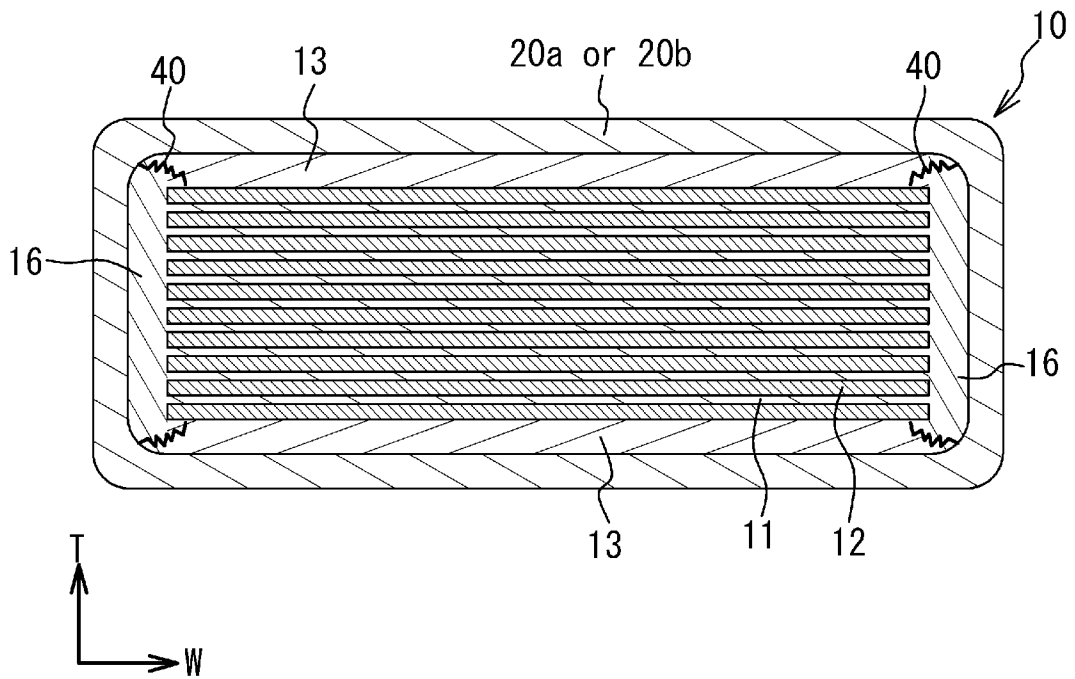
[図26]



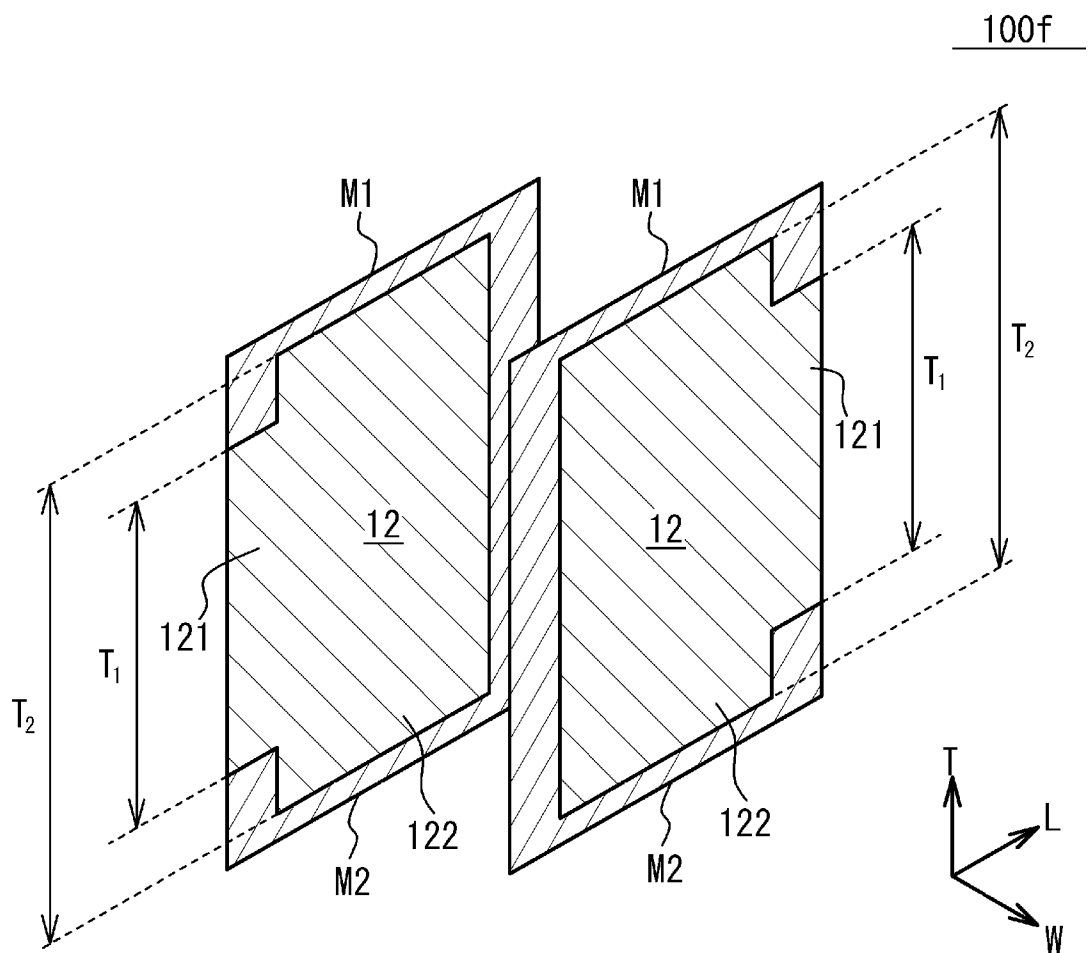
[図27]



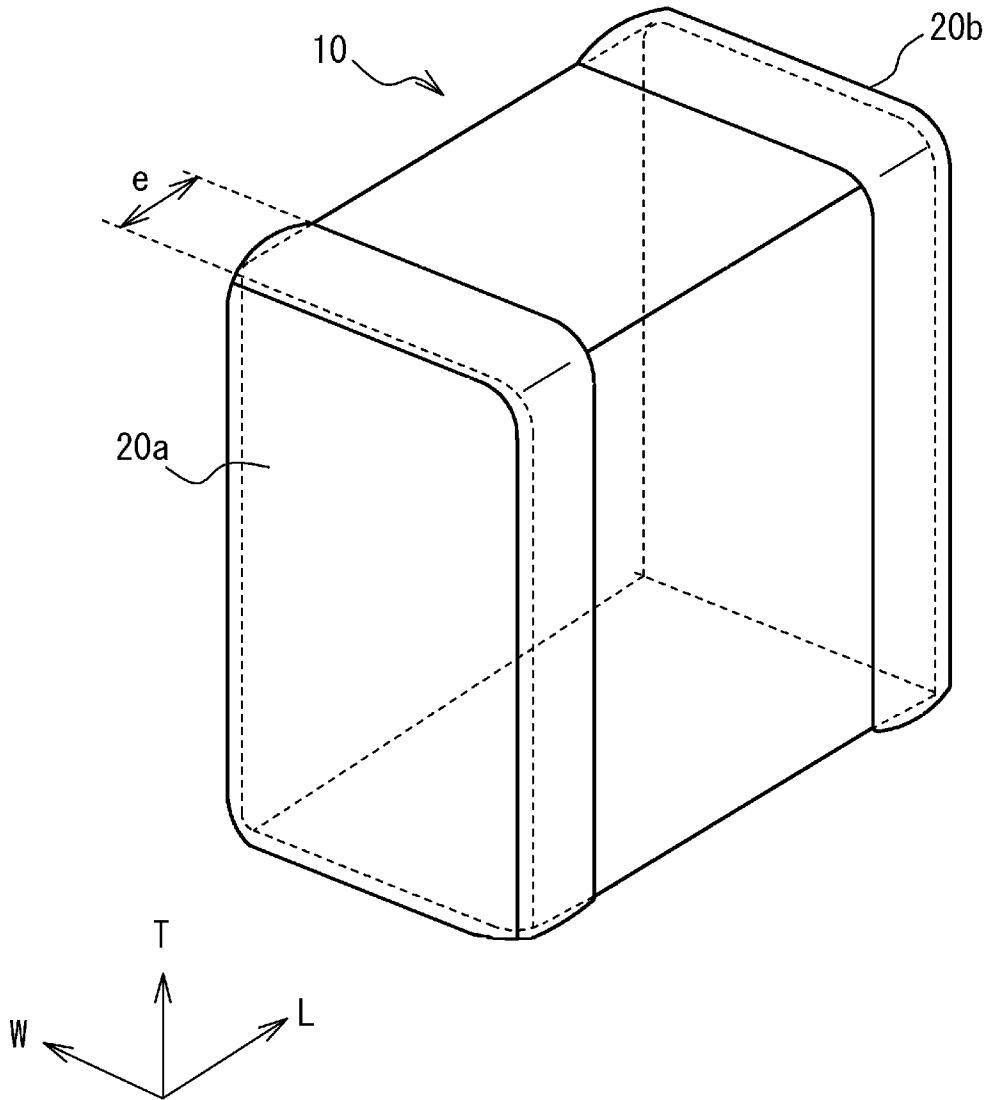
[図28]



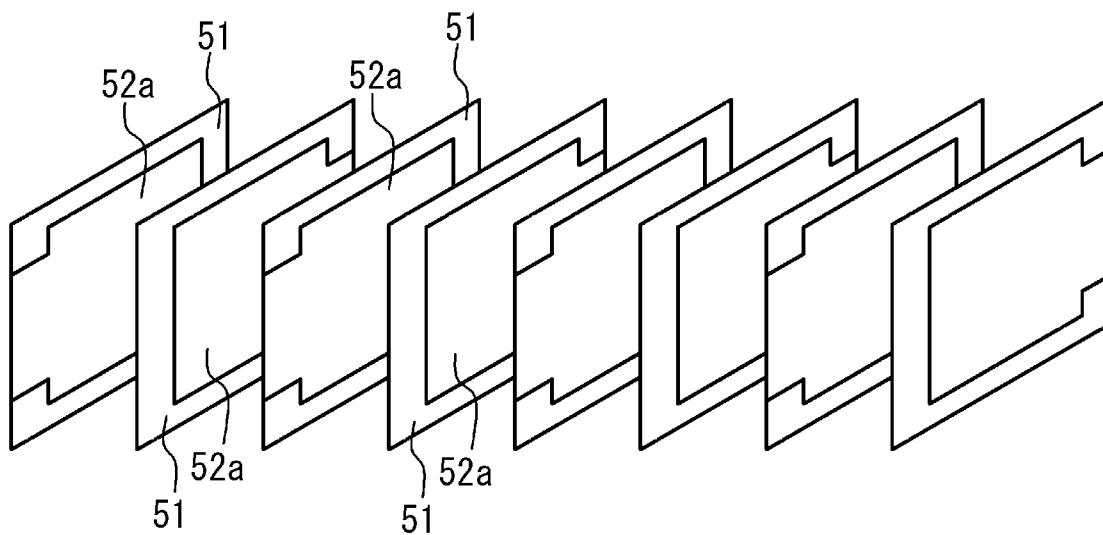
[図29]



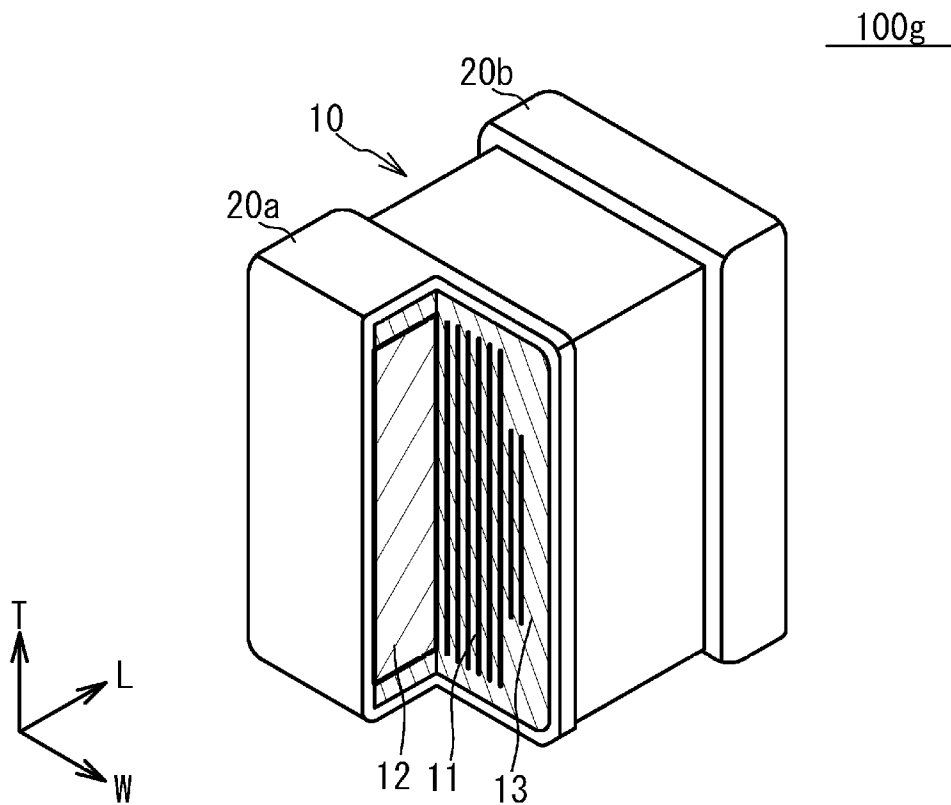
[図30]

100f

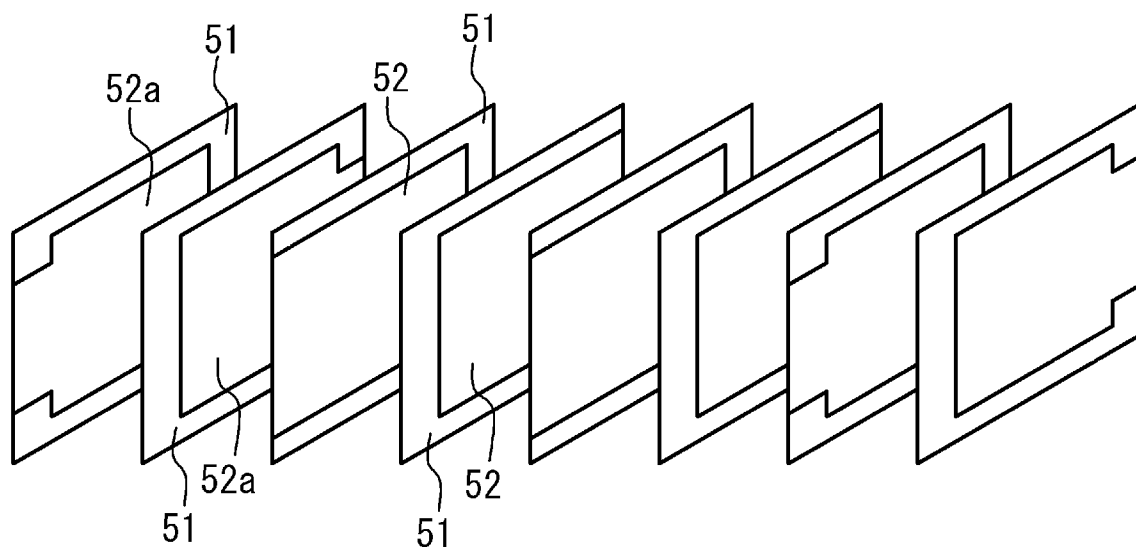
[図31]



[図32]



[図33]



## INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2023/035788

<b>A. CLASSIFICATION OF SUBJECT MATTER</b>		
<i>H01G 13/00</i> (2013.01)i; <i>H05K 13/02</i> (2006.01)i; <i>H01G 2/06</i> (2006.01)i; <i>H01G 4/30</i> (2006.01)i FI: H01G4/30 201D; H01G4/30 201G; H01G4/30 201C; H01G4/30 311E; H01G4/30 311D; H01G2/06 500; H01G4/30 513; H05K13/02 B; H01G4/30 201K; H01G13/00 311Z; H01G4/30 516		
According to International Patent Classification (IPC) or to both national classification and IPC		
<b>B. FIELDS SEARCHED</b>		
Minimum documentation searched (classification system followed by classification symbols) H01G13/00; H01G2/06; H01G4/30; H05K13/02		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Published examined utility model applications of Japan 1922-1996 Published unexamined utility model applications of Japan 1971-2023 Registered utility model specifications of Japan 1996-2023 Published registered utility model applications of Japan 1994-2023		
Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)		
<b>C. DOCUMENTS CONSIDERED TO BE RELEVANT</b>		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2012-099786 A (SAMSUNG ELECTRO-MECHANICS CO., LTD.) 24 May 2012 (2012-05-24) paragraphs [0016]-[0068], fig. 1-4	1-12, 15, 17
A	paragraphs [0016]-[0068], fig. 1-4	16
Y	JP 2022-133147 A (TAIYO YUDEN CO., LTD.) 13 September 2022 (2022-09-13) paragraph [0032]	1-15, 17-22
A	paragraph [0032]	16
Y	JP 2022-67608 A (SAMSUNG ELECTRO-MECHANICS CO., LTD.) 06 May 2022 (2022-05-06) paragraphs [0122], [0123], [0129]	1-15, 17-22
A	paragraphs [0122], [0123], [0129]	16
Y	JP 2014-112647 A (MURATA MFG. CO., LTD.) 19 June 2014 (2014-06-19) paragraphs [0122]-[0126]	10, 20
<input type="checkbox"/> Further documents are listed in the continuation of Box C. <input checked="" type="checkbox"/> See patent family annex.		
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family		
Date of the actual completion of the international search <b>08 December 2023</b>		Date of mailing of the international search report <b>19 December 2023</b>
Name and mailing address of the ISA/JP <b>Japan Patent Office (ISA/JP) 3-4-3 Kasumigaseki, Chiyoda-ku, Tokyo 100-8915 Japan</b>		Authorized officer  Telephone No.

**INTERNATIONAL SEARCH REPORT**  
**Information on patent family members**

International application No.

**PCT/JP2023/035788**

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)	Publication date (day/month/year)
JP	2012-099786	A	24 May 2012	US 2012/0106025 A1 paragraphs [0024]-[0076], fig. 1-4 KR 10-2012-0045373 A paragraphs [0016]-[0069], fig. 1-4	
JP	2022-133147	A	13 September 2022	US 2022/0277897 A1 paragraph [0029] CN 115083780 A paragraph [0029]	
JP	2022-67608	A	06 May 2022	US 2022/0122770 A1 paragraphs [0138], [0139], [0145] KR 10-2022-0052164 A paragraphs [0176], [0177], [0186] CN 114388264 A paragraphs [0139], [0140], [0147]	
JP	2014-112647	A	19 June 2014	US 2014/0126106 A1 paragraphs [0154]-[0159] CN 103811176 A paragraphs [0204]-[0213] KR 10-2014-0058371 A paragraphs [0193]-[0202]	

<p>A. 発明の属する分野の分類（国際特許分類（IPC））</p> <p>H01G 13/00(2013.01)i; H05K 13/02(2006.01)i; H01G 2/06(2006.01)i; H01G 4/30(2006.01)i</p> <p>FI: H01G4/30 201D; H01G4/30 201G; H01G4/30 201C; H01G4/30 311E; H01G4/30 311D; H01G2/06 500; H01G4/30 513; H05K13/02 B; H01G4/30 201K; H01G13/00 311Z; H01G4/30 516</p>																										
<p>B. 調査を行った分野</p> <p>調査を行った最小限資料（国際特許分類（IPC））</p> <p>H01G13/00; H01G2/06; H01G4/30; H05K13/02</p> <p>最小限資料以外の資料で調査を行った分野に含まれるもの</p> <table border="0"> <tr> <td>日本国実用新案公報</td> <td>1922 - 1996年</td> </tr> <tr> <td>日本国公開実用新案公報</td> <td>1971 - 2023年</td> </tr> <tr> <td>日本国実用新案登録公報</td> <td>1996 - 2023年</td> </tr> <tr> <td>日本国登録実用新案公報</td> <td>1994 - 2023年</td> </tr> </table> <p>国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）</p>			日本国実用新案公報	1922 - 1996年	日本国公開実用新案公報	1971 - 2023年	日本国実用新案登録公報	1996 - 2023年	日本国登録実用新案公報	1994 - 2023年																
日本国実用新案公報	1922 - 1996年																									
日本国公開実用新案公報	1971 - 2023年																									
日本国実用新案登録公報	1996 - 2023年																									
日本国登録実用新案公報	1994 - 2023年																									
<p>C. 関連すると認められる文献</p> <table border="1"> <thead> <tr> <th>引用文献の カテゴリー*</th> <th>引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示</th> <th>関連する 請求項の番号</th> </tr> </thead> <tbody> <tr> <td>Y</td> <td>JP 2012-099786 A (サムソン エレクトロメカニクス カンパニーリミテッド.) 24.05.2012 (2012 - 05 - 24) 段落 [0016] - [0068], 図1-4</td> <td>1-12, 15, 17</td> </tr> <tr> <td>A</td> <td>段落 [0016] - [0068], 図1-4</td> <td>16</td> </tr> <tr> <td>Y</td> <td>JP 2022-133147 A (太陽誘電株式会社) 13.09.2022 (2022 - 09 - 13) 段落 [0032]</td> <td>1-15, 17-22</td> </tr> <tr> <td>A</td> <td>段落 [0032]</td> <td>16</td> </tr> <tr> <td>Y</td> <td>JP 2022-67608 A (サムソン エレクトロメカニクス カンパニーリミテッド.) 06.05.2022 (2022 - 05 - 06) 段落 [0122], [0123], [0129]</td> <td>1-15, 17-22</td> </tr> <tr> <td>A</td> <td>段落 [0122], [0123], [0129]</td> <td>16</td> </tr> <tr> <td>Y</td> <td>JP 2014-112647 A (株式会社村田製作所) 19.06.2014 (2014 - 06 - 19) 段落 [0122] - [0126]</td> <td>10, 20</td> </tr> </tbody> </table>			引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号	Y	JP 2012-099786 A (サムソン エレクトロメカニクス カンパニーリミテッド.) 24.05.2012 (2012 - 05 - 24) 段落 [0016] - [0068], 図1-4	1-12, 15, 17	A	段落 [0016] - [0068], 図1-4	16	Y	JP 2022-133147 A (太陽誘電株式会社) 13.09.2022 (2022 - 09 - 13) 段落 [0032]	1-15, 17-22	A	段落 [0032]	16	Y	JP 2022-67608 A (サムソン エレクトロメカニクス カンパニーリミテッド.) 06.05.2022 (2022 - 05 - 06) 段落 [0122], [0123], [0129]	1-15, 17-22	A	段落 [0122], [0123], [0129]	16	Y	JP 2014-112647 A (株式会社村田製作所) 19.06.2014 (2014 - 06 - 19) 段落 [0122] - [0126]	10, 20
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号																								
Y	JP 2012-099786 A (サムソン エレクトロメカニクス カンパニーリミテッド.) 24.05.2012 (2012 - 05 - 24) 段落 [0016] - [0068], 図1-4	1-12, 15, 17																								
A	段落 [0016] - [0068], 図1-4	16																								
Y	JP 2022-133147 A (太陽誘電株式会社) 13.09.2022 (2022 - 09 - 13) 段落 [0032]	1-15, 17-22																								
A	段落 [0032]	16																								
Y	JP 2022-67608 A (サムソン エレクトロメカニクス カンパニーリミテッド.) 06.05.2022 (2022 - 05 - 06) 段落 [0122], [0123], [0129]	1-15, 17-22																								
A	段落 [0122], [0123], [0129]	16																								
Y	JP 2014-112647 A (株式会社村田製作所) 19.06.2014 (2014 - 06 - 19) 段落 [0122] - [0126]	10, 20																								
<p><input type="checkbox"/> C欄の続きにも文献が列挙されている。</p> <p><input checked="" type="checkbox"/> パテントファミリーに関する別紙を参照。</p>																										
<p>* 引用文献のカテゴリー</p> <p>“A” 特に関連のある文献ではなく、一般的な技術水準を示すもの</p> <p>“E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの</p> <p>“L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）</p> <p>“O” 口頭による開示、使用、展示等に言及する文献</p> <p>“P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献</p> <p>“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの</p> <p>“X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの</p> <p>“Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの</p> <p>“&amp;” 同一パテントファミリー文献</p>																										
<p>国際調査を完了した日</p> <p>08.12.2023</p>	<p>国際調査報告の発送日</p> <p>19.12.2023</p>																									
<p>名称及びあて先</p> <p>日本国特許庁(ISA/JP)</p> <p>〒100-8915</p> <p>日本国</p> <p>東京都千代田区霞が関三丁目4番3号</p>	<p>権限のある職員（特許庁審査官）</p> <p>金子 秀彦 5D 3661</p> <p>電話番号 03-3581-1101 内線 3551</p>																									

国際調査報告  
 パテントファミリーに関する情報

国際出願番号

PCT/JP2023/035788

引用文献	公表日	パテントファミリー文献	公表日
JP 2012-099786 A	24.05.2012	US 2012/0106025 A1 [0024]-[0076], FIG.1-4 KR 10-2012-0045373 A [0016]-[0069], 図1-4	
JP 2022-133147 A	13.09.2022	US 2022/0277897 A1 [0029] CN 115083780 A [0029]	
JP 2022-67608 A	06.05.2022	US 2022/0122770 A1 [0138], [0139], [0145] KR 10-2022-0052164 A [0176], [0177], [0186] CN 114388264 A [0139], [0140], [0147]	
JP 2014-112647 A	19.06.2014	US 2014/0126106 A1 [0154]-[0159] CN 103811176 A [0204]-[0213] KR 10-2014-0058371 A [0193]-[0202]	