

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5871496号
(P5871496)

(45) 発行日 平成28年3月1日(2016.3.1)

(24) 登録日 平成28年1月22日(2016.1.22)

(51) Int.Cl. F I
HO4N 5/365 (2011.01) HO4N 5/335 650
HO4N 5/347 (2011.01) HO4N 5/335 470

請求項の数 5 (全 16 頁)

<p>(21) 出願番号 特願2011-140970 (P2011-140970) (22) 出願日 平成23年6月24日 (2011.6.24) (65) 公開番号 特開2013-9190 (P2013-9190A) (43) 公開日 平成25年1月10日 (2013.1.10) 審査請求日 平成26年6月5日 (2014.6.5)</p>	<p>(73) 特許権者 000001007 キヤノン株式会社 東京都大田区下丸子3丁目30番2号 (74) 代理人 100126240 弁理士 阿部 琢磨 (74) 代理人 100124442 弁理士 黒岩 創吾 (72) 発明者 石井 美絵 東京都大田区下丸子3丁目30番2号キヤ ノン株式会社内 審査官 鈴木 肇</p>
--	---

最終頁に続く

(54) 【発明の名称】 撮像装置及びその駆動方法

(57) 【特許請求の範囲】

【請求項1】

行方向および列方向に複数の画素が配列され、各々が光電変換部を持つ複数の有効画素が配置された有効画素領域と、前記有効画素領域の出力を補正する基準信号を出力する複数の基準画素が複数行配置された基準画素領域から構成された画素配列を備えた撮像素子を有する撮像装置であって、

前記複数の有効画素の各々は、前記光電変換部と、電荷を電圧に変換する浮遊拡散領域と、前記光電変換部で発生した電荷を前記浮遊拡散領域に転送する転送スイッチと、前記浮遊拡散領域により変換された電圧に応じた信号を出力するアンプと、前記アンプから出力された信号を列出力線に選択的に出力する選択スイッチとを備え、

前記画素配列の同じ列に配置された複数行の有効画素の各々の前記選択スイッチを並行してオンした状態で前記複数行の有効画素の各々の前記転送スイッチを並行してオンすることにより前記複数行の有効画素の出力信号が前記列方向において混合された信号が前記列出力線に読み出されるように制御するとともに、前記有効画素と同じ列に配置された複数行の基準画素の出力信号が前記列方向において混合されることなく行毎に独立して前記列出力線に読み出されるように制御することを特徴とする撮像装置。

【請求項2】

さらに、前記基準画素領域から出力される前記基準信号を用いて、前記有効画素領域の出力を補正する補正手段を有することを特徴とする請求項1に記載の撮像装置。

【請求項3】

前記基準画素領域は、各々が遮光された光電変換部を持つ複数の第1の基準画素が配置された第1の基準画素領域と、各々が光電変換部を持たない複数の第2の基準画素が配置された第2の基準画素領域とを備え、

前記画素配列の同じ列に配置された複数行の有効画素の各々の前記選択スイッチを並行してオンした状態で前記複数行の有効画素の各々の前記転送スイッチを並行してオンすることにより前記複数行の有効画素の出力信号が前記列方向において混合された信号が前記列出力線に読み出されるように制御するとともに、前記有効画素と同じ列に配置された複数行の第1の基準画素の各々の前記選択スイッチを並行してオンした状態で前記複数行の第1の基準画素の各々の前記転送スイッチを並行してオンすることにより前記複数行の有効画素の出力信号が前記列方向において混合された信号が前記列出力線に読み出されるように制御し、さらに前記有効画素と同じ列に配置された複数行の第2の基準画素の出力信号が前記列方向において混合されることなく行毎に独立して前記列出力線に読み出されるように制御することを特徴とする請求項1又は2に記載の撮像装置。

10

【請求項4】

前記第1の基準画素は、前記光電変換部と、電荷を電圧に変換する浮遊拡散領域と、前記光電変換部で発生した電荷を前記浮遊拡散領域に転送する転送スイッチと、前記浮遊拡散領域により変換された電圧に応じた信号を出力するアンプと、前記アンプから出力された信号を列出力線に出力する選択スイッチとを備え、前記第2の基準画素は、前記有効画素の構成から前記光電変換部を除いた構成を備えることを特徴とする請求項3に記載の撮像装置。

20

【請求項5】

行方向および列方向に複数の画素が配列され、各々が光電変換部を持つ複数の有効画素が配置された有効画素領域と、前記有効画素領域の出力を補正する基準信号を出力する複数の基準画素が複数行配置された基準画素領域から構成された画素配列を備えた撮像素子を有する撮像装置の制御方法であって、

前記複数の有効画素の各々は、前記光電変換部と、電荷を電圧に変換する浮遊拡散領域と、前記光電変換部で発生した電荷を前記浮遊拡散領域に転送する転送スイッチと、前記浮遊拡散領域により変換された電圧に応じた信号を出力するアンプと、前記アンプから出力された信号を列出力線に選択的に出力する選択スイッチとを備え、

前記画素配列の同じ列に配置された複数行の有効画素の各々の前記選択スイッチを並行してオンした状態で前記複数行の有効画素の各々の前記転送スイッチを並行してオンすることにより前記複数行の有効画素の出力信号が前記列方向において混合された信号が前記列出力線に読み出されるように制御するとともに、前記有効画素と同じ列に配置された複数行の基準画素の出力信号が前記列方向において混合されることなく行毎に独立して前記列出力線に読み出されるように制御することを特徴とする撮像装置の制御方法。

30

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、撮像素子を有する撮像装置に関する。

【背景技術】

40

【0002】

近年、デジタルカメラやビデオカメラにはCMOS撮像素子が使用されることが多くなっているが、CMOS撮像素子には様々なノイズが発生する。例えば、暗電流ノイズや読み出し回路に起因する固定パターンノイズ、或いは撮像素子固有の微小なキズによる画素欠陥等があり、画質劣化の要因となっている。

【0003】

その対策として、撮像素子に遮光された非有効画素領域を設け、非有効画素領域の画素信号を平均化した信号を用いて有効画素領域の画素信号に対する演算処理を行う方法が提案されている。図11は、CMOS撮像素子の画素領域の構成例を示す図である。CMOS撮像素子は、水平オプティカルブラック(HOB)画素領域1101及び垂直オプティ

50

カルブラック（VOB）画素領域1102からなる非有効画素領域と、有効画素領域1103を備えている。

【0004】

図12は、CMOS撮像素子のレイアウト構成例を示すブロック図である。ここでは説明の簡略化のために3×3の9画素のみを示しているが、実際には数百万画素以上で構成される。垂直シフトレジスタ1301は、行選択線Pres1、Ptx1、Psel1等の信号を画素領域1300に出力する。画素領域1300の奇数列の画素Pixelで発生した画素信号は、垂直信号線1308a、1308cに出力される。また、偶数列の画素で発生した画素信号は、垂直信号線1308bに出力される。電流源1307a~1307cは、各垂直信号線1308a~1308cに負荷として接続されている。

10

【0005】

チャンネル1（CH1）、チャンネル2（CH2）にそれぞれ対応する読み出し回路1302、1310には、垂直信号線1308a~1308cに出力された電荷信号が入力される。そして、各チャンネルの画素信号をnチャンネルMOSトランジスタ1303a~1303cを介して差動増幅器1305、1311に出力する。また、各チャンネルのノイズ信号をnチャンネルMOSトランジスタ1304a~1304cを介して差動増幅器1305、1311に出力する。

【0006】

水平シフトレジスタ1306、1309は、トランジスタ1303a~1303c、1304a~1304cのオン/オフを制御する。差動増幅器1305、1311は、画素信号とノイズ信号との差分を出力する。そして、このように画素信号とノイズ信号との差分をとることにより、CMOS撮像素子固有のノイズを除去した出力信号を得ることができる。

20

【0007】

ところで、垂直信号線に負荷として接続された電流源や、各チャンネルの読み出し回路の特性にばらつきがあると、列ごとにほぼ一様のレベル差が発生し、垂直方向（列方向）に延びたスジ状のパターンノイズとなって現れる。この垂直方向（列方向）に延びたスジ状のパターンノイズは、垂直出力線以降の経路の特性ばらつきによる列固有のノイズであるため、図11に示したVOB画素の信号を用いて補正することができる。すなわち、複数行のVOB画素からの出力信号に基づいて生成した補正データを用いて、固定パターンノイズをキャンセルする方法が知られている（例えば、特許文献1参照）。上述した補正方法により垂直方向（列方向）に延びたスジ状のパターンノイズを補正する場合、ランダムノイズやキズ画素信号の影響を軽減して補正信号の信頼性を高めるためには、VOB画素をある程度の行数設ける必要がある。

30

【先行技術文献】

【特許文献】

【0008】

【特許文献1】特開2002-016841号公報

【特許文献2】特開2005-86657号公報

【特許文献3】特開2010-34895号公報

40

【発明の概要】

【発明が解決しようとする課題】

【0009】

ところで、画像データの低画素化のために、撮像素子の内部で垂直方向（列方向）における画素加算処理が行われている。この画素加算処理としては、列読み出し回路の容量部で加算する方法（例えば、特許文献2参照）や、光電変換部と接続された浮遊拡散領域（フローティングディフュージョン：FD）で加算する方法（例えば、特許文献3参照）がある。

【0010】

垂直方向（列方向）における画素加算処理を行う場合、VOB画素を含む非有効画素領

50

域においても有効画素領域と同様に画素加算処理を行う必要がある。特にFDで画素加算処理を行う場合、加算駆動時と非加算駆動時ではFD容量が異なるため、電荷信号に含まれる暗電流成分の信号レベルも加算駆動時と非加算駆動時とで異なる。そのため、非有効画素領域についても有効画素領域と同様に画素加算処理して補正信号を作成しなければ、正しい補正処理を行うことができない。

【0011】

さらに、画素加算処理を行った場合にも信頼性の高い補正データを算出するためには、非有効画素領域により多くの画素を設ける必要があり、チップ面積が増大してしまうという問題があった。

【0012】

本発明の目的は、画素加算処理機能を備える撮像素子においても、非有効画素領域の画素数が少ない構成でも、効果的に垂直方向（列方向）の固定パターンノイズや暗電流ノイズを補正できる撮像装置を提供することである。

【課題を解決するための手段】

【0013】

本発明の撮像装置は、行方向および列方向に複数の画素が配列され、各々が光電変換部を持つ複数の有効画素が配置された有効画素領域と、前記有効画素領域の出力を補正する基準信号を出力する複数の基準画素が複数行配置された基準画素領域から構成された画素配列を備えた撮像素子を有する撮像装置であって、前記複数の有効画素の各々は、前記光電変換部と、電荷を電圧に変換する浮遊拡散領域と、前記光電変換部で発生した電荷を前記浮遊拡散領域に転送する転送スイッチと、前記浮遊拡散領域により変換された電圧に応じた信号を出力するアンプと、前記アンプから出力された信号を列出力線に選択的に出力する選択スイッチとを備え、前記画素配列の同じ列に配置された複数行の有効画素の各々の前記選択スイッチを並行してオンした状態で前記複数行の有効画素の各々の前記転送スイッチを並行してオンすることにより前記複数行の有効画素の出力信号が前記列方向において混合された信号が前記列出力線に読み出されるように制御するとともに、前記有効画素と同じ列に配置された複数行の基準画素の出力信号が前記列方向において混合されることなく行毎に独立して前記列出力線に読み出されるように制御することを特徴とする。

【0014】

本発明の撮像装置の制御方法は、行方向および列方向に複数の画素が配列され、各々が光電変換部を持つ複数の有効画素が配置された有効画素領域と、前記有効画素領域の出力を補正する基準信号を出力する複数の基準画素が複数行配置された基準画素領域から構成された画素配列を備えた撮像素子を有する撮像装置の制御方法であって、前記複数の有効画素の各々は、前記光電変換部と、電荷を電圧に変換する浮遊拡散領域と、前記光電変換部で発生した電荷を前記浮遊拡散領域に転送する転送スイッチと、前記浮遊拡散領域により変換された電圧に応じた信号を出力するアンプと、前記アンプから出力された信号を列出力線に選択的に出力する選択スイッチとを備え、前記画素配列の同じ列に配置された複数行の有効画素の各々の前記選択スイッチを並行してオンした状態で前記複数行の有効画素の各々の前記転送スイッチを並行してオンすることにより前記複数行の有効画素の出力信号が前記列方向において混合された信号が前記列出力線に読み出されるように制御するとともに、前記有効画素と同じ列に配置された複数行の基準画素の出力信号が前記列方向において混合されることなく行毎に独立して前記列出力線に読み出されるように制御することを特徴とする。

【発明の効果】

【0015】

本発明によれば、画素混合処理機能を備えた撮像素子を有する撮像装置において、基準画素領域の画素数が少ない場合でも、良好な撮影画像を取得することができる。

【図面の簡単な説明】

【0016】

【図1】本発明の実施例1に係る撮像装置のブロック図である。

10

20

30

40

50

【図 2】本発明の実施例 1 に係る画素領域の構成例を示す図である。

【図 3】本発明の実施例 1 に係る撮像素子の回路構成図である。

【図 4】本発明の実施例 1 に係る撮像素子の構成図である。

【図 5】本発明の実施例 1 に係る読み出し回路の構成図である。

【図 6】本発明の実施例 1 に係る撮像素子の駆動タイミングチャートである。

【図 7】本発明の実施例 1 に係る撮像素子の垂直画素加算の駆動タイミングチャートである。

【図 8】本発明の実施例 1 に係る撮像素子の画素レイアウトを示す図である。

【図 9】本発明の実施例 1 に係る駆動方法における画素の読み出しを表した図である。

【図 10】本発明の実施例 2 に係る撮像素子の駆動タイミングチャートである。

10

【図 11】従来の画素領域の構成例を示す図である。

【図 12】従来の撮像素子の構成図である。

【発明を実施するための形態】

【0017】

以下、本発明の実施形態について、図面を参照して詳細に説明する。

【実施例 1】

【0018】

図 1 は、本発明の実施例 1 に係る撮像装置の構成を示す全体ブロック図である。図 1 において、CMOS 撮像素子 101 は、不図示の撮影レンズで結像された被写体像を光電変換して電気信号を出力する。AFE (Analog Front End) 102 は、CMOS 撮像素子 101 から出力された電気信号の増幅や黒レベルの調整 (OB クランプ) などの信号処理を行う。AFE 102 は、タイミング発生回路 110 から出力される OB クランプタイミングや OB クランプ目標レベルなどに基づいて信号処理を行ったアナログ信号をデジタル信号に変換する。DFE (Digital Front End) 103 は、AFE 102 で変換された各画素のデジタル信号を受け取り、画像信号の補正や画素の並び替え等のデジタル処理を行う。

20

【0019】

画像処理部 105 は、現像処理を行って表示回路 108 に画像を表示する処理や、制御回路 106 を介して画像を記録媒体 109 に記録するといった処理を行う。記録媒体 109 にはコンパクトフラッシュ (登録商標) メモリなどが用いられる。メモリ回路 104 は、画像処理部 105 の現像段階での作業用メモリや、撮像が続いて行われて現像処理が間に合わないときのバッファメモリなどとして使用される。

30

【0020】

制御回路 106 は、撮像装置全体の制御を行うとともに、操作部 107 からの指示を受けて各部に命令を送る。操作部 107 は、撮像装置を起動させるための電源スイッチや、シャッタースイッチなどを備えている。そして、操作者によりシャッタースイッチが操作されると、制御回路 106 の制御により、測光処理、測距処理などの撮影準備動作の開始が指示され、その後、ミラー、シャッターを駆動して撮像素子 101 から読み出した信号を処理して記録媒体 109 に書き込む一連の撮像動作が実行される。

【0021】

図 2 は、CMOS 撮像素子 101 の画素配列の構成例を示す図である。図 2 に示すように、本実施例の撮像素子は、行方向及び列方向に複数の画素が配列された有効画素領域 204 と非有効画素領域から構成された画素配列を備える。

40

【0022】

非有効画素領域は、遮光された光電変換部を持つ複数の OB 画素 (第 1 の基準画素) が配置された水平オプティカルブラック (HOB) 画素領域 203 及び垂直オプティカルブラック (VOB) 画素領域 202 (第 1 の基準画素領域) と、光電変換部を持たない複数の NULL 画素 (第 2 の基準画素) が配置された NULL 画素領域 201 (第 2 の基準画素領域) からなる。

【0023】

50

有効画素領域 204 の各画素（有効画素）は、入射光に応じて光電変換部で発生した電荷を蓄積し、画素信号に変換して出力する。HOB 画素領域 203 は、有効画素領域 204 の水平方向（行方向）の左側に隣接して設けられた遮光領域である。VOB 画素領域 202 は、有効画素領域 204 の垂直方向（列方向）の上側に隣接して設けられた遮光領域である。

【0024】

有効画素領域 204 と HOB 画素領域 203 及び VOB 画素領域 202 とは同じ画素構造を有し、有効画素領域 204 の光電変換部は遮光されず、HOB 画素領域 203 と VOB 画素領域 202 の光電変換部は遮光されている。また、NULL 画素領域 201 は、VOB 画素領域 202 の垂直方向（列方向）の上側に隣接して設けられている。なお、NULL 画素は、光電変換部を持たないため遮光されていなくても良い。

10

【0025】

図 3 は、CMOS 撮像素子 101 を構成する有効画素の回路構成を示す図である。光電変換部であるフォトダイオード（PD）301 は、不図示の撮影レンズによって結像された光学像を受けて光電変換により電荷を発生して蓄積する。MOS トランジスタで構成される転送スイッチ 302 は、PD 301 で蓄積された電荷を浮遊拡散領域（フローティングディフュージョン：FD）304 に転送する。

【0026】

FD 304 は、転送スイッチ 302 により PD 301 から転送されてきた電荷を電圧に変換し、ソースフォロアンプ（SF）305 は、FD 304 により変換された電圧に応じた信号を出力する。選択スイッチ 306 は、ソースフォロアンプ 305 から出力された画素信号を垂直出力線 408（列出力線）に出力する。リセットスイッチ 303 は、FD 304 の電位をリセット電源電圧 VDD にリセットするとともに、転送スイッチ 302 を介して PD 301 の電位もリセット電源電圧 VDD にリセットする。

20

【0027】

ここで、本実施例の CMOS 撮像素子 101 は、加算手段である加算スイッチ 308 を備えている。この加算スイッチ 308 をオンすることで、垂直方向（列方向）において隣接する画素の PD 301 で発生した電荷が FD 304 において加算される。なお、ここでは一例として垂直方向（列方向）に隣接する 3 画素の電荷を加算して出力する回路を示すが、加算する画素数はこれに限定されるものではない。

30

【0028】

なお、HOB 画素領域及び VOB 画素領域に配置された OB 画素は、図 3 に示した有効画素の回路構成と同一の構成を有している。また、NULL 画素は、図 3 に示した有効画素の回路構成から光電変換部であるフォトダイオード（PD）301 と加算スイッチ 308 を除いた構成となっている。なお、NULL 画素が加算スイッチ 308 を備える構成としてもかまわない。

【0029】

図 4 は、CMOS 撮像素子 101 の構成例を示すブロック図である。垂直シフトレジスタ 401 は、行選択線 Pres(1) ~ (3)、Ptx(1) ~ (3)、Psel(1) ~ (3)、Padd(1) ~ (3) 等を介して駆動信号を画素領域 400 に出力する。

40

【0030】

画素配列 400 は、複数の画素（Pixel）からなり、各画素は、それぞれ図 3 に示した回路構成を有している。なお、図 4 では簡略化のために 3 × 3 画素の構成を示しているが、通常は数百万画素以上の画素から構成される。各画素は、偶数列と奇数列で各々 CH1、CH2 に対応した垂直信号線（列出力線）408a ~ 408c にノイズ信号及び画素信号を出力する。垂直信号線 408a ~ 408c には、負荷である定電流源 407a ~ 407c がそれぞれ接続される。

【0031】

読み出し回路 402, 410 には、垂直信号線 408a ~ 408c からの画素信号及びノイズ信号が入力される。読み出し回路 402, 410 は、入力された画素信号を nチャ

50

ネルトランジスタ404a~404cを介して差動増幅器405,411に出力する。また、読み出し回路402,410は、入力されたノイズ信号をnチャンネルトランジスタ403a~403cを介して差動増幅器405,411に出力する。水平シフトレジスタ406,409は、トランジスタ403a~403c及び404a~404cのオン/オフを制御する。差動増幅器405,411は、画素信号とノイズ信号との差分を出力する。

【0032】

図3の転送スイッチ302のゲートは、図4の第1の行選択線Pt x (1)に接続される。同じ行に配置された他の画素の転送スイッチ302のゲートも上記第1の行選択線Pt x (1)に共通に接続される。図3のリセットスイッチ303のゲートは、図4の第2の行選択線Pres (1)に接続される。同じ行に配置された他の画素のリセットスイッチ303のゲートも上記第2の行選択線Pres (1)に共通に接続される。

10

【0033】

図3の選択スイッチ306のゲートは、図4の第3の行選択線Psel (1)に接続される。同じ行に配置された他の画素の選択スイッチ306のゲートも上記第3の行選択線Psel (1)に共通に接続される。また、選択スイッチ306のソースは、垂直信号線408a~408cに接続される。図3の加算スイッチ308のゲートは、図4の第4の行選択線Padd (1)に接続される。同じ行に配置された他の画素の加算スイッチ308のゲートも上記第4の行選択線Padd (1)に接続される。

【0034】

これら第1~第4の行選択線Pt x (1)、Pres (1)、Psel (1)、Padd (1)には、垂直シフトレジスタ301によって各駆動信号が出力される。なお、図4に示されている残りの行においても、同様な構成の画素と行選択線が設けられる。これらの行選択線Pt x (2)~Pt x (3)、Pres (2)~Pres (3)、Psel (2)~Pres (3)、Padd (2)~Padd (3)にも、上記垂直シフトレジスタ301により駆動信号が供給される。

20

【0035】

図5は、図4に示した読み出し回路402,410の回路例を示す図である。破線で囲んだ部分が1列分に相当するブロックであり、図4の各垂直信号線408a~408cが図5の端子Voutに接続される。図6は、CMOS撮像素子101の動作例を示すタイミングチャートである。図3、図5及び図6を用いて、CMOS撮像素子101の動作を説明する。

30

【0036】

PD301からの電荷の読み出しに先立って、リセットスイッチ303のゲートに接続された第2の行選択線Pres (1)がハイレベルとなる。これによって、ソースフォロアンプ(SF)305のゲートがリセット電源電圧VDDにリセットされる。リセットスイッチ303のゲートに接続された第2の行選択線Pres (1)がローレベルになると同時に読み出し回路402,410のクランプスイッチのゲート線Pc0rがハイレベルになる。その後、選択スイッチ306のゲートに接続された第3の行選択線Psel (1)がハイレベルになる。

【0037】

40

これによって、リセットノイズが重畳されたリセット信号(ノイズ信号)が垂直信号線408a~408cから図5に示す読み出し回路402,410の端子Voutに読み出され、各列のクランプ容量C0にクランプされる。そして、クランプスイッチのゲート線Pc0rがローレベルになった後、ノイズ信号側転送スイッチのゲート線Pctnがハイレベルとなり、各列に設けられたノイズ保持容量Ctnにリセット信号が保持される。

【0038】

次に、画素信号側転送スイッチのゲート線Pctsがハイレベルになった後、転送スイッチ302のゲートに接続された第1の行選択線Pt x (1)がハイレベルとなり、PD301の電荷がSF305のゲートに転送される。それと同時に電荷信号が垂直信号線408a~408cから読み出し回路402,410の端子Voutに読み出される。

50

【 0 0 3 9 】

その後、転送スイッチ302のゲートに接続された第1の行選択線Ptx(1)がローレベルになった後、画素信号側転送スイッチのゲート線Pctsがローレベルになる。そして、リセット信号からの変化分である光信号成分(画素信号)が各列に設けられた信号保持容量Ctsに読み出されて保持される。ここまでの動作で、第1行目に接続された画素のノイズ信号及び画素信号が各列に接続されたノイズ保持容量Ctn、信号保持容量Ctsにそれぞれ保持される。

【 0 0 4 0 】

さらに、水平シフトレジスタ406, 409から供給される信号Phによって、各列の水平転送スイッチゲート403, 404が順次ハイレベルとなる。そして、ノイズ保持容量Ctn, 信号保持容量Ctsに保持されていた電圧は、水平出力線の保持容量Chn, Chsに順次読み出され、差動増幅器で差分処理されて出力端子OUTに順次出力される。

10

【 0 0 4 1 】

各列の信号読み出しの合間でリセットスイッチをオンするリセット信号線Pchresがハイレベルになり、水平出力線の保持容量Chn, Chsがリセット電位VCHRN, VCHRSにそれぞれリセットされる。以上で、第1行目に接続された画素からの信号読み出しが完了する。同様に、垂直シフトレジスタ401からの駆動信号によって第2行目以降に接続された画素の信号が順次読み出され、全画素の読み出しが完了する。

【 0 0 4 2 】

次に、図7は、CMOS撮像素子101の加算スイッチ308をオンすることで、隣接する画素のPD301で発生した電荷をFD304において加算する加算駆動の動作例を示すタイミングチャートである。ここでは、一例として、図4のCMOS撮像素子101のブロック図に示す垂直方向3画素の電荷を加算する加算駆動方法を説明する。

20

【 0 0 4 3 】

まず、PD301からの電荷読み出し時に、Padd(1)、Padd(2)、Padd(3)をハイレベルにする。PD301からの電荷の読み出しに先立って、リセットスイッチ303のゲートに接続された第2の行選択線Pres(1)、Pres(2)、Pres(3)がハイレベルとなる。これによって、ソースフォロアアンプ(SF)305のゲートがリセット電源電圧VDDにリセットされる。

30

【 0 0 4 4 】

リセットスイッチ303のゲートに接続された第2の行選択線Pres(1)、Pres(2)、Pres(3)がローレベルになると同時に読み出し回路402, 410のクランプスイッチのゲート線Pc0rがハイレベルになる。その後、選択スイッチ306のゲートに接続された第3の行選択線Psel(1)、Psel(2)、Psel(3)がハイレベルとなる。これによって、リセットノイズが重畳されたリセット信号(ノイズ信号)が垂直信号線408a~408cから図5に示す読み出し回路402, 410の端子Voutに読み出され、各列のクランプ容量C0にクランプされる。

【 0 0 4 5 】

次に、クランプスイッチのゲート線Pc0rがローレベルになった後、ノイズ信号側転送スイッチのゲート線Pctnがハイレベルとなり、各列に設けられたノイズ保持容量Ctnにリセット信号が保持される。

40

【 0 0 4 6 】

次に、画素信号側転送スイッチのゲート線Pctsがハイレベルになった後、転送スイッチ302のゲートに接続された第1の行選択線Ptx(1)、Ptx(2)、Ptx(3)がハイレベルとなる。そして、3行のPD301の電荷がFD304において加算され、SF305のゲートに転送される。それと同時に電荷信号が垂直信号線408a~408cから読み出し回路402, 410の端子Voutに読み出される。

【 0 0 4 7 】

その後、転送スイッチ302のゲートに接続された第1の行選択線Ptx(1)、Pt

50

$x(2)$ 、 $Ptx(3)$ がローレベルになった後、画素信号側転送スイッチのゲート線 $Pcts$ がローレベルになる。そして、リセット信号からの変化分である光信号成分（画素信号）が各列に設けられた信号保持容量 Cts に読み出されて保持される。ここまでの動作で、第1行目、第2行目、第3行目に接続された画素のノイズ信号と加算された画素信号が各列に接続されたノイズ保持容量 Ctn 、信号保持容量 Cts にそれぞれ保持される。

【0048】

さらに、水平シフトレジスタ406，409から供給される信号 Ph によって、各列の水平転送スイッチゲート403，404が順次ハイレベルとなる。そして、ノイズ保持容量 Ctn ，信号保持容量 Cts に保持されていた電圧は、水平出力線の保持容量 Chn ， Chs に順次読み出され、差動増幅器で差分処理されて出力端子 OUT に順次出力される。

10

【0049】

各列の信号読み出しの合間でリセットスイッチをオンするリセット信号線 $Pchres$ がハイレベルになり、水平出力線の保持容量 Chn ， Chs がリセット電圧 $VCHRN$ 、 $VCHRS$ にそれぞれリセットされる。以上で、第1行目、第2行目、第3行目に接続された画素からの垂直加算読み出しが完了する。

【0050】

上述した $CMOS$ 撮像素子101を用いて垂直画素加算を行って画像を得る駆動方法を図8、図9を用いて詳細に説明する。図8は、撮像素子の画素レイアウトの一部を示した図である。図8では、説明を簡単にするために 17×30 画素の例を示しているが、実際には数千 \times 数千画素と多画素である。図8の例では、0行目から3行目までが NUL 画素、4行目から15行目までが VOB 画素、16行目から29行目までが有効画素である。有効画素には、 G 、 R 、 B の色フィルタがベイヤ状に配列されている。本実施例では、垂直方向（列方向）に隣接する同色3画素の出力を加算する場合について説明する。

20

【0051】

図9は、図8の画素レイアウトのある列の画素の垂直加算読み出しを表した図である。ここで、 NUL 画素は、黒レベルの基準となる信号出力を得るために設けられた画素であり、図3に示した $PD301$ と加算スイッチ308を備えていない。そのため、 NUL 画素の出力は垂直方向（列方向）で加算されないで、各行にある画素の信号が別々に読み出される。

30

【0052】

有効画素の出力は、垂直方向（列方向）に隣接した同色の3画素の出力が加算されて読み出される。図9は、 R と G の列を示しており、 R 画素については、16，18，20行目の3画素の出力が加算されて読み出される。また、 G 画素については、19，21，23行目の3画素が加算されて読み出される。以降の有効画素についても同様にして読み出される。

【0053】

VOB 画素の出力は、有効画素と同様に垂直方向（列方向）の3画素の出力が加算されて読み出される。 VOB 画素は、遮光された画素であるために色の区別はないが、有効画素と同様の規則で加算するように駆動することが望ましい。すなわち、図9では、 VOB 画素領域の4，6，8行目の画素の出力が加算されて読み出されるとともに、7，9，11行目の画素の出力が加算されて読み出される。このように加算することで、重心を偏らせることなく OB 画素出力を得ることができる。なお、 VOB 画素と有効画素の境界では、13，15行目の VOB 2画素と17行目の有効画素1画素（ G 画素）の出力が加算されて読み出されることになるが、この出力信号は画像作成に使用しないことが望ましい。

40

【0054】

次に、 $DfE103$ は、このようにして読み出された NUL 画素の出力信号及び VOB 画素の出力信号を用いて、有効画素の出力信号を補正する。以下、この補正処理について説明する。なお、この補正処理は、 $DfE103$ で行うのが好適であるが、もちろん画

50

像処理装置 105 などで実行するように構成してもかまわない。

【0055】

まず、各列における N U L L 画素の出力信号の平均値を算出する。同じ列の有効画素からの色別の出力画素信号から N U L L 画素の出力信号の平均値を減算する。そして、このような減算処理を行うことにより、読み出し回路の特性に起因する縦縞ノイズやシェーディングをリアルタイムに補正することができる。なお、信頼度の高い補正処理を行うためには、N U L L 画素の母数（行数）が多いほど好ましいが、上記したように N U L L 画素の出力信号は、有効画素を加算して読み出す場合にも加算処理されないため、N U L L 画素の行数を増やさなくても補正值（平均値）の算出に十分な母数の N U L L 画素出力を得ることができる。

10

【0056】

また、通常、光電変換部であるフォトダイオード（P D）で電荷の蓄積を行うと、その蓄積時間や環境温度に応じて暗電流ノイズが発生するが、N U L L 画素には光電変換部であるフォトダイオード（P D）が設けられていないため、暗電流ノイズが発生しない。そのため、加算読み出しを行わなくても所望の補正值を得ることができ、かつ、列ごとに生じる固定パターンノイズを精度よく補正することができる。

【0057】

一方、有効画素で発生する暗電流ノイズは、V O B 画素の出力信号を用いて補正する。暗電流ノイズは、上記したように、電荷蓄積時間と環境温度に依存するものである。V O B 画素には、有効画素と同様に光電変換部であるフォトダイオード（P D）が設けられている。そこで、有効画素と同様の加算読み出し駆動を行って読み出された V O B 画素の出力信号の平均値を算出することによって暗電流量が求まるので、この値を用いて有効画素の出力信号を補正すれば、暗電流の影響を抑制することができる。V O B 画素は有効画素と同様の加算読み出し駆動を行う必要があるが、V O B 画素全体から暗電流補正值を算出することができるので、画素数をそれほど増やさなくても精度の良い補正を行うことができる。

20

【0058】

なお、本実施例では、N U L L 画素に加算スイッチ 308 を備えていない例を説明したが、有効画素と同様に加算スイッチ 308 を備えていてもかまわない。また、N U L L 画素を複数回選択して読み出すと、N U L L 画素出力信号の母数が増えてランダムノイズの影響をより抑制した補正を行うことができる。また、本実施例では、水平方向（行方向）の低画素化に関しては特に説明していないが、全画素の信号を読み出してから後で加算処理しても良いし、公知の技術により、撮像素子内で水平方向（行方向）の加算処理を行っても良い。

30

【0059】

以上のような処理を行うことで、高画素の撮像素子の出力を低画素化する駆動を行う際に、回路規模を大きくすることなく良好な画像を得ることができる。

【実施例 2】

【0060】

次に、本発明の別の実施例について説明する。実施例 2 は、N U L L 画素の読み出し方法のみが実施例 1 と異なるものである。なお、実施例 2 における撮像装置や撮像素子の構成、N U L L 画素と V O B 画素の出力信号を用いた補正処理を含む各種処理については実施例 1 と同様である。実施例 1 と同様の部分については説明を省略し、以下、実施例 1 と異なる部分についてのみ説明する。

40

【0061】

実施例 1 で説明したように、N U L L 画素は、列ごとの固定パターンノイズやシェーディングの補正值の算出に使用する。そのため、N U L L 画素の中に欠陥画素があると、その欠陥画素の出力電圧レベルは正常な N U L L 画素の出力電圧レベルと異なるため、正しい補正值（平均値）を得ることができない。例えば、リセット電源電圧 V D D が 5 V である場合、正常な N U L L 画素の出力電圧レベルはリセット電源電圧 V D D の 5 V とほとん

50

ど変わらない4.999Vとなるのに対し、欠陥画素の出力電圧レベルはリセット電源電圧VDDの5Vよりも100mV低い4.99Vとなる。特に、NULL画素では列ごとに補正値を算出するだけでなく母数となる画素数(行数)も少ないので、欠陥画素の影響は大きい。なお、NULL画素の欠陥としては、例えば、SF305に欠陥がある場合が考えられる。

【0062】

そこで、実施例2では、読み出し時に複数画素の選択スイッチ306を並行してオンするように制御する。図10は、実施例2における読み出し駆動のタイミングチャートである。ここでは、図8の第1行目、第2行目、第3行目を1つのグループとし、各列において3画素の出力電圧レベルのいずれかを読み出す例について説明する。

10

【0063】

まず、転送スイッチ302をオンしない状態でリセットスイッチ303のゲートに接続された第2の行選択線Pres(1)、Pres(2)、Pres(3)がハイレベルとなる。これによって、ソースフォロアアンプ(SF)305のゲートがリセット電源電圧VDDにリセットされる。

【0064】

リセットスイッチ303のゲートに接続された第2の行選択線Pres(1)、Pres(2)、Pres(3)がローレベルになると同時に読み出し回路402、410のクランプスイッチのゲート線Pc0rがハイレベルになる。その後、選択スイッチ306のゲートに接続された第3の行選択線Psel(1)、Psel(2)、Psel(3)がハイレベルとなる。これによって、リセットノイズが重畳されたリセット信号(ノイズ信号)が垂直信号線408a~408cから図5に示す読み出し回路402、410の端子Voutに読み出され、各列のクランプ容量C0にクランプされる。

20

【0065】

次に、クランプスイッチのゲート線Pc0rがローレベルになった後、ノイズ信号側転送スイッチのゲート線Pctnがハイレベルとなり、各列に設けられたノイズ保持容量Ctnにリセット信号が保持される。

【0066】

次に、画素信号側転送スイッチのゲート線Pctsがハイレベルになった後、転送スイッチ302のゲートに接続された第1の行選択線PtX(1)、PtX(2)、PtX(3)がハイレベルとなる。すなわち、第1行目から第3行目までの複数の転送スイッチ302が並行してオンされる。ここで、第1行目から第3行目までの複数の選択スイッチ306が並行してオンしているため、第1行目から第3行目の3つのSF305の出力電圧が垂直出力線408上で競合する状態になる。複数の異なるSF305の出力電圧が競合した場合、リセット電源電圧5Vに最も近い電圧を出力するSF305の出力電圧が信号値となって垂直信号線408から読み出し回路402、410の端子Voutに読み出される。

30

【0067】

次に、転送スイッチ302のゲートに接続された第1の行選択線PtX(1)、PtX(2)、PtX(3)がローレベルになった後、画素信号側転送スイッチのゲート線Pctsがローレベルになる。そして、リセット信号からの変化分である光信号成分(画素信号)が各列に設けられた信号保持容量Ctsに読み出される。ここまでの動作で、第1行目、第2行目、第3行目に接続された画素のノイズ信号及び画素信号のうち、それぞれリセット電源電圧5Vに最も近い電圧値を持つ信号が各列に接続されたノイズ保持容量Ctn、信号保持容量Ctsにそれぞれ保持される。

40

【0068】

この後、水平シフトレジスタ406、409から供給される信号Phによって、各列の水平転送スイッチゲートが順次ハイレベルとなる。そして、ノイズ保持容量Ctn、信号保持容量Ctsに保持されていた電圧は、水平出力線の保持容量Chn、Chsに順次読み出され、差動増幅器で差分処理されて出力端子OUTに順次出力される。

50

【0069】

各列の信号読み出しの合間でリセットスイッチをオンするリセット信号線 $Pchres$ がハイレベルになり、水平出力線の保持容量 Chn, Chs がリセット電圧 $VCHRN, VCHRS$ にリセットされる。

【0070】

以上のように、 $NULL$ 画素の列方向に並ぶ3画素の出力電圧の中で、リセット電源電圧 VDD の5Vに最も近い電圧値を読み出すことにより、出力電圧レベルがリセット電源電圧 VDD の5Vよりも小さくなる欠陥画素の出力を読み出さないため、精度良い補正を行うことができる。また、 $NULL$ 画素を複数回選択して読み出すことにより、ランダムノイズの影響を減らすことができ、より正しい補正値を算出することができる。

10

【0071】

(その他の実施例)

また、本発明は、以下の処理を実行することによっても実現される。即ち、上述した実施形態の機能を実現するソフトウェア(プログラム)を、ネットワーク又は各種記憶媒体を介してシステム或いは装置に供給し、そのシステム或いは装置のコンピュータ(またはCPUやMPU等)がプログラムを読み出して実行する処理である。

【符号の説明】

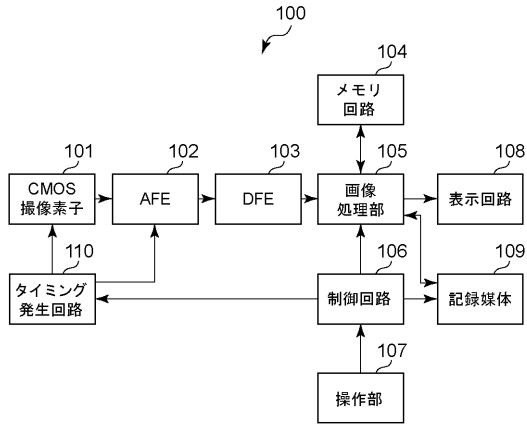
【0072】

- 201 $NULL$ 画素領域
- 202 垂直オプティカルブラック画素領域
- 203 水平オプティカルブラック画素領域
- 204 有効画素領域
- 301 フォトダイオード
- 302 転送スイッチ
- 303 リセットスイッチ
- 304 浮遊拡散領域
- 305 ソースフォロアアンプ
- 306 選択スイッチ
- 308 加算スイッチ
- 408 垂直出力線

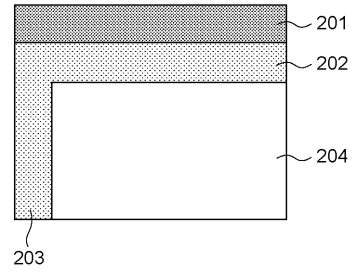
20

30

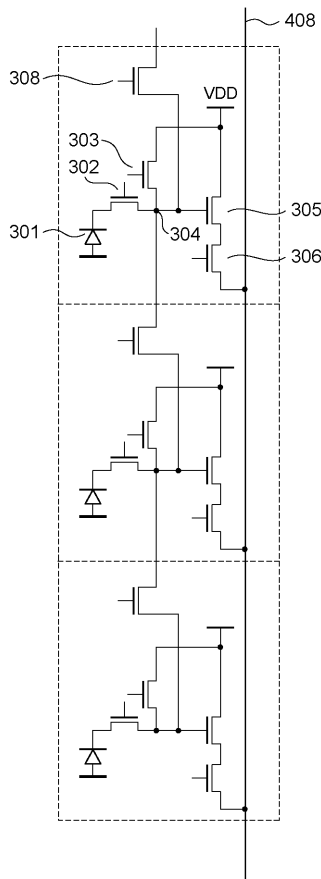
【図1】



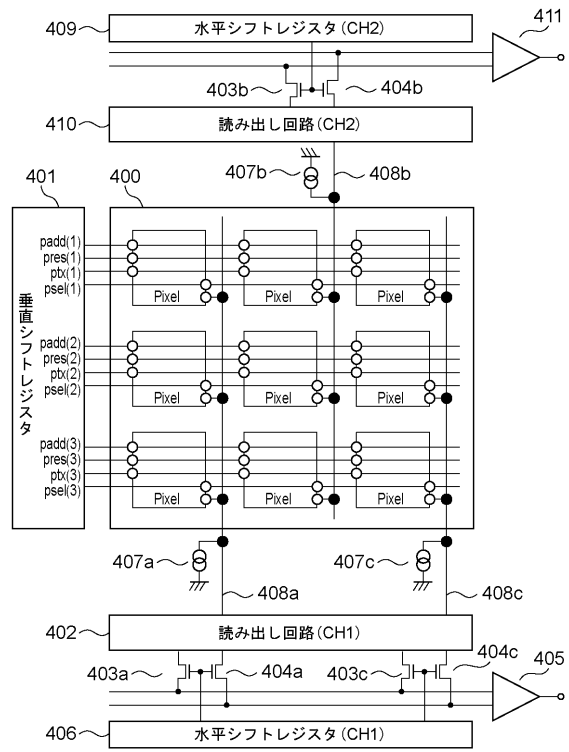
【図2】



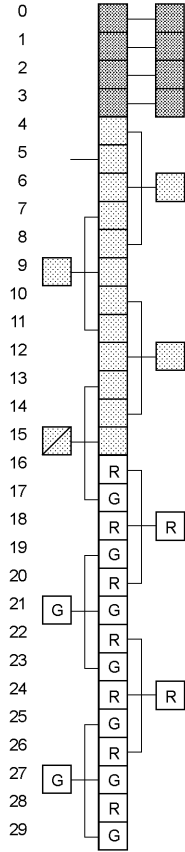
【図3】



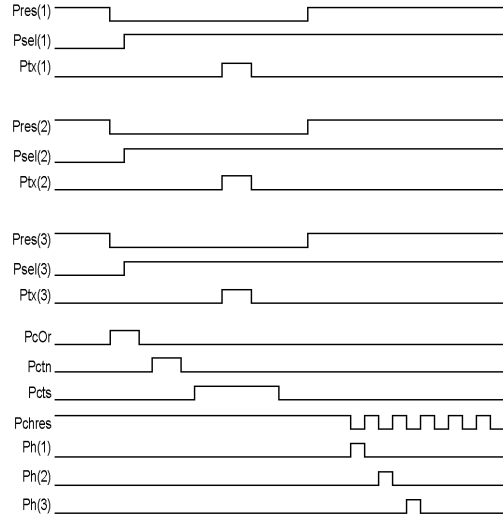
【図4】



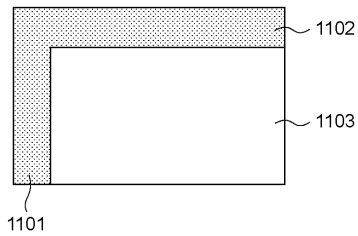
【図9】



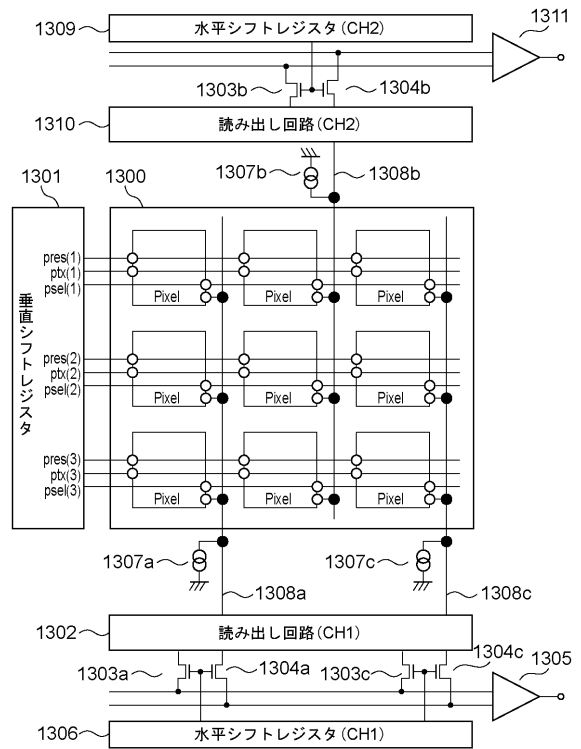
【図10】



【図11】



【図12】



フロントページの続き

- (56)参考文献 特開2009-164846(JP,A)
特開2005-101985(JP,A)
特開2009-165051(JP,A)
特開2010-193437(JP,A)

(58)調査した分野(Int.Cl., DB名)

H04N 5/30 - 5/378
H04N 9/04 - 9/11
H01L 21/339
H01L 27/14 - 27/148
H01L 29/762