

公告本

發明專利說明書

99年8月4日修正替換頁

中文說明書替換頁(99年8月)

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※ 申請案號：094114586

※ 申請日期：94.5.5

※IPC 分類：G11C 16/06 (2006.01)

一、發明名稱：(中文/英文)

半導體記憶裝置

SEMICONDUCTOR NONVOLATILE MEMORY DEVICE

二、申請人：(共 1 人)

姓名或名稱：(中文/英文)

日商瑞薩電子股份有限公司

RENESAS ELECTRONICS CORPORATION

代表人：(中文/英文)

赤尾 泰

AKAO, YASUSHI

住居所或營業所地址：(中文/英文)

日本國神奈川縣川崎市中原區下沼部1753番地

1753 SHIMONUMABE NAKAHARA-KU, KAWASAKI KANAGAWA

211-8668 JAPAN

國 籍：(中文/英文)

日本 JAPAN

三、發明人：(共5人)

姓 名：(中文/英文)

1. 久本 大
HISAMOTO, DIGH
2. 安井 感
YASUI, KAN
3. 石丸 哲也
ISHIMARU, TETSUYA
4. 木村 紳一郎
KIMURA, SHINICHIRO
5. 岡田 大介
OKADA, DAISKE

國 籍：(中文/英文)

- 1.-5.均日本 JAPAN

四、聲明事項：

☐ 主張專利法第二十二條第二項 ☐ 第一款或 ☐ 第二款規定之事實，其事實發生日期為： 年 月 日。

☒ 申請前已向下列國家(地區)申請專利：

【格式請依：受理國家(地區)、申請日、申請案號 順序註記】

☒ 有主張專利法第二十七條第一項國際優先權：

1. 日本；2004年05月27日；特願2004-157209

2. 日本；2005年03月07日；特願2005-062063

☐ 無主張專利法第二十七條第一項國際優先權：

1.

2.

☐ 主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

☐ 主張專利法第三十條生物材料：

☐ 須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼 順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼 順序註記】

☐ 不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

五、中文發明摘要：

本發明提供一種用於使非揮發性半導體記憶裝置穩定動作之動作方式。於分割閘極構造之非揮發性半導體記憶裝置中實施熱電洞注入時，利用不產生時間變化之交點，實行熱電洞注入動作之驗證。藉此，可在不考慮時效變化下而實行刪除狀態之驗證。又，藉由對於閘極部施加複數次脈衝電壓或多級階躍電壓，實行寫入或寫入/刪除。

六、英文發明摘要：

七、指定代表圖：

(一)本案指定代表圖為：第(8)圖。

(二)本代表圖之元件符號簡單說明：

(無元件符號說明)

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

(無)

九、發明說明：

【發明所屬之技術領域】

本發明係關於一種半導體記憶裝置，尤其關於一種使非揮發性記憶構造有效動作之半導體記憶裝置。

【先前技術】

組裝於LSI之積體半導體記憶體中有一種為非揮發性記憶體。該非揮發性記憶體係即使切斷LSI之電源仍將保留記憶資訊之元件，是將LSI用於各種用途之極為重要之元件。

關於半導體元件之非揮發性記憶體，於非特許文獻1中揭示有所謂浮動閘極型記憶體或使用絕緣膜之記憶體。此文獻中亦有說明，眾所周知的，層疊絕緣膜，於其界面或絕緣膜中之陷阱等處儲存電荷者，與浮動閘極型相比無須形成新的導電層，即可形成與CMOSLSI製程整合性良好之記憶體。

然而，以往之於絕緣膜中儲存電荷者中，由於實行電荷注入與釋放同時需要充分保證電荷保持特性，故而難以實現。對此，業者提出藉由注入具有相異符號之電荷實行記憶資訊之重寫以代替電荷釋放。關於該動作，於非特許文獻3中有所揭示。於此構造中，分別形成有使記憶體動作之多結晶矽閘極，以及進行單元選擇之閘極。又，於特許文獻1或特許文獻2中亦有相同之揭示。

該記憶單元構造中，基本上兩個以NMOS為基極之電晶體於所選擇之電晶體側部，以所謂"縱向堆積"之方式將記

憶體電晶體聯結。圖 1C 係表示其等值電路之圖式。再者，於圖 1A 以及圖 1B 中，分別表示與圖 1C 中所示電路相對應之記憶體元件的平面圖以及剖面圖之一例。又，圖 2 表示使用該記憶單元構成陣列之情形時之配置構造例。選擇電晶體與記憶體電晶體之閘極(選擇閘極、記憶體閘極)，分別構成以 SGL、MGL 所表示之字元線，選擇電晶體之擴散層成為位元線(BL)，而記憶體電晶體之擴散層成為源極線(SL)。

於圖 3、4 中表示有該記憶單元之具代表性的寫入刪除動作之操作。記憶體閘極之閘極絕緣膜 950 構造為矽氧化膜夾矽氮化膜之形狀，成為所謂 MONOS 構造(Metal-Oxide-Nitride-Oxide Semiconductor (Silicon)，金屬氧化物氮化物氧化物半導體(矽))。選擇閘極之閘極絕緣膜 900 為矽氧化膜。擴散層電極 200、300 分別於掩模上形成選擇閘極與記憶體閘極。作為該記憶單元之基本動作，可考慮到(1)寫入、(2)刪除、(3)保持以及(4)讀出之四種狀態。該四種狀態之稱呼係具代表性之叫法，寫入與刪除亦可使用相反之稱呼方法。又，動作之操作亦使用具代表性者加以說明，但亦可有各種不同之運行方法。於此，就以 NMOS 型所形成之記憶單元加以說明，但 PMOS 型於原理上亦可同樣形成。

(1)圖 3 係模式地表示寫入時之圖式。對記憶體閘極側擴散層 200 賦予正電位，對選擇閘極側擴散層 300 賦予與基板 100 相同之接地電位。藉由對記憶體閘極 550 施加相對於基

板100為較高之閘極過激勵電壓，藉此使記憶體閘極下之通道為開啟狀態。此處取得比臨限值高0.1至0.2 V之選擇閘極之電位，藉此設定為開啟狀態。此時，因於兩個閘極之邊界附近會產生最強之電場，故而會產生大量熱電子，且注入至記憶體閘極側。藉由衝擊離子化產生載體之態樣於圖中以800表示。白色圓圈表示電子，有陰影之圓圈表示電洞。該現象係作為源極側注入(Source side injection: SSI)而眾所周知者，關於此，於非特許文獻4中A. T. Wu等之記述中有所揭示。此處之說明係使用浮動閘極型之記憶單元，但於絕緣膜型中注入機構亦為相同。作為藉由該方式之熱電子注入之特長在於，因電場集中於選擇閘極與記憶體閘極邊界附近，故而可集中地注入至記憶體閘極之選擇閘極側端部。又，於浮動閘極型中，電荷保持層係藉由電極而構成，但於絕緣膜型中，因儲存於絕緣膜中，故而電子保存於極其狹窄之區域中。

(2)圖4係模式地表示刪除時之圖式。對記憶體閘極550賦予負電位，對記憶體閘極側擴散層200賦予正電位，藉此於擴散層端部之記憶體閘極與擴散層重疊之區域會產生強反轉，藉此可於帶間引起穿隧現象，產生電洞。此藉由810而表示。關於該帶間穿隧現象，於例如非特許文獻5中T. Y. Chan等之記述中有所揭示。於該記憶單元中，所產生之電洞向通道方向加速，被記憶體閘極之偏壓吸引而注入至MONOS膜中，藉此實行刪除動作。又，所產生之電洞產生二次電子—電洞對之態樣藉由820表示。該等載體

亦被注入至MONOS膜中。即可藉由所注入之電洞之電荷，降低藉由電子電荷而上升之記憶體閘極的臨限值。

(3)保持時，電荷作為被注入至絕緣膜MONOS中之載體之電荷而保持。因於絕緣膜中之載體移動極少且緩慢，故而即使未對電極施加電壓，亦可良好地保持。

(4)讀出時，對選擇閘極側擴散層200賦予正電位，對選擇閘極500賦予正電位，藉此使選擇閘極下之通道為開啟狀態。此處，藉由賦予適當之記憶體閘極電位(即寫入狀態之臨限值與刪除狀態之臨限值的中間電位)，可將所保持之電荷資訊作為電流讀出，上述記憶體閘極電位依據寫入、刪除狀態而賦予，可判斷記憶體閘極之臨限值差。

[特許文獻1] 美國專利特許005969383號說明書

[特許文獻2] 美國專利特許US6477084號說明書

[非特許文獻1] S. Sze著，「Physics of Semiconductor Devices, 2nd edition」第2版，Wiley-Interscience pub出版，p. 496~506

[非特許文獻2] S. Sze著，「Physics of Semiconductor Devices, 2nd edition」第2版，Wiley-Interscience pub出版，p. 447

[非特許文獻3] 「1997 Symposium on VLSI Technology」1997年，p. 63~64

[非特許文獻4] 「1986 IEEE, International Electron Device Meeting, Technical Digest」1986年，p. 584~587

[非特許文獻5] 「1987 IEEE, International Electron Device

Meeting, Technical Digest」, p. 718~721

[非特許文獻6]「2001 IEEE, International Electron Device Meeting, Technical Digest」, p. 719~722

[發明所欲解決之問題]

採用此動作操作之記憶單元之特徵在於，因使用具有兩極性之載體的電荷，故而可大幅改變使記憶體電晶體之設定臨限值。圖5為於橫軸表示記憶體閘極電壓，於縱軸表示單元讀出電流者。於測定中係使用上述讀出狀態者。與初始狀態之I-V特性相比，藉由注入電子而提高臨限值者為寫入狀態"H"。又，藉由電洞注入而降低臨限值者為刪除狀態"L"。例如，於使用電子之注入、釋放而改變臨限值者中，無法自初始狀態向負側方向變化臨限值。因此，需要使其於寫入與初始狀態之間動作。相對於此，藉由使用兩極性，可實現較大之臨限值變化。因此，其具有於刪除狀態下，可獲得較大讀出電流之特徵。又，該較廣闊之動作區域對於實行多值動作亦為有效。

另一方面，眾所周知的是，於使用有電洞注入之單元中，因電洞之脫離現象會導致臨限值變化之問題。關於該現象，於例如非特許文獻6中，W. J. Tsai等之記述中有所揭示由於電洞之正電荷減少，於電洞注入後隨時間之推移，臨限值向較高方向移動。關於記憶單元之資訊保持能力，取決於該臨限值之變動，故而由於該電洞脫離所引起之變化係較大問題，其係阻礙藉由電洞注入而形成記憶體的原因之一。

因此，本發明之目的在於解決上述問題，提供一種可進行穩定動作之絕緣閘極型非揮發性記憶體。

【發明內容】

圖6表示讀出電流隨此現象之變化。橫軸為記憶體閘極之閘極電壓，縱軸為讀出單元電流。繪製剛刪除後及經過一定時間後之I-V特性。如箭頭850所示可知，由於電洞脫離因此臨限值上升，波形向右側方向移動。另一方面，可發現於記憶體閘極電壓較大之區域中，相反地波形向左側方向移動(箭頭860)。此係伴隨電洞脫離而使得界面特性恢復所引起的現象。如上所述由於同時產生兩種現象，故而電流波形表現成以交點為界而向相反方向移動。該交點嚴密地說並非於一點相交者，但經過時間相依性小，實效上可視為於一點相交者。即，可視為即使產生電洞脫離，亦存在有不移動之點。

於圖7中匯集此情況。於圖6中，設定於交點之電流值為 I_A ，又設定夾住交點之電流值為 I_B 以及 I_C 。此時，定義各自之電流值為臨限值，設定為 V_{th-A} 、 V_{th-B} 、 V_{th-C} ，於圖7中表示其時間變化。橫軸為刪除後(電洞注入後)之經過時間。與箭頭850以及箭頭860相對應， V_{th-C} 表示上升以及 V_{th-B} 表示減少。對此，於 V_{th-A} 中無時間變動，保持一定值。

因此，藉由利用該交點，可獲得穩定之記憶體保持特性。

[發明之效果]

對於具有於選擇閘極與絕緣膜中保持電荷之記憶體閘極，且使用電洞注入之非揮發性半導體裝置，因可獲得不時間變動之讀出電流值，故而可進行穩定之記憶體動作。

【實施方式】

以下，使用圖式就本發明之實施形態加以詳細說明。

[實施例1]

以下，就本發明之具代表性之刪除動作加以說明。圖8係表示本發明之刪除動作序列之流程圖。

於構成半導體之陣列的積體非揮發性記憶體中，為穩定地實行寫入、刪除動作，廣泛使用有所謂"驗證動作"。其係於寫入或刪除時，施加寫入刪除動作後，確認臨限值之位準，為到達設定電位而反覆實行寫入刪除動作者。即使於實行電洞注入之單元中，亦可作出充分之刪除狀態，故而於施加刪除脈衝之後，確認刪除狀態之驗證動作為業者所廣泛使用。

再者於圖8中，VMG表示記憶體閘極電壓，VA表示於圖6之交點之閘極電壓，I_{cell}表示流過記憶單元之讀出電流(單元電流)，IA表示於VA之單元電流，N表示刪除脈衝之施加次數。

先前，因電洞脫離引起臨限值隨時間變化而變化，故而倘若使用例如I_c(V_{th}-C)實行驗證，則由於脫離引起時間變化，故而電流會減少，從而會無法確保必要之讀出電流。又，施加刪除脈衝後，電流會隨驗證動作之前的時間經過而變動，故而會無法正確地進行刪除狀態之評估。

因此，如圖 6 所示，藉由於不受時間變化影響之交點即記憶體閘極電壓 V_A ，實行與電流 I_A 之比較，實行驗證。因該電流點於注入後不受時間變化之影響，故而可容易地判定刪除狀態。

倘若設定讀出電流為上述交點之電流值，則刪除後即使經過較長時間，亦可獲得穩定之讀出電流。又，作為單元之讀出電流，可依據該驗證電壓而加以設定。例如，於需要大於 I_A 之 I_B 作為讀出電流之情形時，較好的是，預先估計初始狀態之 V_{th-B} 與 V_{th-A} 之差 V_{BST} ，而設定讀出時之記憶體閘極電壓 V_A 。於高於 V_A 之區域中，因電流增加，故而藉由實行如上述之讀出電位設定，可確保讀出電流。相反地，於無需如上述程度之電流之情形時，亦可藉由以記憶體閘極電壓 V_A 實行驗證而評估刪除狀態，故而可預測其後之電流變化。即因瞭解 V_{th-C} 之時效變化，故而倘若可判斷固定之 I_A ，可斟酌其效果進行換算。

又，驗證點可外插。即於低於交點之電壓 V_F 設定驗證點時，藉由與於 V_F 之電流互導，可預測於交點之電流值。以此為依據，可於 V_F 點實行驗證。

[實施例 2]

繼而，就使用本發明方式時寫入刪除動作中驗證條件之設定方法加以說明。於刪除狀態中，於如上所述藉由交點而驗證之情形時，該交點與寫入狀態下之驗證點之間，可作為該記憶單元之實際之動作窗口。

另一方面，於寫入狀態中，將熱電洞注入至絕緣膜時，

眾所周知的是於絕緣膜－氧化膜界面會生成界面態。倘若存在界面態，則藉由閘極之電場效果使表面電位產生變化，因此電子會陷入界面態，並且藉由具有該電子之電荷，以電流定義之臨限值會大幅變化。故而，對於非揮發性記憶體之動作而言，臨限值之變動會增加，成為重要之問題。此效果因主要因為電子之陷阱而產生，故而於寫入側會成為較大之問題。使用圖9就該現象加以說明。於圖9中，於橫軸表示記憶體閘極之閘極電位，使用對數表示於縱軸表示單元之讀出電流。表示寫入後當時以及經過固定時間後之IV特性。寫入後當時，因藉由刪除時之電洞注入所產生之界面態讀出電流之傾斜變為較小。然而，經過一段時間後，界面態恢復，讀出電流之傾斜變小，波形變為立起。眾所周知的是，該恢復現象於高溫狀態下表現的更為強烈，特別是倘若變為 100°C 以上則會變的尤其顯著。倘若考慮到通常之半導體晶片之使用動作溫度為 -40°C 至 100°C 左右，則可以說該現象無法避免。

該傾斜之變化，對於讀出電荷作為電晶體特性之差之記憶單元而言，最終表現為臨限值之變化。即於圖9中可發現，於設定 I_D 為驗證電流值時，與於寫入後當時驗證位準為 V_D 相對比，於經過固定時間後變化為 V_E 之問題。

以下就上述變化量加以說明。關於該臨限值之變化量，於非特許文獻2中有所揭示。即明示有關於所產生之界面態之量與記憶體閘極電壓之傾斜的關係。於此，圖10、圖11表示以此為依據，求得界面態之量與驗證位準之變化量

(臨限值電壓之變化量)的關係。

於圖 10、圖 11 中，設定記憶體閘極之閘極絕緣膜厚作為參數。於該記憶單元構造中，記憶體閘極之閘極絕緣膜 950 使用有矽氧化膜與矽氮化膜之層疊構造。於此，使用換算為氧化膜之實效膜厚 T_{ox} 而表示。藉由使記憶體閘極之膜厚變薄，可抑制界面態之效果。然而，眾所周知的是，倘若使該膜厚變薄，則會對電荷保持特性等其他裝置特性產生影響。又，眾所周知的是，倘若使其變厚，則寫入刪除特性會劣化，故而倘若考慮使用相當於次微米(1 微米以下)單位之選擇電晶體以及記憶體電晶體，則可考慮 $T_{ox} < 25 \text{ nm}$ 者為可實效地使用者。又，可知於記憶體之 "L" 狀態與 "H" 狀態之電流比的設定方法，對於陣列以及周邊之感測放大特性具有較強的依賴性。然而，一般地作為陣列構造，倘若考慮到於同一陣列單元至多為 256 位元左右，則作為電流比，可視其標準為確保 3 位數。此時，藉由界面態之效果會引起 2 V 之臨限值變動。於此，因揭示有電洞所製作之界面態為 10^{12} cm^{-2} 左右，故而假定 10^{13} cm^{-2} 作為尋求臨限值變動之必要條件之上限。圖 11 係表示計算上述界面態與臨限值變動之關係者。於假定為 10^{13} cm^{-2} 之情形時，需要預計 2 V 之變化。對此，實行於寫入側之驗證時，以將必要之設定驗證位準與藉由該界面態之效果相加後再加高 2 V 之方式進行設定，藉此可獲得即使經過長時間仍為穩定之讀出電流。於此之試算中，為說明基本之動作假定為室溫，但可依據使用設定斟酌溫度特性。

於此，藉由考慮實用之單元電流，作為臨限值之變化就設定方法加以說明。另一方面，如圖9所示，界面態之恢復可作為IV之傾斜趨於立起者而加以觀測。界面態之情形時，於帶隙之電子傳導帶側電洞陷阱成為中心，於價電子帶電子陷阱發揮作用，故而可將表面電位成為中間能隙之閘極電壓，視為於軸處產生該恢復現象者。於圖9可看到該交點出現於X軸上之態樣。於此情形時，該點可視為於寫入狀態時之不動點，故而可有效地使用該點於驗證中。然而，實際上於該交點之電流值如圖9所示變為極小者，故而並非實用。但是，於此出現不動點之IV波形，相對於對數軸而言顯示有基本為直線之所謂次臨界特性，故而即使並非直接亦可以外插之方式而使用。

以下就設定例加以說明，於圖6所示之刪除狀態下，於記憶體閘極電壓為2 V、單元電流為 $100\text{ }\mu\text{A}/\mu\text{m}$ 之單元中，初始狀態下對應於該單元電流值之記憶體閘極電壓變為4 V之情形，於寫入側之記憶體閘極電壓設定為6 V時，考慮到如上所述之界面順位之效果，較好的是再加高2 V設定為8 V。但是，藉由換算傾斜之效果，可降低寫入側之驗證電壓，並且可以較低電流值加以實行。

於實施上述高寫入時，藉由使用複數個寫入脈衝，可獲得良好之記憶體動作。如上所述，SSI寫入電子之特徵在於被局部地注入於狹小之區域。眾所周知的是，藉由電子之局部之注入所形成的電位障壁，因通道方向之電場之滲透而被降低，會產生稱為穿通型之洩漏電流。因此，為實

現較高臨限值，需要注入相當多之電子。進而於刪除中，為刪除該電子需要注入相當多之電洞，會引起膜之劣化或刪除不足等問題。為避免上述情形，較為有效的是將藉由通道熱電子(CHE)方式之電子寫入法與SSI方式加以組合。CHE係藉由通道以及擴散層端之電場而加速電子，藉此產生熱電子繼而注入至電荷保持部者。因此，會注入至跨越相較於SSI更為接近擴散層之較寬闊之區域。當然CHE與SSI係用以說明電子注入機構之範例，並無嚴格之區別。於此，為說明而使用有相異之兩種脈衝，並且設定為CHE之脈衝中亦含有SSI注入，又設定為SSI之脈衝亦含有CHE注入。

CHE注入與SSI相比，可藉由較小地設定記憶體閘極之電壓而得以實現。因此，為實現高寫入，首先較低地設置記憶體閘極電壓，於實行藉由CHE之注入後，實行提高記憶體閘極電壓之寫入。此情形時，因於藉由CHE而廣泛地注入有電子之狀態下，藉由SSI而實行局部之注入，故而可藉由少量電子注入而有效地實現高寫入。因此，可縮短SSI注入時間，又可降低對擴散層所施加之電壓。較好的是，例如首先以記憶體閘極電壓8 V實行寫入之後，以記憶體閘極電壓11 V實行寫入。又，並且，可將擴散層電壓由6.5 V變為5.5 V。

就藉由多段寫入之效果進一步詳細地加以說明。於多段寫入中，於提高相對較弱之記憶體閘極電壓之情形時，因存在既注入電子，故而其後之電子注入分佈會產生變化。

以上就CHE注入係產生於設定記憶體閘極電壓為較高，記憶體閘極側擴散層電壓為較低之狀態之情形加以說明。於多段寫入之第二次之後，此前之注入電子仍然存在，故而可視為相同機構發揮作用者。以下為使說明更加明確，以圖1C為基礎，於圖13表示各端子之偏壓名稱，且使用於圖14中所示之具代表性之動作偏壓條件加以記述。該等係用以賦予讀者印象者，而並非將數值限定於此者。於Step 1中藉由將記憶體閘極電壓設定為6 V之寫入脈衝，實行電子注入(圖15)。於圖15中藉由矽氧化膜954、矽氮化膜955以及矽氧化膜956之層疊構造表示電荷蓄層疊。於步驟一中，如850所示，首先於選擇電晶體側實行電子注入。於步驟二中，即使提高記憶體閘極電壓，實效之記憶體閘極電壓亦會由於儲存於850之電子電荷而降低。故而，如圖16中箭頭830所示，會向更接近於擴散層電極200之區域851實行電子注入。當然，於此期間因無法完全阻礙向850之電子注入，故而850之電子密度以及向膜厚方向之分佈會以擴大的方式而變化。可知其原因在於，於後段之寫入時CHE方式之注入機構更強地發揮作用。因此可以說，藉由實行多段階之步驟注入，即使提高最終之記憶體閘極電壓，亦可實行使用有CHE之電子注入。由於所注入之電子可設定為廣泛地分佈於記憶體閘極區域之形狀，故而藉由廣泛之分佈可有效地提高臨限值。又，相反地，於臨限值為相同之情形時，因於廣泛之分佈中，可降低各個注入場所之所注入之電子的單位電荷密度，故而可使寫入後之電

子保持特性良好。

圖 17 表示使用更加多級階躍之注入例。上述驗證動作可組合使用。即可藉由於必要之步驟中實行驗證，取消不必要之施加較高記憶體閘極電壓，而至必要之臨限值狀態為止實行電子注入。例如，倘若藉由步驟三可實現足夠高寫入，則無須實行步驟四，故而記憶體閘極可以至 9 V 為止實行寫入處理。本寫入方式係準備於圖 17 所示之脈衝設定之參照表，且於每一步驟按照參照表實行寫入動作者。於步驟一之電子注入時，因電子引起之電壓下降較小，故而可設定為短時間之脈衝寬度。其態樣表示於圖 18 中。

該等之參照表，可作為非揮發性記憶體陣列之控制程式而形成。又，於記憶體陣列之電路中，藉由元件可作為電路構造組入。例如，如圖 37 所示，設置施加脈衝之步驟數之計數器，介於具有相異電位之電源線 (V_{d1} 、 V_{d2} 、 V_{d3} 、 V_{d4}) 之選擇器，驅動記憶體閘極 (MGL) 之驅動器，藉此可施加因步驟之不同而相異之電壓。

顯而易見的是，當於步驟一實行相當弱之電子注入之情形時，即使於實行步驟一之後實行驗證，亦未達驗證基準。因此，藉由取消步驟一之後之驗證，可縮短寫入時間。於此，雖使用步驟一加以說明，但於使用多級階躍之情形時，於步驟二以後亦可省略不必要之驗證，而實行反覆寫入之後進行驗證可有效縮短寫入時間。圖 19 歸納整理有於初始之兩段未實行驗證，而於其後之施加脈衝時實行驗證之情形的寫入序列。

於圖38中，使用時序圖表示寫入時之施加脈衝之組合。於此，著眼於一個單元加以說明。於此施加寫入脈衝P1、P2以及P3之後，實行驗證動作(V1)，並應需要施加寫入脈衝P4。於此，雖以分割之脈衝之方式施加P1、P2以及P3，但亦可如圖39所示以歸總為一個脈衝之方式實行。於該圖中，除時序外，還表示分別對應於P1、P2以及P3而施加之相異之記憶體閘極偏壓的狀況。Vd1對應於驗證點。又如圖40所示，即使於相同脈衝之中，亦可藉由變化暫時電壓，而達到相同之效果。

反覆重寫電荷保持膜會引起劣化，從而會需要實行更強之寫入。因此，於重寫次數較少期間，於較早之步驟實行最初之驗證，於重寫次數增加之情形時，於更晚之步驟實行最初之驗證，藉此可實現縮短寫入時間。於此，就寫入之情形加以說明，但於實行多段之刪除之情形時亦為有效。

又，於以上所述之表中，列舉有所有賦予端子電壓之情形。

然而，於取得如圖20所示之陣列動作、構造之情形時，參照表並非根據電壓之參數，可使用電流值為參數而構成。藉由圖20之向兩個記憶單元(Bit0與Bit1)之寫入加以說明。此時，各自之汲極側擴散層電位(Vd)藉由BL0、BL1而獲得。BL0以及BL1上下分別被夾於MP0、MP1以及MN0、MP1，其閘極電位藉由連接有定電流源CCS1、CCS2之電路而獲得。因CCS1以及CCS2係流過電流I1、I2

者，故而以對MP0、MP1之閘極賦予流動有I1之電流之電位的方式進行設定。又同樣地，以於MN0、MN1中流動有I2之電流之閘極電位的方式進行設定。此時於寫入為"H"之單元中，藉由設定BS0以及BS1為開啟而進行選擇。此時自上側流入電流I1，自下側流出I2，故而可獲得於記憶單元中流動有電流Ip之狀態。即Vd可獲得構成 $I_p = I_1 - I_2$ 之關係之電位。例如，倘若設定單元電流Ip為1 μA ，則於圖14中選擇電晶體之閘極過激勵電壓($V_{cg} - V_d$)為0.5 V，對應於此，於圖21中Vd會獲得約1 V左右之電位。於此，為使說明容易理解，故而省略基板效果。於此種陣列構造中，因可藉由單元電流而加以規定，故而具有選擇電晶體之閘極電位之設定自由度增加的特徵。即於圖21中設定為1.5 V之記憶單元中，亦可如圖22所示，設定為1 V。於此情形時，即使Vs為相同值(5 V)，亦可減小Vd，從而可增大Vs-Vd。藉此，可提高寫入效率。

又，如圖23所示，相對於較低地設定記憶體閘極電位而言，較高地設定擴散層電極電位Vs，藉此可更廣泛地注入電子。

於刪除中，使用該脈衝之參照表之方式亦為有效。於刪除動作中，於被寫入為"H"狀態之單元中，因所儲存之電子之電荷會產生較高電場。即刪除脈衝可以記憶體閘極為負、記憶體閘極側擴散層電極電位為正之方式施加偏壓。此時，藉由存在電子之電荷，實效性之記憶體閘極之負偏壓會增強，記憶體閘極—擴散層電極間之電位差會變大。

因此，會產生大量電洞，會流動較大之刪除電流。因此較為有效的是，如圖24所示於步驟一中降低 V_s 實行弱刪除。又，藉由如圖25所示設定脈衝寬度，可操作刪除電流。

又，眾所周知的是，倘若藉由施加刪除脈衝而實行電洞注入，則藉由所儲存之電洞之電荷可抑制電洞產生。因此，為實行充分之刪除，較為有效的是階段性地增強電場。另一方面，眾所周知的是，電洞注入對絕緣膜賦予應力會引起膜劣化。故而需要避免過度之電洞注入。因此，如圖26中之參照表所示，於實行驗證並且階段性地提高電場實行充分之刪除時，藉由取消實行該程度以上之刪除，可避免不需要之電洞之注入。又，如圖27所示，藉由記憶體閘極之偏壓設定可實行高效之刪除。

如圖28所示，以將記憶體陣列960劃分為組塊970之方式而實行刪除動作，藉此可減小刪除電流。圖28係表示將陣列劃分為A0至A7之八個組塊之示例者。與此相對應之參照表如圖29所示。於圖29中，增加有選擇組塊之項。自步驟一至步驟二十四為止實行各個組塊之選擇，於步驟二十五中實行所有組塊之選擇。這是因於刪除初期所儲存之電子會導致產生較強之電場，流動較大之刪除電流。該初期刪除藉由實行於各個區塊可降低電流。又，藉由於各個區塊實行刪除，即使於刪除時亦會產生非選擇單元。因此需要考慮關於干擾之問題。故而較為有效的是，如步驟二十五所示選擇所有組塊之刪除序列。因實行有一次刪除，故而即使選擇所有組塊，亦可抑制為較少之電流。於藉由此

方式之刪除中，選擇之組塊之順序如圖30所示，可依次選擇所有組塊並且施加多段之脈衝。

圖31係表示於選擇電晶體中流動電流並且實行刪除之情形之參照表。藉由增加引起通道電流之熱載體成分可提高刪除效率。又，於使用有該方式之情形時，會產生過剩之熱載體，以至於會存在元件之耐壓破壞之問題。因此，較為有效的是使用如圖20所示之電流控制。圖32係於此情形時之參照表。例如作為 V_d ，較好的是通道電流 I_p 為流動 $1\ \mu A$ 。

於該電洞注入方式中，具有即使減小擴散層電壓(V_s)亦可注入電洞之特徵。因此，實行如圖33中所示之參照表之多段刪除，可有效地降低洩漏電流。即因於步驟一中所儲存之電子之原因，於擴散層－記憶體閘極間會產生較強電場，會產生較大之洩漏電流。因此，於步驟一時，降低擴散層電壓可有效地降低洩漏電流。較好的是於緩和藉由步驟一所儲存之電子之後實行刪除。

又，將步驟一之刪除動作與寫入動作加以比較，可知二者之區別僅在於記憶體閘極之設定電位正負相異。因此，於步驟一中，藉由取得CHE效果較強之寫入設定，且藉由重複改寫，可減少於擴散層端所儲存之電洞。此時之多級階躍之參照表如圖34所示。如此，同時實行寫入或刪除動作之處理，可添加至參照表中加以實行。於圖35所示之參照表，係表示於實行多段刪除之後對記憶體閘極施加正電位，藉此去除過剩電洞之序列者。如圖36之參照表所示，

於實行各個組塊之刪除之後，對於所有組塊可取得正偏壓記憶體閘極之序列。

[實施例3]

繼而，就積體複數個記憶體模組之情形加以說明。

其構造圖如圖12所示。會需要於晶片上，混載需要使其高速動作之記憶體陣列，以及例如為降低消耗電力需要使其低速動作之陣列。此時，於需要高速動作之陣列中，可使用如上所述之熱電洞注入方式。於此情形時，即使於相同記憶單元亦可對應於需要而變換動作方式。於如圖12所示之構造中，於實施例1以及2所述之驗證動作僅可適用於高速記憶體陣列。

【圖式簡單說明】

圖1A係表示分離記憶單元之平面圖。

圖1B係表示藉由圖1A所說明之分離記憶單元之代表性的等值電路圖。

圖1C係表示藉由圖1A所表示之分離記憶單元之剖面圖。

圖2係表示使用有分離記憶單元之記憶體陣列之等值電路圖。

圖3係模式地表示用以說明記憶單元構造以及寫入動作之元件剖面構造圖。

圖4係模式地表示用以說明記憶單元構造以及刪除動作之元件剖面構造圖。

圖5係表示用以說明寫入以及刪除狀態之記憶體電晶體

動作特性之圖式。

圖6係表示於刪除狀態時之IV特性之時效變化的記憶體電晶體動作特性之圖式。

圖7係表示於刪除狀態時之臨限值之時效變化的圖式。

圖8係表示本發明之刪除動作之刪除動作序列的圖式。

圖9係表示於寫入狀態時之IV特性之時效變化的記憶體電晶體動作特性之圖式。

圖10係對界面態之寫入臨限值所產生之效果的說明圖。

圖11係對界面態之寫入臨限值所產生之效果的說明圖。

圖12係晶片構造圖。

圖13係記憶單元端子名。

圖14係寫入脈衝設定參照表。

圖15係模式地表示用以說明寫入動作之元件剖面構造圖。

圖16係模式地表示用以說明寫入動作之元件剖面構造圖。

圖17係寫入脈衝設定參照表。

圖18係寫入脈衝設定參照表。

圖19係寫入脈衝以及驗證序列說明圖。

圖20係記憶單元陣列等值電路圖。

圖21係寫入脈衝設定參照表。

圖22係寫入脈衝設定參照表。

圖23係寫入脈衝設定參照表。

圖24係刪除脈衝設定參照表。

- 圖 25 係刪除脈衝設定參照表。
- 圖 26 係刪除脈衝設定參照表。
- 圖 27 係刪除脈衝設定參照表。
- 圖 28 係記憶體陣列構造圖。
- 圖 29 係刪除脈衝設定參照表。
- 圖 30 係刪除脈衝設定參照表。
- 圖 31 係刪除脈衝設定參照表。
- 圖 32 係刪除脈衝設定參照表。
- 圖 33 係刪除脈衝設定參照表。
- 圖 34 係刪除脈衝設定參照表。
- 圖 35 係刪除脈衝設定參照表。
- 圖 36 係刪除脈衝設定參照表。
- 圖 37 係用以產生對應於寫入脈衝設定表之施加脈衝之電路構造圖。
- 圖 38 係表示於本實施例之寫入時之施加脈衝的時序圖。
- 圖 39 係表示其他實施例之寫入時之施加脈衝的時序圖。
- 圖 40 係表示其他實施例之寫入時之施加脈衝的時序圖。

【主要元件符號說明】

100	基板
200, 300, 210, 310	擴散層
500, 1500	選擇電晶體
550, 1550	記憶體電晶體
800, 810, 820	載體產生區域
850, 851	電子注入區域



900	選擇閘極絕緣膜
940	側牆
950	記憶體閘極絕緣膜
954, 956	矽氧化膜
955	矽氮化膜
960	記憶體陣列
970	記憶體陣列組塊
$V_A, V_B, V_C, V_D, V_E, V_F$	臨限值

十、申請專利範圍：

1. 一種半導體記憶裝置，其特徵在於具備：

第一絕緣閘極型場效電晶體，其含有於半導體基板上經由絕緣膜層疊閘電極而成之第一閘極；

第二絕緣閘極型場效電晶體，其含有鄰接於上述第一絕緣閘極型場效電晶體之上述半導體基板之區域上所形成的含有電荷儲存膜之第二閘極；

於上述第一絕緣閘極型場效電晶體之下方之上述半導體基板內所形成的第一通道；

於上述第二絕緣閘極型場效電晶體之下方之上述半導體基板內，以與上述第一通道電性連接之方式鄰接所形成之第二通道；及

以夾住形成有上述第一通道與上述第二通道之上述半導體基板之區域的方式，分別形成於上述第一通道之一端側與上述第二通道之他端側的第一雜質擴散層以及第二雜質擴散層；且

上述半導體記憶裝置含有刪除及寫入動作，其藉由注入電子至上述電荷儲存膜而實行寫入，藉由注入電洞至上述注入有電子之電荷儲存膜而實行刪除；

於注入電洞至上述第二絕緣閘極型場效電晶體之狀態之電流與上述第二閘極的電流電壓關係中，於設定讀出電流值為 $I1$ ，設定不實行寫入刪除之電子以及電洞注入動作而經過一定時間後之讀出電流值為 $I2$ 時，將表示 $I1>I2$ 之關係之上述第二閘極電壓設定為 $V1$ ，

於上述注入有電洞之狀態，設定讀出電流值為 I_3 ，設定不實行寫入刪除之電子以及電洞注入動作而經過一定時間後之讀出電流值為 I_4 時，將表示 $I_3 < I_4$ 之關係之上述第二閘極電壓設定為 V_2 的情形時，

上述電荷儲存膜之記憶刪除動作係於滿足 $V_1 < V_v < V_2$ 之關係之上述第二閘極電壓 V_v 狀態下實行。

2. 如請求項1之半導體記憶裝置，其中於上述第二閘極電壓 V_v 實行刪除電流之驗證動作。
3. 如請求項1之半導體記憶裝置，其中於不注入電子以及電洞至上述電荷儲存膜之狀態下之上述第二閘極電壓為 V_i 時之讀出電流為 I_i ，於注入電子至上述電荷儲存膜後之讀出電流為 I_5 ，當滿足 $I_i > I_5$ 時，設定上述第二閘極電壓($V_i + 2V$)為寫入狀態。
4. 如請求項3之半導體記憶裝置，其中於上述第二閘極電壓($V_i + 2V$)實行寫入之驗證。
5. 一種積體半導體非揮發性記憶體，其特徵在於含有：

第一絕緣閘極型場效電晶體，其含有於半導體基板上經由絕緣膜層疊閘電極而成之第一閘極；

第二絕緣閘極型場效電晶體，其含有鄰接於上述第一絕緣閘極型場效電晶體之上述半導體基板之區域上所形成的含有電荷儲存膜之第二閘極；

於上述第一絕緣閘極型場效電晶體之下方之上述半導體基板內所形成的第一通道；

於上述第二絕緣閘極型場效電晶體之下方之上述半導

體基板內，以與上述第一通道電性連接之方式鄰接所形成之第二通道；及

以夾住形成有上述第一通道與上述第二通道之上述半導體基板之區域的方式，分別形成於上述第一通道之一端側與上述第二通道之他端側的第一擴散層電極以及第二擴散層電極；

藉由對上述第二閘極施加電壓，使電子以及電洞自上述第二通道區域向上述電荷儲存膜注入而實行寫入以及刪除；且

上述寫入係對上述第二閘極施加複數次脈衝，且上述脈衝電壓之各個係依照預先準備之參照表所決定。

6. 如請求項5之積體半導體非揮發性記憶體，其中上述參照表係由電路元件構造所記憶。
7. 如請求項5之積體半導體非揮發性記憶體，其中於上述施加複數次脈衝，於施加特定之脈衝後，施加上述特定之脈衝之下一脈衝前，進行如請求項4之驗證。
8. 一種積體半導體非揮發性記憶體，其特徵在於含有：

第一絕緣閘極型場效電晶體，其含有於半導體基板上經由絕緣膜層疊閘電極而成之第一閘極；

第二絕緣閘極型場效電晶體，其含有鄰接於上述第一絕緣閘極型場效電晶體之上述半導體基板之區域上所形成的含有電荷儲存膜之第二閘極；

於上述第一絕緣閘極型場效電晶體之下方之上述半導體基板內所形成的第一通道；

於上述第二絕緣閘極型場效電晶體之下方之上述半導體基板內，以與上述第一通道電性連接之方式鄰接所形成之第二通道；及

以夾住形成有上述第一通道與上述第二通道之上述半導體基板之區域的方式，分別形成於上述第一通道之一端側與上述第二通道之他端側的第一擴散層電極以及第二擴散層電極；

藉由對上述第二閘極施加電壓，使電子以及電洞自上述第二通道區域向上述電荷儲存膜注入而實行寫入以及刪除；且

上述寫入係對上述第二閘極施加多級階躍之電壓，且上述多級階躍電壓之各個係依照預先準備之參照表所決定。

9. 如請求項8之積體半導體非揮發性記憶體，其中上述參照表係由電路元件構造所記憶。
10. 如請求項8之積體半導體非揮發性記憶體，其中於施加上述多級階躍電壓之後，實行如請求項4之驗證。
11. 一種積體半導體非揮發性記憶體，其特徵在於含有：

第一絕緣閘極型場效電晶體，其含有於半導體基板上經由絕緣膜層疊閘電極而成之第一閘極；

第二絕緣閘極型場效電晶體，其含有鄰接於上述第一絕緣閘極型場效電晶體之上述半導體基板之區域上所形成的含有電荷儲存膜之第二閘極；

於上述第一絕緣閘極型場效電晶體之下方之上述半導

體基板內所形成的第一通道；

於上述第二絕緣閘極型場效電晶體之下方之上述半導體基板內，以與上述第一通道電性連接之方式鄰接所形成之第二通道；及

以夾住形成有上述第一通道與上述第二通道之上述半導體基板之區域的方式，分別形成於上述第一通道之一端側與上述第二通道之他端側的第一擴散層電極以及第二擴散層電極；

藉由對上述第二閘極施加電壓，使電子以及電洞自上述第二通道區域向上述電荷儲存膜注入而實行寫入以及刪除；且

上述寫入以及刪除係對上述第二閘極分別施加複數次脈衝，且上述脈衝電壓之各個係依照預先準備之參照表所決定。

12. 如請求項11之積體半導體非揮發性記憶體，其中於上述參照表中規定有脈衝寬度。
13. 如請求項11之積體半導體非揮發性記憶體，其中於施加複數次寫入脈衝之間，實行如請求項4之驗證，於施加複數次刪除脈衝之間，實行如請求項2之驗證。
14. 如請求項11之積體半導體非揮發性記憶體，其中於施加至少兩次寫入脈衝之後實行驗證。
15. 如請求項11之積體半導體非揮發性記憶體，其中於施加至少兩次刪除脈衝之後實行驗證。
16. 如請求項11之積體半導體非揮發性記憶體，其中於施加

至少兩次寫入脈衝之後實行驗證，於施加至少兩次刪除脈衝之後實行驗證。

17. 一種積體半導體非揮發性記憶體，其特徵在於含有：

第一絕緣閘極型場效電晶體，其含有於半導體基板上經由絕緣膜層疊閘電極而成之第一閘極；

第二絕緣閘極型場效電晶體，其含有鄰接於上述第一絕緣閘極型場效電晶體之上述半導體基板之區域上所形成的含有電荷儲存膜之第二閘極；

於上述第一絕緣閘極型場效電晶體之下方之上述半導體基板內所形成的第一通道；

於上述第二絕緣閘極型場效電晶體之下方之上述半導體基板內，以與上述第一通道電性連接之方式鄰接所形成之第二通道；及

以夾住形成有上述第一通道與上述第二通道之上述半導體基板之區域的方式，分別形成於上述第一通道之一端側與上述第二通道之他端側的第一擴散層電極以及第二擴散層電極；

藉由對上述第二閘極施加電壓，使電子以及電洞自上述第二通道區域向上述電荷儲存膜注入而實行寫入以及刪除；且

上述寫入以及刪除係對上述第二閘極施加多級階躍之電壓，且上述多級階躍電壓之各個係依照預先準備之參照表所決定。

18. 如請求項17之積體半導體非揮發性記憶體，其中上述參

· 照表係由電路元件構造所記憶。

· 19. 如請求項17之積體半導體非揮發性記憶體，其中於施加
· 上述多級階躍電壓之後實行如請求項4之驗證。

十一、圖式：

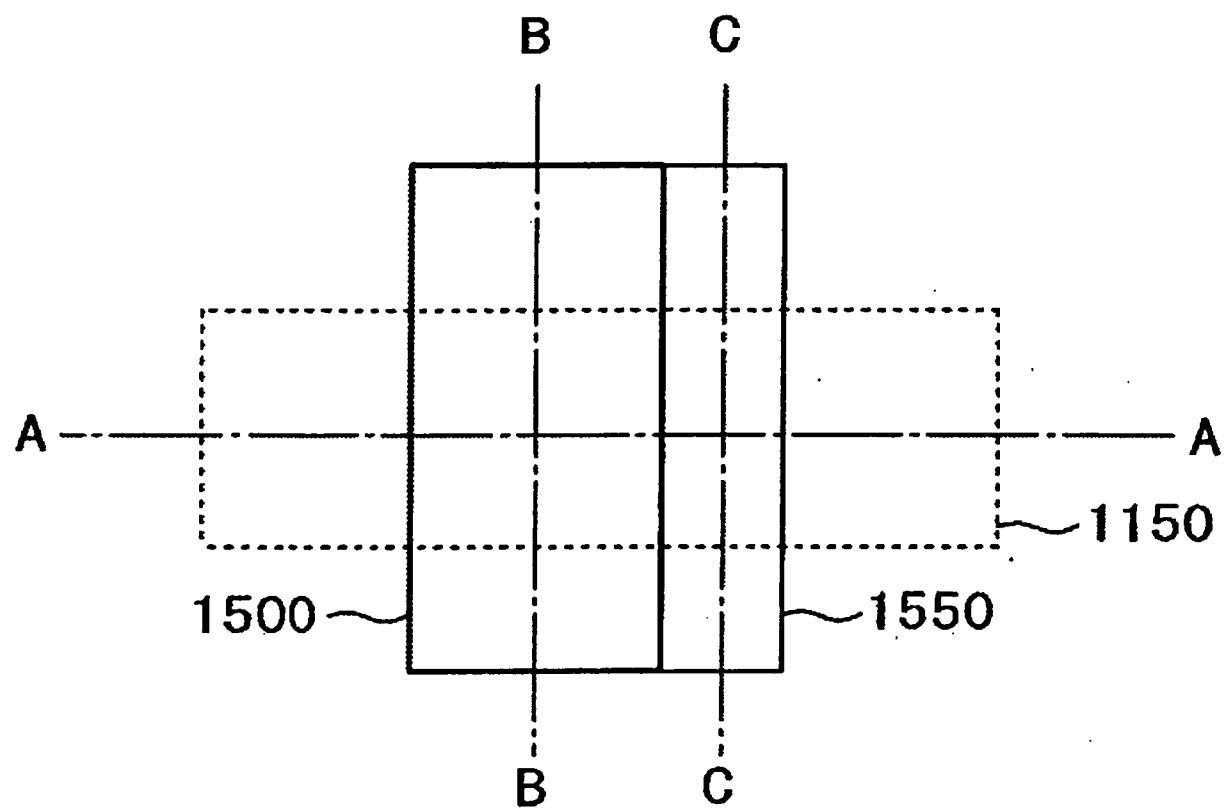


圖 1A

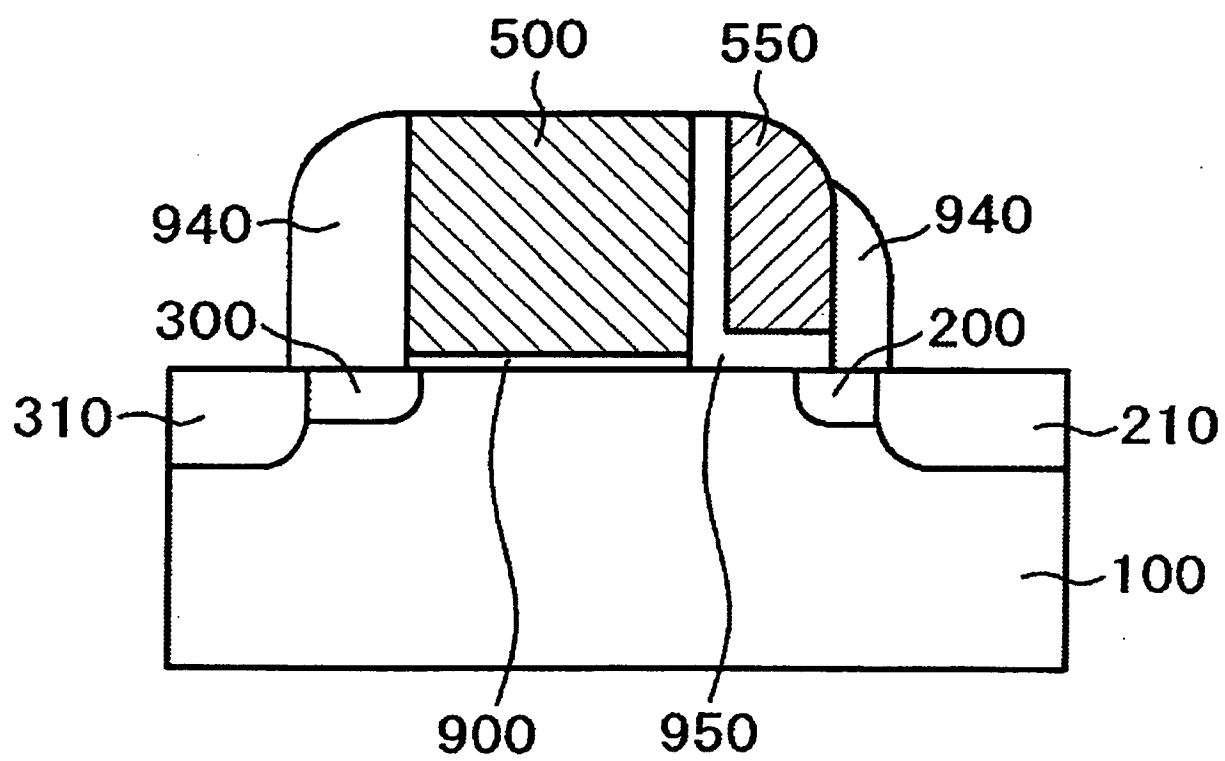


圖 1B

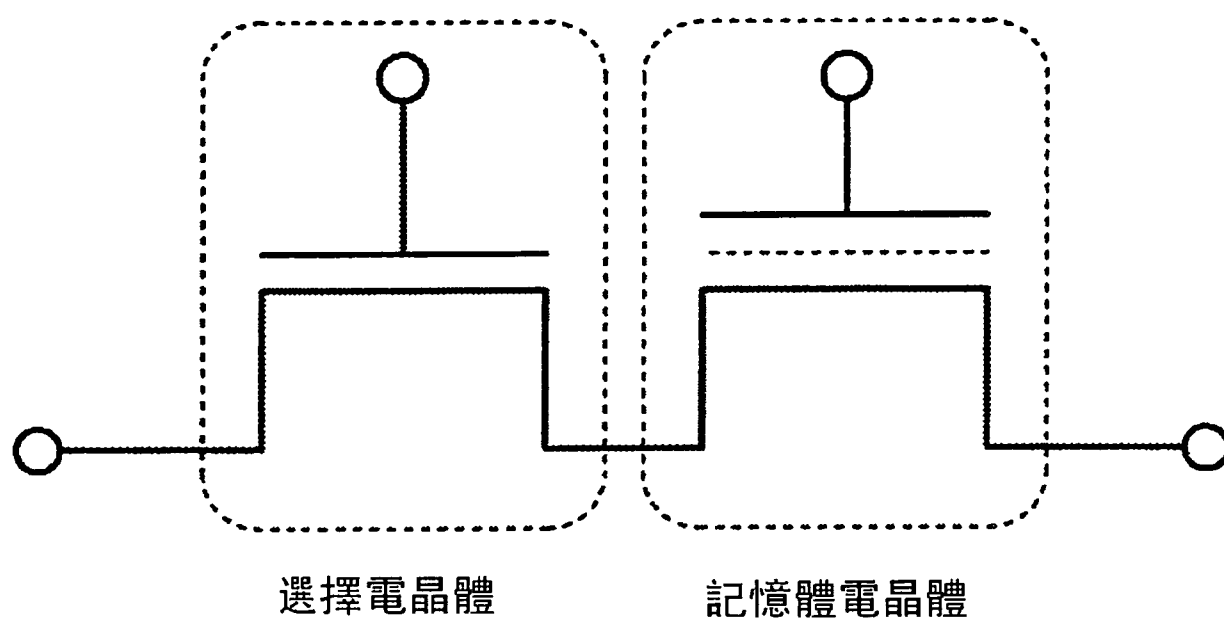


圖 10

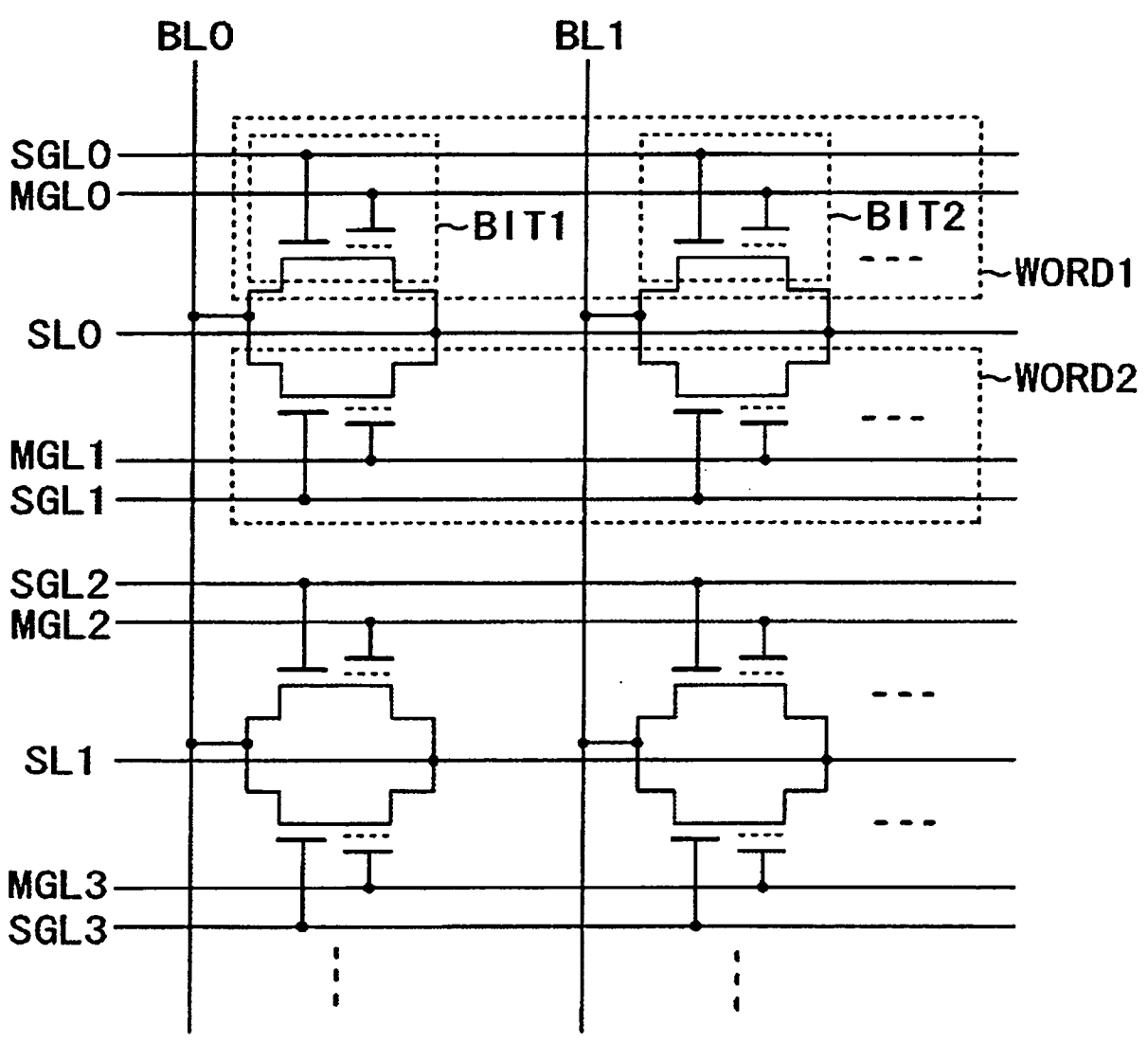


圖 2



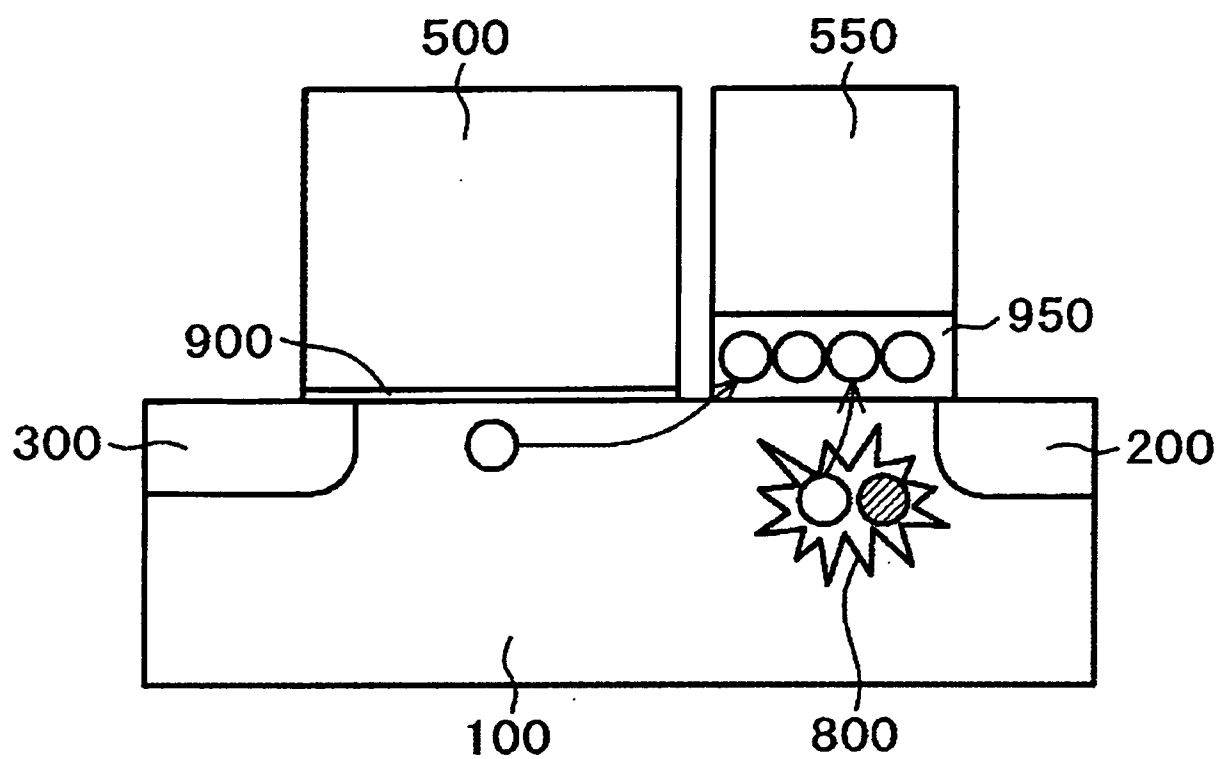


圖 3

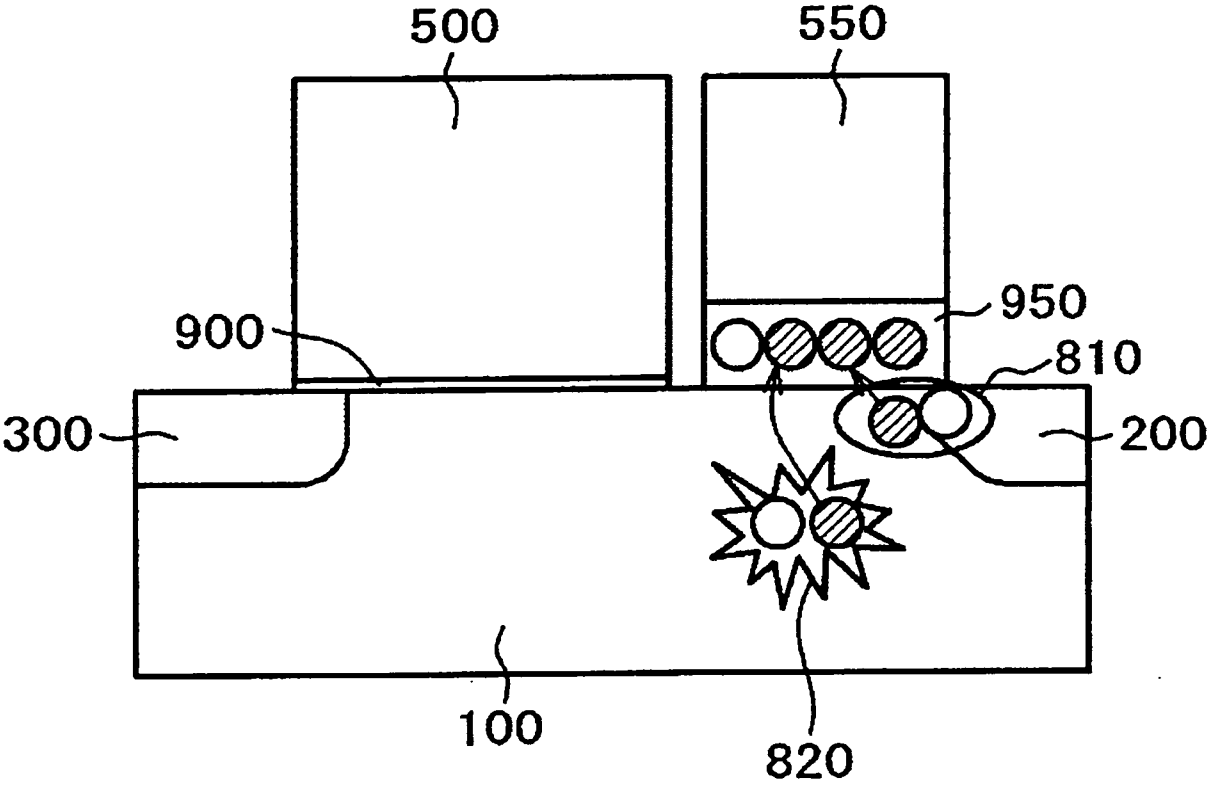


圖 4

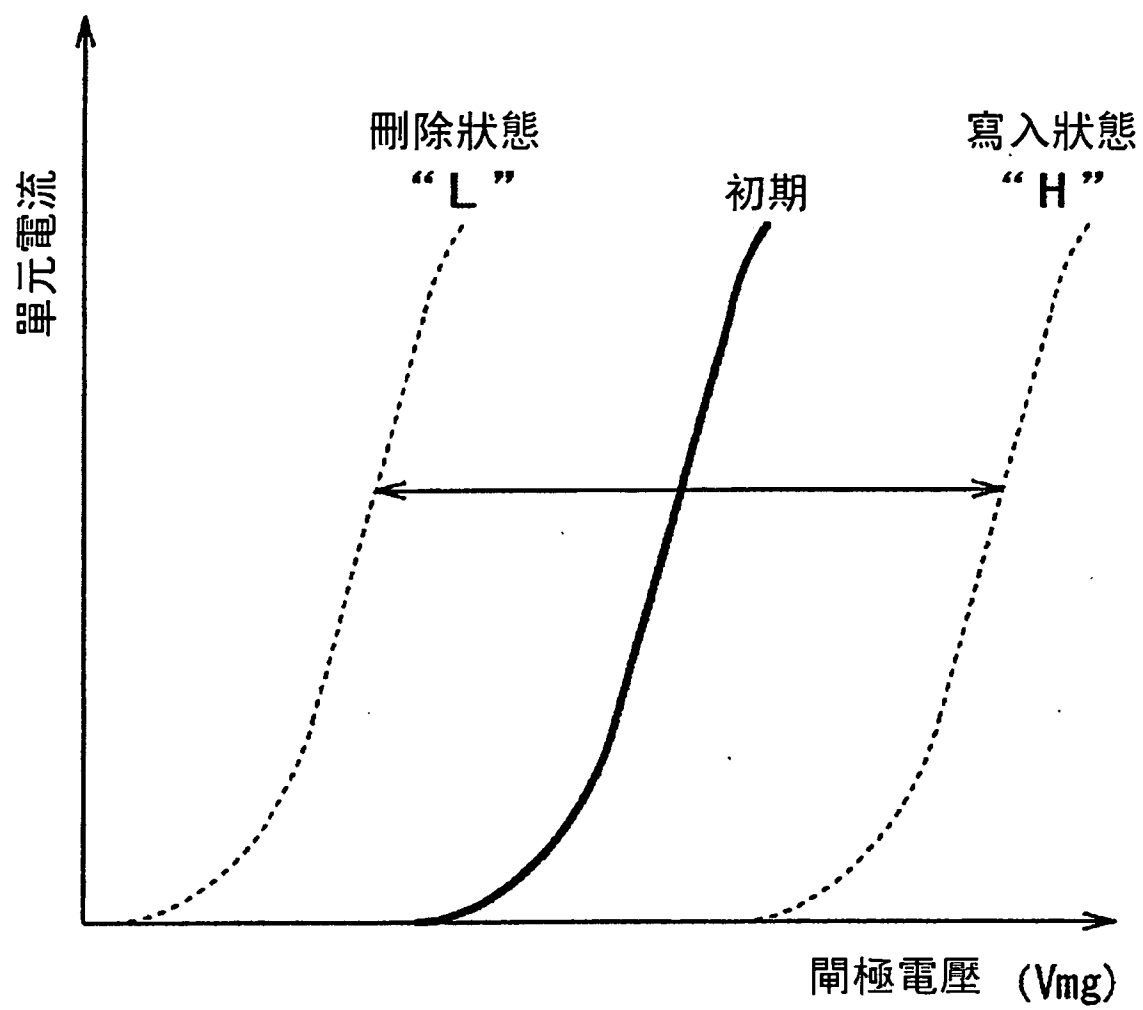


圖 5

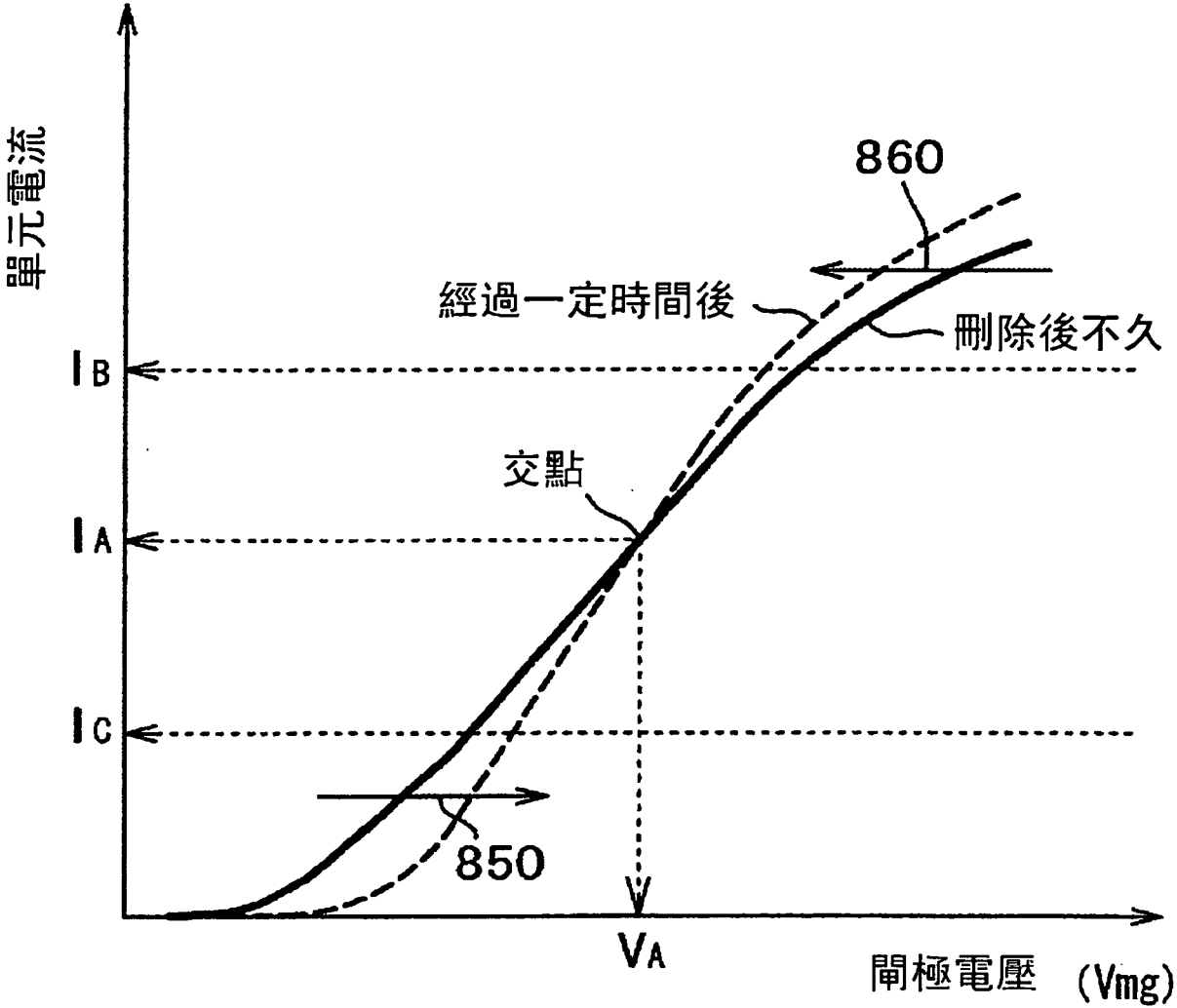


圖 6

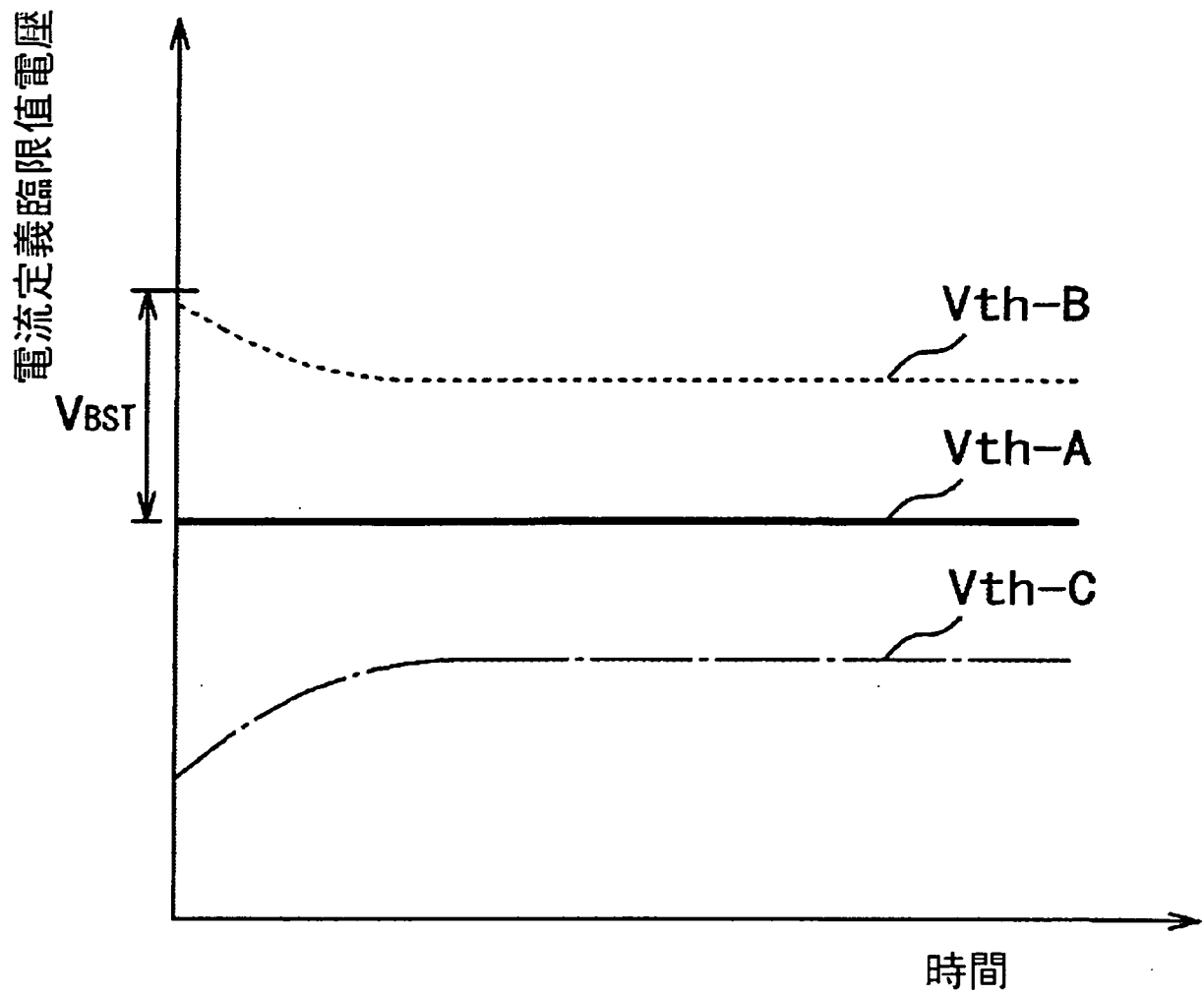


圖 7



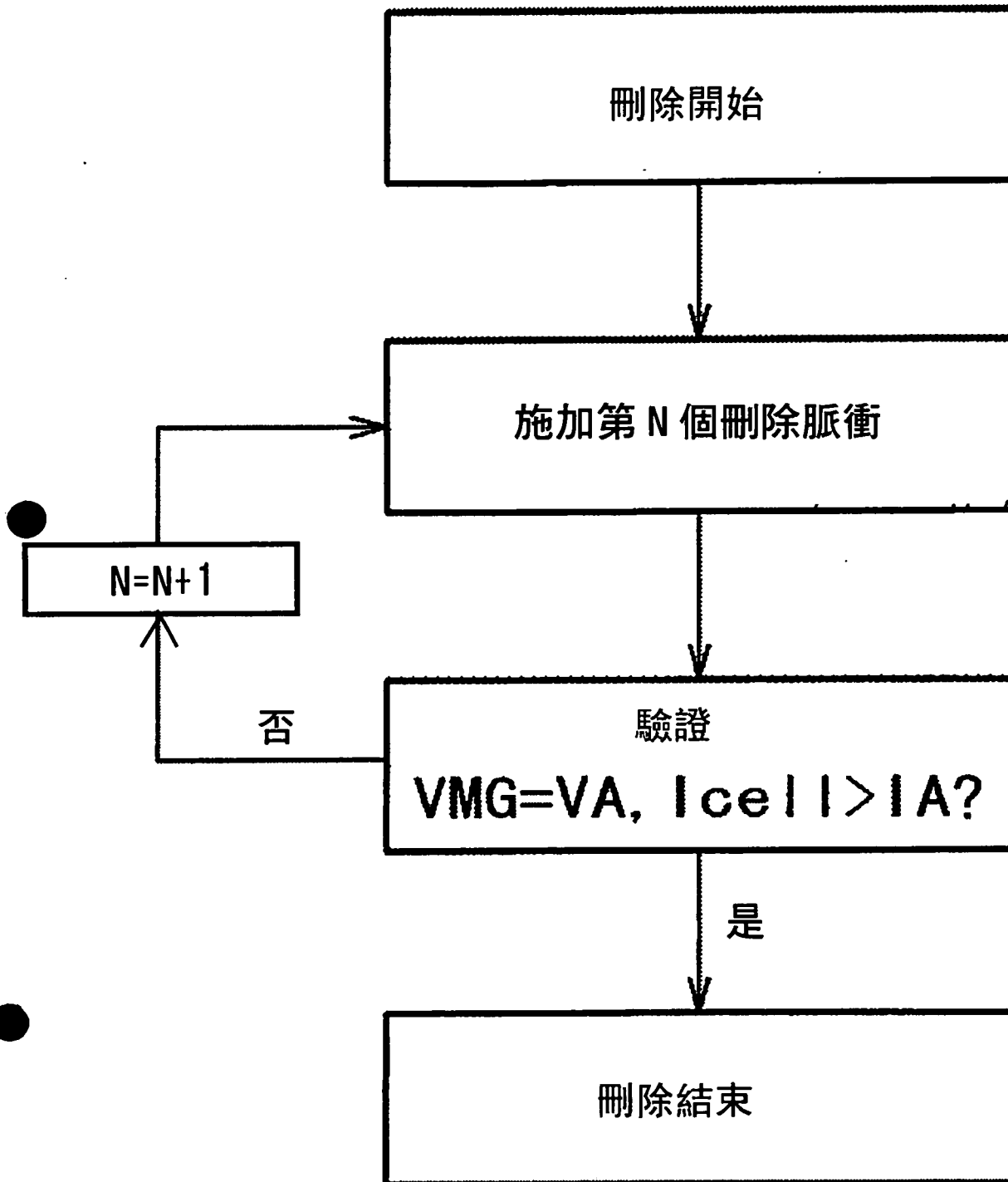


圖 8

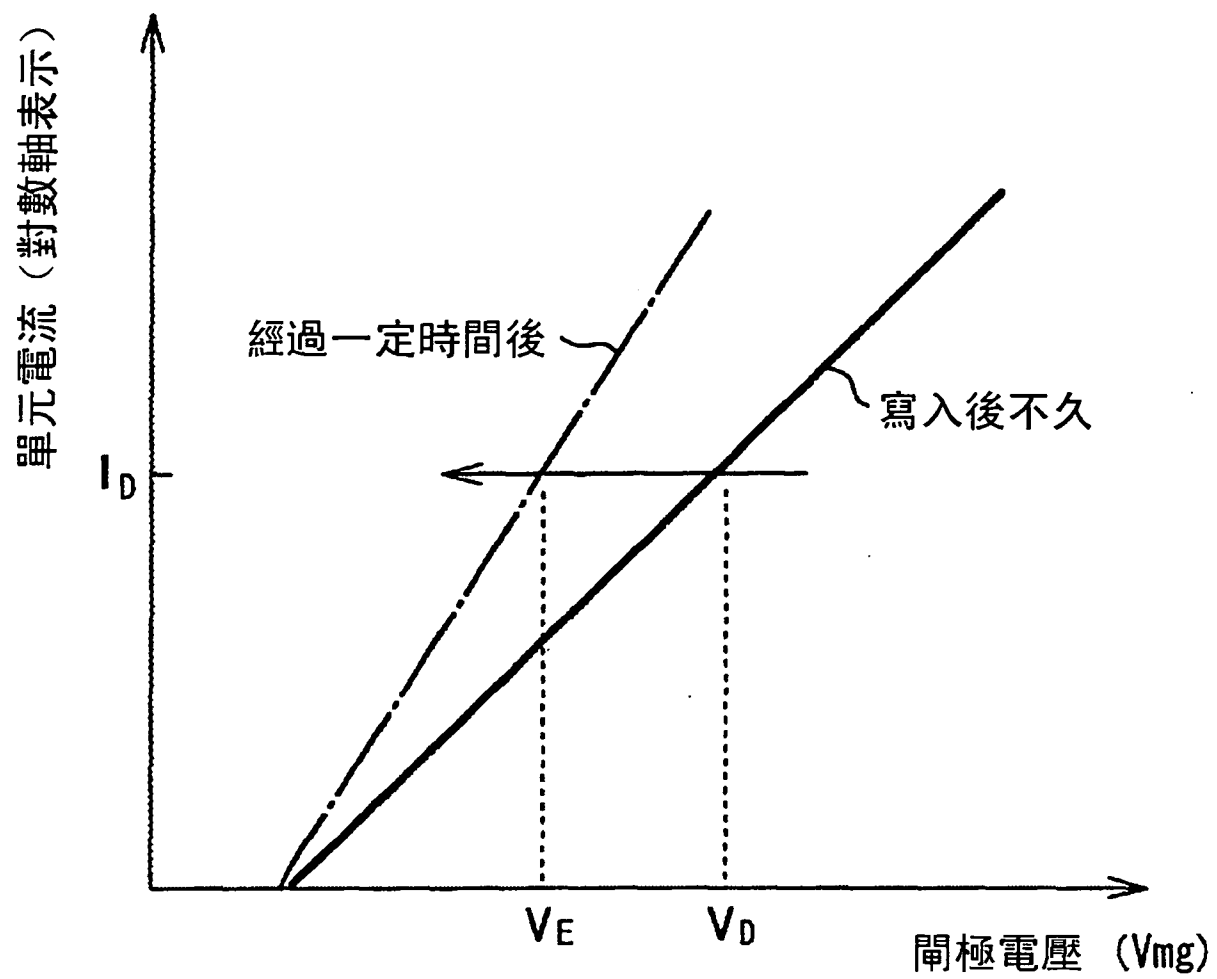


圖 9

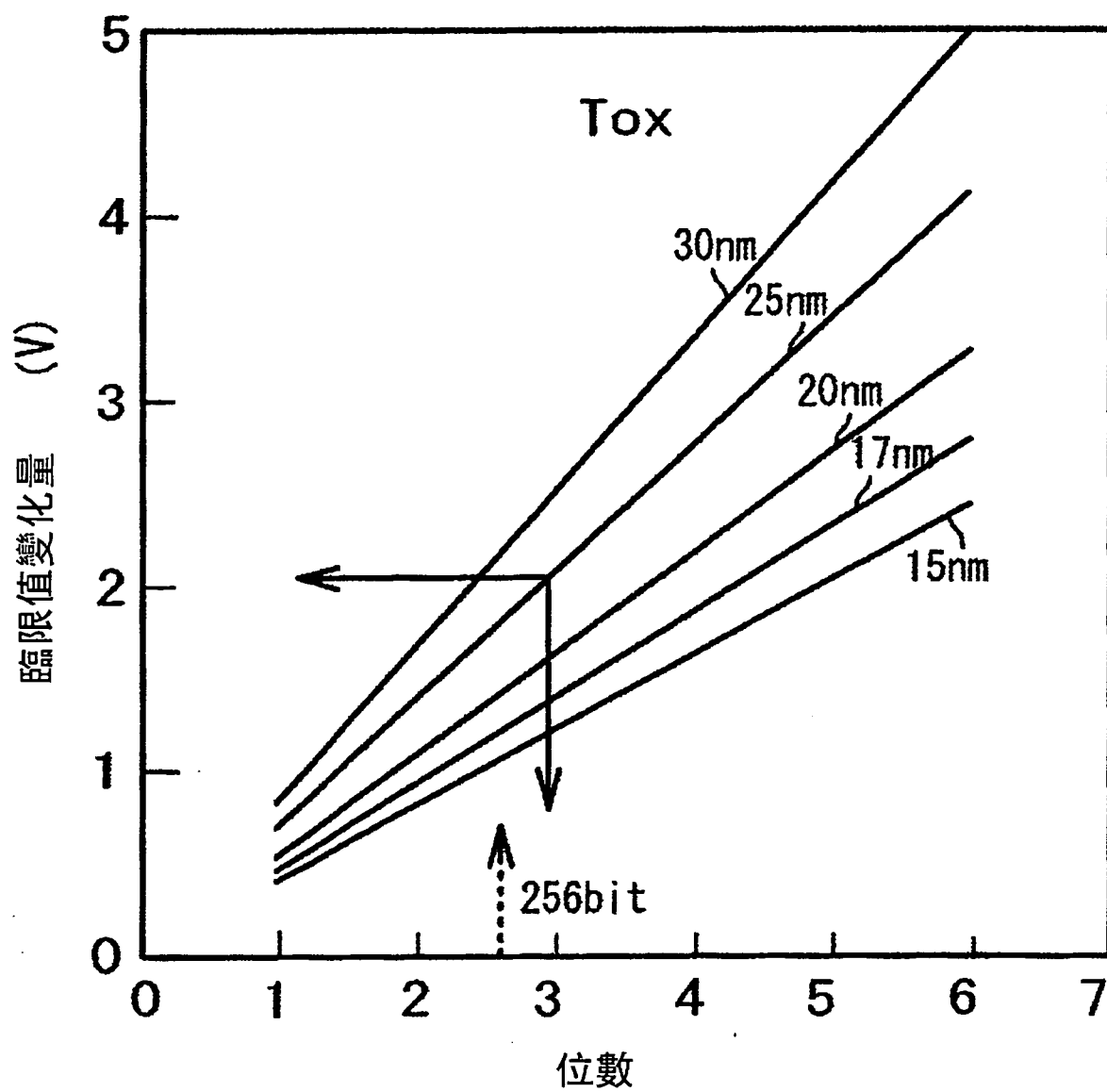


圖 10

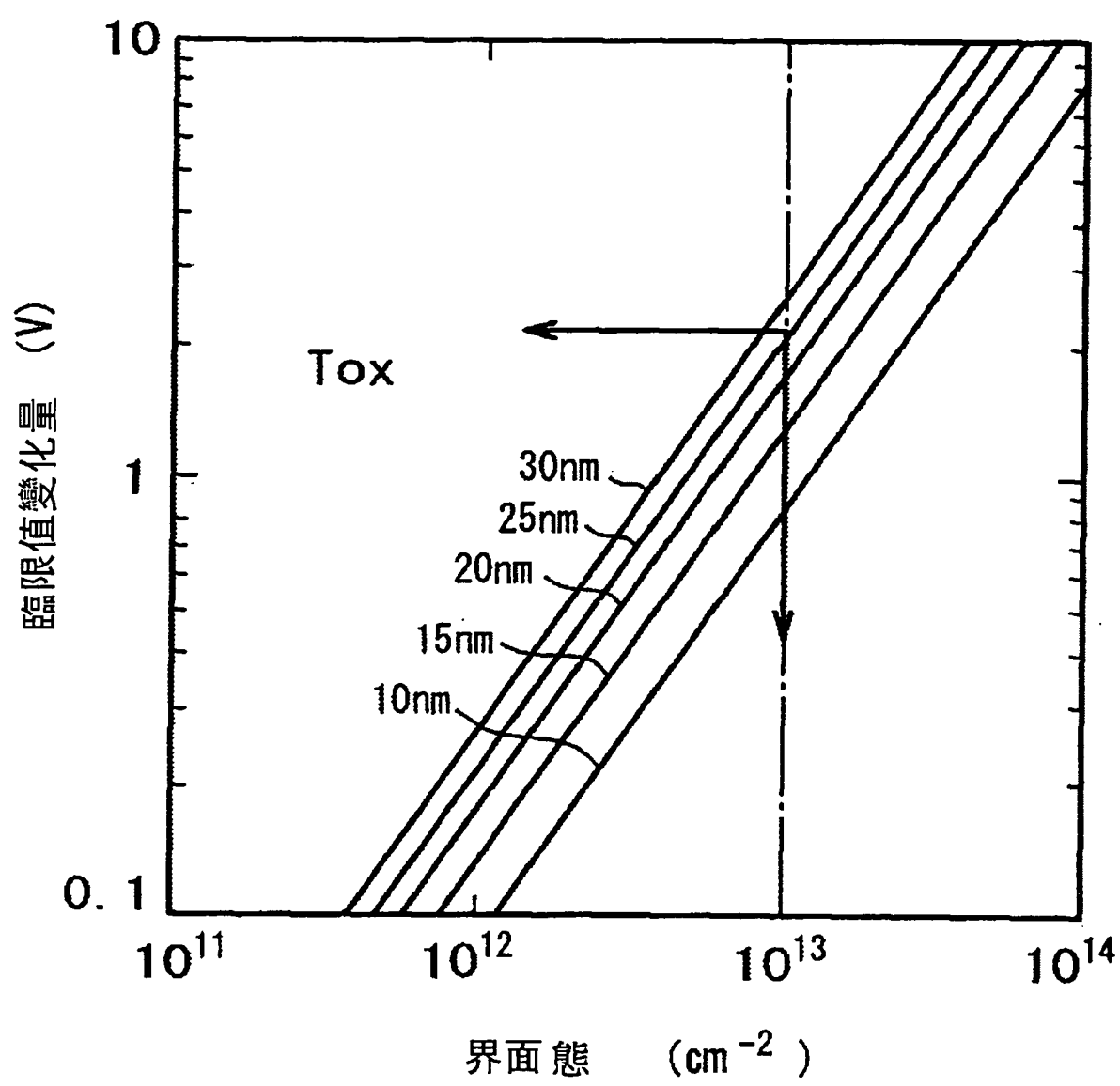


圖 11

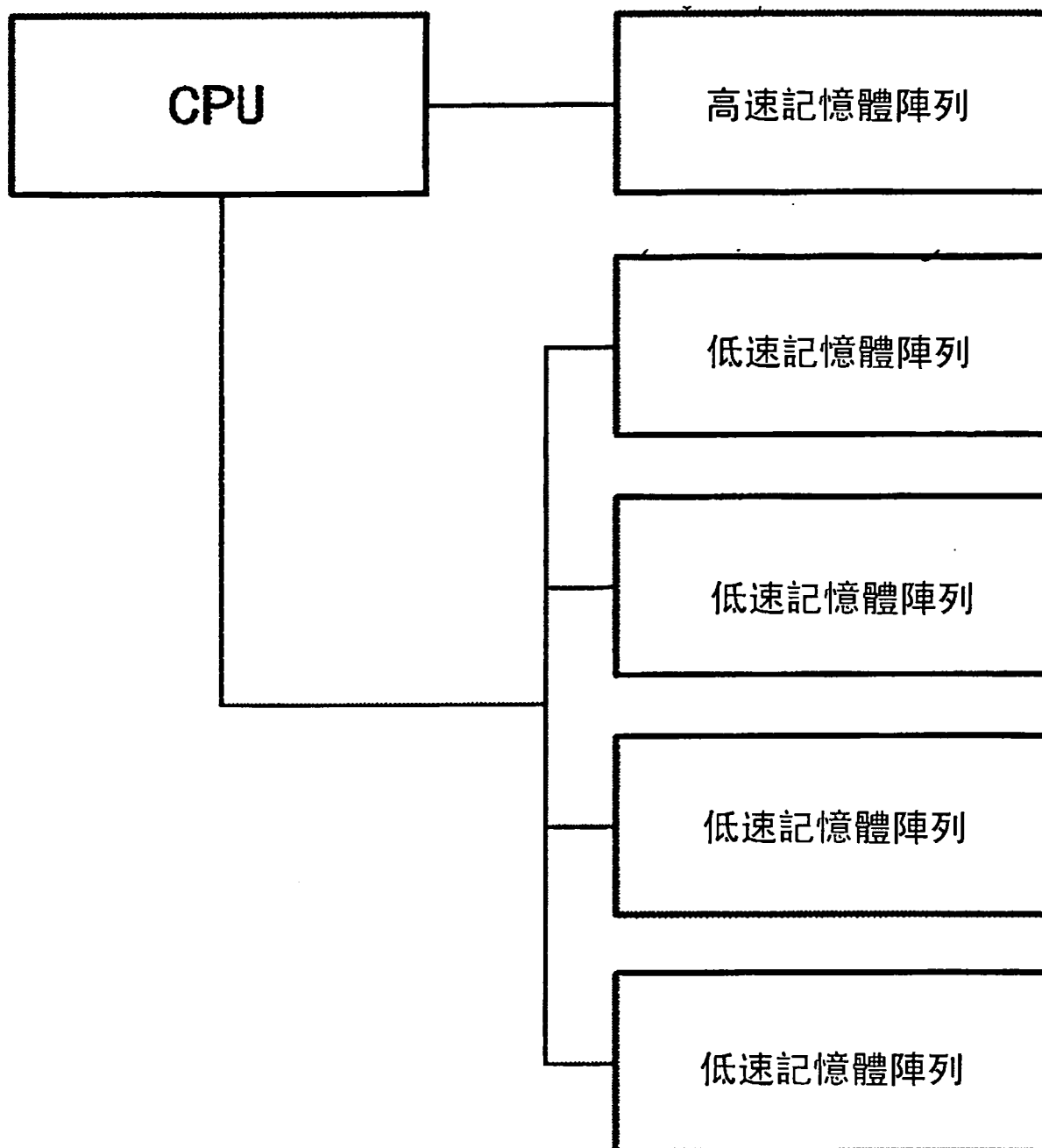


圖 12

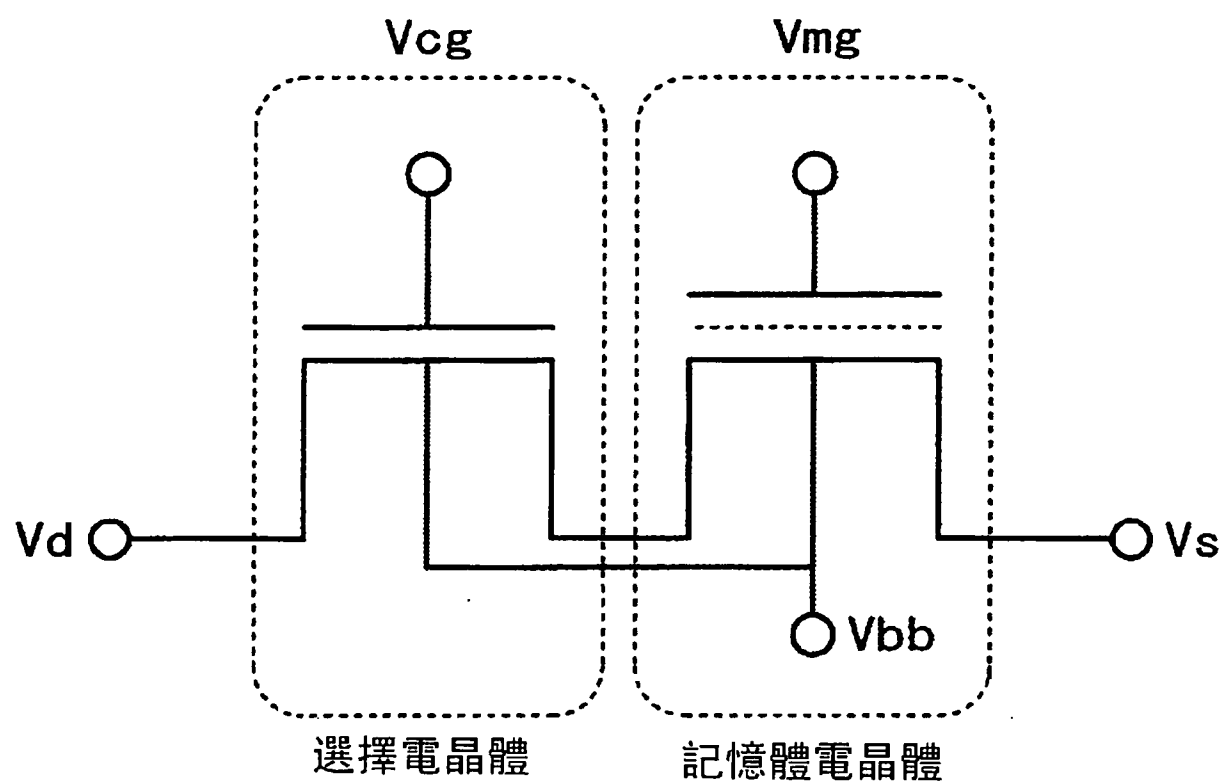


圖 13

	Vmg	Vd	Vs	Vcg	Vbb
步驟 1	6	0	5	0.5	0
步驟 2	11	0	5	0.5	0

(單位 V)

圖 14

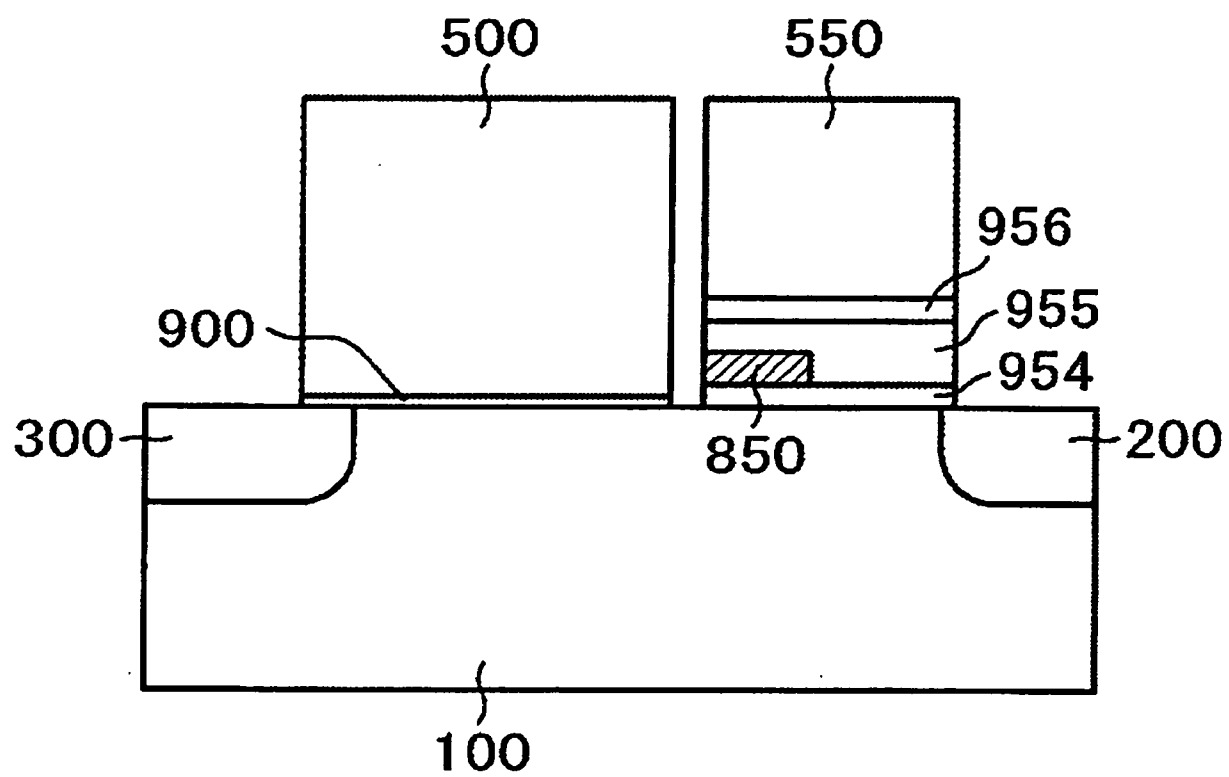


圖 15

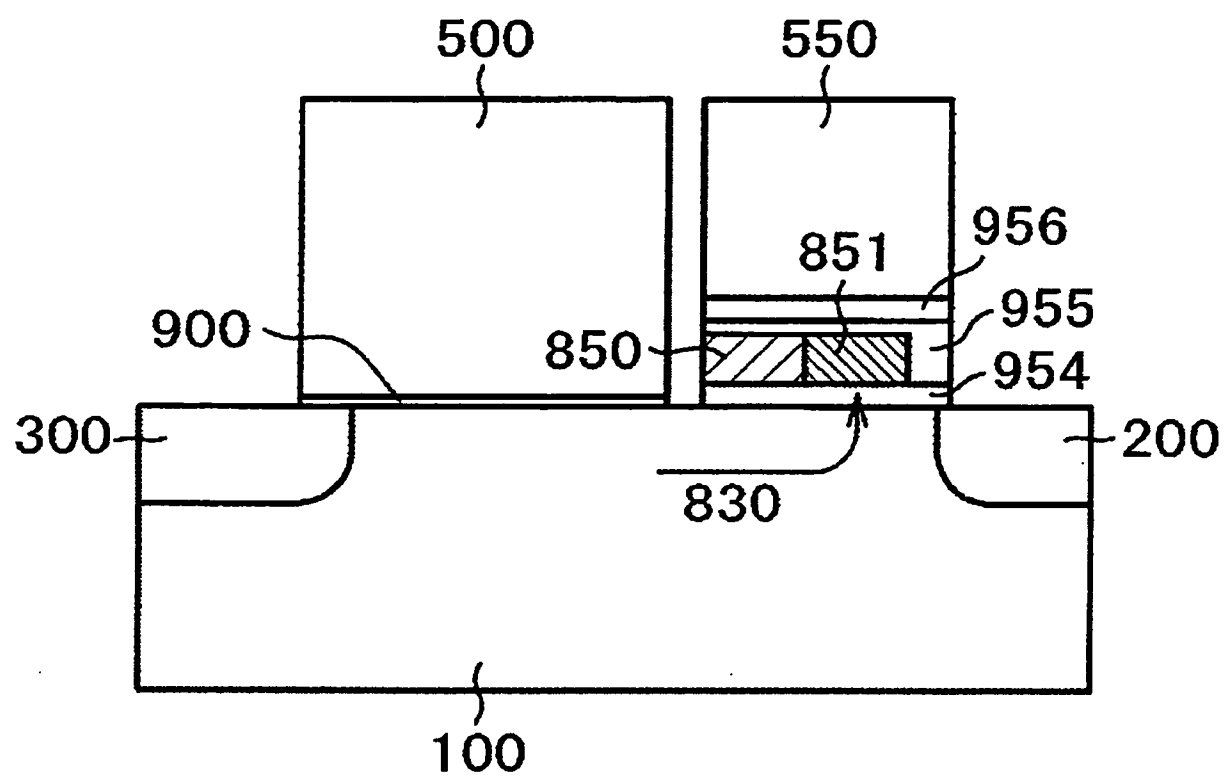


圖 16

	Vmg	Vd	Vs	Vcg	Vbb
步驟 1	5	0	5	0.5	0
步驟 2	7	0	5	0.5	0
步驟 3	9	0	5	0.5	0
步驟 4	11	0	5	0.5	0

(單位 V)

圖 17

	Vmg	Vd	Vs	Vcg	Vbb	脈衝寬度
步驟 1	6	0	5	0.5	0	1
步驟 2	11	0	5	0.5	0	5

(單位 V) (單位 μsec)

圖 18

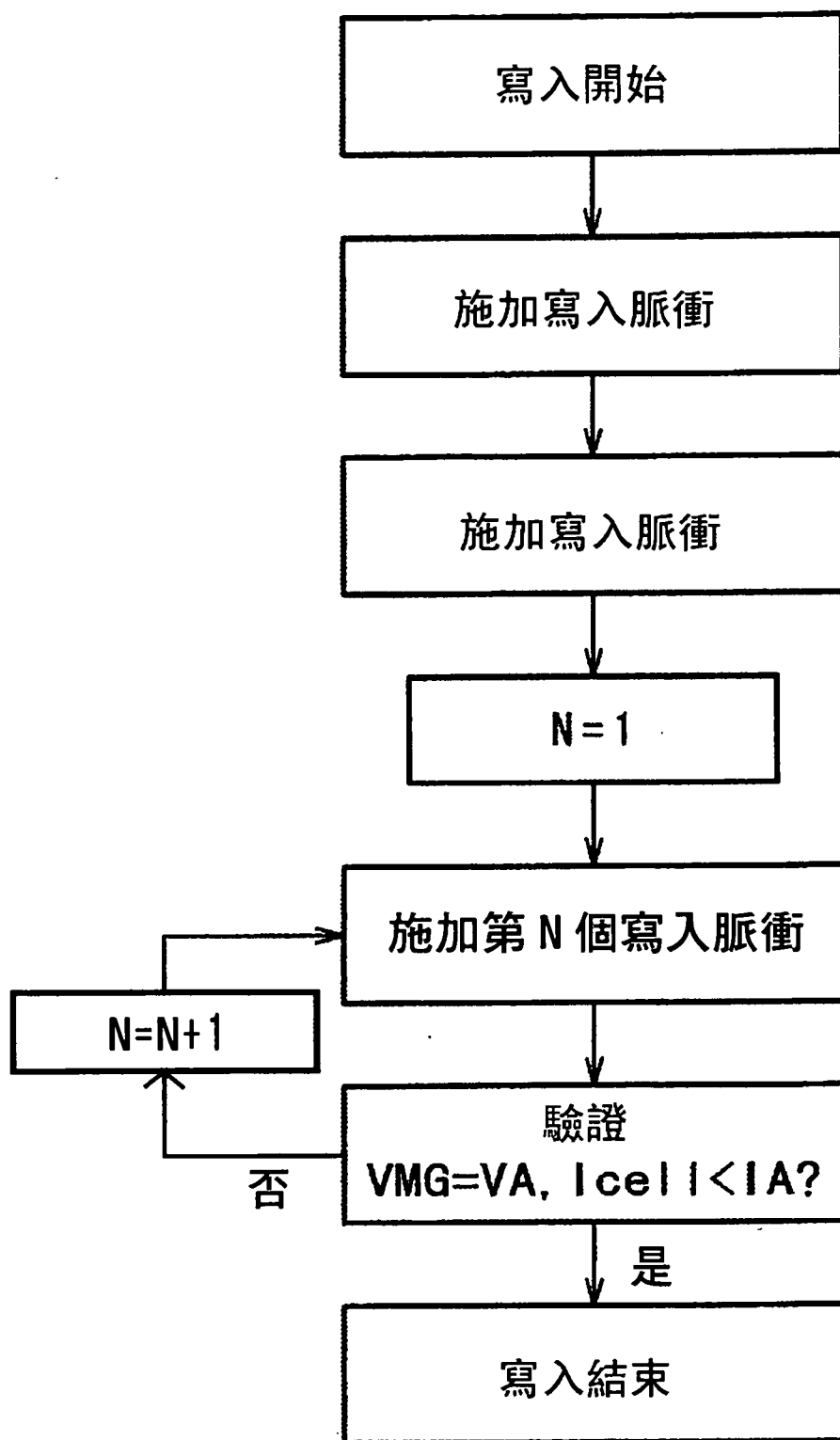


圖 19

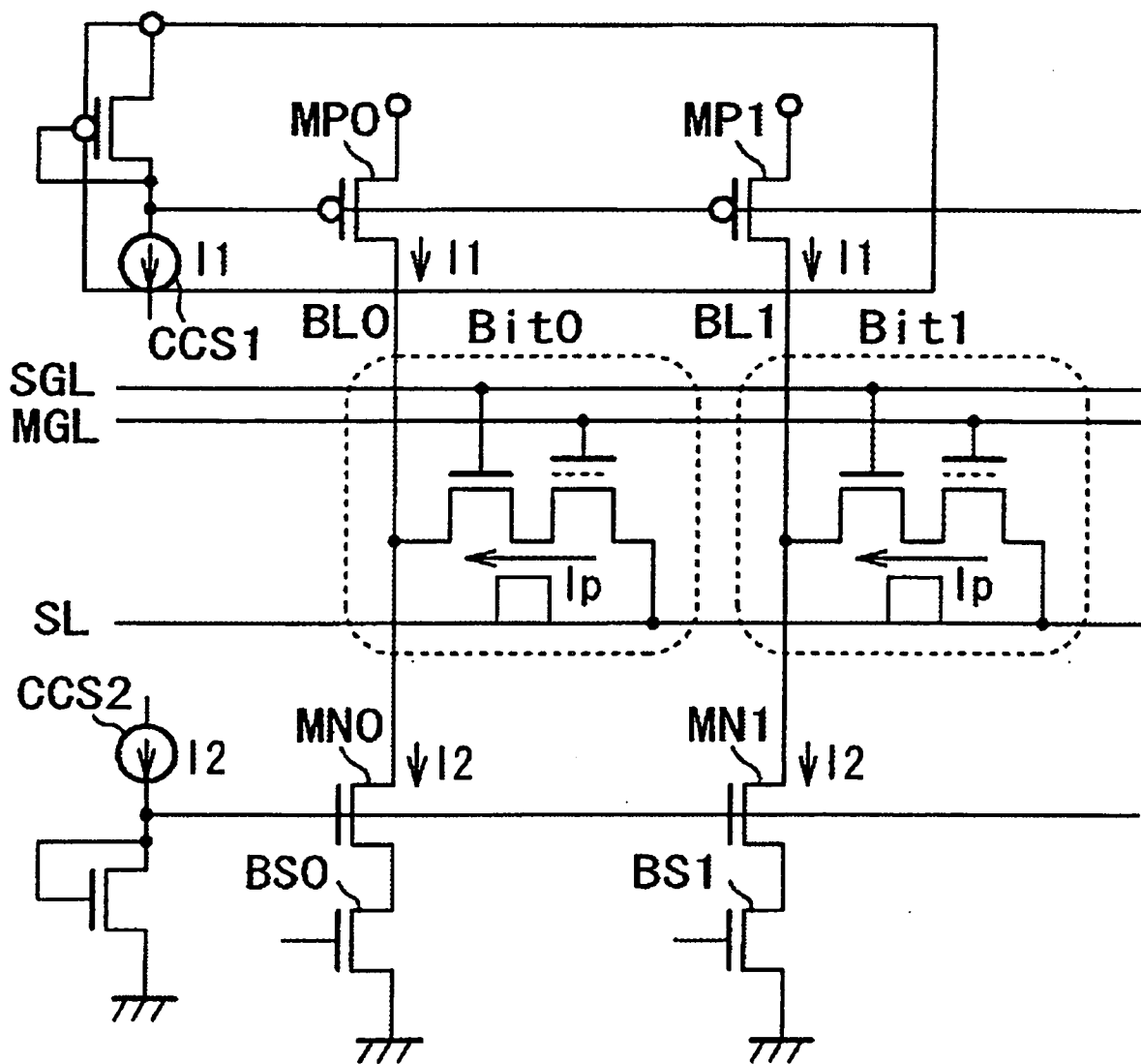


圖 20

		Vmg	Vd	Vs	Vcg	Vbb
步驟	1	6	@Ip	5	1.5	0
步驟	2	11	@Ip	5	1.5	0

(單位 V)

圖 21

		Vmg	Vd	Vs	Vcg	Vbb
步驟	1	5	@Ip	5	1	0
步驟	2	7	@Ip	5	1	0
步驟	3	9	@Ip	5	1	0
步驟	4	11	@Ip	5	1	0

(單位 V)

圖 22

		Vmg	Vd	Vs	Vcg	Vbb
步驟	1	5	@Ip	6	1	0
步驟	2	7	@Ip	5	1	0
步驟	3	9	@Ip	5	1	0
步驟	4	11	@Ip	5	1	0

(單位 V)

圖 23

		Vmg	Vd	Vs	Vcg	Vbb
步驟	1	-5	接通	5	0	0
步驟	2	-5	接通	6	0	0

(單位 V)

圖 24

		Vmg	Vd	Vs	Vcg	Vbb	脈衝寬度
步驟	1	-5	接通	5	0	0	10
步驟	2	-5	接通	6	0	0	100

(單位 V) (單位 μsec)

圖 25

	Vmg	Vd	Vs	Vcg	Vbb	脈衝寬度
步驟 1	-5	接通	5	0	0	10
步驟 2	-5	接通	5	0	0	100
步驟 3	-5	接通	5.5	0	0	100
步驟 4	-5	接通	6	0	0	100
步驟 5	-5	接通	6.5	0	0	100
步驟 6	-5	接通	7	0	0	100

(單位 V) (單位 μsec)

圖 26

	Vmg	Vd	Vs	Vcg	Vbb	脈衝寬度
步驟 1	-5	接通	5	0	0	10
步驟 2	-6	接通	5	0	0	100
步驟 3	-6	接通	5.5	0	0	100
步驟 4	-6	接通	6	0	0	100
步驟 5	-6	接通	6.5	0	0	100
步驟 6	-6	接通	7	0	0	100
	(單位 V)					(單位 μ sec)

圖 27

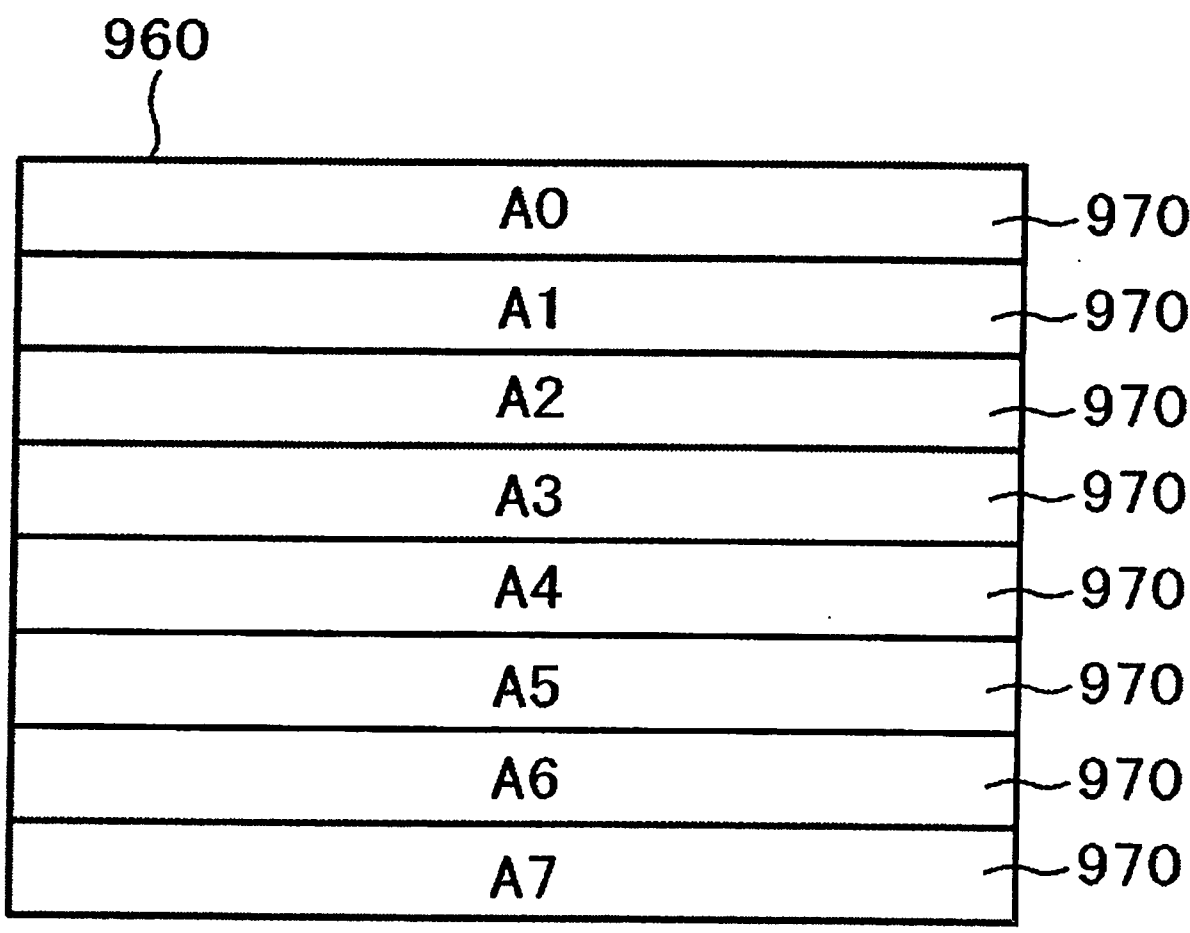


圖 28

	Vmg	Vd	Vs	Vcg	Vbb	脈衝寬度	選擇組塊
步驟 1	-5	接通	5	0	0	10	A0
步驟 2	-6	接通	5	0	0	100	A0
步驟 3	-6	接通	5.5	0	0	100	A0
步驟 4	-5	接通	5	0	0	10	A1
步驟 5	-6	接通	5	0	0	100	A1
步驟 6	-6	接通	5.5	0	0	100	A1
步驟 7	-5	接通	5	0	0	10	A2
步驟 8	-6	接通	5	0	0	100	A2
步驟 9	-6	接通	5.5	0	0	100	A2
步驟 10	-5	接通	5	0	0	10	A3
步驟 11	-6	接通	5	0	0	100	A3
步驟 12	-6	接通	5.5	0	0	100	A3
步驟 13	-5	接通	5	0	0	10	A4
步驟 14	-6	接通	5	0	0	100	A4
步驟 15	-6	接通	5.5	0	0	100	A4
步驟 16	-5	接通	5	0	0	10	A5
步驟 17	-6	接通	5	0	0	100	A5
步驟 18	-6	接通	5.5	0	0	100	A5
步驟 19	-5	接通	5	0	0	10	A6
步驟 20	-6	接通	5	0	0	100	A6
步驟 21	-6	接通	5.5	0	0	100	A6
步驟 22	-5	接通	5	0	0	10	A7
步驟 23	-6	接通	5	0	0	100	A7
步驟 24	-6	接通	5.5	0	0	100	A7
步驟 25	-6	接通	5.5	0	0	100	A0-A7

(單位 V)

(單位 μ sec)

圖 29

	Vmg	Vd	Vs	Vcg	Vbb	脈衝寬度	選擇組塊
步驟 1	-5	接通	5	0	0	10	A0
步驟 2	-5	接通	5	0	0	10	A1
步驟 3	-5	接通	5	0	0	10	A2
步驟 4	-5	接通	5	0	0	10	A3
步驟 5	-5	接通	5	0	0	10	A4
步驟 6	-5	接通	5	0	0	10	A5
步驟 7	-5	接通	5	0	0	10	A6
步驟 8	-5	接通	5	0	0	10	A7
步驟 9	-5	接通	5.5	0	0	100	A0
步驟 10	-5	接通	5.5	0	0	100	A1
步驟 11	-5	接通	5.5	0	0	100	A2
步驟 12	-5	接通	5.5	0	0	100	A3
步驟 13	-5	接通	5.5	0	0	100	A4
步驟 14	-5	接通	5.5	0	0	100	A5
步驟 15	-5	接通	5.5	0	0	100	A6
步驟 16	-5	接通	5.5	0	0	100	A7
步驟 17	-5	接通	6	0	0	100	A0
步驟 18	-5	接通	6	0	0	100	A1
步驟 19	-5	接通	6	0	0	100	A2
步驟 20	-5	接通	6	0	0	100	A3
步驟 21	-5	接通	6	0	0	100	A4
步驟 22	-5	接通	6	0	0	100	A5
步驟 23	-5	接通	6	0	0	100	A6
步驟 24	-5	接通	6	0	0	100	A7
步驟 25	-6	接通	5.5	0	0	100	A0-A7

(單位 V)

(單位 μ sec)

圖 30

	Vmg	Vd	Vs	Vcg	Vbb	脈衝寬度
步驟 1	-5	0	5	0	0	10
步驟 2	-6	0	5	0.5	0	100

(單位 V) (單位 μsec)

圖 31

	Vmg	Vd	Vs	Vcg	Vbb	脈衝寬度
步驟 1	-5	0	5	0	0	10
步驟 2	-6	@Ip	5	1	0	100

(單位 V) (單位 μsec)

圖 32

	Vmg	Vd	Vs	Vcg	Vbb	脈衝寬度
步驟 1	-2	@Ip	3	0.5	0	50
步驟 2	-6	接通	5	0	0	100

(單位 V) (單位 μ sec)

圖 33

	Vmg	Vd	Vs	Vcg	Vbb	脈衝寬度
步驟 1	3	@Ip	4	1	0	50
步驟 2	-2	@Ip	4	1	0	50
步驟 3	-6	接通	5	0	0	100

(單位 V) (單位 μ sec)

圖 34

	Vmg	Vd	Vs	Vcg	Vbb	脈衝寬度
步驟 1	-5	接通	5	0	0	10
步驟 2	-5	接通	5	0	0	100
步驟 3	-5	接通	5.5	0	0	100
步驟 4	-5	接通	6	0	0	100
步驟 5	12	接通	0	0	0	1000

(單位 V) (單位 μ sec)

圖 35

	Vmg	Vd	Vs	Vcg	Vbb	脈衝寬度	選擇組塊
步驟 1	-5	接通	5	0	0	10	A0
步驟 2	-5	接通	5	0	0	10	A1
步驟 3	-5	接通	5	0	0	10	A2
步驟 4	-5	接通	5	0	0	10	A3
步驟 5	-5	接通	5	0	0	10	A4
步驟 6	-5	接通	5	0	0	10	A5
步驟 7	-5	接通	5	0	0	10	A6
步驟 8	-5	接通	5	0	0	10	A7
步驟 9	-5	接通	5.5	0	0	100	A0
步驟 10	-5	接通	5.5	0	0	100	A1
步驟 11	-5	接通	5.5	0	0	100	A2
步驟 12	-5	接通	5.5	0	0	100	A3
步驟 13	-5	接通	5.5	0	0	100	A4
步驟 14	-5	接通	5.5	0	0	100	A5
步驟 15	-5	接通	5.5	0	0	100	A6
步驟 16	-5	接通	5.5	0	0	100	A7
步驟 17	-5	接通	6	0	0	100	A0
步驟 18	-5	接通	6	0	0	100	A1
步驟 19	-5	接通	6	0	0	100	A2
步驟 20	-5	接通	6	0	0	100	A3
步驟 21	-5	接通	6	0	0	100	A4
步驟 22	-5	接通	6	0	0	100	A5
步驟 23	-5	接通	6	0	0	100	A6
步驟 24	-5	接通	6	0	0	100	A7
步驟 25	14	接通	0	0	0	500	A0-A7

(單位 V)

(單位 μ sec)

圖 36

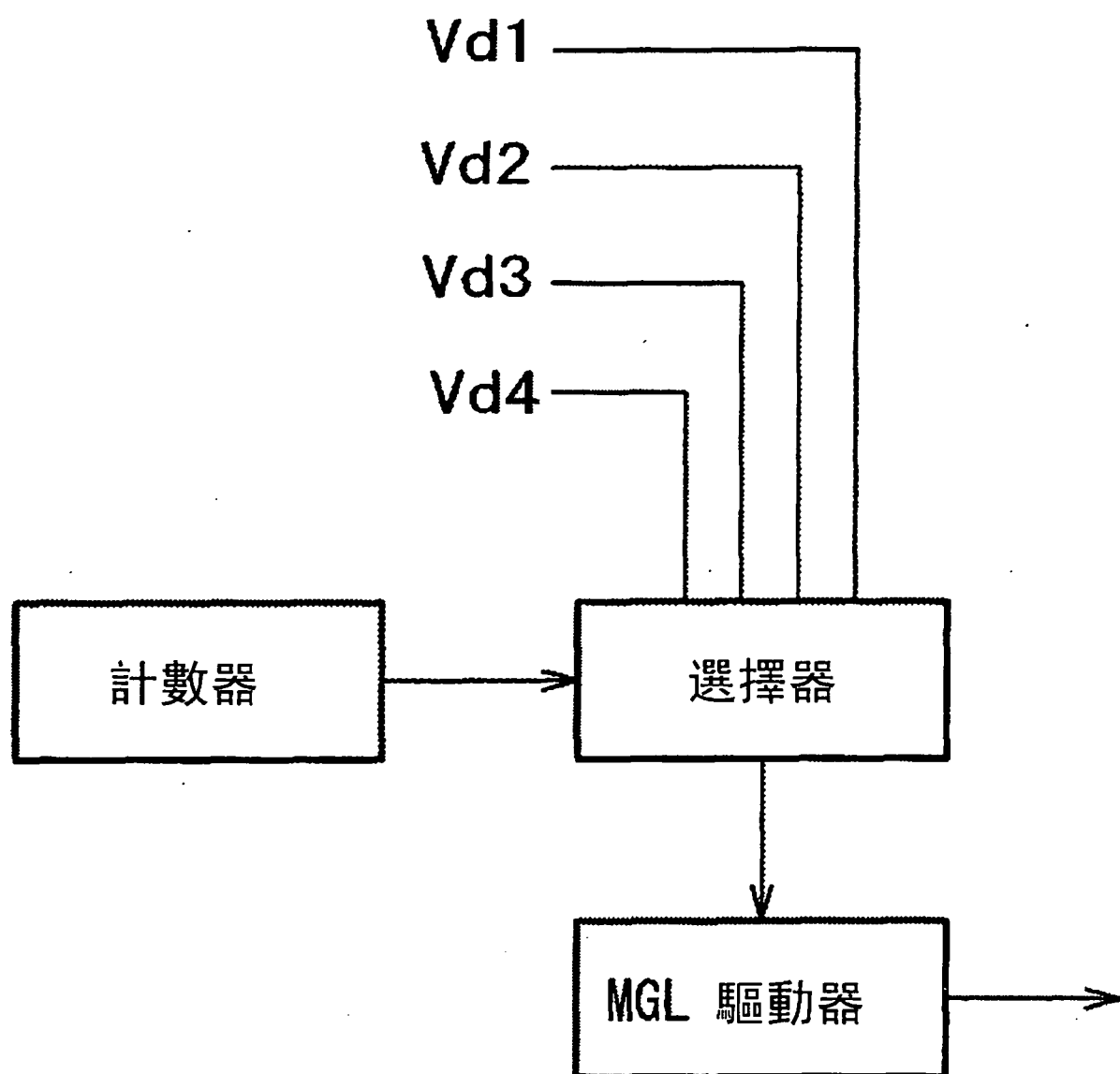


圖 37

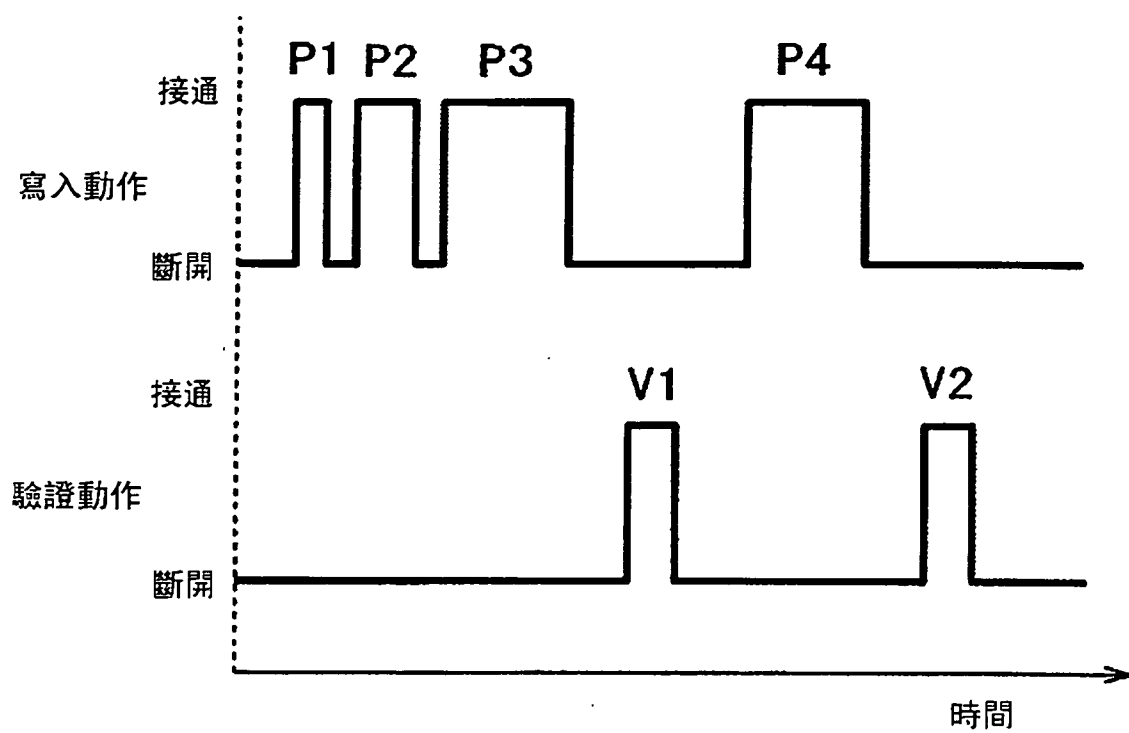


圖 38

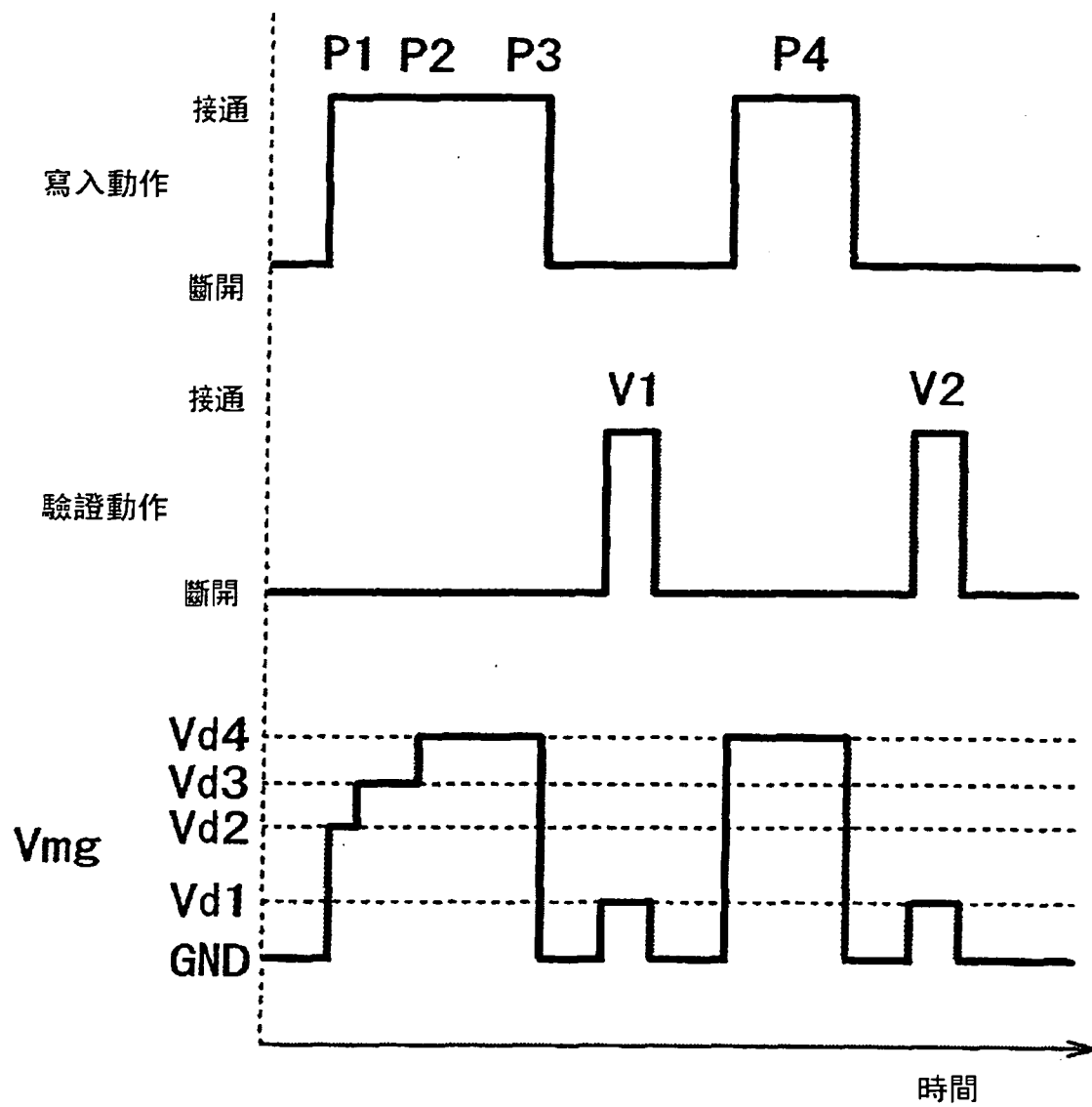


圖 39

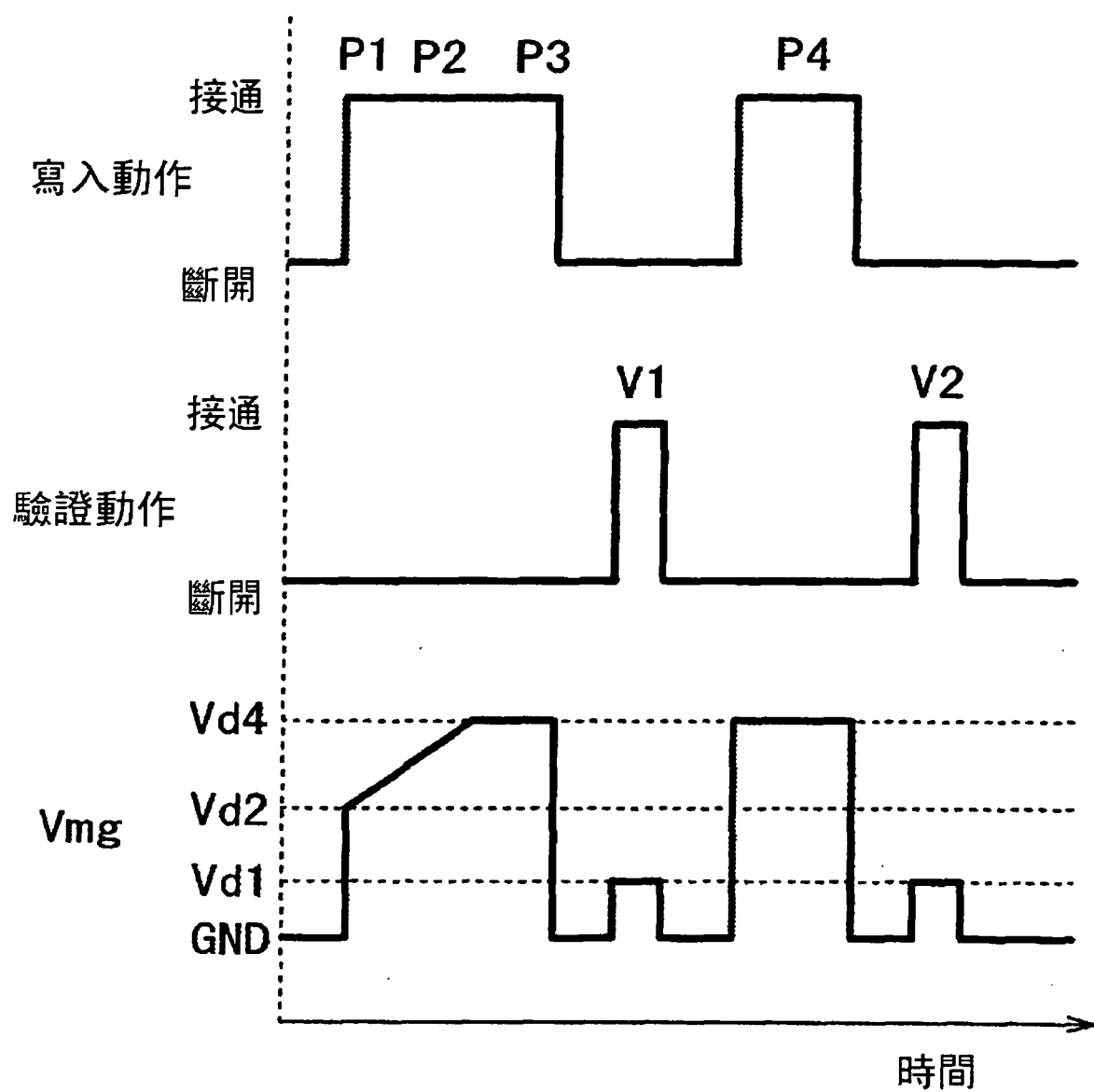


圖 40