

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第5199072号
(P5199072)

(45) 発行日 平成25年5月15日 (2013.5.15)

(24) 登録日 平成25年2月15日 (2013.2.15)

(51) Int. Cl.

F I

H O 1 L 29/12 (2006.01)

H O 1 L 29/78 6 5 2 T

H O 1 L 29/78 (2006.01)

H O 1 L 29/80 C

H O 1 L 21/337 (2006.01)

H O 1 L 29/80 V

H O 1 L 27/098 (2006.01)

H O 1 L 29/78 6 5 8 E

H O 1 L 29/808 (2006.01)

H O 1 L 29/78 6 5 8 A

請求項の数 15 (全 17 頁) 最終頁に続く

(21) 出願番号 特願2008-513462 (P2008-513462)
 (86) (22) 出願日 平成18年3月16日 (2006.3.16)
 (65) 公表番号 特表2008-543048 (P2008-543048A)
 (43) 公表日 平成20年11月27日 (2008.11.27)
 (86) 国際出願番号 PCT/US2006/009493
 (87) 国際公開番号 W02006/127093
 (87) 国際公開日 平成18年11月30日 (2006.11.30)
 審査請求日 平成20年5月16日 (2008.5.16)
 (31) 優先権主張番号 11/136,057
 (32) 優先日 平成17年5月24日 (2005.5.24)
 (33) 優先権主張国 米国 (US)

(73) 特許権者 592054856
 クリー インコーポレイテッド
 C R E E I N C .
 アメリカ合衆国 ノースカロライナ州 2
 7 7 0 3 ダラム シリコン ドライブ
 4 6 0 0
 (74) 代理人 110000855
 特許業務法人浅村特許事務所
 (74) 代理人 100066692
 弁理士 浅村 皓
 (74) 代理人 100072040
 弁理士 浅村 肇
 (74) 代理人 100159525
 弁理士 大日方 和幸

最終頁に続く

(54) 【発明の名称】 チャンネル領域の平滑な表面を有するシリコンカーバイドデバイスを作製する方法

(57) 【特許請求の範囲】

【請求項 1】

シリコンカーバイドパワーデバイスを形成する方法であって、
 シリコンカーバイド基板上に n^- シリコンカーバイド層を形成するステップ、
 前記 n^- シリコンカーバイド層上に p 型シリコンカーバイドウェル領域を形成するために、前記 n^- シリコンカーバイド層内に p 型ドーパントを注入するステップ、または、前記 n^- シリコンカーバイド層上に p 型エピタキシャル層を形成するステップ、
 前記 p 型シリコンカーバイドウェル領域内に p^+ シリコンカーバイドの埋込み領域を形成するために、前記 p 型シリコンカーバイドウェル領域内に p 型ドーパントを注入するステップ、
 n 型ドーパントを p^+ シリコンカーバイドの埋込み領域上の p 型シリコンカーバイドウェルにインプラントして、 p^+ シリコンカーバイドの埋込み領域上に、シリコンカーバイドの n^+ 領域を形成するステップであって、パワーデバイスのチャンネル領域は p^+ の埋込み領域とシリコンカーバイドの n^+ 領域に隣接し、
 前記チャンネル領域上に、再成長プロセスで n^- シリコンカーバイドエピタキシャル領域を形成するステップ、および、
 前記チャンネル領域から前記 n^- 領域の表面の一部を化学機械研磨 (CMP) プロセスで除去するステップであって、それにより、前記 n^- 領域の一部が、前記チャンネル領域上に残って、前記チャンネル領域の表面粗さを低減する、ことを特徴とする方法。

【請求項 2】

前記CMPプロセスは、前記チャンネル領域から前記 n^- 領域の、1000から5000を除く全てを除去することを特徴とする請求項1に記載の方法。

【請求項3】

前記除去するステップは、前記チャンネル領域の表面粗さの深さの2.0から3.0倍である前記 n^- 領域の一部分を除去するステップをさらに含むことを特徴とする請求項1に記載の方法。

【請求項4】

前記 n^- 領域の1500は、前記CMPプロセス後に前記チャンネル領域上に残ることを特徴とする請求項3に記載の方法。

【請求項5】

前記表面粗さの低減は、2.8から1.0までの2乗平均平方根(RMS)表面粗さの低減であることを特徴とする請求項1に記載の方法。

【請求項6】

前記除去するステップは

前記チャンネル領域上の前記 n^- 領域の残りの部分上に、100から1000の厚さを有する犠牲酸化物層を形成するステップ、および、

前記犠牲酸化物層を除去するステップを続いて伴い、前記RMS表面粗さは、前記犠牲酸化物層の形成および1.0から0.70までの前記犠牲酸化物層の除去によってさらに低減されることを特徴とする請求項5に記載の方法。

【請求項7】

前記 n^- 領域を形成するステップは、前記チャンネル領域上で n^- エピタキシャル層を所定の厚さに成長させることであって、それにより、前記 n^- エピタキシャル層の一部分が、前記 n^- エピタキシャル層のその部分の除去後に、前記チャンネル領域上に残るように n^- 領域を成長させるステップを含むことを特徴とする請求項1に記載の方法。

【請求項8】

前記 n^- エピタキシャル層の前記所定の厚さは、1500から6000であることを特徴とする請求項7に記載の方法。

【請求項9】

前記CMPプロセスを実施するステップは、前記 n^- 領域が、前記 n^+ 領域から除去されるように、前記 n^- 領域を選択的にエッチングするステップを続いて伴うことを特徴とする請求項1に記載の方法。

【請求項10】

前記注入されたドーパントを1600より高い温度にさらすことによって前記注入されたドーパントを活性化するステップをさらに含むことを特徴とする請求項1に記載の方法。

【請求項11】

前記チャンネル領域に隣接する前記p型シリコンカーバイドウェル領域内にシリコンカーバイドのn型領域を形成するステップをさらに含み、前記チャンネル領域が、前記p⁺シリコンカーバイドの埋込み領域と前記シリコンカーバイドのn型領域との間に画定され、前記シリコンカーバイドのn型領域が、前記シリコンカーバイドパワーデバイスの接合型電界効果トランジスタ(Junction Field Effect Transistor)(JFET)領域であることを特徴とする請求項1に記載の方法。

【請求項12】

前記チャンネル領域に隣接する前記p型シリコンカーバイドウェル領域内にシリコンカーバイドのn型領域を形成するステップをさらに含み、前記チャンネル領域が、前記p⁺シリコンカーバイドの埋込み領域と前記シリコンカーバイドのn型領域との間に画定され、前記 n^- 領域が、前記チャンネル領域上に残るだけであることを特徴とする請求項1に記載の方法。

【請求項13】

前記基板は、前記シリコンカーバイドパワーデバイスのドリフト領域の役をする n^- 基

10

20

30

40

50

板を含み、前記 n^- シリコンカーバイド層に対向する n^+ ドレイン領域を基板上に形成するステップをさらに含むことを特徴とする請求項1に記載の方法。

【請求項14】

前記 n^+ ドレイン領域を形成するステップは、前記 n^- 基板内に前記 n^+ ドレイン領域を注入するステップ、および、前記 n^- 基板上で前記 n^+ ドレイン領域を成長させるステップの少なくとも一方を含むことを特徴とする請求項13に記載の方法。

【請求項15】

前記シリコンカーバイドパワーデバイスは、金属酸化物半導体電界効果トランジスタ(Metal Oxide Semiconductor Field Effect Transistor)(MOSFET)を含むことを特徴とする請求項1に記載の方法。

10

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、パワーデバイスを作製する方法およびその結果得られるデバイスに関し、より詳細には、シリコンカーバイドパワーデバイスおよびシリコンカーバイドパワーデバイスの作製方法に関する。

【背景技術】

【0002】

パワーデバイスは、大電流を流し、かつ、高電圧を保持するために広く使用されている。最新のパワーデバイスは、一般に、単結晶シリコン半導体材料から作製される。広く使用されている1つのパワーデバイスは、パワー金属酸化物半導体電界効果トランジスタ(MOSFET)である。パワーMOSFETでは、制御信号が、ゲート電極に供給され、ゲート電極は、これに限定はしないが二酸化シリコンであってよい介在する絶縁体によって半導体表面から分離される。電流伝導は、バイポーラトランジスタ動作で使用される少数キャリア注入の存在無しで、多数キャリアの輸送によって起こる。パワーMOSFETは、優れた安全動作エリアを提供することができ、また、ユニットセル構造において並列化されることができる。

20

【0003】

当業者によく知られているように、パワーMOSFETは、横型構造または縦型構造を含んでもよい。横型構造では、ドレイン、ゲート、およびソース端子は、基板の同じ表面上にある。対照的に、縦型構造では、ソースおよびドレインは、基板の反対表面上にある。

30

【0004】

広く使用されている1つのシリコンパワーMOSFETは、2重拡散プロセスを使用して作製される2重拡散MOSFET(DMOSFET)である。これらのデバイスにおいて、 p ベース領域および n^+ ソース領域は、マスク内の共通開口を通して拡散される。 p ベース領域は、 n^+ ソース領域より深いところに追いやられる。 p ベース領域と n^+ ソース領域との横拡散の差が、表面チャネル領域を形成する。DMOSFETを含むパワーMOSFETの概要は、非特許文献1、特に、「Power MOSFET」という名称の第7章に見出すことができる。

40

【0005】

パワーデバイスにおける開発努力は、パワーデバイスのためのシリコンカーバイド(SiC)の使用の調査も含まれた。シリコンカーバイドは、シリコンに比較して、広いバンドギャップ、低い誘電率、高い絶縁破壊電界強度、高い熱伝導率、および高い飽和電子ドリフト速度を有する。これらの特性は、シリコンカーバイドパワーデバイスが、従来のシリコンベースパワーデバイスと比べて、高い温度で、高い電力レベルで、また、低い固有オン抵抗を持って動作することを可能にする場合がある。シリコンデバイスと比べたシリコンカーバイドデバイスの優位性の理論的解析は、非特許文献2に見出される。シリコンカーバイドで作製されたパワーMOSFETは、「Power MOSFET in Silicon Carbide」という名称で、本発明の譲受人に譲渡された、Palm

50

ourに対する特許文献1に記載されている。シリコンカーバイドパワーデバイスはまた、「Self-Aligned Methods of Fabricating Silicon Carbide Power Devices by Implantation and Lateral Diffusion」という名称の、Suvorov他に対する特許文献2、および、「Methods of Fabricating Silicon Carbide Power Devices by Controlled Annealing」という名称の、Suvorov他に対する特許文献3に記載され、両特許は、本発明の譲受人に譲渡される。

【0006】

【特許文献1】米国特許第5,506,421号明細書

10

【特許文献2】米国特許第6,107,142号明細書

【特許文献3】米国特許第6,100,169号明細書

【特許文献4】米国特許出願公開第2004/0211980号明細書

【特許文献5】米国特許出願公開第2004/0119076号明細書

【特許文献6】米国特許出願公開第2002/0038891号明細書

【特許文献7】米国特許出願第10/873,394号明細書

【特許文献8】米国特許第6,610,366号明細書

【特許文献9】米国特許第6,767,843号明細書

【特許文献10】米国特許出願公開第2002/0102358A1号明細書

【非特許文献1】PWS Publishing Company, 1996によって出版された、B.J. Baligaによる「Power Semiconductor Devices」という名称の教科書

20

【非特許文献2】Bhatnagar, et al., "Comparison of 6H-SiC, 3C-SiC and Si for Power Devices", IEEE Transactions on Electron Devices, Vol. 40, 1993, pp.645-655

【非特許文献3】Shenoy, et al., "High-Voltage Double-Implanted Power MOSFET's in 6H-SiC", IEEE Electron Device Letters, Vol. 18, No. 3, March 1997, pp.93-95

【非特許文献4】Chung, et al., "Improved Inversion Channel Mobility for 4H-SiC MOSFETs Following High Temperature Anneals in Nitric Oxide"

【発明の開示】

【発明が解決しようとする課題】

【0007】

30

これらの可能性のある利点にもかかわらず、パワーMOSFETを含むパワーデバイスをシリコンカーバイドで作製することは難しい場合がある。たとえば、上述したように、2重拡散MOSFET(DMOSFET)は、一般に、pベース領域がn⁺ソースより深いところに追いやられる2重拡散プロセスを使用して、シリコンで作製される。残念ながら、シリコンカーバイドでは、従来のp型およびn型ドーパントの拡散係数が、シリコンと比較して小さいため、許容可能な拡散時間と温度を使用して、pベース領域およびn⁺ソース領域の必要とされる深さを得ることが難しい場合がある。イオン注入はまた、pベース及びn⁺ソースを注入するのに使用されてもよい。たとえば、非特許文献3を参照されたい。しかし、イオン注入される領域の深さおよび横範囲(lateral extent)を制御することは難しい場合がある。さらに、ソース領域を囲む表面チャネルを形成する必要性は、2つの別個の注入マスクの使用を必要とする場合がある。そのため、pベース領域とソース領域を互いに位置合わせすることは難しい場合があり、それにより、デバイス性能に影響を及ぼす可能性がある。さらに、一連の注入工程および注入物活性化アニールを実施することは、MOSFETのチャネルにわたって段差が隆起した表面をもたらす場合があり、たとえば、オン抵抗の増加および信頼性の低下の点でデバイス性能を低下させる場合がある。

40

【0008】

本発明の一部の実施形態は、シリコンカーバイドパワーデバイスを形成する方法を提供する。

【課題を解決するための手段】

50

【0009】

n⁻シリコンカーバイド層が、シリコンカーバイド基板上に設けられる。p型シリコンカーバイドウェル領域が、n⁻シリコンカーバイド層上に設けられる。p⁺シリコンカーバイドの埋込み領域が、p型シリコンカーバイドウェル領域上に設けられる。シリコンカーバイドのn⁺領域が、p⁺シリコンカーバイドの埋込み領域上に設けられる。パワーデバイスのチャンネル領域が、p⁺シリコンカーバイドの埋込み領域とシリコンカーバイドのn⁺領域に隣接する。n⁻領域は、チャンネル領域上に設けられ、n⁻領域の一部分が、チャンネル領域から除去され、それにより、n⁻領域の一部分が、チャンネル領域上に残って、チャンネル領域の表面粗さの低減をもたらす。

【0010】

本発明のさらなる実施形態では、n⁻領域の一部分は、チャンネル領域からn⁻領域の一部分を除去する化学機械研磨(CMP)プロセスを使用して除去されてもよい。CMPプロセスは、n⁻領域の、約1000から約5000を除く全てを除去してもよい。チャンネル領域の表面粗さの深さの約2.0から約3.0倍であるn⁻領域の一部分が除去されてもよい。本発明のいくつかの実施形態では、n⁻領域の約1500は、CMPプロセス後にチャンネル領域上に残る。

【0011】

本発明のさらなる実施形態では、表面粗さの低減は、少なくとも約28から約1.0未満までの2乗平均平方根(RMS)表面粗さの低減であってよい。約100から約1000の厚さを有する犠牲酸化物層は、チャンネル領域上のn⁻領域の残りの部分上に形成され、また、除去されてもよい。RMS表面粗さは、さらに、犠牲酸化物層の形成および約1.0未満から約0.70までの犠牲酸化物層の除去によって低減される。

【0012】

本発明の一部の実施形態では、n⁻領域は、n⁻エピタキシャル層であってよく、n⁻エピタキシャル層は、チャンネル領域上で所定の厚さに成長し、それにより、n⁻エピタキシャル層の一部分が、n⁻エピタキシャル層のその部分の除去後に、チャンネル領域上に残る。本発明のいくつかの実施形態では、n⁻エピタキシャル層の所定の厚さは、約1500から約5000であってよい。CMPプロセスは、n⁻領域が、n⁺領域から除去されるように、n⁻領域を選択的にエッチングすることによって伴ってもよい。

【0013】

本発明のさらなる実施形態では、p型シリコンカーバイドウェル領域は、p型ドーパントをn⁻シリコンカーバイド層内に注入することによって形成されてもよい。p⁺シリコンカーバイドの埋込み領域は、p型ドーパントをp型シリコンカーバイドウェル領域内に注入することによって形成されてもよい。シリコンカーバイドのn⁺領域は、n型ドーパントをp⁺シリコンカーバイドの埋込み領域上のp型シリコンカーバイドウェル領域内に注入することによって形成されてもよい。注入されたドーパントは、約1600より高い温度にさらすことによって活性化されてもよい。

【0014】

本発明のさらなる実施形態では、p型シリコンカーバイドウェル領域は、n⁻シリコンカーバイド層上のp型エピタキシャル層であってよい。p⁺シリコンカーバイドの埋込み領域は、p型シリコンカーバイドドーパントをp型シリコンカーバイドウェル領域に注入することによって形成されてもよい。シリコンカーバイドのn⁺領域は、n型シリコンカーバイドドーパントを、p⁺シリコンカーバイドの埋込み領域上のp型シリコンカーバイドウェル領域内に注入することによって形成されてもよい。

【0015】

本発明の一部の実施形態では、シリコンカーバイドのn型領域は、チャンネル領域に隣接するp型シリコンカーバイドウェル領域内に形成されてもよい。チャンネル領域は、p⁺シリコンカーバイドの埋込み領域とシリコンカーバイドのn型領域との間に画定されてもよい。シリコンカーバイドのn型領域は、シリコンカーバイドパワーデバイスの接合型電界効果トランジスタ(JFET)領域であってよい。

10

20

30

40

50

【0016】

本発明のさらなる実施形態では、シリコンカーバイドのn型領域は、チャンネル領域に隣接するp型シリコンカーバイドウェル領域内に形成されてもよい。チャンネル領域は、p⁺シリコンカーバイドの埋込み領域とシリコンカーバイドのn型領域との間に画定されてもよい。n⁻領域は、チャンネル領域上に残るだけである。

【0017】

本発明のさらなる実施形態では、基板は、シリコンカーバイドパワーデバイスのドリフト領域の役をするn⁻基板であってよい。n⁺ドレイン領域は、n⁻シリコンカーバイド層に対向する基板上に設けられてもよい。n⁺ドレイン領域は、注入される領域またはエピタキシャル領域であってよい。本発明のいくつかの実施形態では、シリコンカーバイド

10

【0018】

本発明の一部の実施形態は、シリコンカーバイドパワーデバイスを形成する方法を提供する。シリコンカーバイドエピタキシャル領域は、パワーデバイスのチャンネル領域上で成長する。シリコンカーバイドエピタキシャル領域の一部分は、機械的に除去され、それにより、シリコンカーバイドエピタキシャル領域の残りの部分がチャンネル領域の表面粗さの低減をもたらす。

【0019】

本発明のさらなる実施形態では、表面粗さの低減は、少なくとも約28 から約1.0 未満までのRMS表面粗さの低減であってよい。本発明のいくつかの実施形態では、犠牲酸化物層は、シリコンカーバイドエピタキシャル領域上に形成されてもよく、また、犠牲酸化物層は、チャンネル領域の表面粗さのさらなる低減をもたらすために除去されてもよい。RMS表面粗さは、さらに、犠牲酸化物層の形成および約1.0 未満から約0.7 0 までの犠牲酸化物層の除去によって低減されてもよい。

20

【発明を実施するための最良の形態】

【0020】

本発明は、ここで、本発明の実施形態が示される添付図面を参照して以降でより完全に説明されるであろう。しかし、本発明は、多くの異なる形態で具現化されてもよく、本明細書に述べる実施形態を制限するものと解釈されるべきではない。むしろ、これらの実施形態は、本開示が、徹底的でかつ完全であり、かつ、本発明の範囲を当業者に完全に伝えるように提供される。図面では、層および領域のサイズおよび相対サイズは、明確にするために誇張されている場合がある。要素または層が、別の要素または層に対して「上にある(on)」、「接続される(connected to)」、または「結合される(coupled to)」と言うとき、要素または層は、他の要素または層に対して、直接上にある、接続される、または結合されることができ、あるいは、介在する要素または層が存在してもよいことが理解されるであろう。対照的に、要素が、別の要素もしくは層に対して、「直接上にある(directly on)」、「直接接続される(directly connected to)」、または「直接結合される(directly coupled to)」と言うとき、介在する要素または層は存在しない。同じ数字は、全体を通して同じ要素を指す。本明細書に使用されるように、「および/または(and/or)」という用語は、列挙する関連するアイテムの1つまたは複数の任意のまた全ての組合せを含む。

30

40

【0021】

第1、第2などの用語は、本明細書では、種々の要素、コンポーネント、領域、層、および/またはセクションを説明するのに使用されてもよいが、これらの要素、コンポーネント、領域、層、および/またはセクションは、これらの用語によって制限されるべきでないことが理解されるであろう。これらの用語は、1つの要素、コンポーネント、領域、層、またはセクションを別の要素、コンポーネント、領域、層、またはセクションと区別するのに使用されるだけである。そのため、以下で説明される第1の要素、コンポーネン

50

ト、領域、層、またはセクションは、本発明の教示から逸脱することなく、第2の要素、コンポーネント、領域、層、またはセクションと呼ばれることができる。

【0022】

さらに、「下方の(lower)」または「底部の(bottom)」および「上方の(upper)」または「頂部の(top)」などの相対用語は、本明細書では、図に示す、1つの要素の別の要素に対する関係を説明するのに使用されてもよい。相対用語は、図に示す配置(orientation)に加えて、デバイスの異なる配置を包含することが意図されることが理解されるであろう。たとえば、図のデバイスが反転する場合、他の要素の「下方の(lower)」面上にあると説明される要素は、他の要素の「上方の(upper)」面上に配置されることになる。したがって、「下方の(lower)」という例示的な用語は、図の特定の配置に応じて、「下方の(lower)」と「上方の(upper)」の配置を共に包含することができる。同様に、図の1つのデバイスが反転する場合、他の要素の「下部に(below)」または「下に(beneath)」として説明される要素は、他の要素の「上に(above)」なるように配置されることになる。「下部に(below)」または「下に(beneath)」という例示的な用語は、上と下の配置を共に包含することができる。

10

【0023】

本発明の実施形態は、本発明の理想化された実施形態の略図である断面図を参照して本明細書で述べられる。したがって、たとえば、製造技法および/または製造公差の結果としての図の形状からの変形が予想される。そのため、本発明の実施形態は、本明細書に示す領域の特定の形状に限定されるものとして考えられるべきではなく、たとえば、製造から生まれる形状の逸脱を含む。たとえば、長方形として示す被注入領域は、通常、注入領域から非注入領域への2値的变化ではなく、その縁部において丸いまたは湾曲した特徴部および/または注入物濃度勾配を有するであろう。同様に、注入によって形成される埋込み領域は、埋込み領域と、注入がそこを通して行われる表面との間の領域内に一部の注入をもたらす場合がある。そのため、図に示す領域は、本来概略的であり、その形状は、デバイスの領域の厳密な形状を示すことを意図せず、本発明の範囲を制限することを意図しない。

20

【0024】

本発明の実施形態は、種々の層/領域について、特定の極性の伝導タイプを参照して述べられる。しかし、当業者によって理解されるように、領域/層の極性は、反対極性のデバイスを提供するために反転されてもよい。

30

【0025】

本発明の一部の実施形態は、金属酸化物半導体電界効果トランジスタ(MOSFET)および/またはシリコンカーバイドのドーブ領域を含んでもよい他のパワーデバイスを提供する。当業者に知られているように、シリコンカーバイドのドーブ領域は、エピタキシャル成長によっておよび/または注入によって形成されてもよい。たとえば、シリコンカーバイドのp型領域は、p型ドーパントの存在下でのエピタキシャル成長によって、または、非ドーブのp型またはn型エピタキシャル層におけるp型ドーパントの注入によって形成されてもよい。エピタキシャル成長から生じる構造は、注入から生じる構造とは異なる。そのため、「エピタキシャル領域」および「注入領域」という用語は、シリコンカーバイドのさまざまな領域を構造的に区別し、また、シリコンカーバイドの領域の構造特性の説明として、および/または、シリコンカーバイドのこうした領域を形成する方法の説明として本明細書で使用する。

40

【0026】

本発明の実施形態については、MOSFETを参照して述べるが、本発明の実施形態は、本発明の範囲から逸脱することなく、横拡散型MOSFET(LDMOSFET)、絶縁ゲート型バイポーラトランジスタ(IGBT)、または他のこうしたMOSベースデバイスなどの他のデバイス、ならびに、ショットキーダイオードおよびPINダイオードなどの高電圧デバイスにおいて使用されてもよい。

50

【0027】

表面形態 (morphology) は、SiC パワー MOSFET などの商用シリコンカーバイド (SiC) パワーデバイスの開発における関心事である。一連の注入工程および注入物活性化アニールは、デバイスのチャンネルにわたって段差が隆起した表面をもたらす場合がある。デバイスの表面上に生成された段差は、数百オングストロームであり、デバイスのオン抵抗の増加および信頼性の低下をもたらす場合がある。本発明の一部の実施形態による方法は、全体のデバイス性能を改善するために、表面粗さが低減されたチャンネル領域を提供することができる。特に、本発明の一部の実施形態によるパワーデバイスを作製する方法は、チャンネル領域上にさらなる n^- 領域を提供してもよい。特に、 n^- 領域は、デバイスのチャンネル領域上に形成されてもよく、 n^- 領域の一部分が、除去され、それにより、チャンネル領域上の n^- 領域の残りの部分によって、チャンネル領域の表面粗さを低減する。そのため、段差のある隆起した表面の少なくとも一部分は、チャンネル領域から除去されて、より平滑なチャンネル領域、すなわち、表面粗さが低減されたチャンネル領域を提供することができる。一部の実施形態では、除去プロセスは、チャンネル領域から、 n^- 領域の、一部分または約 1200 から約 1400 を除去することができる化学機械研磨プロセスを使用して実施される。 n^- 領域の残りの部分は、図 1 から図 4 に関して以下でさらに説明されるように、少なくとも約 28 から約 1.0 未満までの、チャンネル領域の 2 乗平均平方根 (RMS) 表面粗さの低減を提供することができる。

10

【0028】

ここで図 1 を参照して、本発明の一部の実施形態による縦型パワー MOSFET の実施形態を示す断面図について説明する。縦型シリコンカーバイド MOSFET は、一般に、ユニットセル内で複製されることが当業者によって理解されるであろう。こうしたユニットセルは、線 100a と 100c との間または線 100b と 100c と間に示される。例示を容易にするために、2つのユニットセル MOSFET が説明されるが、当業者によって認識されるように、本発明の範囲から逸脱することなく、さらなるユニットセルが、一方向に沿って、または、2つの方向、一般に、直交方向に沿って MOSFET 内に組み込まれてもよい。

20

【0029】

図 1 に示すように、本発明の一部の実施形態による MOSFET は、 n^+ 単結晶シリコンカーバイド基板 10、たとえば、4Hシリコンカーバイドを含む。 n^- シリコンカーバイド層 12 は、基板 10 の第 1 表面 10A 上に設けられる。本明細書で使用されるように、「 p^+ 」または「 n^+ 」は、同じまたは別の層または基板の隣接領域または他の領域内に存在する、高いキャリア濃度によって規定される領域を指す。同様に、「 p^- 」または「 n^- 」は、同じまたは別の層または基板の隣接領域または他の領域内に存在する、低いキャリア濃度によって規定される領域を指す。

30

【0030】

本発明の一部の実施形態では、 n^- 基板は、デバイスの n^- ドリフト層の役をすることができる。本発明のこれらの実施形態では、 n^+ ドレイン領域は、 n^- 基板の第 2 表面 10B 上に設けられてもよい。 n^+ ドレイン領域は、本発明の範囲から逸脱することなく、イオン注入またはエピタキシャル成長によって設けられてもよい。

40

【0031】

p 型シリコンカーバイド領域 14 は、 n^- シリコンカーバイド層 12 上に設けられ、MOSFET の p ウェル領域を提供してもよい。本発明の範囲から逸脱することなく、p ウェル領域は、エピタキシャル領域または注入領域であってよいことが理解されるであろう。

【0032】

p^+ シリコンカーバイドの埋込み領域 18 は、p 型領域 14 内に同様に設けられるシリコンカーバイドの n^+ 領域 20 の下で p ウェル領域 14 内に設けられる。 n^+ 領域 20 は、デバイスのソース領域を提供してもよい。 n^+ ソース領域 20 には、p ウェル領域 14 中を通して n^- シリコンカーバイド層 12 まで延在する (extend) n 型シリコンカ

50

ーバイド領域 21 が離間して隣接する。p ウェル領域 14 がエピタキシャル層である本発明の実施形態では、n 型シリコンカーバイド領域 21 は、デバイスの接合型電界効果トランジスタ (J F E T) 領域と呼ばれてもよいことが理解されるであろう。

【 0 0 3 3 】

n 型シリコンカーバイド領域 21 は、n 型チャネル領域 29 の一部分を提供してもよい。n 型シリコンカーバイド領域 21 の表面は、それぞれ最大数百オングストロームの好ましくない段差を含む場合があり、好ましくない段差は、デバイスの、オン抵抗の増加および信頼性の低下をもたらす場合がある。さらに、n 型シリコンカーバイド領域 21 と p⁺シリコンカーバイドの埋込み領域 18 との間の p 型領域 31 の表面もまた、これらの好ましくない段差を含む場合がある。そのため、図 1 に示すように、本発明の一部の実施形態 10 による n⁻領域 19' は、n 型シリコンカーバイド領域 21 および p 型領域 31 上に設けられ、デバイスのチャネル領域 29 を形成してもよい。特に、図 2 A から図 2 J に関して以下でさらに説明されるように、n 型エピタキシャル層は、n 型シリコンカーバイド領域 21、p 型領域 31、および構造の他の表面上で再成長し、n⁻領域 19' の一部分が、デバイスの n 型シリコンカーバイド領域 21 および p 型領域 31 上に残るが、n⁺ソース領域 20 から除去されるように選択的に除去されてもよい。

【 0 0 3 4 】

再成長は、同一譲受人に譲渡された、2003 年 4 月 24 日に出願された「Silicon Carbide Power Devices With Self-Aligned Source And Well Regions And Well Regions and Methods Of Fabricating Same」という名称の特許文献 4、2003 年 10 月 30 日に出願された「Vertical JFET Limited Silicon Carbide Power Metal-Oxide Semiconductor Field Effect Transistors and Methods of Fabricating Vertical JFET Limited Silicon Carbide Metal-Oxide Semiconductor Field Effect Transistors」という名称の特許文献 5、および、2001 年 6 月 24 日に出願された「Silicon Carbide Power Metal-Oxide Semiconductor Field Effect Transistors Having a Shorting Channel and Methods of Fabricating Silicon Carbide Power Metal-Oxide Semiconductor Field Effect Transistors Having a Shorting Channel」という名称の特許文献 6 に詳細に説明される。 20 30

【 0 0 3 5 】

n 型シリコンカーバイド領域 21 および p 型領域 31 上での n⁻領域 19' の存在は、チャネル領域 29 (n 型シリコンカーバイド領域 21、p 型領域 31、および n⁻領域 19' の残りの部分の組合せ) の表面粗さを低減することができる。換言すれば、n⁻領域 19' は、n 型シリコンカーバイド領域 21 および p 型領域 31 の表面上の山と谷の一部を充填して、チャネル領域 29 とゲート絶縁層 30 (以下で説明する) との間により平滑な界面 35 を提供してもよい。本発明の一部の実施形態によれば、チャネル領域 29 は、約 1.0 未満の 2 乗平均平方根 (R M S) 表面粗さを有してもよい。こうして、本発明の一部の実施形態によれば、少なくとも約 28 から約 1.0 未満の R M S 表面粗さの低減を実現できる。このことについては、図 2 A から図 3 (c) に関して以下でさらに説明される。本発明の一部の実施形態によれば、任意選択の犠牲酸化物層 (図示せず) が、チャネル領域 29 の表面上に設けられ、その後除去されてもよい。犠牲酸化物層は、約 100 から約 1000、たとえば、500 の厚さを有してもよい。犠牲酸化物層の形成および除去は、さらに、チャネル領域 29 の表面の R M S 表面粗さを、約 0.70 に低減することができる。 40

【 0 0 3 6 】

二酸化シリコン (SiO_2) などの適した誘電性材料のゲート絶縁層 30 は、チャネル領域 29 の上から、 n^+ ソース領域 20 まで延在する。ゲートコンタクト 26 は、 n 型シリコンカーバイド領域 21、 p 型領域 31、および n^- 領域 19' を含むチャネル領域 29 に対向するゲート層上に設けられる。ソースコンタクト 24 は、 n^+ ソース領域 20 間に設けられ、ドレインコンタクト 28 は、 p 型領域 14 に対向する基板 10 の第 2 面 10B 上に設けられる。

【0037】

本発明の実施形態は、図 1 に示す MOSFET 構造に関して説明されるが、本発明の実施形態は、この構成に限定されないことが理解されるであろう。たとえば、本発明の一部の実施形態では、MOSFET は、「Silicon Carbide Devices With Hybrid Well Regions And Methods of Fabricating Silicon Carbide Devices With Hybrid Well Regions」という名称の、2004 年 6 月 22 日に

10

【0038】

ここで図 2A から図 2J を参照して、本発明の一部の実施形態による、パワーデバイス、たとえば MOSFET の作製における処理工程を説明する。図 2A に示すように、 n^- エピタキシャル層 12 が、 n^+ シリコンカーバイド基板 10、たとえば、4H シリコンカーバイド基板上に形成される。 n^- 層 12 は、約 5 から約 200 μm の厚さおよび約 $1 \times 10^{14} \text{ cm}^{-3}$ から $1 \times 10^{17} \text{ cm}^{-3}$ のキャリア濃度を提供するためのドーピングを有してもよい。本発明の特定の実施形態では、 n^- 層 12 は、約 12 μm 厚であり、約 $5 \times 10^{15} \text{ cm}^{-3}$ のキャリア濃度を提供するようにドーピングされる。

20

【0039】

p 型層 14 は、 n^- エピタキシャル層 12 上に設けられる。先に説明したように、 p 型層 14 は、デバイスの p ウェル領域を提供してもよい。 p 型層 14 は、本発明の範囲から逸脱することなく、エピタキシャル領域または注入領域であってよい。特に、 p 型層 14 が注入領域である本発明の実施形態では、 p 型層 14 を設けるために、 p 型シリコンカーバイドドーパントが、 n^- 層 12 内に注入されてもよい。 p 型層 14 がエピタキシャル層である本発明の実施形態では、 p 型層 14 は、 n^- 層 12 上で成長してもよい。 p 型層 14 は、約 0.5 から約 3 μm の厚さおよび約 $2 \times 10^{16} \text{ cm}^{-3}$ から約 $5 \times 10^{17} \text{ cm}^{-3}$ のキャリア濃度を提供するためのドーピングを有してもよい。本発明の特定の実施形態では、 p 型層 14 は、約 0.5 μm 厚であり、約 $1 \times 10^{16} \text{ cm}^{-3}$ のキャリア濃度を提供するようにドーピングされる。図 2A にさらに示すように、マスク層 100 は、 p 型層 14 上に形成され、デバイスのソース領域 20 および埋込み p 型領域 18 に相当する開口を形成するようにパターニングされる。

30

【0040】

図 2B および図 2C に示すように、埋込み p 型領域 18 およびソース領域 20 は、ソース領域 20 のロケーションに相当する開口を有するようマスク層 100 をパターニングすることによって形成されてもよい。埋込み p 型領域 18 は、パターニングされたマスク 100 を使用した p 型ドーパントのイオン注入によって形成される。埋込み p 型領域 18 は、ドリフト領域、たとえば、 n^- 層 12 まで延在し、また、一部の実施形態では、 n^- 層 12 内に延在してもよい。 p 型ドーパントは、たとえば、アルミニウムまたは他の適した p 型ドーパントであってよい。本発明のいくつかの実施形態では、 p 型領域 18 は、ほぼ、領域 21 が形成されてもよい厚さ、たとえば、約 0.2 μm から約 1 μm の厚さを有する。本発明の特定の実施形態では、埋込み p 型領域 18 は、 p 型層 14 の表面から約 0.2 μm の深さから約 0.7 μm の深さまで延在する。さらに、 p 型領域 18 は、約 $1 \times 10^{17} \text{ cm}^{-3}$ から約 $1 \times 10^{18} \text{ cm}^{-3}$ のキャリア濃度を提供するためにドーピングされてもよい。

40

【0041】

50

図2Cに示すように、ソース領域20は、パターニングされたマスク100を利用してn型ドーパントをp型層14内に注入することによって形成される。n型注入物のために使用されるn型ドーパントは、たとえば、窒素および/またはリンであってよいが、他のn型ドーパントが、使用されてもよい。n型ソース領域20は、p型層内に約0.2μmから約0.3μmの距離だけ延在してもよい。n型ソース領域20は、良好なオーミックコンタクトの形成を可能にするのに十分なキャリア濃度を提供するようにドーピングされてもよい。本明細書で使用されるように、「オーミックコンタクト」という用語は、オーミックコンタクトに関連するインピーダンスが、実質的に全ての予想される動作周波数および電流において、実質的に、インピーダンス = V/I (V はコンタクトの両端の電圧であり、 I は電流である)の関係で与えられる(すなわち、オーミックコンタクトに関連するインピーダンスは、全ての動作周波数において実質的に同じである)コンタクトを指す。本発明の特定の実施形態では、n型ソース領域は、p型層内に約0.2μmの深さまで延在し、少なくとも、約 $1 \times 10^{19} \text{ cm}^{-3}$ から約 $1 \times 10^{20} \text{ cm}^{-3}$ のキャリア濃度を提供するためにドーピングされる。

【0042】

本発明の実施形態は、p型領域18とソース領域20の両方の注入のために、パターニングされたマスク100内で同じ窓を使用して、本明細書で述べられるが、本発明の一部の実施形態では、注入における失敗を補償するために、異なるサイズの窓が使用されてもよい。

【0043】

図2Dから図2Eに示すように、マスク100は、除去され、デバイスのn型シリコンカーバイド領域21が、pウェル領域14内に設けられてもよい。n型シリコンカーバイド領域21は、本発明の範囲から逸脱することなく、注入領域またはエピタキシャル領域であってよい。n型シリコンカーバイド領域21が注入領域である本発明の実施形態では、第2マスク層120が、図2Dに示すように、デバイスのn型シリコンカーバイド領域21に相当する開口を有するようにパターニングされてもよい。pウェル領域14がエピタキシャル層である本発明の実施形態では、n型シリコンカーバイド領域21は、デバイスの接合型電界効果トランジスタ(JFET)領域と呼ばれてもよいことが理解されるであろう。

【0044】

図2Eに示すように、p型層14を通してドリフト領域、たとえばn型エピタキシャル層12まで延在するn型シリコンカーバイド領域21を形成するために、n型シリコンカーバイド領域21は、パターニングされたマスク120を利用してp型層14内にn型ドーパントを注入することによって形成されてもよい。どんな適したn型ドーパントが使用されてもよい。本発明の一部の実施形態では、窒素が、n型ドーパントとして使用される。

【0045】

デバイスがターンオンされると、n型領域21は、MOSチャネルから低濃度でドーピングしたドリフト領域(12)への経路を提供することができ、電子が、ソース領域からドレイン領域へ流れることを可能にする。オフ状態では、このnチャネル領域は、チャネル領域の両側で形成される逆バイアスされたpn接合によって電子が枯渇する場合がある。チャネル領域の両側におけるpn接合は、オフ状態の高い電界からMOS領域をシールドしてもよく、このことが、UMOSFETなどのトレンチデバイスと比較して、高いデバイス信頼性をもたらす可能性がある。

【0046】

図2Fは、堆積した酸化物および/または他のパッシベーション材料の任意選択のキャップ層140の形成を示す。キャップ層140は、約0.01μmから約1μmの厚さを有してもよい。いずれにしても、キャップ層140が利用されるか否かによらず、n型およびp型注入物を活性化するために、デバイスは、たとえば、5分などの数分の間、約900から約1800の範囲の、また、一部の実施形態では、約1600の高温アニ

10

20

30

40

50

ールにさらされてもよい。

【0047】

図2Gに示すように、キャップ層140は、除去され、 n^+ シリコンカーバイドエピタキシャル領域19が、デバイスのチャネル領域29上に形成されてもよい。 n^+ シリコンカーバイドエピタキシャル領域19の深さは、後続の処理工程において、 n^+ 領域19の一部だけが、チャネル領域29から除去されるように制御されてもよい。本発明の一部の実施形態では、 n^+ シリコンカーバイド領域は、約1500 から約6000 の厚さ、および、約 $5 \times 10^{15} \text{ cm}^{-3}$ のキャリア濃度を有してもよい。

【0048】

図2Hに示すように、 n^+ 領域19の一部が除去される。 n 型シリコンカーバイド領域21および p 型領域31上に残る n^+ 領域の部分19'は、デバイスのチャネル領域29(図2I)を画定してもよい。 n^+ 領域の残りの部分19'は、約1000から約5000 の厚さを有してもよい。本発明の一部の実施形態では、 n^+ 領域の残りの部分19'は、約1500 の厚さを有してもよい。チャネル領域29上での n^+ 領域の残りの部分19'の存在は、 n^+ 領域19'とゲート絶縁体30との間の界面35において、チャネル領域29の表面粗さの低減を提供してもよく、このことは、図3に関して以下でさらに説明されるであろう。

【0049】

チャネル領域29が、 n^+ 領域の残りの部分19'および n 型シリコンカーバイド領域21と埋込み p 型領域18との間の p ウェルの部分31およびソース領域20によって画定されることが理解されるであろう。相応して、本発明の範囲から逸脱することなく、 n^+ 領域19'は、 n 型シリコンカーバイド領域21と埋込み p 型領域18との間の p ウェルの部分31およびソース領域20上に残るだけであり、 n 型シリコンカーバイド領域21上に残らなくてもよい。

【0050】

本発明の一部の実施形態では、チャネル領域29の表面から n^+ 領域19の一部を除去する化学機械研磨(CMP)プロセスが実施されてもよい。本発明のいくつかの実施形態では、CMPプロセスが、チャネル領域29の表面粗さの深さの約2.0から3.0倍である、 n^+ 領域19の一部を除去してもよい。本発明の範囲から逸脱することなく、従来のどんなCMPプロセスも、本明細書で説明されるCMPプロセスとして使用されてもよいことが理解されるであろう。しかし、本明細書で説明するプロセスは、 n^+ 領域19全体を除去しない。通常、注入領域は、数百オングストロームの厚さを有し、従来のCMPプロセスは、所望の結果を得るために、CMPプロセス中に数ミクロンの膜を除去する。しかし、当業者によって理解されるように、図2Gの構造からの数ミクロンの膜の除去は、注入領域の全てを除去し、デバイスを非機能的にさせる。

【0051】

相応して、本発明の一部の実施形態は、 n^+ 領域19の一部を除去するCMPプロセスを使用し、チャネル領域29上に n^+ 領域の一部19'を残したままにする。たとえば、本発明の一部の実施形態では、CMPプロセスは、約3時間未満、たとえば、約半時間から約1時間の間実施されてもよい。換言すれば、CMPプロセス後に、約1000から約5000 の n^+ 領域19が、デバイスのチャネル領域29上に残ってもよい。こうして、 n^+ 領域の残りの部分が、約1000から約5000 であってよい。 n 型シリコンカーバイド領域21および p ウェル領域31上の n^+ 領域の残りの部分19'は、チャネル領域29の一部になる。すなわち、 n^+ 領域の残りの部分19'は、 n 型シリコンカーバイド領域21および p ウェル領域31の表面上の山と谷を充填してもよい。図2Hにさらに示すように、マスク130が、 n^+ 領域の残りの部分19'上に設けられ、 n^+ 領域19'が、マスク130に従ってパターニングされ、図2Iに示すように、ソース領域20上の n^+ 領域の部分19'を除去する。先に説明したように、本発明の一部の実施形態では、 n^+ 領域19'は、 n 型シリコンカーバイド領域21とソース領域20との間の p ウェル領域31および埋込み p 型領域18上に残るだけであってよい。

【0052】

先に説明したように、 n 型領域21および p ウェル領域31上に n^+ 領域19'を設けることは、 n^+ 領域19'とゲート絶縁体30との間の表面粗さの低減を提供してもよい。たとえば、図3(a)に示すように、 n 型シリコンカーバイド領域21および p ウェル領域31の表面は、注入領域を活性化するアニール後に、多くの山と谷を有する場合がある。これらの山と谷(数百オングストローム)は、デバイスの最適状態に及ばない性能をもたらす場合がある。本発明の一部の実施形態に従って、 n 型シリコンカーバイド領域21および p ウェル領域31上に n^+ 領域19を形成し、 n 型シリコンカーバイド領域21および p ウェル領域31から n^+ 領域の一部分を除去した後、図3(b)に示すように、 n^+ 領域の残りの部分19'の存在によって、多くの山と谷が除去されてもよい。特に、チャンネル領域29の2乗平均平方根(RMS)表面粗さは、本発明の一部の実施形態に従って、図3(a)の少なくとも約2.8から図3(b)の約1.0未満まで低減されてもよい。さらに、本発明の一部の実施形態では、任意選択の犠牲酸化物層(図示せず)が、チャンネル領域29の表面上に形成され、除去されてもよい。犠牲酸化物層の形成および除去は、さらに、図3(c)に示すようにRMS表面粗さを約0.70まで低減させてもよい。

10

【0053】

図2Iに示すように、絶縁材料の層30は、ゲート絶縁材料を設けるためにデバイス上に堆積されてもよい。本発明の一部の実施形態では、絶縁材料は、「Method of N_2O annealing an oxide layer on a silicon carbide layer」という名称の特許文献8、「Method of N_2O growth of an oxide layer on a silicon carbide layer」という名称の特許文献9、および/または、「Method of fabricating an oxide layer on a silicon carbide layer utilizing an anneal in a hydrogen environment」という名称の特許文献10に記載されるように形成されてもよい。本発明のいくつかの実施形態では、絶縁材料は、非特許文献4に記載されるように形成されてもよい。図2Iにさらに示すように、ゲートコンタクト26は、ゲート絶縁材料30上に金属コンタクトを形成することによって形成されてもよい。適したゲートコンタクト材料は、アルミニウム、ポリシリコン、およびモリブデンを含むが、それらに限定されない。さらに、当業者によって認識されるように、多層ゲートコンタクトが使用されてもよい。

20

30

【0054】

図2Jに示すように、コンタクトホールが、絶縁材料30'内に形成されてもよく、また、ソースコンタクト24を提供するために、オーミックコンタクトが、コンタクトホール内に形成されてもよい。同様に、オーミックコンタクト28は、基板10上に形成されてもよい。適したオーミックコンタクト材料は、ニッケル、チタン合金、およびアルミニウムを含むが、それらに限定されない。堆積した金属コンタクトは、その後、約500から約1200の範囲の高温でアニールされてもよい。たとえば、デバイスの接続を容易にするために、オーパレイ金属もまた、コンタクト上に堆積されてもよい。

40

【0055】

図2Aから図2Jの工程の順序が変更されてもよいことが当業者によって理解されるであろう。そのため、たとえば、 n 型シリコンカーバイド領域21は、本発明の範囲から逸脱することなく、 n^+ 領域20を形成する前に形成されてもよい。同様に、埋込み p^+ 領域18は、 n^+ 領域20または n 型シリコンカーバイド領域21の形成の前か後のいずれかで形成されてもよい。同様に、コンタクト24が、たとえば、金属層を堆積しパターニングすることによって形成され、次に、絶縁層30'が設けられ、絶縁層内の開口が、コンタクト24に対して形成されてもよい。相応して、本発明は、明細書に述べる正確な動作シーケンスに限定されるものとして解釈されるべきではなく、本開示に照らして当業者に明らかになると思われる他の作製シーケンスを包含することが意図される。

50

【 0 0 5 6 】

ここで図 4 を参照して、従来のデバイスと本発明の一部の実施形態による方法を使用して作製されたデバイスについての、ドレイン電圧 (V) 対ドレイン電流 (A) の比較を示すチャートが説明される。図 4 に示すように、本発明の一部の実施形態に従って作製された MOS F E T のドレイン電流は、相当するドレイン電圧において、従来の MOS F E T より大きい。

【 0 0 5 7 】

図面および明細書において、本発明の典型的な好ましい実施形態が開示されており、特定の用語が使用されるが、特定の用語は、制限するためでなく、一般的でかつ記述的な意味でだけ使用されており、本発明の範囲は、添付特許請求項において述べられる。

10

【図面の簡単な説明】

【 0 0 5 8 】

【図 1】本発明の一部の実施形態による、パワー MOS F E T を示す断面図である。

【図 2 A】本発明の一部の実施形態による、図 1 のパワー MOS F E T の作製の処理工程を示す断面図である。

【図 2 B】本発明の一部の実施形態による、図 1 のパワー MOS F E T の作製の処理工程を示す断面図である。

【図 2 C】本発明の一部の実施形態による、図 1 のパワー MOS F E T の作製の処理工程を示す断面図である。

【図 2 D】本発明の一部の実施形態による、図 1 のパワー MOS F E T の作製の処理工程を示す断面図である。

20

【図 2 E】本発明の一部の実施形態による、図 1 のパワー MOS F E T の作製の処理工程を示す断面図である。

【図 2 F】本発明の一部の実施形態による、図 1 のパワー MOS F E T の作製の処理工程を示す断面図である。

【図 2 G】本発明の一部の実施形態による、図 1 のパワー MOS F E T の作製の処理工程を示す断面図である。

【図 2 H】本発明の一部の実施形態による、図 1 のパワー MOS F E T の作製の処理工程を示す断面図である。

【図 2 I】本発明の一部の実施形態による、図 1 のパワー MOS F E T の作製の処理工程を示す断面図である。

30

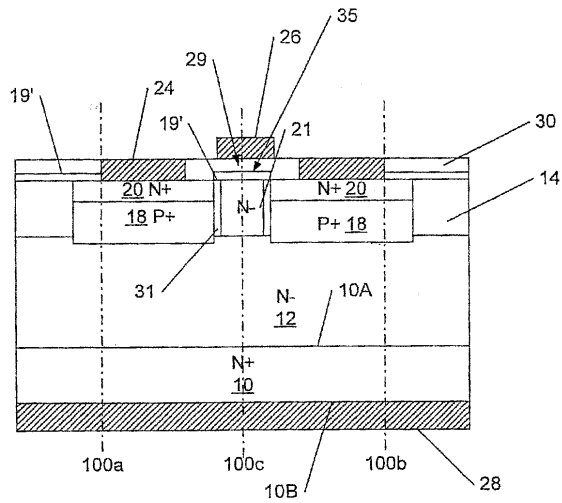
【図 2 J】本発明の一部の実施形態による、図 1 のパワー MOS F E T の作製の処理工程を示す断面図である。

【図 3】(a) は本発明の一部の実施形態による方法を使用して作製された MOS F E T のチャンネルの画像であり、(b) は本発明の一部の実施形態による方法を使用して作製された MOS F E T のチャンネルの画像であり、(c) は本発明の一部の実施形態による方法を使用して作製された MOS F E T のチャンネルの画像である。

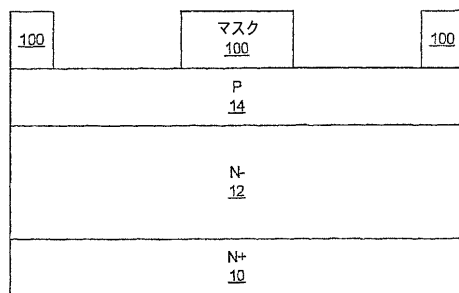
【図 4】従来のデバイスと本発明の一部の実施形態による方法を使用して作製されたデバイスについての、ドレイン電圧 (V) 対ドレイン電流 (A) の比較を示すチャートである。

40

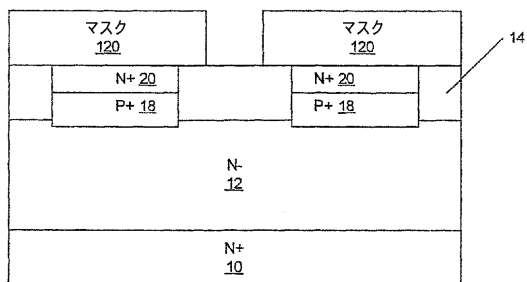
【図 1】



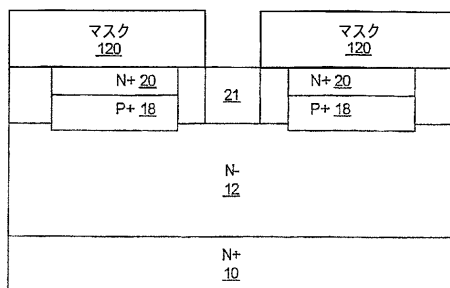
【図 2 A】



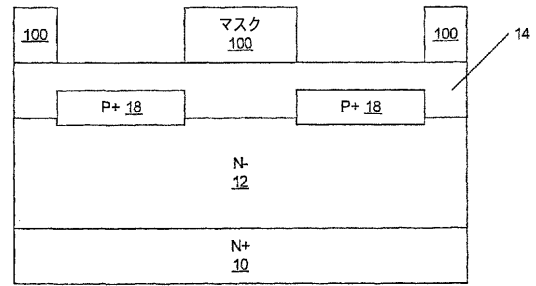
【図 2 D】



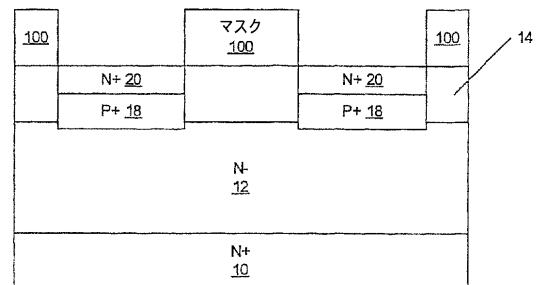
【図 2 E】



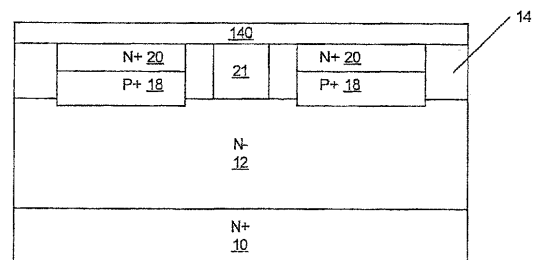
【図 2 B】



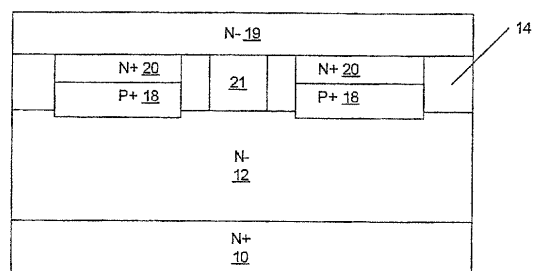
【図 2 C】



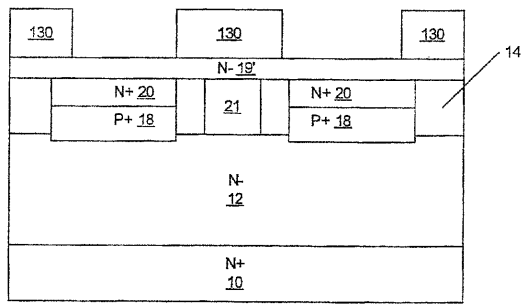
【図 2 F】



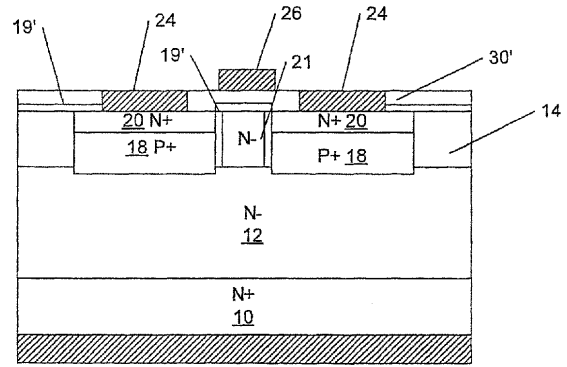
【図 2 G】



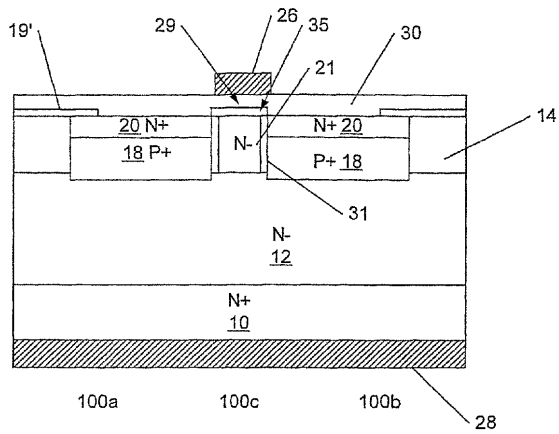
【図 2 H】



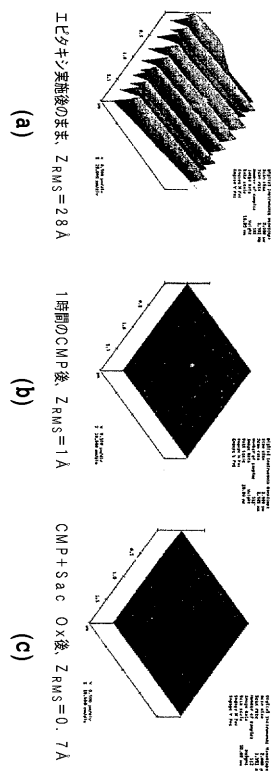
【図 2 J】



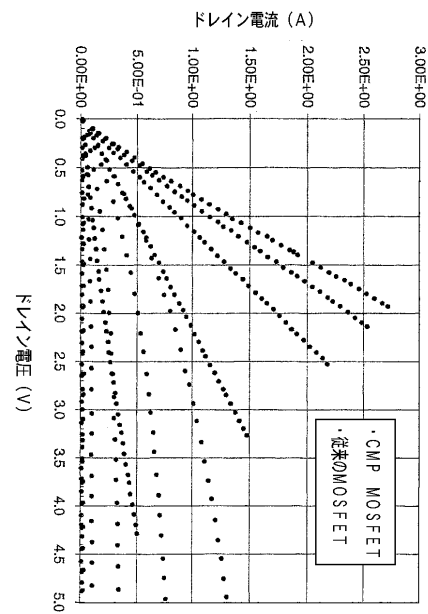
【図 2 I】



【図 3】



【図 4】



フロントページの続き

(51)Int.Cl. F I
H 0 1 L 21/338 (2006.01) H 0 1 L 29/78 6 5 2 D
H 0 1 L 29/812 (2006.01)
H 0 1 L 21/336 (2006.01)

(74)代理人 100094673

弁理士 林 鈺三

(74)代理人 100091339

弁理士 清水 邦明

(74)代理人 100138346

弁理士 畑中 孝之

(74)代理人 100147658

弁理士 岩見 晶啓

(72)発明者 ムリナル ケー・ダス

アメリカ合衆国 2 7 7 1 3 ノースカロライナ州 ダラム エンツォ コート 1

(72)発明者 マイケル ラフナー

アメリカ合衆国 2 7 5 2 0 ノースカロライナ州 クレイトン ニュース コロニー ドライブ
 2 1 0 5

審査官 小森 重樹

(56)参考文献 特開 2 0 0 5 - 1 1 6 8 9 6 (J P , A)
 米国特許第 0 6 4 2 9 0 4 1 (U S , B 1)
 特開平 1 0 - 3 0 8 5 1 0 (J P , A)
 特開 2 0 0 5 - 0 3 9 2 5 7 (J P , A)
 特表 2 0 0 6 - 5 2 4 4 3 3 (J P , A)
 特開 2 0 0 3 - 2 3 4 3 0 1 (J P , A)
 特開 2 0 0 3 - 1 5 8 0 7 5 (J P , A)
 特表 2 0 0 6 - 5 1 1 9 6 1 (J P , A)

(58)調査した分野(Int.Cl. , D B 名)

H01L 29/12

H01L 21/336

H01L 21/337

H01L 21/338

H01L 27/098

H01L 29/78

H01L 29/808

H01L 29/812