



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I856790 B

(45)公告日：中華民國 113 (2024) 年 09 月 21 日

(21)申請案號：112132035

(22)申請日：中華民國 112 (2023) 年 08 月 25 日

(51)Int. Cl. : **H10B12/00 (2023.01)**

(30)優先權：2022/09/02 中國大陸 2022110701943

(71)申請人：大陸商長鑫科技集團股份有限公司 (中國大陸) CXMT CORPORATION (CN)
中國大陸(72)發明人：吳奇龍 WU, QILONG (CN) ; 劉志拯 LIU, CHIH-CHENG (CN) ; 李宗翰 LEE,
TZUNG-HAN (CN)

(74)代理人：江日舜

(56)參考文獻：

TW 202213371A

TW 202213723A

US 2021/0296330A1

US 2021/0366906A1

審查人員：徐孝倫

申請專利範圍項數：10 項 圖式數：7 共 38 頁

(54)名稱

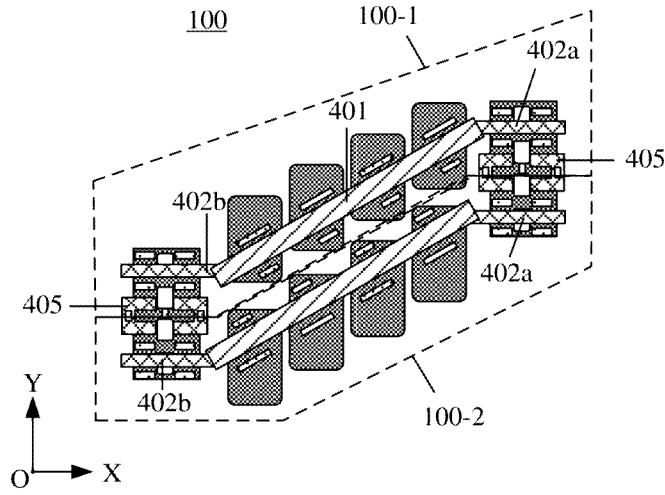
半導體結構及記憶體

(57)摘要

本案實施例公開了一種半導體結構及記憶體，其中，所述半導體結構包括：至少一個子字線驅動器，所述子字線驅動器包括：多個第一主動區；以及主字線，包括互連的多個第一閘極和多個第二閘極；所述多個第一閘極對應所述多個第一主動區；其中，所述主字線中的所述多個第一閘極的延伸方向及/或所述主字線中的至少部分第二閘極的延伸方向與第一方向和第二方向均相交；所述第一方向平行於所述第一主動區延伸的方向，所述第二方向與所述第一主動區所在的平面平行且垂直於所述第一方向。

Embodiments of the disclosure disclose a semiconductor structure and a memory. The semiconductor structure includes at least one sub-word line driver. The sub-word line driver includes a plurality of first active areas; and a main word line including a plurality of first gates and a plurality of second gates connected to each other. The plurality of first gates correspond to the plurality of first active areas. The extension direction of the plurality of first gates in the main word line and/or the extension direction of at least part of the second gates in the main word line intersect with both a first direction and a second direction. The first direction is parallel to the extending direction of the first active areas. The second direction is parallel to the plane where the first active areas are located and is perpendicular to the first direction.

指定代表圖：



符號簡單說明：

100:半導體結構

100-1:第一子字線驅動器

100-2:第二子字線驅動器

401:第一導線

402a、402b:第二導線

405:第三閘極

【圖 4a】



I856790

【發明摘要】

【中文發明名稱】 半導體結構及記憶體

【英文發明名稱】 SEMICONDUCTOR STRUCTURE AND MEMORY

【中文】

本案實施例公開了一種半導體結構及記憶體，其中，所述半導體結構包括：至少一個子字線驅動器，所述子字線驅動器包括：多個第一主動區；以及主字線，包括互連的多個第一閘極和多個第二閘極；所述多個第一閘極對應所述多個第一主動區；其中，所述主字線中的所述多個第一閘極的延伸方向及/或所述主字線中的至少部分第二閘極的延伸方向與第一方向和第二方向均相交；所述第一方向平行於所述第一主動區延伸的方向，所述第二方向與所述第一主動區所在的平面平行且垂直於所述第一方向。

【英文】

Embodiments of the disclosure disclose a semiconductor structure and a memory. The semiconductor structure includes at least one sub-word line driver. The sub-word line driver includes a plurality of first active areas; and a main word line including a plurality of first gates and a plurality of second gates connected to each other. The plurality of first gates correspond to the plurality of first active areas. The extension direction of the plurality of first gates in the main word line and/or the extension direction of at least part of the second gates in the main word line intersect with both a first direction and a second direction. The first direction is parallel to the extending direction of the first active areas. The second direction is parallel to the plane where the first active areas are located and is perpendicular to the first direction.

【指定代表圖】 圖 4a

【代表圖之符號簡單說明】

100	半導體結構
100-1	第一子字線驅動器
100-2	第二子字線驅動器
401	第一導線
402a、402b	第二導線
405	第三閘極

【發明說明書】

【中文發明名稱】 半導體結構及記憶體

【英文發明名稱】 SEMICONDUCTOR STRUCTURE AND MEMORY

【技術領域】

【0001】 本案涉及半導體技術領域，具體地，涉及一種半導體結構及記憶體。

【先前技術】

【0002】 半導體結構，例如動態隨機存取記憶體（DRAM，Dynamic Random Access Memory），字線可以用作傳送驅動儲存單元的一個或更多個電晶體所需的閘極電壓的導電線。其中，電晶體可以回應於字線的電位狀態而操作，使得動態隨機存取記憶體可以通過電晶體將資料寫入儲存單元或從儲存單元讀取資料。

【0003】 隨著晶片尺寸和晶片的記憶體容量的增加，由此類字線引起的線延遲可以被認為是限制動態隨機存取記憶體的操作速度的最重要的延遲因素之一。為了使此類字線的線延遲最小化，已經開發了用於將長的主字線（MWL，Main Wordline）劃分為多條子字線（SWL，Sub Wordline）以及用於驅動每條子字線的子字線驅動器（SWD，Sub Wordline Driver）。

【發明內容】

【0004】 有鑑於此，本案實施例提出一種半導體結構及記憶體。

【0005】 根據本案的一個方面，提供了一種半導體結構，包括：至少一個子字線驅動器，所述子字線驅動器包括：

多個第一主動區；以及

主字線，包括互連的多個第一閘極和多個第二閘極；所述多個第一閘極對應所述多個第一主動區；

其中，所述主字線中的所述多個第一閘極的延伸方向及/或所述主字線中的至少部分第二閘極的延伸方向與第一方向和第二方向均相交；所述第一方向平行於所述第一主動區延伸的方向，所述第二方向與所述第一主動區所在的平面平行且垂直於所述第一方向。

【0006】 上述方案中，所述多個第一閘極物理連接且均沿第三方向延伸，所述多個第一主動區沿所述第三方向間隔排列，至少部分所述第二閘極物理連接均沿第四方向延伸；

所述第三方向所在直線與所述第二方向所在直線的夾角範圍為： $0-45^\circ$ ；及/或，所述第四方向所在直線與所述第二方向所在直線的夾角範圍為： $0-45^\circ$ 。

【0007】 上述方案中，所述多個第一閘極物理連接且均沿第三方向延伸，所述多個第二閘極物理連接在所述多個第一閘極的一端且均沿第四方向延伸。

【0008】 上述方案中，所述多個第一閘極物理連接且均沿第三方向延伸，一部分所述第二閘極物理連接在所述多個第一閘極的一端且均沿第四方向延伸，另一部分所述第二閘極物理連接在所述多個第一閘極的另一端且均沿第五方向延伸，所述第五方向所在直線與所述第二方向所在直線的夾角範圍為： $0-45^\circ$ 。

【0009】 上述方案中，所述第四方向所在的直線與所述第三方向所在的直線之間的夾角為第一夾角，所述第五方向所在的直線與所述第三方向所在的直線之間的夾角為第二夾角，所述第一夾角與所述第二夾角相等。

【0010】 上述方案中，所述第三方向所在直線與所述第二方向所在直線的夾角為 45° ，所述多個第一主動區呈步進狀間隔排列，所述第四方向所在直線與所述第二方向所在直線的夾角為 45° ，所述第五方向所在直線與所述第二方向所在直線的夾角為 45° 。

【0011】 上述方案中，所述第一閘極整體均沿所述第三方向延伸；

或者，

所述第一閘極包括沿所述第三方向延伸的第一部分和第二部分以及連接所述第一部分和第二部分的第三部分。

【0012】 上述方案中，所述半導體結構包括N個子字線驅動器，所述N為大於等於1的正整數；

所述N個子字線驅動器中每一子字線驅動器包含的物理連接的所述第一閘極均平行且兩端均齊平；

所述N個子字線驅動器中每一子字線驅動器包含的物理連接的所述第二閘極均平行且兩端均齊平。

【0013】 上述方案中，所述子字線驅動器還包括：多個第三閘極，所述多個第三閘極均位於所述N個子字線驅動器中相鄰的兩個子字線驅動器的第二閘極之間。

【0014】 上述方案中，所述N個子字線驅動器包括第一子字線驅動器和第二子字線驅動器；

所述第一子字線驅動器和第二子字線驅動器中的第三閘極均位於所述第一子字線驅動器的第二閘極和第二子字線驅動器的第二閘極之間。

【0015】 上述方案中，所述N個子字線驅動器包括沿所述第一方向依次設置的第一子字線驅動器、第二子字線驅動器、第三子字線驅動器和第四子字線驅動器；所述N個子字線驅動器的第一閘極整體均沿所述第一方向延伸；所述第一子字線驅動器和第二子字線驅動器的第二閘極之間的距離為L1，所述第二子字線驅動器和第三子字線驅動器的第二閘極之間的距離為L2，所述第三子字線驅動器和第四子字線驅動器的第二閘極之間的距離為L3；其中， $L1=L3$ ， $L1 > L2$ ；

所述N個子字線驅動器的第三閘極位於所述第一子字線驅動器的第二閘極和第二子字線驅動器的第二閘極之間，以及所述第三子字線驅動器的第二閘極和第四子字線驅動器的第二閘極之間。

【0016】 上述方案中，所述第二子字線驅動器的第一閘極與所述第三子字線驅動器的第一閘極存在共用的主動區。

【0017】 上述方案中，所述N個子字線驅動器包括沿所述第一方向依次設置的第一子字線驅動器、第二子字線驅動器、第三子字線驅動器和第四子字線驅動器；所述N個子字線驅動器的所述第一閘極包括沿所述第一方向延伸的第一部分和第二部分以及連接所述第一部分和第二部分的第三部分；相鄰的兩個子字線驅動器之間的第一閘極的第一部分的間距為第一距離或第二距離，相鄰的兩個子字線驅動器之間的第一閘極的第二部分的間距為所述第二距離或所述第一距離，所述第一距離大於所述第二距離；

所述N個子字線驅動器的第三閘極位於所述N個子字線驅動器中間距為第一距離的兩個相鄰第一閘極連接的第二閘極之間。

【0018】 上述方案中，所述N個子字線驅動器中間距為第二距離的兩個相鄰第一閘極之間存在共用的所述第一主動區。

【0019】 上述方案中，沿所述第一方向相鄰的兩個第三閘極形成為“C”字型或“T”字型。

【0020】 上述方案中，所述第一閘極對應的電晶體包括P型電晶體；所述第二閘極對應的電晶體、所述第三閘極對應的電晶體均包括N型電晶體。

【0021】 上述方案中，所述子字線驅動器還包括至少一個第二主動區，與所述多個第二閘極、所述多個第三閘極對應；

所述第一主動區的形狀為長條形，所述第二主動區的形狀為網格狀。

【0022】 上述方案中，所述子字線驅動器結構還包括多個導電接觸；每個所述導電接觸分別與所述第一主動區或所述第二主動區中的源極或汲極連接。

【0023】 根據本案的一個方面，提供了一種記憶體，包括：如本案上述實施例中所述的半導體結構。

【0024】 本案實施例提供的半導體結構中，將第一閘極對應的第一主動區的延伸方向定義為第一方向，將與第一主動區所在的平面平行且垂直於第一方

向的方向定義為第二方向，通過將主字線中的多個第一閘極形成的連線、至少部分第二閘極形成的連線中至少之一的延伸方向設置為與第一方向和第二方向均相交，從而可以在保持通道長度不變的前提下，使得主字線沿第二方向的寬度（主字線在第一方向上的投影尺寸）縮小，子字線驅動器的佔用面積縮小，進而提高半導體結構的集成度。

【圖式簡單說明】

【0025】 圖1a為本案實施例中提供的一種記憶體的局部電路示意圖；

【0026】 圖1b為本案實施例中提供的一種具有子字線驅動器的半導體結構的佈局示意圖；

【0027】 圖2為本案實施例中提供的一種子字線驅動器的電路示意圖；

【0028】 圖3a為本案實施例中提供的一種子字線驅動器的佈線方式示意圖；

【0029】 圖3b為本案實施例中提供的另一種子字線驅動器的佈線方式示意圖；

【0030】 圖4a為本案實施例中提供的一種第一導線沿與第一方向和第二方向均相交的方向延伸的半導體結構示意圖；

【0031】 圖4b為本案實施例中提供的一種第二導線沿與第一方向和第二方向均相交的方向延伸的半導體結構示意圖；

【0032】 圖4c為本案實施例中提供的另一種第二導線沿與第一方向和第二方向均相交的方向延伸的半導體結構示意圖；

【0033】 圖4d為本案實施例中提供的一種第一導線、第二導線均沿與第一方向和第二方向均相交的方向延伸的半導體結構示意圖；

【0034】 圖5a為本案實施例中提供的另一種第一導線沿與第一方向和第二方向均相交的方向延伸的半導體結構示意圖；

【0035】圖5b為本案實施例中提供的另一種第二導線沿與第一方向和第二方向均相交的方向延伸的半導體結構示意圖；

【0036】圖5c為本案實施例中提供的另一種第一導線、第二導線均沿與第一方向和第二方向均相交的方向延伸的半導體結構示意圖；

【0037】圖5d為本案實施例中提供的又一種第一導線、第二導線均沿與第一方向和第二方向均相交的方向延伸的半導體結構示意圖；

【0038】圖6a為本案實施例中提供的一種第一導線呈“Z”字型的半導體結構的示意圖；

【0039】圖6b為圖6a示出的呈“Z”字型的第二導線的放大示意圖；

【0040】圖7為本案實施例中提供的再一種第一導線、第二導線均沿與第一方向和第二方向均相交的方向延伸的半導體結構示意圖。

【0041】在上述附圖（其不一定是按比例繪製的）中，相似的附圖標記可在不同的視圖中描述相似的部件。具有不同字母尾碼的相似附圖標記可表示相似部件的不同示例。附圖以示例而非限制的方式大體示出了本文中所討論的各個實施例。

【實施方式】

【0042】為使本案實施例的技術方案和優點更加清楚，下面將結合附圖和實施例對本案的技術方案進一步詳細闡述。雖然附圖中顯示了本案的示例性實施方法，然而應當理解，可以以各種形式實現本案而不應被這裡闡述的實施方式所限制。相反，提供這些實施方式是為了能夠更透徹的理解本案，並且能夠將本案的範圍完整的傳達給本領域的技術人員。

【0043】在下列段落中參照附圖以舉例方式更具體的描述本案。根據下面說明和申請專利範圍，本案的優點和特徵將更清楚。需說明的是，附圖均採用非常簡化的形式且均使用非精準的比例，僅用以方便、明晰地輔助說明本案實施例的目的。

【0044】可以理解的是，本案中的“在……上”、“在……之上”和“在……上方”的含義應當以最寬方式被解讀，以使得“在……上”不僅表示其“在”某物“上”且其間沒有居間特徵或層（即直接在某物上）的含義，而且還包括在某物“上”且其間有居間特徵或層的含義。

【0045】此外，為了便於描述，可以在本文中使用的諸如“在……上”、“在……之上”、“在……上方”、“上”“上部”等的空間相對術語來描述如圖所示的一個元件或特徵與另一個元件或特徵的關係。除了在附圖中所描繪的取向之外，空間相對術語旨在涵蓋設備在使用或操作中的不同取向。裝置可以以其它方式定向（旋轉90度或處於其它取向）並且同樣可以相應地解釋本文使用的空間相對描述詞。

【0046】在本案實施例中，術語“基板”是指在其上添加後續材料層的材料。基板本身可以被圖案化。被添加在基板頂部的材料可以被圖案化或者可以保持未被圖案化。此外，基板可以包括多種半導體材料，例如矽、矽鍺、鍺、砷化鎵、磷化銻等。替代地，基板可以由非導電材料製成，例如玻璃、塑膠或藍寶石晶圓。

【0047】在本案實施例中，術語“層”是指包括具有厚度的區域的材料部分。層可以在下方或上方結構的整體之上延伸，或者可以具有小於下方或上方結構範圍的範圍。此外，層可以是厚度小於連續結構厚度的均質或非均質連續結構的區域。例如，層可位於連續結構的頂表面和底表面之間，或者層可在連續結構頂表面和底表面處的任何水平面對之間。層可以水準、垂直及/或沿傾斜表面延伸。層可以包括多個子層。例如，互連層可包括一個或多個導體和接觸子層（其中形成互連線及/或過孔觸點）、以及一個或多個電介質子層。

【0048】在本案實施例中，術語“第一”、“第二”等是用於區別類似的物件，而不必用於描述特定的順序或先後次序。

【0049】本案實施例涉及的半導體結構是將被用於後續製程以形成最終的器件結構的至少一部分。這裡，所述最終的器件可以包括記憶體，所述記憶

體包括但不限於動態隨機存取記憶體，以下僅以動態隨機存取記憶體為例進行說明，並不用來限制本案的範圍。

【0050】 隨著動態隨機存取記憶體技術的發展，儲存單元陣列的架構由 $8F^2$ 到 $6F^2$ 再到 $4F^2$ ；然而，不論 $8F^2$ 還是 $4F^2$ 的陣列架構，動態隨機存取記憶體均由多個儲存單元構成，每一個儲存單元主要是由一個電晶體與一個由電晶體所操控的電容構成，即動態隨機存取記憶體是1個電晶體（T，Transistor）和1個電容（C，Capacitor）（1T1C）的架構；其主要的作用原理是利用電容內儲存電荷的多少來代表一個二進位比特是1還是0。

【0051】 圖1a為本案實施例中提供的一種記憶體採用1T1C架構的示意圖；如圖1a所示，電晶體T的汲極與位線（BL，Bit Line）電連接，電晶體T的源極與電容C的其中一個電極板電連接，電容C的另外一個電極板可以連接參考電壓，所述參考電壓可以是地電壓也可以是其他電壓，電晶體T的閘極與字線（WL，Word Line）連接；通過字線WL施加電壓控制電晶體T導通或截止，位線BL用於在電晶體T導通時，對所述電晶體T執行讀取或寫入操作。

【0052】 圖1b為本案實施例中提供的一種具有子字線驅動器的半導體結構的佈局示意圖。如圖1b所示，動態隨機存取記憶體可以包括至少一個儲存單元陣列（CA，Cell Array）、以及用於控制包括主字線的單元陣列的電路。圖1b示出了多個儲存單元陣列CA，每個儲存單元陣列CA可以包括至少一個位線感測放大器（BLSA，Bit Line Sense Amplifier）和至少一個子字線驅動器SWD。

【0053】 每個儲存單元陣列CA可以包括呈陣列形狀的、用於儲存資料的多個儲存單元。儲存單元陣列可以包括多條子字線SWL，每條子字線可以聯接到多個儲存單元，多條子字線可以順序地並且相繼地佈置在儲存單元陣列上方，並且多條子字線可以連接到一條主字線MWL。

【0054】 前已述及，為了使主字線的線延遲最小化，已經開發了將長的主字線及主字線驅動器劃分為多條子字線以及用於驅動相應的每條子字線的多個子字線驅動器。子字線驅動器可以響應於主字線驅動信號而選擇性地驅動一條

或更多條子字線。在這種情況下，主字線驅動信號可以表示通過主字線傳輸的儲存單元驅動信號。

【0055】在圖1b中，子字線驅動器可以分為沿著儲存單元陣列的一側設置的偶數子字線驅動器電路SWD (EVEN)和沿著相對於儲存單元陣列的相對側設置的奇數子字線驅動器電路SWD (ODD)。偶數子字線驅動器電路可以驅動一條或更多條偶數子字線，奇數子字線驅動器電路可以驅動一條或更多條奇數子字線。可以理解的是，偶數子字線驅動器電路和奇數子字線驅動器電路具有基本相似的結構，以下將偶數子字線驅動器電路和奇數子字線驅動器統稱為子字線驅動器。感測放大器可以感測並放大相關聯的儲存單元陣列的單中繼資料。感測放大器可以沿著儲存單元陣列的另一側佈置。

【0056】圖2示出了一實施例中子字線驅動器的電路示意圖。如圖2所示，子字線驅動器用於驅動四個子字線，包括四個P型金屬-氧化物-半導體 (PMOS, P-Metal-Oxide-Semiconductor) 電晶體和四個N型金屬-氧化物-半導體 (NMOS, N-Metal-Oxide-Semiconductor) 電晶體，換言之，每一子字線SWL包括一個PMOS電晶體和一個NMOS電晶體，其中，所述PMOS電晶體和NMOS電晶體可以形成為反相器以用於控制目標子字線的開關狀態。示例性的，電晶體控制電壓VPP使子字線開啟或控制電壓VKK使子字線關閉。需要說明的是，四個PMOS電晶體和四個NMOS電晶體對應的閘極相互連接，形成主字線MWL。子字線驅動器還包括與一組PMOS電晶體和NMOS電晶體均連接的電晶體，該電晶體為雜訊抑制單元 (Noise Killer)，所述雜訊抑制單元可以用於在某一個子字線開啟時，對其他子字線輸入VKK電壓使其關閉，防止影響開啟子字線的信號。需要說明的是，圖2中示出的子字線驅動器的電路僅用於作為示例，不用於限定本案實施例中的子字線驅動器的電路結構。

【0057】為了降低延遲時間，縮小子字線驅動器所占的面積，子字線驅動器中各元件的佈線方式尤為重要。圖3a、圖3b中示出了兩種不同的子字線驅動器的佈線方式。需要說明的是，圖3a、圖3b均對應兩個 (兩組) 圖2中示出的主

字線驅動器。如圖3a所示，301對應的區域為PMOS電晶體放置的區域，302對應的區域為NMOS電晶體放置的區域，303對應的區域為雜訊抑制單元放置的區域，其中，301對應的區域中PMOS電晶體的閘極與302對應的區域為NMOS電晶體的閘極連接形成主字線。

【0058】如圖3b所示，304對應的區域為PMOS電晶體的閘極放置的區域，305對應的區域為NMOS電晶體的閘極放置的區域，306對應的區域為雜訊抑制單元放置的區域，其中，304對應的區域中PMOS電晶體的閘極與設置在304區域兩側的305對應的區域為NMOS電晶體的閘極連接形成主字線。

【0059】實際應用中，半導體結構包含的所有子字線驅動器的面積可以等效為沿X軸方向的長度和沿Y軸方向的長度乘積，而沿Y軸方向的長度是由主字線的間距（Pitch）和數量（包括起實際作用的字線和虛設的字線的總數量）決定的，設置空間有限，因此，可以通過優化子字線驅動器沿X軸方向的長度來達到優化子字線驅動器的面積的效果。需要說明的是，圖3b中示出的長度H可以理解為子字線驅動器沿Y軸方向的長度，寬度L可以理解為子字線驅動器沿X軸方向的長度。

【0060】從圖3a、圖3b可以看出，雜訊抑制單元放置在兩個電晶體閘極的中間相較於放置在電晶體的一側，可以縮小子字線驅動器的寬度L；同時，子字線驅動器的寬度受閘極的設計限制。

【0061】鑒於此，本案實施例提供了一種半導體結構，包括：至少一個子字線驅動器，所述子字線驅動器包括：

多個第一主動區；以及

主字線，包括互連的多個第一閘極和多個第二閘極；所述多個第一閘極對應所述多個第一主動區；

其中，所述主字線中的所述多個第一閘極的延伸方向及/或所述主字線中的至少部分第二閘極的延伸方向與第一方向和第二方向均相交；所述第

一方向平行於所述第一主動區延伸的方向，所述第二方向與所述第一主動區所在的平面平行且垂直於所述第一方向。

【0062】這裡及下文中，為了便於描述本案實施例，第一方向為多個第一主動區的延伸方向；多個第一主動區中的每一個第一主動區的延伸方向相同且均為第一方向；第二方向為與第一方向垂直且與第一主動區所在的平面平行的方向。在一些具體示例中，第一方向可以表示為附圖中的Y軸方向；第二方向可以表示為附圖中的X軸方向；第一主動區所在的平面可以表示為附圖中的XOY平面。

【0063】這裡，與第一方向和第二方向均相交的方向並不指代某一個固定的方向，而是可以理解為平行於所第一主動區所在的平面，且不與第一方向平行也不與第二方向平行的任意一個方向。

【0064】這裡，多個第一閘極物理連接形成第一導線；多個第二閘極物理連接形成第二導線。需要說明的是，本案實施例中，每一個主字線中多個第一閘極可以形成一個第一導線；多個第二閘極可以形成一個或兩個第二導線。所有的第一導線和第二導線連接，形成主字線。

【0065】在一些具體實施例中，每一主字線可以包括一個第一導線和一個第二導線，第一導線的一端和第二導線的一端相連，第一導線和第二導線的位置可以互換。此時，第一導線和第二導線的排列方式可以是：第一導線的延伸方向與第一方向和第二方向均相交，第二導線的延伸方向與第二方向平行；也可以是：第一導線的延伸方向與第二方向平行，第二導線的延伸方向與第一方向和第二方向均相交；還可以是：第一導線的延伸方向與第一方向和第二方向均相交，第二導線的延伸方向也與第一方向和第二方向均相交。

【0066】在一些具體實施例中，每一主字線可以包括一個第一導線和兩個第二導線，兩個第二導線分別位於第一導線的兩側；此時，第一導線和第二導線的排列方式可以是：第一導線的延伸方向與第一方向和第二方向均相交，兩個第二導線中的一個第二導線的延伸方向與第二方向平行，另一個第二導線的

延伸方向與第一方向和第二方向均相交；也可以是：第一導線的延伸方向與第二方向平行，兩個第二導線的延伸方向與第一方向和第二方向均相交；還可以是：第一導線的延伸方向與第一方向和第二方向均相交，兩個第二導線的延伸方向與第一方向和第二方向均相交；這裡，第一導線的延伸方向與第二導線的延伸方向可以相交也可以垂直。

【0067】需要說明的是，第一閘極和第二閘極表徵的電晶體類型不同，第一閘極和第二閘極表徵的電晶體類型可以互換。示例性地，所述第一閘極對應的電晶體可以包括PMOS電晶體；所述第二閘極對應的電晶體可以包括NMOS電晶體；或者，所述第一閘極對應的電晶體可以包括NMOS電晶體；所述第二閘極對應的電晶體可以包括PMOS電晶體。

【0068】為了便於理解本案的立意，下面結合附圖，對第一導線和第二導線的具體排列方式進行詳細說明。圖4a至圖4d示出了多種不同的子字線驅動器的佈線方式，需要說明的是，本案實施例中半導體結構可以包括至少一個子字線驅動器，圖4a至圖4d中均示出了半導體結構包括2個子字線驅動器的情況。此外，為了方便後續的計算比較，將第一導線的總長度和第二導線的總長度設定為相同，將與第一方向和第二方向均相交的方向設定為與第一方向和第二方向的夾角均為 45° ，同時將第一導線和第二導線均沿第二方向延伸時，圖3b中子字線驅動器在X軸方向上的寬度L作為參考值。

【0069】圖4a對應的半導體結構100中示出了第一導線401沿與第一方向和第二方向均相交的方向延伸，第二導線（402a、402b）與第二方向平行。此時，第一導線401在第二方向上的投影寬度，小於第一導線401沿第二方向設置時第一導線401在第二方向上的寬度。根據計算，圖4a中子字線驅動器在第二方向上的寬度相較於參考值減小了29.3%。

【0070】圖4b對應的半導體結構200中示出了第二導線（402a、402b）沿與第一方向和第二方向均相交的方向延伸，第一導線401與第二方向平行。第二導線（402a、402b）在第二方向上的投影寬度，小於第二導線（402a、402b）沿

第二方向設置時第二導線（402a、402b）在第二方向上的寬度。根據計算，子字線驅動器在第二方向上的寬度相較於參考值減小了29.3%。

【0071】圖4c對應的半導體結構300與圖4b中示出的半導體結構200中不同之處在於第一導線401的形狀不同，第二導線的兩個部分（402a、402b）的延伸方向不同，二者在第二方向上的寬度相同。根據計算，子字線驅動器在第二方向上的寬度相較於參考值減小了29.3%。

【0072】圖4d對應的半導體結構400中示出了第一導線401、第二導線（402a、402b）均沿與第一方向和第二方向均相交的方向延伸。第一導線401和第二導線（402a、402b）在第二方向上的寬度均減小；根據計算，子字線驅動器在第二方向上的寬度相較於參考值減小了58.6%。

【0073】然而，在第一導線及/或第二導線與第一方向和第二方向均相交時，第一導線及/或第二導線在第一方向上的寬度相對增加。其增大的寬度與第一導線或第二導線與第二方向之間的夾角相關，根據計算，在第一導線和第二導線與第二方向的夾角均為 α 時，子字線驅動器的面積縮小了 $1 - (2 - 2\cos\alpha) / 4$ 。示例性的，在夾角 α 為 45° 時，子字線驅動器的面積縮小了14.6%。

【0074】可以理解的是，通過將主字線中的多個第一閘極形成的連線、至少部分第二閘極形成的連線中至少之一的延伸方向設置為與第一方向和第二方向均相交，如此，可以在保持通道長度不變的前提下，使得主字線沿第二方向的寬度出現不同程度的縮小，從而達到縮小子字線驅動器面積的目的。

【0075】實際應用中，考慮到當沿與第一方向和第二方向均相交的方向與第二方向的角度大於預設角度時，存在兩方面問題：一方面，主字線沿第一方向的長度增加過大；另一方面，主字線中相鄰位置處的閘極對應的主動區可能出現重疊、相交的情況。基於此，進一步限定第一導線或第二導線延伸方向與第二方向的角度可以優化上述存在的兩個問題。在一些實施例中，所述預設角度為 45° 。

【0076】 在一些實施例中，所述多個第一閘極物理連接且均沿第三方向延伸，所述多個第一主動區沿所述第三方向間隔排列，至少部分所述第二閘極物理連接均沿第四方向延伸；所述第三方向所在直線與所述第二方向所在直線的夾角範圍為： $0-45^\circ$ ；及/或，所述第四方向所在直線與所述第二方向所在直線的夾角範圍為： $0-45^\circ$ 。

【0077】 例如，在一些實施例中，所述多個第一閘極物理連接且均沿第三方向延伸，所述多個第二閘極物理連接在所述多個第一閘極的一端且均沿第四方向延伸。

【0078】 例如，在一些實施例中，所述多個第一閘極物理連接且均沿第三方向延伸，一部分所述第二閘極物理連接在所述多個第一閘極的一端且均沿第四方向延伸，另一部分所述第二閘極物理連接在所述多個第一閘極的另一端且均沿第五方向延伸，所述第五方向所在直線與所述第二方向所在直線的夾角範圍為： $0-45^\circ$ 。

【0079】 這裡，第三方向為第一導線的延伸方向，其為與第一方向和第二方向均相交的方向；第四方向和第五方向均為部分第二導線的延伸方向，其均為與第一方向和第二方向均相交的方向。在第二導線僅位於第一導線的一側時，第二導線僅沿第四方向延伸；在第二導線分別位於第一導線的兩側時，第二導線分別沿第四方向和第五方向延伸。考慮到在預設角度過大時可能存在前述的兩個問題，本案實施例中，將第三方向、第四方向以及第五方向所在直線與所述第二方向所在直線的夾角範圍均設置為 $0-45^\circ$ 。

【0080】 需要說明的是，第一導線對應的多個第一主動區沿著第一導線的延伸方向間隔排列。

【0081】 示例性的，參考圖5a，半導體結構500中包括多個第一主動區403和四個主字線404，每一主字線404中包括第一導線401和第二導線（402a、402b）；第二導線（402a、402b）分別位於第一導線401的兩側，每一第一導線

401均沿第三方向（參考圖5a中AP方向）延伸，第二導線（402a、402b）均沿第四方向延伸（這裡，第四方向與附圖5a中的X軸方向平行）。

【0082】 示例性的，參考圖5b，半導體結構600中，每一主字線404中包括第一導線401和第二導線（402a、402b），第二導線（402a、402b）分別位於第一導線401的兩側，第一導線401沿第三方向（這裡，第三方向與附圖5b中的X軸方向平行）延伸，一部分第二導線402a沿第四方向（參考圖5b中BP方向）延伸，另一部分第二導線402b沿第五方向（參考圖5b中CP方向）延伸。

【0083】 示例性的，參考圖5c，半導體結構700中，每一主字線404中包括第一導線401和第二導線（402a、402b），第二導線（402a、402b）分別位於第一導線401的兩側，第一導線401沿第三方向（參考圖5c中DP方向）延伸，一部分第二導線402a沿第四方向（參考圖5c中EP方向）延伸，另一部分第二導線402b沿第五方向（參考圖5c中PF方向）延伸。

【0084】 示例性的，參考圖5d，半導體結構800中，每一主字線404中包括第一導線401和第二導線402，第二導線402僅位於第一導線401的一側，第一導線401沿第三方向（參考圖5d中GP方向）延伸；第二導線402沿第四方向（參考圖5d中HP方向）延伸。

【0085】 需要說明的是，圖5a至圖5d中，在第三方向、第四方向、第五方向均與所述第一方向、第二方向相交時，第三方向、第四方向、第五方向所在直線分別與所述第二方向所在直線的夾角的值可以相同，也可以不同。

【0086】 在一些實施例中，所述第四方向所在的直線與所述第三方向所在的直線之間的夾角為第一夾角，所述第五方向所在的直線與所述第三方向所在的直線之間的夾角為第二夾角，所述第一夾角與所述第二夾角相等。

【0087】 示例性的，參考圖5b，所述第一夾角為 $\angle CPX$ ，所述第二夾角為 $\angle BP(-X)$ ，這裡，所述第一夾角與所述第二夾角相等，即 $\angle CPX = \angle BP(-X)$ 。

【0088】 示例性的，參考圖5c，所述第一夾角為 $\angle DPE$ ，所述第二夾角為 $\angle DPF$ ，這裡，所述第一夾角與所述第二夾角相等，即 $\angle DPE = \angle DPF$ 。此時，第四方向和第五方向平行。

【0089】 在另一些實施例中，所述第一夾角與所述第二夾角不同。

【0090】 可以理解的是，當第一夾角與第二夾角相同時，第二導線的兩個部分沿第二方向的寬度出現縮減的程度相同，同時第二導線的兩個部分（402a、402b）沿第一方向的長度的變化程度也是相同的，這將有利於第二閘極的整體尺寸的控制。

【0091】 在一些實施例中，所述第三方向所在直線與所述第二方向所在直線的夾角為 45° ，所述多個第一主動區呈步進狀間隔排列，所述第四方向所在直線與所述第二方向所在直線的夾角為 45° ，所述第五方向所在直線與所述第二方向所在直線的夾角為 45° 。

【0092】 示例性的，參考圖5c，第三方向與X軸方向的夾角為 $\angle DPO$ ；第四方向與X軸方向的夾角為 $\angle EPX$ ；第五方向與X軸方向的夾角為 $\angle OPF$ ；這裡， $\angle DPO = \angle EPX = \angle OPF = 45^\circ$ 。

【0093】 結合前面的計算方法，當第三方向、第四方向、第五方向的夾角均為 45° 時，子字線驅動器在第二方向上的寬度相較於參考值減小的程度最大。同時，當第四方向和第五方向平行，但不與第三方向平行時，相較於當第四方向與第五方向和第三方向均平行時，子字線驅動器在第一方向上的長度更小。

【0094】 在一些實施例中，所述第一閘極整體均沿所述第三方向延伸；或者，所述第一閘極包括沿所述第三方向延伸的第一部分和第二部分以及連接所述第一部分和第二部分的第三部分。

【0095】 示例性的，參考圖5a、圖5b、圖5c、圖5d，多個第一閘極物理連接形成的第一導線401呈直線型。在另一些實施例中，多個第一閘極物理連接形成的第一導線401呈“Z”字型或反“Z”字型，如圖6a、圖6b所示。

【0096】 具體地，參考圖6a、圖6b，第一導線401包括相互連接的第一部分401a、第二部分401b和第三部分401c，第一部分401a和第二部分401b均沿第三方向延伸但不重疊，第三部分401c用於連接第一部分401a和第二部分401b，進而使得第一導線401呈“Z”字型或反“Z”字型。其中，半導體結構900中多個呈“Z”字型的導線401和呈反“Z”字型的導線401間隔排列，如此，可以使得沿Y軸方向相鄰設置的兩個第一導線401之間的部分區域間距較大，該較大間距區域可以根據需求設置其他器件結構，例如雜訊抑制單元；後文中有相關內容，這裡不再詳述。

【0097】 需要說明的是，圖6b為圖6a中呈“Z”字型的導線401的放大示意圖。

【0098】 在一些實施例中，所述半導體結構包括N個子字線驅動器，所述N為大於等於1的正整數；所述N個子字線驅動器中每一子字線驅動器包含的物理連接的所述第一閘極均平行且兩端均齊平；所述N個子字線驅動器中每一子字線驅動器包含的物理連接的所述第二閘極均平行且兩端均齊平。

【0099】 示例性的，參考圖5b，半導體結構600包括N個子字線驅動器，這裡， $N=4$ ；其中，每一個子字線驅動器包含四個第一閘極物理連接，形成第一導線401；其中，四個第一閘極相互平行，且兩端基本齊平。

【0100】 需要說明的是，每一個子字線驅動器中包含四個第一閘極，以及與其對應的四個第一主動區403，四個第一主動區403沿第三方向間隔排列。

【0101】 示例性的，參考圖5a，半導體結構500包括N個子字線驅動器，這裡， $N=4$ ；其中，每一個子字線驅動器包含四個第二閘極物理連接；其中，兩個第二閘極位於第一導線401的一側，兩個第二閘極位於第一導線401的另一側。這裡，四個第二閘極相互平行，且兩端基本齊平。

【0102】 在一些實施例中，所述子字線驅動器還包括：多個第三閘極，第三閘極均位於所述N個子字線驅動器中相鄰的兩個子字線驅動器的第二閘極之間。

【0103】 參考圖5a，在半導體結構500中相鄰的兩個子字線驅動器之間還設置有第三閘極405，所述第三閘極405位於沿第一方向並列設置的相鄰兩個第二閘極（第二導線402a）之間。

【0104】 在一些實施例中，所述子字線驅動器還包括至少一個第二主動區，與所述多個第二閘極、所述多個第三閘極對應；所述第一主動區的形狀為長條形，所述第二主動區的形狀為網格狀。

【0105】 參考圖5a，第一主動區403的形狀可以為長條狀，所述第一閘極與所述第一主動區403一一對應。第二主動區406的形成可以為長條狀，也可以為網格狀；在第二主動區406的形成為長條狀時，一個第二閘極與一個第二主動區一一對應；在第二主動區的形成為網格狀時，多個第二閘極與一個第二主動區對應。另外，在第二主動區406的形成為網格狀時，位於相鄰兩個第二閘極之間的第三閘極也與該第二主動區對應，即多個第二閘極和多個第三閘極共用一個第二主動區406；如此，可以減少主動區的設置，進而減小子字線驅動器的面積。

【0106】 需要說明的是，第三閘極及其對應的電晶體可以用於形成雜訊抑制單元。

【0107】 參考圖7，在第二導線402位於兩個第一導線401之間時，第三閘極405位於沿Y中方向上相鄰的兩個第二閘極（即相鄰的第二導線402）之間。另外，圖7中僅示出了一種第二導線402與第一導線401的排列方式，在另一些實施例中，還可以是其他類型的排列方式，這裡不再一一贅述。

【0108】 在一些實施例中，沿所述第一方向相鄰的兩個第三閘極形成為“C”字型或“T”字型。

【0109】 參考圖5a，在第二導線（402a或402b）與X軸方向平行時，位於沿Y軸方向相鄰兩個第二導線（402a或402b）之間的第三閘極405呈“C”字型或反“C”字型。

【0110】 參考圖6a，在第二導線（402a或402b）與X軸方向所在的直線相交時，沿Y軸方向相鄰設置的兩個第三閘極405呈“T”字型。

【0111】 在一些實施例中，所述N個子字線驅動器包括沿所述第一方向依次設置的第一子字線驅動器和第二子字線驅動器；所述第一子字線驅動器和第二子字線驅動器中的第三閘極均位於所述第一子字線驅動器的第二閘極和第二子字線驅動器的第二閘極之間。

【0112】 參考圖4a，圖4a中示出的半導體結構100包括2個子字線驅動器，即沿Y軸方向相鄰設置的第一子字線驅動器100-1和第二子字線驅動器100-2，第三閘極405位於第一子字線驅動器100-1的第二閘極402a和第二子字線驅動器100-2的第二閘極402a之間；或者，第三閘極405位於第一子字線驅動器100-1的第二閘極402b和第二子字線驅動器100-2的第二閘極402b之間。

【0113】 在一些實施例中，所述N個子字線驅動器包括沿所述第一方向依次設置的第一子字線驅動器、第二子字線驅動器、第三子字線驅動器和第四子字線驅動器；所述N個子字線驅動器的第一閘極整體均沿所述第一方向延伸；第一子字線驅動器和第二子字線驅動器的第二閘極之間的距離為L1，第二子字線驅動器和第三子字線驅動器的第二閘極之間的距離為L2，第三子字線驅動器和第四子字線驅動器的第二閘極之間的距離為L3，其中， $L1=L3$ ， $L1>L2$ ；所述N個子字線驅動器的第三閘極位於所述第一子字線驅動器的第二閘極和第二子字線驅動器的第二閘極之間，以及所述第三子字線驅動器的第二閘極和第四子字線驅動器的第二閘極之間。

【0114】 參考圖5b，圖5b中示出的半導體結構600包括4個沿所述第一方向依次設置的子字線驅動器，即第一子字線驅動器、第二子字線驅動器、第三子字線驅動器和第四子字線驅動器，其中，第一子字線驅動器的第二閘極402a-1與第二子字線驅動器的第二閘極402a-2之間的距離為L1，第二子字線驅動器的第二閘極402a-2與第三子字線驅動器的第二閘極402a-3之間的距離為L2，第三子字線驅動器的第二閘極402a-3與第四子字線驅動器的第二閘極402a-4之間的距離

為L3，這裡， $L1 > L2$ ， $L3 > L2$ ；在一些實施例中， $L1=L3$ ；基於此， $L1=L3 > L2$ 。

【0115】 在此情況下，為了減小子字線驅動器的總面積，將第三閘極405設置在第一子字線驅動器的第二閘極402a-1與第二子字線驅動器的第二閘極402a-2之間；及/或，將第三閘極405設置在第三子字線驅動器的第二閘極402a-3與第四子字線驅動器的第二閘極402a-4之間。

【0116】 在一些實施例中，第二子字線驅動器的第一閘極與所述第三子字線驅動器的第一閘極存在共用的主動區。

【0117】 圖5b中示出的半導體結構600中包括多個第二子字線驅動器的第一閘極401-1和多個第三子字線驅動器的第一閘極401-2，以及多個第一主動區403。沿Y軸方向相鄰的第二子字線驅動器的第一閘極401-1和第三子字線驅動器的第一閘極401-2之間的距離為L2，對應的，第二子字線驅動器的第二閘極402a-2與第三子字線驅動器的第二閘極402a-3之間的距離也為L2，相較於沿Y軸方向相鄰的第一子字線驅動器和第二子字線驅動器之間的距離L1而言相對較小，因此，可以將第二子字線驅動器的第一閘極401-1與所述第三子字線驅動器的第一閘極401-2共用一個第一主動區403，如此，也可以減小子字線驅動器的總面積。

【0118】 在一些實施例中，所述N個子字線驅動器包括沿所述第一方向依次設置的第一子字線驅動器、第二子字線驅動器、第三子字線驅動器和第四子字線驅動器；所述N個子字線驅動器的所述第一閘極包括沿所述第一方向延伸的第一部分和第二部分以及連接所述第一部分和第二部分的第三部分；相鄰的兩個子字線驅動器之間的第一閘極的第一部分間距為第一距離或第二距離，相鄰的兩個子字線驅動器之間的第一閘極的第二部分間距為所述第一距離或所述第二距離，所述第一距離大於所述第二距離；所述N個子字線驅動器的第三閘極位於所述N個子字線驅動器中間距為第一距離的兩個相鄰第一閘極連接的第二閘極之間。

【0119】 參考圖6a，半導體結構900中，第一子字線驅動器400-1對應的多個第一閘極物理連接，形成的第一導線包括第一部分401a和第二部分401b以及連接所述第一部分和第二部分的第三部分401c。第二子字線驅動器400-2對應的多個第一閘極物理連接，形成的第一導線包括第一部分401a和第二部分401b以及連接所述第一部分和第二部分的第三部分401c。第三子字線驅動器400-3對應的多個第一閘極物理連接，形成的第一導線包括第一部分401a和第二部分401b以及連接所述第一部分和第二部分的第三部分401c。第四子字線驅動器400-4對應的多個第一閘極物理連接，形成的第一導線401包括第一部分401a和第二部分401b以及連接所述第一部分和第二部分的第三部分401c。

【0120】 第一子字線驅動器400-1對應的第一部分401a與第二子字線驅動器400-2對應的第一部分401a之間的距離為R1；第一子字線驅動器400-1對應的第二部分401b與第二子字線驅動器400-2對應的第二部分401b之間的距離為R2。

【0121】 第二子字線驅動器400-2對應的第一部分401a與第三子字線驅動器400-3對應的第一部分401a之間的距離為R2；第二子字線驅動器400-2對應的第二部分401b與第三子字線驅動器400-3對應的第二部分401b之間的距離為R1。

【0122】 第三子字線驅動器400-3對應的第一部分401a與第四子字線驅動器400-4對應的第一部分401a之間的距離為R1；第三子字線驅動器400-3對應的第二部分401b與第四子字線驅動器400-4對應的第二部分401b之間的距離為R2。

【0123】 這裡，所述第一距離R1大於所述第二距離R2；基於此，將N個子字線驅動器對應的多個第三閘極設置在相距第一距離R1的沿Y軸方向相鄰設置的兩個第一閘極連接的第二閘極之間。換言之，第三閘極位於相鄰的兩個第二閘極之間，且與該相鄰的兩個第二閘極分別連接的兩個第一閘極之間的距離為第一距離R1。

【0124】 在一些實施例中，所述N個子字線驅動器中間距為第二距離的兩個相鄰第一閘極之間存在共用的所述第一主動區。

【0125】 參考圖6a，第一子字線驅動器400-1對應的第二部分401b與第二子字線驅動器400-2對應的第二部分401b之間、第二子字線驅動器400-2對應的第一部分401a與第三子字線驅動器400-3對應的第一部分401a之間、以及第三子字線驅動器400-3對應的第二部分401b與第四子字線驅動器400-4對應的第二部分401b之間的距離均為第二距離R2，基於此，該區域中，相鄰的兩個第一閘極之間可以共用一個第一主動區403，以減小子字線驅動器的總面積。

【0126】 在一些實施例中，所述第一閘極對應的電晶體包括PMOS電晶體；所述第二閘極對應的電晶體、所述第三閘極對應的電晶體均包括NMOS電晶體。

【0127】 這裡，上述第一閘極、第二閘極、第三閘極對應圖2中示出的子字線驅動器電路時，可以有上述的PMOS和NMOS的對應關係。

【0128】 可以理解的是，在另一些實施例中，所述第一閘極對應的電晶體包括NMOS電晶體；所述第二閘極對應的電晶體、所述第三閘極對應的電晶體均包括PMOS電晶體。此時，可以根據電路的功能需求，調整相應的電路連接關係。

【0129】 在一些實施例中，所述子字線驅動器還包括多個導電接觸；每個所述導電接觸分別與第一主動區或第二主動區中的源極或汲極連接。

【0130】 參考圖5a、圖6a，每一子字線驅動器中還設置有多個導電接觸407；所述導電接觸407可以位於第一閘極的至少一側，與所述第一主動區403中的源極或汲極連接；所述導電接觸407也可以位於第二閘極的至少一側，與所述第二主動區406中的源極或汲極連接。

【0131】 基於此，本案實施例中，將第一閘極對應的第一主動區的延伸方向定義為第一方向，將與第一主動區所在的平面平行且垂直於第一方向的方向定義為第二方向，通過將主字線中的多個第一閘極形成的連線、至少部分第二閘極形成的連線中至少之一的延伸方向設置為與第一方向和第二方向均相交，從而可以在保持通道長度不變的前提下，使得主字線沿第二方向的寬度（主字

線在第一方向上的投影尺寸) 縮小, 子字線驅動器的佔用面積縮小, 進而提高記憶體集成度。

【0132】 本案實施例還提供了一種記憶體, 包括: 如本案上述實施例中所述的半導體結構。

【0133】 這裡, 所述記憶體中的相關結構的佈局可以參考前述的圖1b的相關描述。

【0134】 本案的保護範圍並不局限於此, 任何熟悉本技術領域的技術人員在本案揭露的技術範圍內, 可輕易想到變化或替換, 都應涵蓋在本案的保護範圍之內。因此, 本案的保護範圍應以所述請求項的保護範圍為準。

【符號說明】

100	半導體結構
100-1	第一子字線驅動器
100-2	第二子字線驅動器
200	半導體結構
300	半導體結構
301	PMOS電晶體放置的區域
302	NMOS電晶體放置的區域
303	雜訊抑制單元放置的區域
304	PMOS電晶體的閘極放置的區域
305	NMOS電晶體的閘極放置的區域
306	雜訊抑制單元放置的區域
400	半導體結構
400-1	第一子字線驅動器
400-2	第二子字線驅動器
400-3	第三子字線驅動器

400-4	第四子字線驅動器
401	第一導線
401a	第一部分
401b	第二部分
401c	第三部分
402a、402b	第二導線
402a-1~402a-4	第二閘極
403	第一主動區
404	主字線
405	第三閘極
406	第二主動區
407	導電接觸
500	半導體結構
600	半導體結構
700	半導體結構
800	半導體結構
BL	位線
BLSA	位線感測放大器
C	電容
CA	儲存單元陣列
MWL	主字線
SWD	子字線驅動器
SWL	子字線
T	電晶體
Noise Killer	雜訊抑制單元
PMOS	P型金屬-氧化物-半導體電晶體

NMOS	N型金屬-氧化物-半導體電晶體
VPP	電晶體控制電壓
VKK	子字線開啟或控制電壓
WL	字線

【發明申請專利範圍】

【請求項1】 一種半導體結構，包括：至少一個子字線驅動器，所述子字線驅動器包括：

多個第一主動區；以及

主字線，包括互連的多個第一閘極和多個第二閘極；所述多個第一閘極對應所述多個第一主動區；

其中，所述主字線中的所述多個第一閘極的延伸方向及/或所述主字線中的至少部分第二閘極的延伸方向與第一方向和第二方向均相交；所述第一方向平行於所述第一主動區延伸的方向，所述第二方向與所述第一主動區所在的平面平行且垂直於所述第一方向。

【請求項2】 根據請求項1所述的半導體結構，其中，所述多個第一閘極物理連接且均沿第三方向延伸，所述多個第一主動區沿所述第三方向間隔排列，至少部分所述第二閘極物理連接均沿第四方向延伸；

所述第三方向所在直線與所述第二方向所在直線的夾角範圍為：0-45°；及/或，所述第四方向所在直線與所述第二方向所在直線的夾角範圍為：0-45°。

【請求項3】 根據請求項2所述的半導體結構，其中，所述多個第一閘極物理連接且均沿第三方向延伸，所述多個第二閘極物理連接在所述多個第一閘極的一端且均沿第四方向延伸。

【請求項4】 根據請求項2所述的半導體結構，其中，所述多個第一閘極物理連接且均沿第三方向延伸，一部分所述第二閘極物理連接在所述多個第一閘極的一端且均沿第四方向延伸，另一部分所述第二閘極物理連接在所述多個第一

閘極的另一端且均沿第五方向延伸，所述第五方向所在直線與所述第二方向所在直線的夾角範圍為： $0-45^{\circ}$ ；

其中，所述第四方向所在的直線與所述第三方向所在的直線之間的夾角為第一夾角，所述第五方向所在的直線與所述第三方向所在的直線之間的夾角為第二夾角，所述第一夾角與所述第二夾角相等；

其中，所述第三方向所在直線與所述第二方向所在直線的夾角為 45° ，所述多個第一主動區呈步進狀間隔排列，所述第四方向所在直線與所述第二方向所在直線的夾角為 45° ，所述第五方向所在直線與所述第二方向所在直線的夾角為 45° 。

【請求項5】 根據請求項2所述的半導體結構，其中，

所述第一閘極整體均沿所述第三方向延伸；

或者，

所述第一閘極包括沿所述第三方向延伸的第一部分和第二部分以及連接所述第一部分和第二部分的第三部分。

【請求項6】 根據請求項2至5中任一項所述的半導體結構，其中，所述半導體結構包括N個子字線驅動器，所述N為大於等於1的正整數；

所述N個子字線驅動器中每一子字線驅動器包含的物理連接的所述第一閘極均平行且兩端均齊平；

所述N個子字線驅動器中每一子字線驅動器包含的物理連接的所述第二閘極均平行且兩端均齊平；

其中，所述子字線驅動器還包括：多個第三閘極，所述多個第三閘極均位於所述N個子字線驅動器中相鄰的兩個子字線驅動器的第二閘極之間；

其中，所述子字線驅動器還包括至少一個第二主動區，與所述多個第二閘極、所述多個第三閘極對應；

所述第一主動區的形狀為長條形，所述第二主動區的形狀為網格狀。

【請求項7】 根據請求項6所述的半導體結構，其中，所述N個子字線驅動器包括第一子字線驅動器和第二子字線驅動器；

所述第一子字線驅動器和第二子字線驅動器中的第三閘極均位於所述第一子字線驅動器的第二閘極和第二子字線驅動器的第二閘極之間。

【請求項8】 根據請求項6所述的半導體結構，其中，所述N個子字線驅動器包括沿所述第一方向依次設置的第一子字線驅動器、第二子字線驅動器、第三子字線驅動器和第四子字線驅動器；所述N個子字線驅動器的第一閘極整體均沿所述第一方向延伸；所述第一子字線驅動器和第二子字線驅動器的第二閘極之間的距離為L1，所述第二子字線驅動器和第三子字線驅動器的第二閘極之間的距離為L2，所述第三子字線驅動器和第四子字線驅動器的第二閘極之間的距離為L3；其中， $L1=L3$ ， $L1>L2$ ；

所述N個子字線驅動器的第三閘極位於所述第一子字線驅動器的第二閘極和第二子字線驅動器的第二閘極之間，以及所述第三子字線驅動器的第二閘極和第四子字線驅動器的第二閘極之間；

其中，所述第二子字線驅動器的第一閘極與所述第三子字線驅動器的第一閘極存在共用的主動區。

【請求項9】 根據請求項6所述的半導體結構，其中，所述N個子字線驅動器包括沿所述第一方向依次設置的第一子字線驅動器、第二子字線驅動器、第三子字線驅動器和第四子字線驅動器；所述N個子字線驅動器的所述第一閘極包括沿所述第一方向延伸的第一部分和第二部分以及連接所述第一部分和第二部分

的第三部分；相鄰的兩個子字線驅動器之間的第一閘極的第一部分的間距為第一距離或第二距離，相鄰的兩個子字線驅動器之間的第一閘極的第二部分的間距為所述第二距離或所述第一距離，所述第一距離大於所述第二距離；

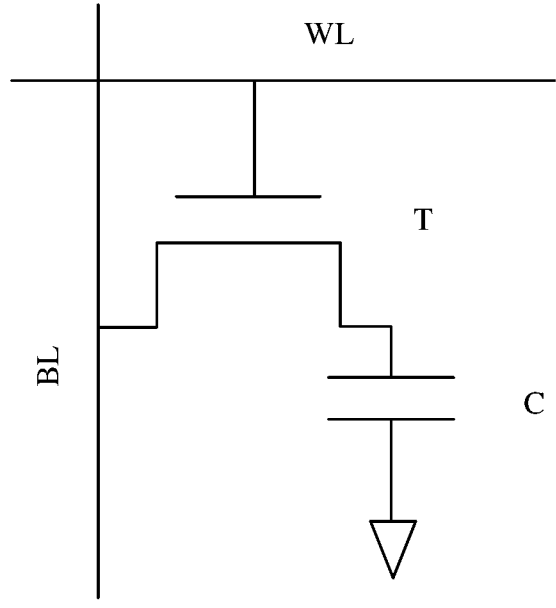
所述N個子字線驅動器的第三閘極位於所述N個子字線驅動器中間距為第一距離的兩個相鄰第一閘極連接的第二閘極之間；

其中，所述N個子字線驅動器中間距為第二距離的兩個相鄰第一閘極之間存在共用的所述第一主動區。

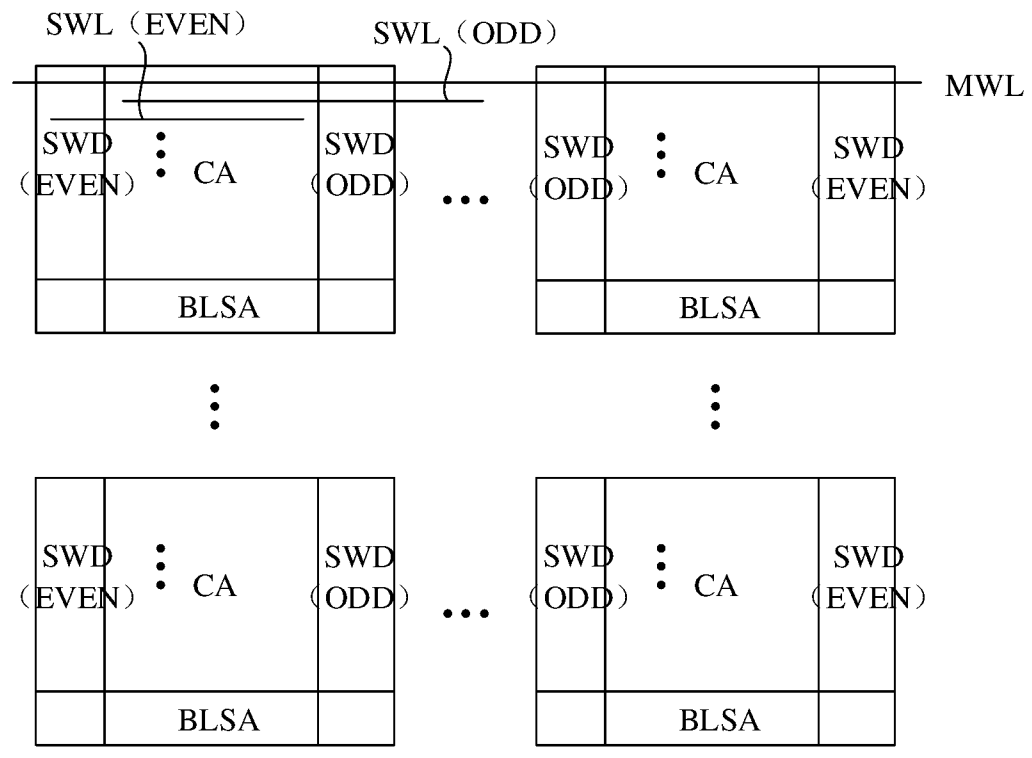
【請求項10】 一種記憶體，包括：

如請求項1至9任一項所述的半導體結構。

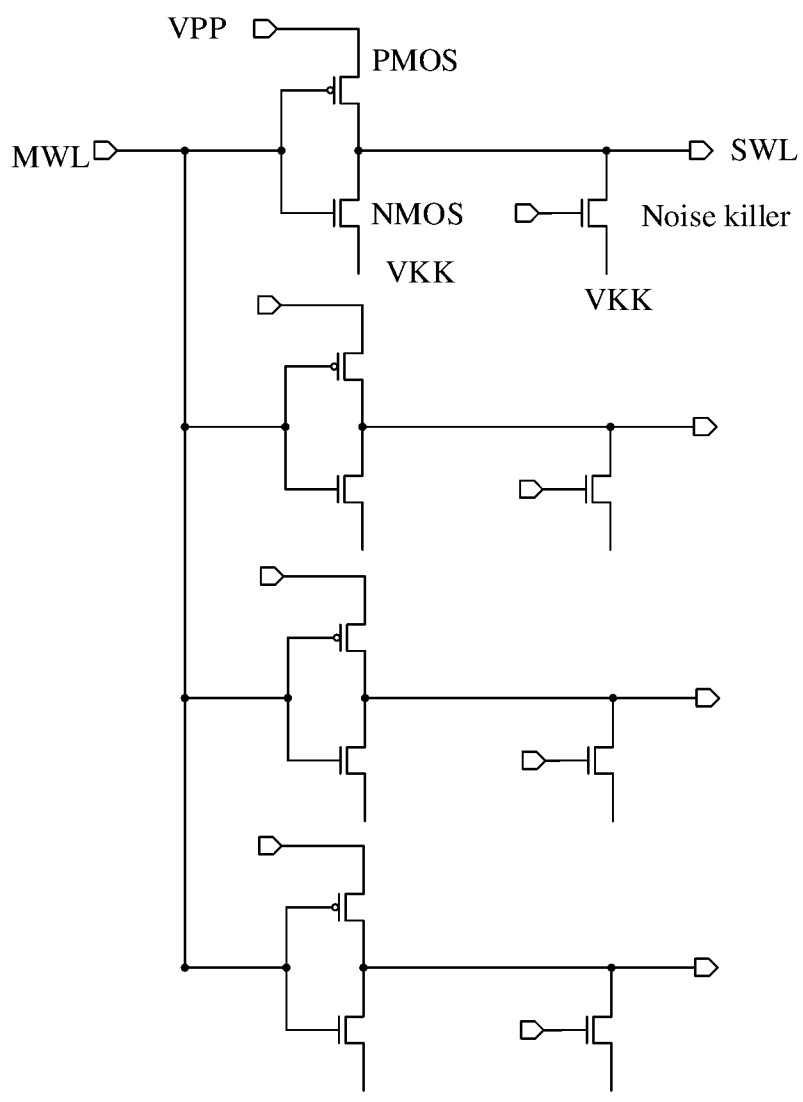
【發明圖式】



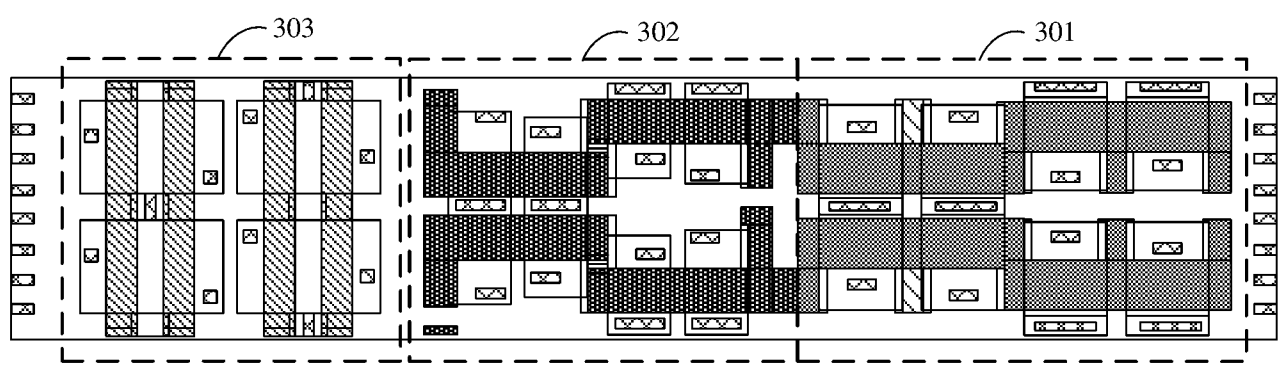
【圖 1a】



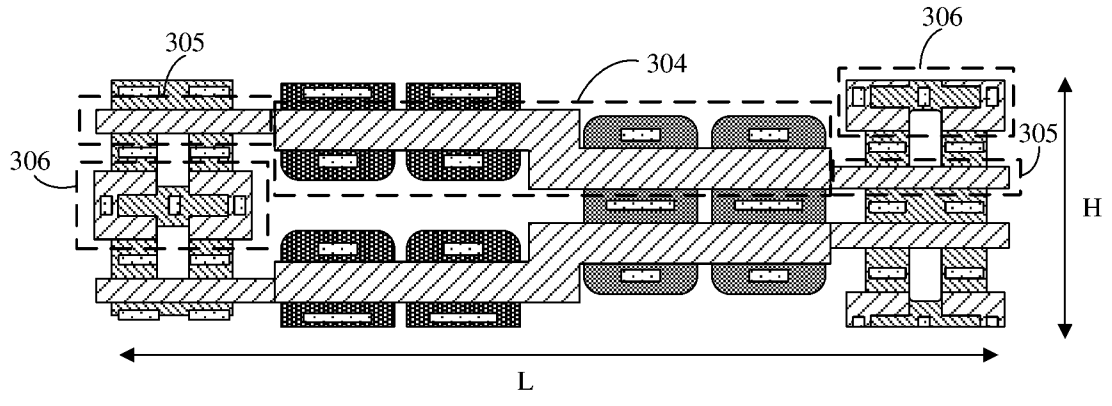
【圖 1b】



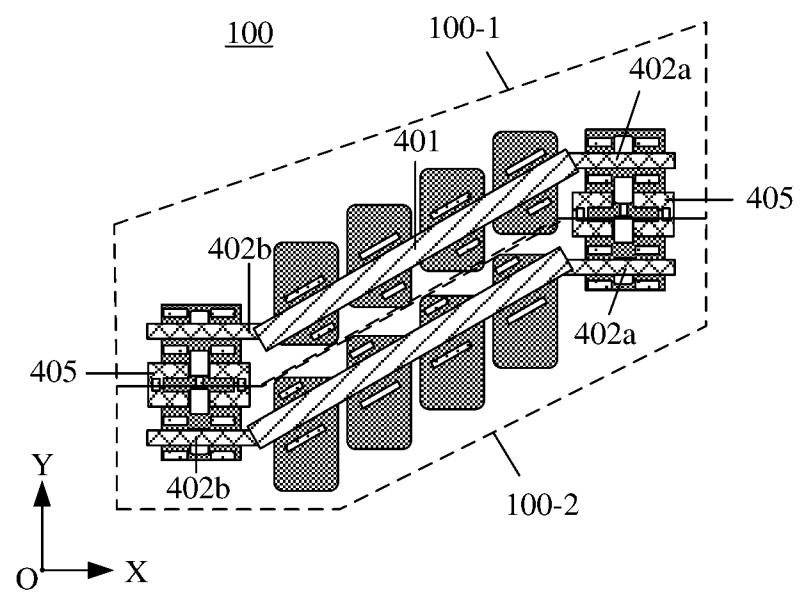
【圖 2】



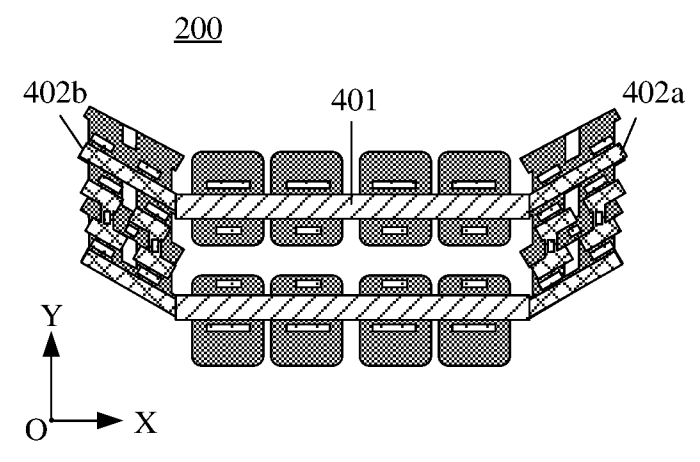
【圖 3a】



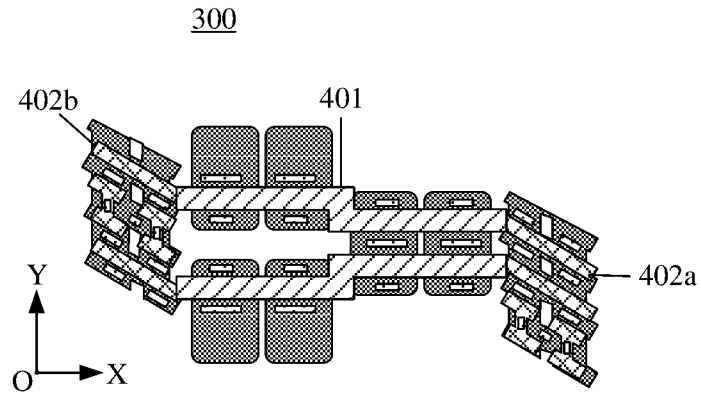
【圖 3b】



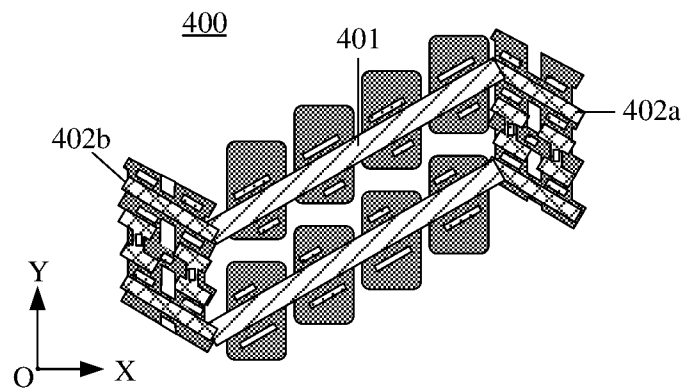
【圖 4a】



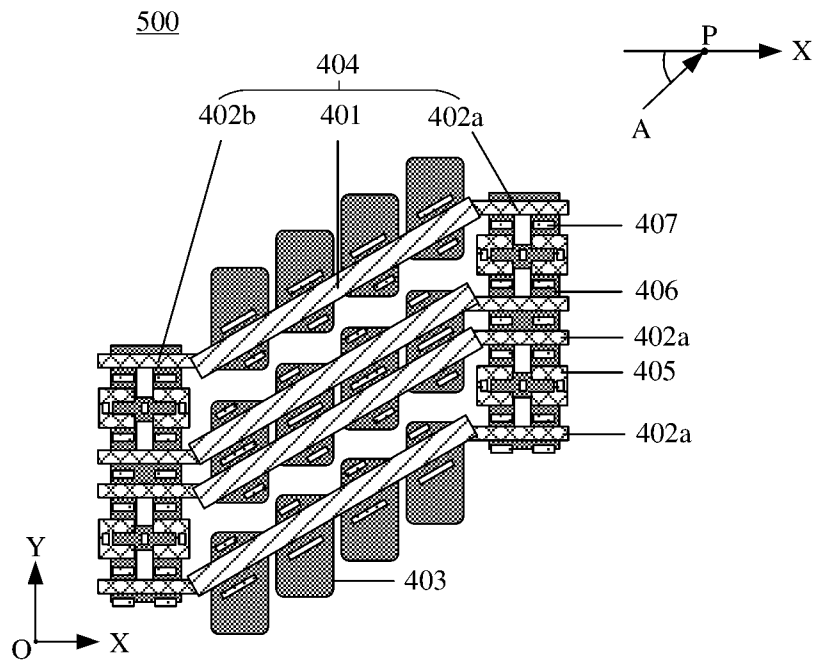
【圖 4b】



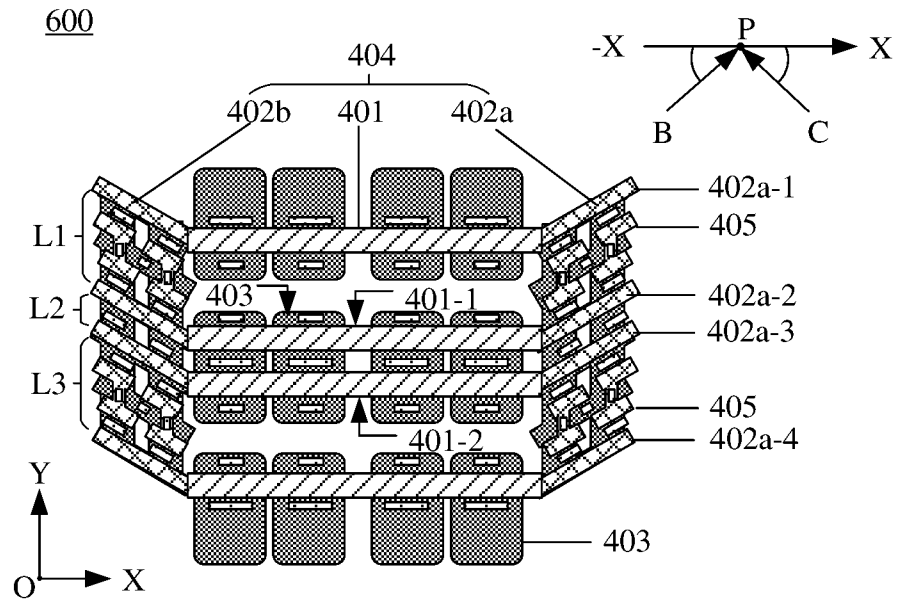
【圖 4c】



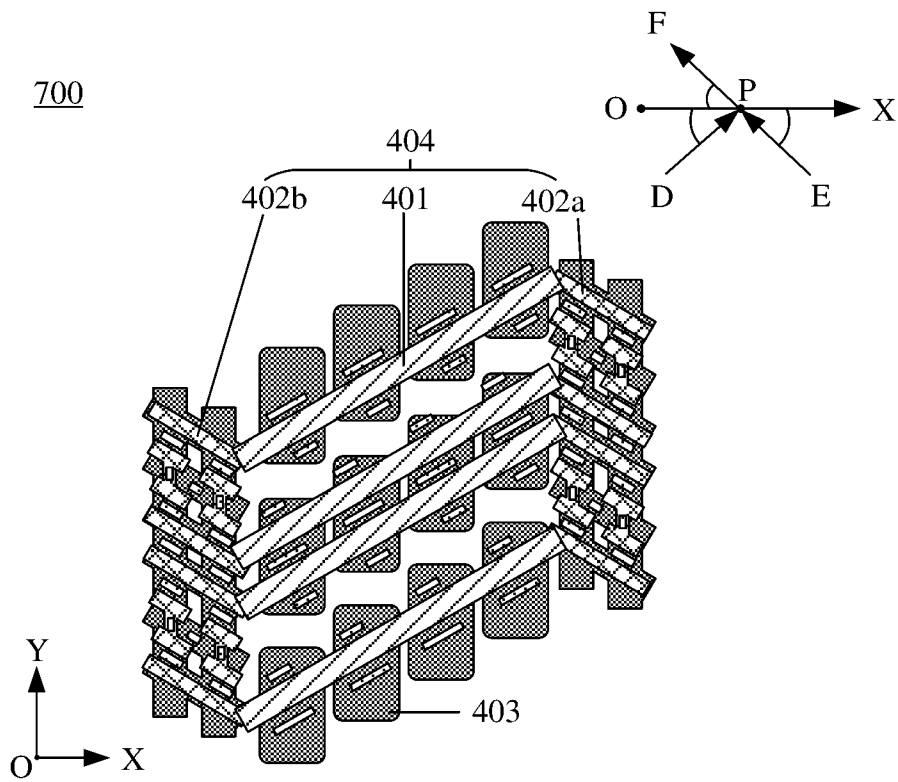
【圖 4d】



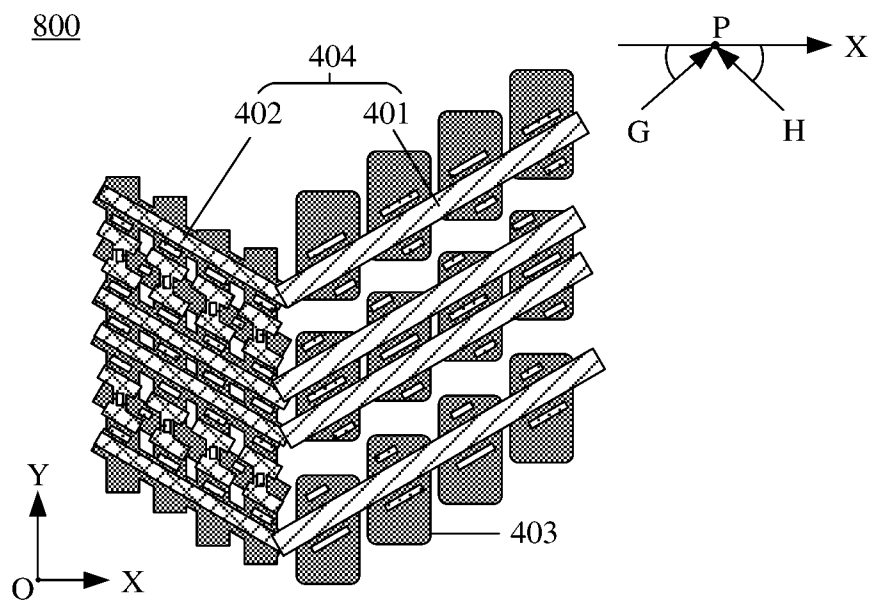
【圖 5a】



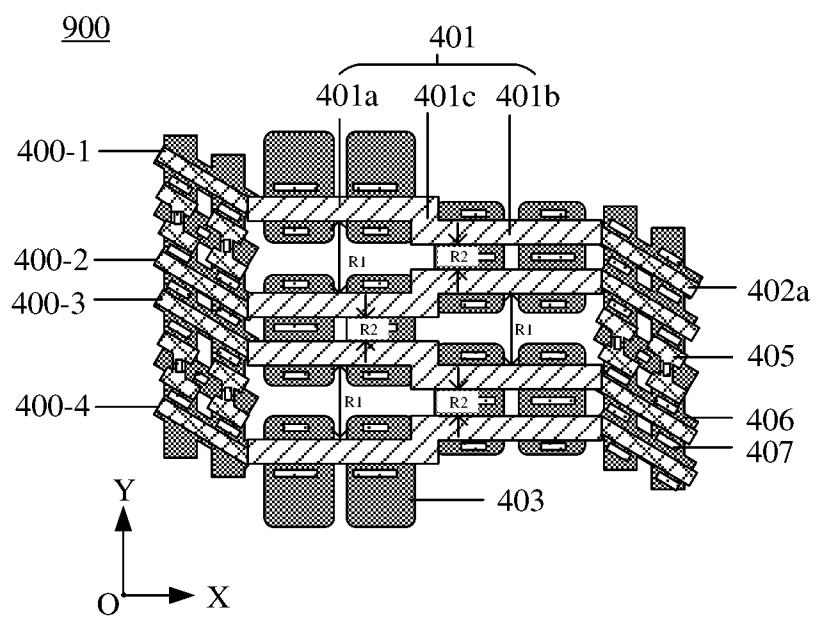
【圖 5b】



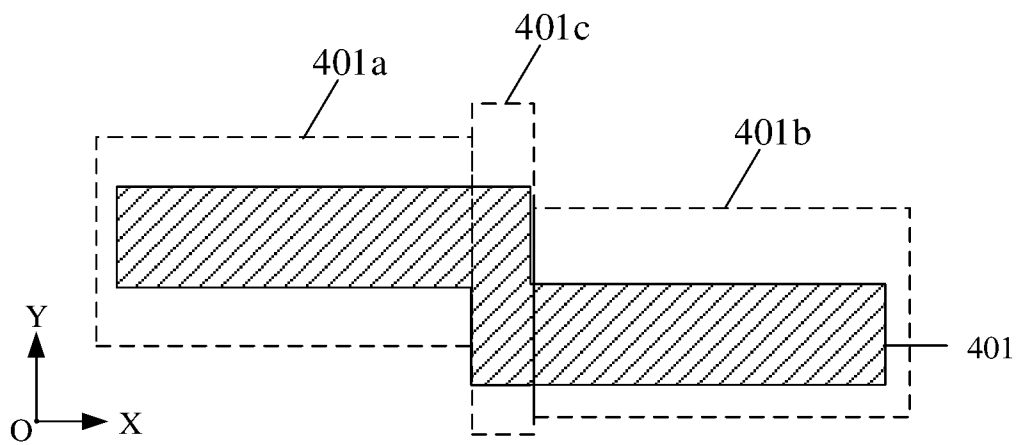
【圖 5c】



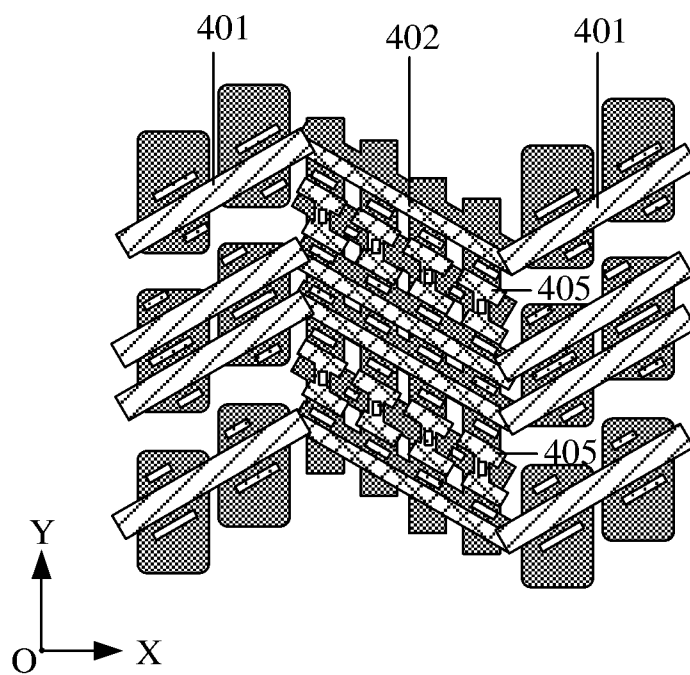
【圖 5d】



【圖 6a】



【圖 6b】



【圖 7】