



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2014년03월14일
 (11) 등록번호 10-1374977
 (24) 등록일자 2014년03월10일

(51) 국제특허분류(Int. Cl.)
 G11C 7/22 (2006.01) G11C 7/10 (2006.01)
 (21) 출원번호 10-2012-0139830
 (22) 출원일자 2012년12월04일
 심사청구일자 2012년12월04일
 (65) 공개번호 10-2013-0062886
 (43) 공개일자 2013년06월13일
 (30) 우선권주장
 JP-P-2011-265684 2011년12월05일 일본(JP)
 (56) 선행기술조사문헌
 JP2010192030 A
 JP10069777 A
 US5692165 A
 US7178048 B2

(73) 특허권자
 피에스4 픽스코 에스.에이.알.엘.
 룩셈부르크 엘-2121 룩셈부르크 발 데 봉 말라드 208
 (72) 발명자
 이토 고지
 일본 도쿄도 주오쿠 야에스 2초메 2방 1고 엘피다 메모리 가부시키키가이샤 나이
 마츠이 요시노리
 일본 도쿄도 주오쿠 야에스 2초메 2방 1고 엘피다 메모리 가부시키키가이샤 나이
 (74) 대리인
 특허법인코리아나

전체 청구항 수 : 총 14 항

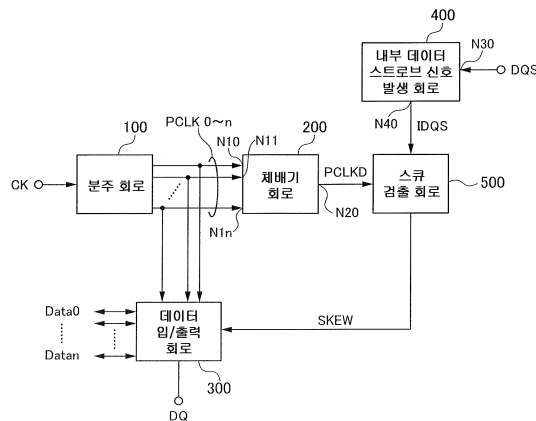
심사관 : 손윤식

(54) 발명의 명칭 반도체 디바이스 및 데이터 프로세싱 시스템

(57) 요약

외부로부터 제 1 클럭 신호가 공급되는 클럭 단자; 제 1 클럭 신호의 주파수를 분주하여, 위상이 서로 상이한 복수의 제 2 클럭 신호들을 발생시키는 분주 회로; 제 2 클럭 신호들을 체배하여 제 3 클럭 신호를 발생시키는 체배기 회로로서, 체배기 회로는 미리 결정된 동작 지연 시간을 갖는, 그 체배기 회로; 외부로부터 제 1 데이터 스트로브 신호가 공급되는 데이터 스트로브 단자; 미리 결정된 동작 지연 시간을 제 1 데이터 스트로브 신호에 부가하여 제 2 데이터 스트로브 신호를 발생시키는 스트로브 신호 발생 회로; 및 제 3 클럭 신호와 제 2 데이터 스트로브 신호 사이의 스큐를 측정하는 스큐 검출 회로를 포함하는 반도체 디바이스가 여기에 개시되어 있다.

대표도 - 도1



특허청구의 범위

청구항 1

외부로부터 제 1 클럭 신호가 공급되는 클럭 단자;

상기 제 1 클럭 신호의 주파수를 분주하여, 위상이 서로 상이한 복수의 제 2 클럭 신호들을 발생시키는 분주 회로;

상기 제 2 클럭 신호들을 체배하여 (multiplying) 제 3 클럭 신호를 발생시키는 체배기 회로로서, 상기 체배기 회로는 미리 결정된 동작 지연 시간을 갖는, 상기 체배기 회로;

외부로부터 제 1 데이터 스트로브 신호가 공급되는 데이터 스트로브 단자;

상기 미리 결정된 동작 지연 시간을 상기 제 1 데이터 스트로브 신호에 추가하여 제 2 데이터 스트로브 신호를 발생시키는 스트로브 신호 발생 회로; 및

상기 제 3 클럭 신호와 상기 제 2 데이터 스트로브 신호 사이의 스큐 (skew) 를 측정하는 스큐 검출 회로를 포함하는, 반도체 디바이스.

청구항 2

제 1 항에 있어서,

상기 체배기 회로는, 각각의 제 1 입력 노드에 상기 제 2 클럭 신호들 중 관련 제 2 클럭 신호가 공급되는 복수의 제 1 입력 노드들, 및 상기 제 3 클럭 신호가 출력되는 제 1 출력 노드를 포함하고,

상기 스트로브 신호 발생 회로는, 상기 제 1 데이터 스트로브 신호가 공급되는 제 2 입력 노드, 및 상기 제 2 데이터 스트로브 신호가 출력되는 제 2 출력 노드를 포함하며,

상기 제 1 입력 노드들 각각과 상기 제 1 출력 노드 사이에 연결된 제 1 로직 게이트 회로들의 개수는, 상기 제 2 입력 노드와 상기 제 2 출력 노드 사이에 연결된 제 2 로직 게이트 회로들의 개수와 동일한, 반도체 디바이스.

청구항 3

제 2 항에 있어서,

상기 제 1 로직 게이트 회로들 각각은, 상기 제 2 로직 게이트 회로들 중 관련 제 2 로직 게이트 회로와 실질적으로 동일한 팬 아웃 (fan-out) 을 갖는, 반도체 디바이스.

청구항 4

제 1 항에 있어서,

상기 클럭 단자는, 상기 반도체 디바이스의 제 1 면을 따라 연장되는 제 1 패드 영역에 배치되고,

상기 데이터 스트로브 단자는, 상기 제 1 면과 상이한, 상기 반도체 디바이스의 제 2 면을 따라 연장되는 제 2 패드 영역에 배치되는, 반도체 디바이스.

청구항 5

제 4 항에 있어서,

복수의 메모리 셀들을 포함하는 메모리 셀 어레이를 더 포함하고,

상기 분주 회로는, 상기 제 1 패드 영역을 따라 위치한 제 1 주변 회로 영역에 배치되고,

상기 스트로브 신호 발생 회로 및 스큐 검출 회로는, 상기 제 2 패드 영역을 따라 위치한 제 2 주변 회로 영역에 배치되며,

상기 메모리 셀 어레이는 상기 제 1 주변 회로 영역과 상기 제 2 주변 회로 영역 사이에 샌드위치되는, 반도체

디바이스.

청구항 6

제 1 항 내지 제 5 항 중 어느 한 항에 있어서,

상기 제 2 데이터 스트로브 신호와 동기하여, 외부로부터 공급된 복수의 기입 데이터를 수신하는 입력 버퍼 회로를 더 포함하는, 반도체 디바이스.

청구항 7

제 6 항에 있어서,

상기 제 2 클록 신호들과 동기하여, 상기 입력 버퍼 회로로부터 직렬로 출력되는 상기 기입 데이터를 병렬로 변환하는 직렬/병렬 변환 회로를 더 포함하는, 반도체 디바이스.

청구항 8

제 1 데이터 스트로브 신호가 공급되어, 외부로부터 공급되는 제 2 데이터 스트로브 신호를 발생시키는 스트로브 신호 발생 회로로서, 상기 제 2 데이터 스트로브 신호는, 상기 스트로브 신호 발생 회로에 공급되는 제 1 데이터 스트로브 신호가 활성화된 이래로 제 1 기간의 경과 후에 활성화되는, 상기 스트로브 신호 발생 회로;

상기 제 2 데이터 스트로브 신호와 동기하여 복수의 기입 데이터를 직렬로 외부로부터 수신하는 입력 버퍼 회로;

복수의 제 1 클록 신호들을 체배하여 제 2 클록 신호를 발생시키는 체배기 회로로서, 상기 제 2 클록 신호는, 상기 체배기 회로에 공급되는 상기 제 1 클록 신호들 각각이 활성화된 이래로 제 2 기간의 경과 후에 활성화되는, 상기 체배기 회로;

상기 제 1 클록 신호들과 동기하여, 상기 입력 버퍼 회로로부터 직렬로 출력되는 상기 기입 데이터를 병렬로 변환하는 직렬/병렬 변환 회로; 및

상기 제 2 클록 신호와 상기 제 2 데이터 스트로브 신호 사이의 스큐를 측정하는 스큐 검출 회로를 포함하고, 상기 제 2 기간은 상기 제 1 기간과 실질적으로 동일한, 반도체 디바이스.

청구항 9

제 8 항에 있어서,

상기 체배기 회로는, 각각의 제 1 입력 노드에 상기 제 1 클록 신호들 중 관련 제 1 클록 신호가 공급되는 복수의 제 1 입력 노드들, 및 상기 제 2 클록 신호가 출력되는 제 1 출력 노드를 포함하고,

상기 스트로브 신호 발생 회로는, 상기 제 1 데이터 스트로브 신호가 공급되는 제 2 입력 노드, 및 상기 제 2 데이터 스트로브 신호가 출력되는 제 2 출력 노드를 포함하며,

상기 제 1 입력 노드들 각각과 상기 제 1 출력 노드 사이에 연결된 제 1 로직 게이트 회로들의 개수는, 상기 제 2 입력 노드와 상기 제 2 출력 노드 사이에 연결된 제 2 로직 게이트 회로들의 개수와 동일한, 반도체 디바이스.

청구항 10

제 9 항에 있어서,

상기 제 1 로직 게이트 회로들 각각은, 상기 제 2 로직 게이트 회로들 중 관련 제 2 로직 게이트 회로와 실질적으로 동일한 팬 아웃을 갖는, 반도체 디바이스.

청구항 11

제 8 항 내지 제 10 항 중 어느 한 항에 있어서,

상기 제 1 클록 신호들은, 외부로부터 공급된 외부 클록 신호에 대해 위상 제어되지 않는, 반도체 디바이스.

청구항 12

제 1 반도체 디바이스; 및

상기 제 1 반도체 디바이스에 연결된 제 2 반도체 디바이스를 포함하는 데이터 프로세싱 시스템으로서,

제 1 반도체 디바이스는,

상기 제 2 반도체 디바이스로부터 제 1 클록 신호가 공급되는 클록 단자;

상기 제 1 클록 신호의 주파수를 분주하여, 위상이 서로 상이한 복수의 제 2 클록 신호들을 발생시키는 분주 회로;

상기 제 2 클록 신호들을 체배하여 제 3 클록 신호를 발생시키는 체배기 회로로서, 상기 체배기 회로는 미리 결정된 동작 지연 시간을 갖는, 상기 체배기 회로;

상기 제 2 반도체 디바이스로부터 제 1 데이터 스트로브 신호가 공급되는 데이터 스트로브 단자;

상기 미리 결정된 동작 지연 시간을 상기 제 1 데이터 스트로브 신호에 부가하여 제 2 데이터 스트로브 신호를 발생시키는 스트로브 신호 발생 회로; 및

상기 제 3 클록 신호와 상기 제 2 데이터 스트로브 신호 사이의 스큐를 측정하는 스큐 검출 회로를 포함하는, 데이터 프로세싱 시스템.

청구항 13

제 12 항에 있어서,

상기 체배기 회로는, 각각의 제 1 입력 노드에 상기 제 2 클록 신호들 중 관련 제 2 클록 신호가 공급되는 복수의 제 1 입력 노드들, 및 상기 제 3 클록 신호가 출력되는 제 1 출력 노드를 포함하고,

상기 스트로브 신호 발생 회로는, 상기 제 1 데이터 스트로브 신호가 공급되는 제 2 입력 노드, 및 상기 제 2 데이터 스트로브 신호가 출력되는 제 2 출력 노드를 포함하며,

상기 제 1 입력 노드들 각각과 상기 제 1 출력 노드 사이에 연결된 제 1 로직 게이트 회로들의 개수는, 상기 제 2 입력 노드와 상기 제 2 출력 노드 사이에 연결된 제 2 로직 게이트 회로들의 개수와 동일한, 데이터 프로세싱 시스템.

청구항 14

제 13 항에 있어서,

상기 제 1 로직 게이트 회로들 각각은, 상기 제 2 로직 게이트 회로들 중 관련 제 2 로직 게이트 회로와 실질적으로 동일한 팬 아웃을 갖는, 데이터 프로세싱 시스템.

명세서

기술분야

[0001] 본 발명은 반도체 디바이스에 관한 것으로, 더 상세하게는 클록 신호와 데이터 스트로브 신호 사이의 스큐(skew)를 측정하는 스큐 검출 회로를 갖는 반도체 디바이스에 관한 것이다.

배경기술

[0002] DRAM (Dynamic Random Access Memory) 과 같은 반도체 메모리 디바이스와 메모리 제어기 사이의 판독 데이터 및 기입 데이터의 송수신은 데이터 스트로브 신호와 동기하여 수행될 수도 있다. 예를 들어, 기입 동작시, 메모리 제어기는 데이터 스트로브 신호 및 기입 데이터를 반도체 메모리 디바이스에 공급하고, 반도체 메모리 디바이스는 기입 데이터를 데이터 스트로브 신호와 동기하여 폐지한다.

[0003] 그러나, 반도체 메모리 디바이스에 의해 폐지된 기입 데이터는, 데이터 스트로브 신호와는 상이한 클록 신호와 동기하여 메모리 셀 어레이에 전송된다. 따라서, 스큐가 데이터 스트로브 신호와 클록 신호 사이에 존재하는 경우, 기입 동작이 올바르게 수행되지 않을 수도 있다. 이 문제를 해결하기 위해, 반도체 메모리 디바이

스들은 클럭 신호와 데이터 스트로브 신호 사이의 스큐를 측정하기 위한 기입 레벨링 모드를 종종 포함한다 (일본 특허출원공개공보 제2010-192030호 참조).

[0004] 기입 레벨링 모드로의 진입시, 반도체 메모리 디바이스는, 클럭 신호를, 메모리 제어기로부터 공급된 데이터 스트로브 신호의 상승 에지의 타이밍에서 샘플링하고, 그 샘플링된 클럭 신호를 데이터 단자로부터 출력한다. 이러한 구성을 이용하여, 메모리 제어기는 데이터 스트로브 신호와 클럭 신호 사이의 스큐의 양을 획득할 수 있다. 그 결과, 메모리 제어기는 그 양을 고려하여 데이터 스트로브 신호의 출력 타이밍을 조정할 수 있다.

[0005] 일본 특허출원공개공보 제2010-192030호에 개시된 반도체 메모리 디바이스는, 위상 제어되는 내부 클럭 신호를 발생시키는 DLL (Delay Locked Loop) 회로를 포함한다. 관독 데이터는 그 위상 제어된 내부 클럭 신호와 동기하여 출력된다. 그러나, DLL 회로는 비교적 다량의 전력을 소모하는 회로 블록이다. 그에 의해, DLL 회로는 저전력 소모를 요구하는 반도체 메모리 디바이스에 제공되지 않을 수도 있다. 이러한 반도체 메모리 디바이스에서는, 위상 제어되지 않은 내부 클럭 신호를 이용하여 병렬/직렬 변환되는 데이터를 관독하여, 그 관독된 데이터가 위상 제어되는 일 없이 외부로 출력된다. 기입 동작 동안이라도, 데이터 스트로브 신호와 동기하여 입력된 기입 데이터는 위상 제어되지 않은 내부 클럭 신호를 이용하여 직렬/병렬 변환된다 (일본 특허출원공개공보 제2011-108300호 참조). 병렬/직렬 변환 및 직렬/병렬 변환은 복수의 분주된 클럭 신호 (frequency-divided clock signal) 들을 이용하여 수행되고, 그 분주된 클럭 신호들의 위상들은 서로 상이하다.

[0006] 그러나, 기입 레벨링 동작 동안, 이용되는 클럭 신호는 외부 클럭 신호와 동일한 주파수를 가질 필요가 있고, 분주된 클럭 신호들이 이용될 수 없다. 그에 의해, 아무런 DLL 회로도 갖지 않는 반도체 메모리 디바이스에서는, 복수의 분주된 클럭 신호들이 체배기 회로 (multiplier circuit) 에 의해 조합됨으로써, 외부 클럭 신호와 동일한 주파수를 갖는 내부 클럭 신호를 재생성한다. 내부 클럭 신호는 기입 레벨링 동작을 수행하기 위해 이용될 필요가 있다. 일본 특허출원공개공보 제2000-278103호는 분주 회로 및 체배기 회로의 하나의 예를 개시하고 있다.

발명의 내용

해결하려는 과제

[0007] 그러나, 내부 클럭 신호가 체배기 회로에 의해 발생하는 경우, 체배기 회로에 의해 야기된 지연이 내부 클럭 신호에 부가된다. 그 결과, 기입 레벨링 동작을 정확히 수행할 수 없다. 이러한 현상은 DRAM 과 같은 반도체 메모리 디바이스들로 한정되지 않는다. 이 현상은 복수의 분주된 클럭 신호들을 이용하여 기입 데이터를 전송하고 기입 레벨링 동작을 수행할 수 있는 모든 반도체 디바이스들에서 발생할 수 있다.

과제의 해결 수단

[0008] 하나의 실시형태에서, 외부로부터 제 1 클럭 신호가 공급되는 클럭 단자; 제 1 클럭 신호의 주파수를 분주하여, 위상이 서로 상이한 복수의 제 2 클럭 신호들을 발생시키는 분주 회로; 제 2 클럭 신호들을 체배하여 제 3 클럭 신호를 발생시키는 체배기 회로로서, 체배기 회로는 미리 결정된 동작 지연 시간을 갖는, 그 체배기 회로; 외부로부터 제 1 데이터 스트로브 신호가 공급되는 데이터 스트로브 단자; 미리 결정된 동작 지연 시간을 제 1 데이터 스트로브 신호에 부가하여 제 2 데이터 스트로브 신호를 발생시키는 스트로브 신호 발생 회로; 및 제 3 클럭 신호와 제 2 데이터 스트로브 신호 사이의 스큐를 측정하는 스큐 검출 회로를 포함하는 반도체 디바이스가 제공된다.

[0009] 다른 실시형태에서, 제 1 데이터 스트로브 신호가 공급되어, 외부로부터 공급되는 제 2 데이터 스트로브 신호를 발생시키는 스트로브 신호 발생 회로로서, 제 2 데이터 스트로브 신호는, 스트로브 신호 발생 회로에 공급되는 제 1 데이터 스트로브 신호가 활성화된 이래로 제 1 기간의 경과 후에 활성화되는, 그 스트로브 신호 발생 회로; 제 2 데이터 스트로브 신호와 동기하여 복수의 기입 데이터를 직렬로 외부로부터 수신하는 입력 버퍼 회로; 복수의 제 1 클럭 신호들을 체배하여 제 2 클럭 신호를 발생시키는 체배기 회로로서, 제 2 클럭 신호는, 체배기 회로에 공급되는 제 1 클럭 신호들 각각이 활성화된 이래로 제 2 기간의 경과 후에 활성화되는, 그 체배기 회로; 제 1 클럭 신호들과 동기하여, 입력 버퍼 회로로부터 직렬로 출력되는 기입 데이터를 병렬로 변환하는 직렬/병렬 변환 회로; 및 제 2 클럭 신호와 제 2 데이터 스트로브 신호 사이의 스큐를 측정하는 스큐 검출 회로를 포함하고, 제 2 기간은 제 1 기간과 실질적으로 동일한, 반도체 디바이스가 제공된다.

[0010] 또 다른 실시형태에서, 제 1 반도체 디바이스; 및 제 1 반도체 디바이스에 연결된 제 2 반도체 디바이스를 포함하는 데이터 프로세싱 시스템이 제공된다. 제 1 반도체 디바이스는, 제 2 반도체 디바이스로부터 제 1 클럭

신호가 공급되는 클록 단자; 제 1 클록 신호의 주파수를 분주하여, 위상이 서로 상이한 복수의 제 2 클록 신호들을 발생시키는 분주 회로; 제 2 클록 신호들을 체배하여 제 3 클록 신호를 발생시키는 체배기 회로로서, 체배기 회로는 미리 결정된 동작 지연 시간을 갖는, 그 체배기 회로; 제 2 반도체 디바이스로부터 제 1 데이터 스트로브 신호가 공급되는 데이터 스트로브 단자; 미리 결정된 동작 지연 시간을 제 1 데이터 스트로브 신호에 부가하여 제 2 데이터 스트로브 신호를 발생시키는 스트로브 신호 발생 회로; 및 제 3 클록 신호와 제 2 데이터 스트로브 신호 사이의 스큐를 측정하는 스큐 검출 회로를 포함한다.

도면의 간단한 설명

- [0011] 도 1 은 본 발명의 하나의 실시형태에 따른 반도체 디바이스를 나타내는 블록도이다.
- 도 2 는 본 발명의 바람직한 실시형태에 따른 데이터 프로세싱 시스템의 구성을 나타내는 도면이다.
- 도 3 은 본 발명의 일 실시형태에 따른 반도체 디바이스의 구성을 나타내는 블록도이다.
- 도 4 는 도 3 에 도시된 반도체 디바이스의 레이아웃을 나타내는 평면도이다.
- 도 5 는 도 3 에 도시된 모드 레지스터의 일부를 나타내는 도면이다.
- 도 6 은 도 5 에 도시된 분주 회로의 구성을 나타내는 블록도이다.
- 도 7 은 도 6 에 도시된 카운터 회로를 나타내는 회로도이다.
- 도 8 은 도 7 에 도시된 래치 회로를 나타내는 회로도이다.
- 도 9 는 도 6 에 도시된 단위 분주 회로를 나타내는 회로도이다.
- 도 10 은 도 9 에 도시된 래치 회로 (LT8) 를 나타내는 회로도이다.
- 도 11 은 도 8 에 도시된 래치 회로 (LT10) 를 나타내는 회로도이다.
- 도 12 는 도 6 에 도시된 분주 회로의 동작을 나타내는 파형 차트이다.
- 도 13 은 도 3 에 도시된 체배기 회로의 일 실시형태를 나타내는 회로도이다.
- 도 14 는 도 13 에 도시된 체배기 회로의 동작을 나타내는 파형 차트이다.
- 도 15 는 도 3 에 도시된 내부 데이터 스트로브 신호 발생 회로를 나타내는 회로도이다.
- 도 16 은 도 3 에 도시된 스큐 검출 회로를 나타내는 회로도이다.
- 도 17 은 도 16 에 도시된 스큐 검출 회로의 동작을 나타내는 타이밍 차트이다.

발명을 실시하기 위한 구체적인 내용

[0012] 본 발명의 하나의 실시형태를 이하 설명한다. 그러나, 본 발명의 특허청구범위가 이 실시형태로 한정되지 않는다. 즉, 본 발명의 하나의 실시형태에 의하면, 반도체 디바이스는, 복수의 분주된 클록 신호 (frequency-divided clock signal) 들을 체배하여 (multiplying) 내부 클록 신호를 발생시키는 체배기 회로; 외부 데이터 스트로브 신호에 기초하여 내부 데이터 스트로브 신호를 발생시키는 내부 데이터 스트로브 신호 발생 회로; 및 내부 클록 신호와 내부 데이터 스트로브 신호 사이의 스큐 (skew) 를 검출하는 스큐 검출 회로를 포함하고, 체배기 회로가 갖는 지연량은, 내부 데이터 스트로브 신호 발생 회로가 갖는 지연량과 실질적으로 동일하다. 그 결과, 체배기 회로에 의한 지연량에 기인하는 기입 레벨링 동작의 오프셋이 제거된다. 그에 의해, 정확한 기입 레벨링 동작이 가능하다.

[0013] 이하 도 1 을 참조하면, 반도체 디바이스는, 외부 클록 신호 (CK) 의 주파수를 분주하여, 서로 위상이 상이한 복수의 분주된 클록 신호들 (PCLK0 내지 PCLKn) 을 발생시키는 분주 회로 (100); 및 복수의 분주된 클록 신호들 (PCLK0 내지 PCLKn) 을 체배하여 내부 클록 신호 (PCLKD) 를 발생시키는 체배기 회로 (200) 를 포함한다. 체배기 회로 (200) 에 의해 발생된 내부 클록 신호 (PCLKD) 의 주파수는 외부 클록 신호 (CK) 의 주파수와 동일하다. 분주된 클록 신호들 (PCLK0 내지 PCLKn) 이 데이터 입/출력 회로 (300) 에 공급된다. 데이터 입/출력 회로 (300) 는 판독 데이터 세트들 (Data0 내지 Datan) 의 병렬/직렬 변환을 분주된 클록 신호들 (PCLK0 내지 PCLKn) 과 동기하여 수행하고, 또한 기입 데이터 (DQ) 의 직렬/병렬 변환을 수행한다.

[0014] 체배기 회로 (200) 에 의해 발생된 내부 클록 신호 (PCLKD) 가 스큐 검출 회로 (500) 에 공급된다. 스큐 검

출 회로 (500) 는 내부 클럭 신호 (PCLKD) 와 내부 데이터 스트로브 신호 (IDQS) 사이의 스큐를 검출하고, 스큐 검출 신호 (SKEW) 를 발생시킨다. 스큐 검출 신호 (SKEW) 가 데이터 입/출력 회로 (300) 를 통해 외부로 출력된다. 내부 데이터 스트로브 신호 (IDQS) 가 외부 데이터 스트로브 신호 (DQS) 에 기초하여 내부 데이터 스트로브 신호 발생 회로 (400) 에 의해 발생된다.

[0015] 내부 데이터 스트로브 신호 발생 회로 (400) 가 갖는 지연량은 체배기 회로 (200) 가 갖는 지연량과 실질적으로 동일하도록 설계된다. 그 결과, 그 분주된 클럭 신호들 (PCLK0 내지 PCLKn) 의 에지들이 체배기 회로 (200) 의 복수의 입력 노드들 (N10 내지 N1n) 에 각각 입력될 때부터 내부 클럭 신호 (PCLKD) 의 에지가 체배기 회로 (200) 의 출력 노드 (N20) 로부터 출력될 때까지의 기간은, 외부 데이터 스트로브 신호 (DQS) 의 에지가 내부 데이터 스트로브 신호 발생 회로 (400) 의 입력 노드 (N30) 에 입력될 때부터 내부 데이터 스트로브 신호 (IDQS) 의 에지가 내부 데이터 스트로브 신호 발생 회로 (400) 의 출력 노드 (N40) 로부터 출력될 때까지의 기간과 실질적으로 동일하다. 그에 의해, 스큐 검출 회로 (500) 는, 체배기 회로 (200) 의 지연으로부터 야기 되는 오프셋이 제거된 상태에서 기입 레벨링 동작을 수행할 수 있다.

[0016] 도 2 로 전환하면, 데이터 프로세싱 시스템은 메모리 모듈 (2) 및 그 메모리 모듈 (2) 에 연결된 메모리 제어기 (4) 를 포함한다. 메모리 모듈 (2) 은 모듈 기판 (6) 상에 장착된 복수의 반도체 디바이스들 (10) (DRAM0 내지 DRAM7) 을 갖는다. 도 2 에 도시된 메모리 모듈 (2) 이 모듈 기판 (6) 상에 DRAM0 내지 DRAM7 의 8개 의 DRAM들을 갖지만, 모듈 기판 (6) 상에 장착되는 반도체 디바이스들 (10) 의 개수가 이에 한정되지 않는다. 반도체 메모리 디바이스들 (10) 은 모듈 기판 (6) 의 한쪽 면 또는 양쪽 면 상에 장착될 수 있다.

[0017] 도 2 에 도시된 바와 같이, 데이터 (DQ) (판독 데이터 및 기입 데이터) 및 데이터 스트로브 신호들 (DQS 및 /DQS) 이, 실질적으로 동일한 길이로, 또한 최단 거리에서, 메모리 모듈 (2) 과 메모리 제어기 (4) 사이에 연결 됨으로써, 고속 데이터 전송을 달성한다. 한편, 외부 클럭 신호들 (CK 및 /CK), 어드레스 신호 (ADD), 및 커맨드 신호 (CMD) 가, 모듈 기판 (6) 상에 제공된 동일한 버스 (8) 에 의해 플라이바이-연결된다 (flyby-connected). 플라이바이-연결은 이른바 통과가능한 연결을 의미한다. 플라이바이-연결에 의하면, 모듈 기판 (6) 내의 배선들의 수 및 총 배선 길이가 등거리 라우팅의 것들로부터 감소될 수 있다. 그 결과, 버스 (8) 의 레이아웃 제약이 완화될 수 있고, 고품질 배선 레이아웃을 달성할 수 있다. 그 결과, 고속 어드레스-커맨드 전송이 달성된다.

[0018] 그러나, 플라이바이 시스템이 이용되는 경우, 모듈 기판 (6) 상의 반도체 디바이스들 (10) 의 장착 위치에 따라 데이터 스트로브 신호 (DQS) 와 클럭 신호 (CK) 사이의 스큐가 매우 상이하게 된다. 도 2 에 도시된 예에서는, 메모리 제어기 (4) 로부터 가장 가까운 DRAM0 에서 스큐가 가장 작고, 메모리 제어기 (4) 로부터 가장 먼 DRAM7 에서 스큐가 가장 크다. 그에 의해, DRAM1 내지 DRAM7 에서, 데이터 스트로브 신호 (DQS) 가 DRAM0 의 스큐에 매칭하도록 출력되는 경우, 클럭 신호 (CK) 가 데이터 스트로브 신호 (DQS) 로부터 지연되고, 이러한 지연이 DRAM7 에서 가장 큰 것이 된다. 한편, DRAM0 내지 DRAM6 에서는, 데이터 스트로브 신호 (DQS) 가 DRAM7 의 스큐에 매칭하도록 출력되는 경우, 클럭 신호 (CK) 가 데이터 스트로브 신호 (DQS) 보다 더 빠르게 되고, 이러한 선행이 DRAM0 에서 가장 큰 것이 된다.

[0019] 그에 의해, DRAM0 내지 DRAM7 각각에 대해 데이터 스트로브 신호 (DQS) 의 출력 타이밍을 조정해야 할 필요가 있다. 이러한 조정에 필요한 스큐의 양을 측정하는 동작은 "기입 레벨링 동작" 이다. 메모리 제어기 (4) 는 순환적으로 DRAM0 내지 DRAM7 가 시스템 시작 시간 이외에도 시스템 기동 후의 동작에서 기입 레벨링 모드에 진입하게 함으로써, 주기적으로, 온도와 전원 전압과 같은 동작 환경에 대응하여 변화하는 스큐를 모니터링하고 데이터 스트로브 신호 (DQS) 의 출력 타이밍을 조정한다.

[0020] DRAM0 내지 DRAM7 이 기입 레벨링 모드에 진입하는 경우, DRAM0 내지 DRAM7 은, 메모리 제어기로부터 공급된 데이터 스트로브 신호 (DQS) 의 상승 에지에서 외부 클럭 신호 (CK) 를 샘플링하고, 그 외부 클럭 신호를 데이터 단자로부터의 데이터 (DQ) 로서 출력한다. 이에 따라, 메모리 제어기 (4) 는 데이터 스트로브 신호 (DQS) 와 클럭 신호 (CK) 사이의 스큐의 양을 획득할 수 있고, 그 양을 고려하여 데이터 스트로브 신호 (DQS) 의 출력 타이밍을 조정할 수 있다.

[0021] 도 3 으로 전환하면, 본 실시형태에 따른 반도체 디바이스 (10) 는 DRAM 이고, 클럭 단자들 (11a 및 11b), 커맨드 단자들 (12a 내지 12e), 어드레스 단자 (13), 데이터 입/출력 단자 (14), 및 데이터 스트로브 단자들 (15a 및 15b) 을 포함하는 외부 단자들을 갖는다. 반도체 메모리 디바이스 (10) 가 또한 전원 단자 등을 포함하지만, 이들 엘리먼트들은 도 3 에 도시되어 있지 않다.

- [0022] 클록 단자들 (11a 및 11b) 에는 외부 클록 신호들 (CK 및 /CK) 이 각각 공급된다. 외부 클록 신호들 (CK 및 /CK) 이 클록 입력 회로 (21) 에 전송된다. 본 명세서에서는, 명칭이 "/" 로 시작하는 신호는 대응하는 신호의 반전 신호 또는 로우-액티브 신호 (low-active signal) 이다. 이에 따라, 외부 클록 신호들 (CK 및 /CK) 은 서로 상보적이다. 대응하는 신호의 반전 신호 또는 로우-액티브 신호를 나타내는, 명칭이 "B" 로 끝나는 신호에 대해서도 마찬가지이다. 명칭이 "N" 으로 끝나는 신호는 명칭이 "T" 로 끝나는 신호의 반전 신호이다. 이에 따라, 명칭이 "T" 로 끝나는 신호는 명칭이 "B" 로 끝나는 신호와 상보적이다.
- [0023] 클록 입력 회로 (21) 로부터 출력되는 내부 클록 신호들 (CLK 및 CLKB) 이 타이밍 발생 회로 (22) 및 분주 회로 (100) 에 공급된다. 내부 클록 신호들 (CLK 및 CLKB) 의 위상들은 실질적으로 외부 클록 신호들 (CK 및 /CK) 의 위상들에 매칭된다. 그에 의해, 본 실시형태에 의하면, 내부 클록 신호들 (CLK 및 CLKB) 및 외부 클록 신호들 (CK 및 /CK) 은 때때로 동일한 신호들로서 다루어진다.
- [0024] 타이밍 발생 회로 (22) 는 다양한 내부 클록들 (ICLK) 을 발생시키고, 그 클록들을 다양한 내부 회로들에 공급한다. 분주 회로 (100) 는 내부 클록 신호들 (CLK 및 CLKB) 의 주파수들을 분주하여, 분주된 클록 신호 (PCLKF0 내지 PCLKF3 및 PCLKR0 내지 PCLKR3) 의 8개의 위상들을 발생시키고, 그 위상들은 서로 위상이 상이하다. 분주된 클록 신호들 (PCLKF0 내지 PCLKF3 및 PCLKR0 내지 PCLKR3) 의 주파수는 외부 클록 신호 (CK) 의 주파수의 1/4 이다; 그 사이의 위상은 내부 클록 신호들 (CLK 및 CLKB) 의 클록 사이클의 1/2 만큼 시프트된다. 분주 회로 (100) 의 특정 회로 구성을 이후 설명한다. 본 실시형태에 의하면, 분주된 클록 신호의 8개의 위상들이 분주 회로 (100) 에 의해 발생된다. 그러나, 본 발명은 상기로 한정되지 않는다. 분주된 클록 신호들 (PCLKF0 내지 PCLKF3 및 PCLKR0 내지 PCLKR3) 이 데이터 입/출력 회로 (300) 뿐만 아니라 체배기 회로 (200) 에 공급된다.
- [0025] 체배기 회로 (200) 는 분주된 클록 신호들 (PCLKF0 내지 PCLKF3 및 PCLKR0 내지 PCLKR3) 를 체배함으로써 내부 클록 신호 (PCLKD) 를 발생시키는 회로이다. 체배기 회로 (200) 에 의해 발생된 내부 클록 신호 (PCLKD) 의 주파수는 외부 클록 신호 (CK) 의 주파수와 동일하다. 즉, 체배기 회로 (200) 는, 주파수가 분주 회로 (100) 에 의해 분주되어 외부 클록 신호 (CK) 의 주파수의 1/4 인 분주된 클록 신호들 (PCLKF0 내지 PCLKF3 및 PCLKR0 내지 PCLKR3) 를 체배하여 내부 클록 신호 (PCLKD) 를 재생성하고, 그 내부 클록 신호 (PCLKD) 의 주파수는 외부 클록 신호 (CK) 의 주파수와 동일하다. 내부 클록 신호 (PCLKD) 가 스트로브 회로 (80) 에 공급되고, 기입 레벨링 동작에 이용된다. 체배기 회로 (200) 의 특정 회로 구성을 이후 설명한다.
- [0026] 커맨드 단자들 (12a 내지 12e) 에는 로우-어드레스 스트로브 신호 (row-address strobe signal; /RAS), 컬럼-어드레스 스트로브 신호 (column-address strobe signal; /CAS), 기입 인에이블 신호 (/WE), 칩 선택 신호 (/CS), 및 ODT 신호가 공급된다. 커맨드 단자들 (12a 내지 12e) 은 수신된 커맨드 신호들 (CMD) 을 커맨드 입력 회로 (31) 에 공급한다. 커맨드 입력 회로 (31) 는 수신된 커맨드 신호들 (CMD) 을 커맨드 디코더 (32) 에 공급한다. 커맨드 디코더 (32) 는 내부 클록들 (ICLK) 과 동기하여 커맨드 신호들을 유지하고, 디코딩하며, 카운팅함으로써, 다양한 내부 커맨드들 (ICMD) 을 발생시킨다. 발생된 내부 커맨드들 (ICMD) 이 로우-시스템 제어 회로 (51), 컬럼-시스템 제어 회로 (52), 판독/기입 제어 회로 (53), 및 모드 레지스터 (54) 에 공급된다.
- [0027] 어드레스 단자 (13) 에는 어드레스 신호 (ADD) 가 공급된다. 어드레스 단자 (13) 는 수신된 어드레스 신호 (ADD) 를 어드레스 입력 회로 (41) 에 공급한다. 어드레스 입력 회로 (41) 의 출력이 어드레스 래치 회로 (42) 에 공급된다. 어드레스 래치 회로 (42) 는 내부 클록들 (ICLK) 과 동기하여 어드레스 신호 (ADD) 를 래치한다. 어드레스 래치 회로 (42) 에 의해 래치된 어드레스 신호들 (ADD) 중에서, 로우 어드레스가 로우-시스템 제어 회로 (51) 에 공급되고, 컬럼 어드레스가 컬럼-시스템 제어 회로 (52) 에 공급된다. 모드 레지스터 설정으로의 진입 동안, 어드레스 신호 (ADD) 가 모드 레지스터 (54) 에 공급됨으로써, 모드 레지스터 (54) 의 콘텐츠가 변경된다.
- [0028] 로우-시스템 제어 회로 (51) 의 출력이 로우 디코더 (61) 에 공급된다. 로우 디코더 (61) 는, 메모리 셀 어레이 (70) 에 포함된 임의의 워드선 (WL) 을 선택한다. 메모리 셀 어레이 (70) 내에서, 복수의 워드선들 (WL) 및 복수의 비트선들 (BL) 이 서로 교차하고, 메모리 셀들 (MC) 이 이들 워드선들과 비트선들의 교차점에 배열된다 (도 3 은 단지 하나의 워드선 (WL), 하나의 비트선 (BL), 및 하나의 메모리 셀 (MC) 을 도시한 것이다). 비트선들 (BL) 이, 감지 회로 (63) 에 포함된 대응하는 감지 증폭기들 (SA) 에 연결된다.
- [0029] 컬럼-시스템 제어 회로 (52) 의 출력이 컬럼 디코더 (62) 에 공급된다. 컬럼 디코더 (62) 는, 감지 회로 (63) 에서의 임의의 감지 증폭기 (SA) 를 선택한다. 컬럼 디코더 (62) 에 의해 선택된 감지 증폭기 (SA) 가

데이터 증폭기 (64) 에 연결된다. 판독 동작에서, 데이터 증폭기 (64) 는 감지 회로 (63) 에 의해 증폭된 판독 데이터를 더욱 증폭시키고, 증폭된 판독 데이터를 데이터 입/출력 회로 (300) 에 공급한다. 한편, 기입 동작에서, 데이터 증폭기 (64) 는 데이터 입/출력 회로 (300) 로부터 수신된 기입 데이터를 증폭시키고, 이 증폭된 기입 데이터를 감지 회로 (63) 에 공급한다. 판독/기입 제어 회로 (53) 는 데이터 증폭기 (64) 및 데이터 입/출력 회로 (300) 를 제어한다.

[0030] 데이터 입/출력 단자 (14) 는 판독 데이터 (DQ) 를 출력하고 기입 데이터 (DQ) 를 입력하기 위한 단자이고, 데이터 입/출력 회로 (300) 에 연결된다. 데이터 입/출력 회로 (300) 는 병렬/직렬 변환 회로 (P/S), 직렬/병렬 변환 회로 (S/P), 출력 버퍼 회로 (310), 및 입력 버퍼 회로 (320) 를 포함한다. 판독 동작 동안, 데이터 증폭기 (64) 로부터 병렬형으로 공급되는 판독 데이터가 병렬/직렬 변환 회로 (P/S) 에 의해 직렬형으로 변환된다. 직렬형으로 변환된 판독 데이터 (DQ) 가 출력 버퍼 회로 (310) 를 통해 데이터 입/출력 단자 (14) 에 출력된다. 기입 동작 동안, 직렬형으로 데이터 입/출력 단자 (14) 에 공급되는 기입 데이터 (DQ) 가 입력 버퍼 회로 (320) 에 의해 수신되고, 그 수신된 기입 데이터가 직렬/병렬 변환 회로 (S/P) 에 의해 병렬형으로 변환된다.

[0031] 병렬/직렬 변환 회로 (P/S) 및 직렬/병렬 변환 회로 (S/P) 는 분주된 클록 신호들 (PCLKF0 내지 PCLKF3 및 PCLKR0 내지 PCLKR3) 과 동기하여 동작한다. 기입 데이터 (DQ) 를 수신하는 입력 버퍼 회로 (320) 에 의한 프로세스가 내부 데이터 스트로브 신호 (IDQS) 와 동기하여 수행된다. 기입 레벨링 모드에서, 데이터 입/출력 회로 (300) 가, 스트로브 회로 (80) 로부터 공급되는 스큐 검출 신호 (SKEW) 를 수신하고, 분주된 클록 신호들 (PCLKF0 내지 PCLKF3 및 PCLKR0 내지 PCLKR3) 과 동기하여 스큐 검출 신호 (SKEW) 를 출력한다.

[0032] 데이터 스트로브 단자들 (15a 및 15b) 은 외부 데이터 스트로브 신호들 (DQS 및 /DQS) 을 입출력하기 위한 단자들이고, 스트로브 회로 (80) 에 연결된다. 도 3 에 도시된 바와 같이, 스트로브 회로 (80) 는 내부 데이터 스트로브 신호 발생 회로 (400) 및 스큐 검출 회로 (500) 를 포함한다. 내부 데이터 스트로브 신호 발생 회로 (400) 는 외부 데이터 스트로브 신호 (DQS) 에 기초하여 내부 데이터 스트로브 신호 (IDQS) 를 발생시키는 회로이다. 스큐 검출 회로 (500) 는 기입 레벨링 모드에서 내부 데이터 스트로브 신호 (IDQS) 와 내부 클록 신호 (PCLKD) 사이의 스큐를 검출하는 회로이다. 스큐 검출 회로 (500) 로부터 출력되는 스큐 검출 신호 (SKEW) 가 데이터 입/출력 회로 (300) 에 공급된다. 내부 데이터 스트로브 신호 발생 회로 (400) 및 스큐 검출 회로 (500) 의 특정 회로 구성을 이후 설명한다.

[0033] 도 4 로 전환하면, 본 실시형태의 반도체 디바이스 (10) 는 하나의 실리콘 칩 (CP) 상에 집적된다. 실리콘 칩 (CP) 의 주면은 정사각형 형상으로 되어 있고, 서로 평행하게 뻗어 있는 제 1 및 제 2 면들 (L1 및 L2), 및 그 면들 (L1 및 L2) 에 수직하고 서로 평행하게 뻗어 있는 제 3 및 제 4 면들 (L3 및 L4) 을 갖는다. 본 실시형태의 반도체 디바이스 (10) 는 제 1 면 (L1) 을 따라 제공되는 제 1 패드 영역 (P1), 및 제 2 면 (L2) 을 따라 제공되는 제 2 패드 영역 (P2) 을 포함한다. 제 3 및 제 4 면들 (L3 및 L4) 을 따라서는 어떠한 패드 영역들도 존재하지 않는다. 제 1 및 제 2 패드 영역들 (P1 및 P2) 은 복수의 외부 단자들이 배열된 영역들이다. 제 1 패드 영역 (P1) 은 클록 단자들 (11a 및 11b) 을 포함한다. 제 2 패드 영역 (P2) 은 데이터 스트로브 단자들 (15a 및 15b) 을 포함한다.

[0034] 또한, 본 실시형태의 반도체 디바이스 (10) 는 제 1 패드 영역 (P1) 을 따라 제공되는 제 1 주변 회로 영역 (C1); 제 2 패드 영역 (P2) 을 따라 제공되는 제 2 주변 회로 영역 (C2); 및 제 1 및 제 2 주변 회로 영역들 (C1 및 C2) 사이에 샌드위치되는 메모리 셀 어레이 영역 (MA) 을 포함한다. 제 1 주변 회로 영역 (C1) 에는, 제 1 패드 영역 (P1) 에 포함된 외부 단자들에 관련된 주변 회로들이 배치된다. 제 2 주변 회로 영역 (C2) 에는, 제 2 패드 영역 (P2) 에 포함된 외부 단자들에 관련된 주변 회로들이 배치된다. 예를 들어, 제 1 주변 회로 영역 (C1) 에는, 분주 회로 (100) 가 배치된다. 제 2 주변 회로 영역 (C2) 에는, 체배기 회로 (200) 및 스트로브 회로 (80) 가 배치된다.

[0035] 상술한 레이아웃을 고려하면, 외부 클록 신호들 (CK 및 /CK) 이 제 2 주변 회로 영역 (C2) 에 직접 공급되는 경우, 장거리 선로의 비교적 큰 기생 용량으로 인해 파형의 둔감도가 증가한다. 외부 클록 신호들 (CK 및 /CK) 을 스큐 검출 회로 (500) 에 직접 공급함으로써 시큐가 측정되는 방법에 의하면, 높은 레벨의 측정 정확도를 달성하는 것이 어렵다. 그에 의해, 본 실시형태의 반도체 디바이스 (10) 는 체배기 회로 (200) 를 이용하여 내부 클록 신호 (PCLKD) 를 발생시키고, 스큐가 측정되는 경우 그 내부 클록 신호 (PCLKD) 를 스큐 검출 회로 (500) 에 공급한다.

[0036] 도 5 로 전환하면, 모드 레지스터 (54) 는 적어도 레지스터 (54a) 를 포함한다. 레지스터 (54a) 는 기입 레

벨링 모드에 진입하기 위해 이용되는 레지스터이다. 더 구체적으로는, 레지스터 (54a) 가 "0" 으로 설정되는 경우, "정상 동작 모드" 가 시작한다. 레지스터 (54a) 가 "1" 로 설정되는 경우, "기입 레벨링 모드" 가 시작한다. 레지스터 (54a) 가 설정되면, 모드 레지스터 설정 커맨드가 발행되고, 미리 결정된 어드레스 단자 (예를 들어, 단자 (A7)) 에서 설정되어야 하는 로직 레벨의 신호가 공급된다. 레지스터 (54a) 의 설정값이 기입 레벨링 신호 (WriteLev) 로서 출력된다.

[0037] 도 6 으로 전환하면, 분주 회로 (100) 는 카운터 회로 (110) 및 4개의 단위 분주 회로들 (120 내지 123) 을 포함한다. 카운터 회로 (110) 는 내부 클록 신호 (CLK) 에 기초하여 카운트 신호들 (CLKON, CLKOT, CLK1N, 및 CLK1T) 을 발생시키는 회로이다. 단위 분주 회로들 (120 내지 123) 는 내부 클록 신호들 (CLK 및 CLKB) 및 대응하는 카운트 신호들 (CLKON, CLKOT, CLK1N, 및 CLK1T) 에 기초하여 분주된 클록 신호들 (PCLKF0 내지 PCLKF3 및 PCLKR0 내지 PCLKR3) 을 발생시키는 회로들이다. 내부 클록 신호들 (CLK 및 CLKB) 은 단위 분주 회로들 (120 내지 123) 에 공통으로 공급된다. 카운트 신호들 (CLKON, CLKOT, CLK1N, 및 CLK1T) 로서, 대응하는 2개의 신호들이 단위 분주 회로들 (120 내지 123) 에 각각 공급된다.

[0038] 더 구체적으로, 단위 분주 회로 (120) 는 카운트 신호들 (CLKON 및 CLK1N) 을 수신하고, 분주된 클록 신호들 (PCLKF0 및 PCLKR0) 을 발생시킨다. 단위 분주 회로 (121) 는 카운트 신호들 (CLKOT 및 CLK1N) 을 수신하고, 분주된 클록 신호들 (PCLKF1 및 PCLKR1) 을 발생시킨다. 단위 분주 회로 (122) 는 카운트 신호들 (CLKON 및 CLK1T) 을 수신하고, 분주된 클록 신호들 (PCLKF2 및 PCLKR2) 을 발생시킨다. 단위 분주 회로 (123) 는 카운트 신호들 (CLKOT 및 CLK1T) 을 수신하고, 분주된 클록 신호들 (PCLKF3 및 PCLKR3) 을 발생시킨다.

[0039] 도 7 로 전환하면, 카운터 회로 (110) 는 내부 클록 신호 (CLK) 에 기초하여 내부 클록 신호 (CLKaB) 를 발생시키는 NAND 게이트 회로 (G0); 및 내부 클록 신호 (CLKaB) 를 반전시켜 내부 클록 신호 (CLKa) 를 발생시키는 인버터 회로 (G1) 를 포함한다. NAND 게이트 회로 (G0) 의 다른 입력 노드에는, 래치 회로 (LT0) 의 출력 신호가 공급된다. 래치 회로 (LT0) 는 인에이블 신호 (PCLKE) 를 수신하는 회로이다. 인에이블 신호 (PCLKE) 가 하이 레벨에 있는 경우, 래치 회로 (LT0) 의 출력도 또한 하이 레벨로 고정된다. 그에 의해, 인에이블 신호 (PCLKE) 가 하이 레벨에 있는 경우, 내부 클록 신호 (CLKa) 와 내부 클록 신호 (CLK) 는 동상 신호 (in-phase signal) 들이고, 내부 클록 신호 (CLKaB) 와 내부 클록 신호 (CLK) 는 역상 신호 (reversed phase signal) 들이다.

[0040] 도 8 로 전환하면, 래치 회로 (LT0) 는 순환 연결되는 2개의 인버터 회로들 (G2 및 G3); 입력 노드 (IN) 와 인버터 회로 (G2) 의 입력 노드 사이에 연결되는 트랜스퍼 게이트 회로 (TG0); 및 인버터 회로 (G3) 의 출력 노드 와 인버터 회로 (G2) 의 입력 노드 사이에 연결되는 트랜스퍼 게이트 회로 (TG1) 를 포함한다. 트랜스퍼 게이트 회로들 (TG0 및 TG1) 중 하나가 인에이블 노드들 (ENT 및 ENB) 에 공급된 신호들에 기초하여 턴온되지만, 다른 하나는 턴오프된다. 도 7 에 도시된 바와 같이, 래치 회로 (LT0) 의 입력 노드 (IN) 에는, 반전된 인에이블 신호 (PCLKE) 가 공급된다. 래치 회로 (LT0) 의 인에이블 노드들 (ENT 및 ENB) 에는, 내부 클록 신호 (CLK) 및 그의 반전된 신호가 공급된다.

[0041] 도 7 로 전환하면, 내부 클록 신호들 (CLKa 및 CLKaB) 이, 래치 회로들 (LT1 및 LT2) 을 포함하는 비트 출력 회로 (111) 뿐만 아니라, 래치 회로들 (LT3 및 LT4) 을 포함하는 비트 출력 회로 (112) 에 공급된다. 래치 회로들 (LT1 및 LT3) 은 도 8 에 도시된 래치 회로 (LT0) 와 동일한 회로 구성을 갖는다.

[0042] 비트 출력 회로 (111) 는 래치 회로들 (LT1 및 LT2) 이 순환 연결되도록 형성된다. 그에 의해, 비트 출력 회로 (111) 로부터 출력되는 카운트 신호들 (CLKON 및 CLKOT) 이 내부 클록 신호 (CLK) 의 각 사이클마다 반전된다. 더 구체적으로, 래치 회로 (LT2) 는 인버터 회로 (G4) 및 NOR 게이트 회로 (G5) 가 순환 연결되도록 형성된다. NOR 게이트 회로 (G5) 의 출력 노드와 인버터 회로 (G4) 의 입력 노드 사이에, 트랜스퍼 게이트 회로 (TG2) 가 연결된다. 트랜스퍼 게이트 회로 (TG2) 는 내부 클록 신호들 (CLKa 및 CLKaB) 과 동기하여 턴온 또는 턴오프된다. NOR 게이트 회로의 다른 입력 노드에는, 리셋 신호 (RST) 가 공급된다. 리셋 신호 (RST) 가 하이 레벨로 활성화되는 경우, 카운트 신호들 (CLKON 및 CLKOT) 이 하이 레벨 (high level) 및 로우 레벨 (low level) 로 각각 초기화된다. 래치 회로 (LT1) 와 래치 회로 (LT2) 사이에는, 내부 클록 신호들 (CLKa 및 CLKaB) 과 동기하여 활성화되는 클로킹된 인버터 회로 (G6) 가 연결된다. 상기 구성에 의하면, 리셋 신호 (RST) 가 로우 레벨로 비활성화된 후에 입력 클록 신호 (CLK) 가 입력되는 경우, 카운트 신호들 (CLKON 및 CLKOT) 의 로직 레벨들이 클록 사이클마다 반전된다.

[0043] 기본적으로, 비트 출력 회로 (112) 는 비트 출력 회로 (111) 와 동일한 회로 구성을 갖는다. 그러나, 래치

회로 (LT3) 로 피드백되는 신호가 비트 출력 회로 (111) 의 대응하는 신호와는 상이하다. 비트 출력 회로 (112) 에서, NOR 게이트 회로 (G9) 의 출력 신호가 래치 회로 (LT3) 로 피드백된다. NOR 게이트 회로 (G9) 에는, 다음 신호들이 공급된다: 카운트 신호들 (CLKON 및 CLK1N) 을 수신하는 NAND 게이트 회로 (G7) 의 출력; 및 카운트 신호들 (CLKOT 및 CLK1T) 을 수신하는 NAND 게이트 회로 (G8) 의 출력. 그에 의해, 리셋 신호 (RST) 가 로우 레벨로 비활성화된 후에 입력 클럭 신호 (CLK) 가 입력되는 경우, 카운트 신호들 (CLK1N 및 CLK1T) 의 로직 레벨들이 2 클럭 사이클들마다 반전된다.

[0044] 카운터 회로 (110) 는 상술한 회로 구성을 갖는다. 이 구성에 의하면, 카운터 회로 (110) 는, 내부 클럭 신호 (CLK) 의 클럭 사이클마다, 하위 비트가 카운트 신호 (CLKON (CLKOT)) 이고 상위 비트가 카운트 신호 (CLK1N (CLK1T)) 인 바이너리 신호를 업데이트한다. 상술한 바와 같이 발생하는 카운트 신호들 (CLKON, CLKOT, CLK1N, 및 CLK1T) 이 도 6 에 도시된 바와 같이 단위 분주 회로들 (120 내지 123) 에 공급된다.

[0045] 도 9 로 전환하면, 단위 분주 회로 (120) 는 캐스케이드로 연결되는 3개의 래치 회로들 (LT5 내지 LT7) 을 갖는다. 래치 회로 (LT5) 는 인버터 회로들 (G10 및 G11) 이 순환 연결되도록 형성된다. 인버터 회로 (G11) 의 출력 노드와 인버터 회로 (G10) 의 입력 노드 사이에는, 트랜스퍼 게이트 회로 (TG5) 가 연결된다. 래치 회로 (LT5) 에 입력되는 신호가 트랜스퍼 게이트 회로 (TG4) 를 통해 3-입력 NAND 게이트 회로 (G16) 로부터 공급된다. NAND 게이트 회로 (G16) 에 입력되는 신호들은 인에이블 신호 (PCLKE) 및 카운트 신호들 (CLKON 및 CLK1N) 을 포함한다.

[0046] 래치 회로 (LT6) 는 인버터 회로 (G12) 및 NOR 게이트 회로 (G13) 가 순환 연결되도록 형성된다. NOR 게이트 회로 (G13) 의 출력 노드와 인버터 회로 (G12) 의 입력 노드 사이에는, 트랜스퍼 게이트 회로 (TG7) 가 연결된다. NOR 게이트 회로 (G13) 의 다른 입력 노드에는, 리셋 신호 (RST) 가 공급된다. 래치 회로 (LT6) 에 입력되는 신호가 트랜스퍼 게이트 회로 (TG6) 를 통해 전단 (previous-stage) 의 래치 회로 (LT5) 로부터 공급된다.

[0047] 래치 회로 (LT7) 는 인버터 회로들 (G14 및 G15) 이 순환 연결되도록 형성된다. 인버터 회로 (G15) 의 출력 노드와 인버터 회로 (G14) 의 입력 노드 사이에는, 트랜스퍼 게이트 회로 (TG9) 가 연결된다. 래치 회로 (LT7) 에 입력되는 신호가 트랜스퍼 게이트 회로 (TG8) 를 통해 전단의 래치 회로 (LT6) 로부터 공급된다.

[0048] 트랜스퍼 게이트 회로들 (TG4 내지 TG9) 이 클럭 신호 (CLK) 에 기초하여 턴온 또는 턴오프된다. 트랜스퍼 게이트 회로들 (TG4, TG7, 및 TG8) 이 공통 제어된다. 트랜스퍼 게이트 회로들 (TG5, TG6, 및 TG9) 이 공통 제어된다. 트랜스퍼 게이트 회로들 (TG4, TG7, 및 TG8) 의 동작이 트랜스퍼 게이트 회로들 (TG5, TG6, 및 TG9) 의 동작과 상보적이다. 즉, 하나의 그룹이 턴온되는 경우, 다른 그룹은 턴오프된다. 상기 구성에 의하면, 캐스케이드로 연결되는 3개의 래치 회로들 (LT5 내지 LT7) 이 클럭 신호 (CLK) 와 동기하여 시프트 동작을 수행한다. 상술한 바와 같이, 제 1 단 래치 회로 (LT5) 에 입력되는 신호가 NAND 게이트 회로 (G16) 에 의해 제공된다. NAND 게이트 회로 (G16) 의 출력이 4 클럭 사이클들마다 한번 로우 레벨로 활성화된다.

[0049] 래치 회로들 (LT5 및 LT7) 의 출력들이 NAND 게이트 회로들 (G17 및 G18) 에 공급된다. NAND 게이트 회로 (G17) 의 출력 신호가, 캐스케이드로 연결된 래치 회로들 (LT8 내지 LT10) 중 하나인 제 1 단 래치 회로 (LT8) 에 공급된다. NAND 게이트 회로 (G18) 의 출력 신호가 래치 회로 (LT11) 에 공급된다.

[0050] 도 10 으로 전환하면, 래치 회로 (LT8) 는 도 8 에 도시된 래치 회로 (LT0) 의 인버터 회로 (G3) 를 NOR 게이트 회로 (G19) 로 대체하여 이루어진 것이다. 다른 회로들의 구성들은 도 8 에 도시된 래치 회로 (LT0) 의 구성과 동일하다. NOR 게이트 회로 (G19) 의 다른 입력 노드에는, 리셋 신호 (RST) 가 공급된다. 도 9 에 도시된 바와 같이, 래치 회로 (LT8) 의 출력 신호가 래치 회로 (LT9) 에 공급된다. 래치 회로 (LT9) 는 도 8 에 도시된 래치 회로 (LT0) 와 동일한 회로 구성을 갖는다.

[0051] 도 11 로 전환하면, 래치 회로 (LT10) 는, 순환 연결되는 인버터 회로 (G20) 및 NAND 게이트 회로 (G21) 를 포함한다. NAND 게이트 회로 (G21) 의 출력 노드와 인버터 회로 (G20) 의 입력 노드 사이에는, 트랜스퍼 게이트 회로 (TG10) 가 연결된다. NAND 게이트 회로 (G21) 의 다른 입력 노드에는, 반전된 리셋 신호 (RSTB) 가 공급된다. 인버터 회로 (G20) 의 입력 노드에는, 래치 회로 (LT9) 의 출력 신호 (LT9a) 가 클로킹된 인버터 회로 (G22) 를 통해 공급된다. 클로킹된 인버터 회로 (G22) 및 트랜스퍼 게이트 회로 (TG10) 가 내부 클럭 신호 (CLKB) 에 기초하여 배타적으로 활성화된다.

[0052] 기본적으로, 래치 회로 (LT11) 는 도 11 에 도시된 래치 회로 (LT10) 와 동일한 회로 구성을 갖는다. 래치 회로 (LT11) 는, 클럭 신호 (CLKB) 대신에 클럭 신호 (CLK) 가 공급된다는 점과 출력 신호 (LT9a) 대신에 NAND

게이트 회로 (G18) 의 출력 신호 (G18a) 가 공급된다는 점에서, 래치 회로 (LT10) 와 상이하다.

- [0053] 래치 회로들 (LT10 및 LT11) 의 출력들은 분주된 클록 신호들 (PCLKF0 및 PCLKR0) 로서 이용된다. 다른 단위 분주 회로들 (121 내지 123) 은, NAND 게이트 회로 (G16) 에 공급되는 카운트 신호들 (CLKON, CLKOT, CLK1N, 및 CLK1T) 의 조합들이 상이하다는 점을 제외하고는, 도 9 에 도시된 단위 분주 회로 (120) 와 동일한 회로 구성을 갖는다.
- [0054] 도 12 로 전환하면, 분주된 클록 신호들 (PCLKF0 내지 PCLKF3 및 PCLKR0 내지 PCLKR3) 의 주파수는 내부 클록 신호들 (CLK 및 CLKB) 의 주파수의 1/4 이다; 그 사이의 위상은 내부 클록 신호들 (CLK 및 CLKB) 의 클록 사이클의 1/2 만큼 시프트된다. 분주된 클록 신호들 (PCLKF0 내지 PCLKF3 및 PCLKR0 내지 PCLKR3) 은 도 3 에 도시된 데이터 입/출력 회로 (300) 에 공급된다. 상술한 바와 같이, 데이터 입/출력 회로 (300) 는 병렬/직렬 변환 회로 (P/S) 및 직렬/병렬 변환 회로 (S/P) 를 포함한다. 그에 의해, 판독 동작 동안, 분주된 클록 신호들 (PCLKF0 내지 PCLKF3 및 PCLKR0 내지 PCLKR3) 과 동기하여 병렬/직렬 변환이 수행된다. 기입 동작 동안, 분주된 클록 신호들 (PCLKF0 내지 PCLKF3 및 PCLKR0 내지 PCLKR3) 과 동기하여 직렬/병렬 변환이 수행된다.
- [0055] 도 13 으로 전환하면, 체배기 회로 (200) 는 분주된 클록 신호들 (PCLKF0 및 PCLKR0) 을 조합하여 내부 클록 신호 (PCLK0) 를 발생시키는 NAND 게이트 회로 (G30); 분주된 클록 신호들 (PCLKF1 및 PCLKR1) 을 조합하여 내부 클록 신호 (PCLK1) 을 발생시키는 NAND 게이트 회로 (G31); 분주된 클록 신호들 (PCLKF2 및 PCLKR2) 을 조합하여 내부 클록 신호 (PCLK2) 를 발생시키는 NAND 게이트 회로 (G32); 및 분주된 클록 신호들 (PCLKF3 및 PCLKR3) 을 조합하여 내부 클록 신호 (PCLK3) 를 발생시키는 NAND 게이트 회로 (G33) 를 포함한다.
- [0056] NAND 게이트 회로 (G30) 는 3-입력 NAND 게이트 회로이다. 제 1 입력 노드에는, 분주된 클록 신호 (PCLKR0) 가 공급된다. 제 2 입력 노드에는, NAND 게이트 회로 (G34) 의 출력 신호가 공급된다. 제 3 입력 노드에는, 인에이블 신호 (MDWLV) 가 공급된다. NAND 게이트 회로 (G34) 는 2-입력 NAND 게이트 회로이다. 입력 노드들 중 하나에, 분주된 클록 신호 (PCLKF0) 가 공급된다. 다른 입력 노드에는, 인에이블 신호 (MDWLV) 가 공급된다. 상기 구성에 의하면, 파형 차트인 도 14 에 도시된 바와 같이, 내부 클록 신호 (PCLKR0) 이 하이 레벨에 있고 내부 클록 신호 (PCLKF0) 가 로우 레벨에 있을 때의 기간 동안에만, 내부 클록 신호 (PCLK0) 이 로우 레벨에 있다. 다른 기간 동안에는, 내부 클록 신호 (PCLK0) 의 로직 레벨이 하이 레벨로 유지된다. 내부 클록 신호들 (PCLKR0 및 PCLKF0) 간의 위상 시프트는 내부 클록 신호 (CLK) 의 클록 사이클의 1/2 이다. 그에 의해, 내부 클록 신호 (PCLK0) 이 로우 레벨에 있는 기간은 내부 클록 신호 (CLK) 의 1/2 클록 사이클의 기간이다. 이 기간은 내부 클록 신호 (CLK) 의 4 클록 사이클들마다 나타난다.
- [0057] 다른 NAND 게이트 회로들 (G31 내지 G33) 에 대해서도 마찬가지이다. 발생된 내부 클록 신호들 (PCLK1 내지 PCLK3) 의 파형들은 도 14 에 도시된 것과 동일하다.
- [0058] 도 13 에 도시된 바와 같이, 내부 클록 신호들 (PCLK0 및 PCLK1) 이 2-입력 NAND 게이트 회로들 (G40 및 G41) 에 공급된다. 와이어드 OR (wired-OR) 연결 후에, NAND 게이트 회로들 (G40 및 G41) 의 출력 신호들이 인버터 회로 (G44) 에 공급된다. 그 결과, 인버터 회로 (G44) 는, 내부 클록 신호들 (PCLK0 및 PCLK1) 을 조합하여 발생하는 내부 클록 신호 (PCLK4) 를 출력한다. NAND 게이트 회로들 (G40 및 G41) 은 논리적으로 동일한 회로이다. 그러나, 출력 노드와 접지 전력선 사이에서 직렬로 연결되는 2개의 N-채널 MOS 트랜지스터들에 대한 입력 위치들은 서로 반대이다. 이 입력 위치들이 서로 반대인 이유는 다음의 타이밍들에 매칭시켜야 하기 때문이다: 내부 클록 신호 (PCLK0) 의 에지가 입력될 때부터 내부 클록 신호 (PCLK4) 의 에지가 출력될 때까지의 타이밍; 및 내부 클록 신호 (PCLK1) 의 에지가 입력될 때부터 내부 클록 신호 (PCLK4) 의 에지가 출력될 때까지의 타이밍.
- [0059] 내부 클록 신호들 (PCLK2 및 PCLK3) 이 2-입력 NAND 게이트 회로들 (G42 및 G43) 에 공급되고, 인버터 회로 (G45) 로부터 내부 클록 신호 (PCLK5) 로서 출력된다.
- [0060] 내부 클록 신호들 (PCLK4 및 PCLK5) 이 2-입력 NAND 게이트 회로들 (G46 및 G47) 에 공급된다. 와이어드-OR 연결 후에, NAND 게이트 회로들 (G46 및 G47) 의 출력 신호들이 내부 클록 신호 (PCLKD) 로서 출력된다. NAND 게이트 회로들 (G46 및 G47) 은 논리적으로 동일한 회로이다. 그러나, 출력 노드와 접지 전력선 사이에서 직렬로 연결되는 2개의 N-채널 MOS 트랜지스터들에 대한 입력 위치들은 서로 반대이다. 이 입력 위치들이 서로 반대인 이유는 상술한 것과 동일하다.
- [0061] 상술한 회로 구성에 의하면, 도 14 에 도시된 바와 같이, 내부 클록 신호 (PCLKD) 가 단상 (single phase) 으로

되고, 내부 클럭 신호 (CLK) 의 주파수와 동일한 주파수를 갖도록 재저장된다. 상술한 바와 같이 발생하는 내부 클럭 신호 (PCLKD) 가 도 3 에 도시된 스트로브 회로 (80) 에 공급된다. 스트로브 회로 (80) 는 내부 데이터 스트로브 신호 발생 회로 (400) 및 스큐 검출 회로 (500) 를 포함한다.

[0062] 도 15 로 전환하면, 내부 데이터 스트로브 신호 발생 회로 (400) 는 3-입력 NAND 게이트 회로 (G30r) 를 포함한다. NAND 게이트 회로 (G30r) 의 제 1 입력 노드에는, 외부 데이터 스트로브 신호 (DQS) 가 공급된다. 제 2 및 제 3 입력 노드들에는, 인에이블 신호 (MDWL) 가 공급된다. NAND 게이트 회로 (G30r) 는 도 13 에 도시된 NAND 게이트 회로 (G30) 의 레플리카 (replica) 이다. 이에 따라, NAND 게이트 회로 (G30r) 의 팬 아웃 (fan-out) 은 NAND 게이트 회로 (G30) 의 팬 아웃과 실질적으로 동일하도록 설계된다.

[0063] NAND 게이트 회로 (G30r) 의 출력 신호가 2-입력 NAND 게이트 회로들 (G40r 및 G41r) 에 공급된다. 와이어드-OR 연결 후에, NAND 게이트 회로들 (G40r 및 G41r) 의 출력 신호들이 인버터 회로 (G44r) 에 공급된다. NAND 게이트 회로들 (G40r 및 G41r) 의 다른 입력 노드들이 하이 레벨로 고정된다. NAND 게이트 회로들 (G40r 및 G41r) 은 도 13 에 도시된 NAND 게이트 회로들 (G40 및 G41) 의 레플리카이다. 이에 따라, NAND 게이트 회로들 (G40r 및 G41r) 의 팬 아웃은 NAND 게이트 회로들 (G40 및 G41) 의 팬 아웃과 실질적으로 동일하도록 설계된다. 이와 유사하게, 인버터 회로 (G44r) 는 도 13 에 도시된 인버터 회로 (G44) 의 레플리카이다. 이에 따라, 인버터 회로 (G44r) 의 팬 아웃은 인버터 회로 (G44) 의 팬 아웃과 실질적으로 동일하도록 설계된다.

[0064] 인버터 회로 (G44r) 의 출력 신호가 2-입력 NAND 게이트 회로들 (G46r 및 G47r) 에 공급된다. 와이어드-OR 연결 후에, NAND 게이트 회로들 (G46r 및 G47r) 의 출력 신호들은 내부 데이터 스트로브 신호 (IDQS) 로서 이용된다. NAND 게이트 회로들 (G46r 및 G47r) 의 다른 입력 노드들은 하이 레벨로 고정된다. NAND 게이트 회로들 (G46r 및 G47r) 은 도 13 에 도시된 NAND 게이트 회로들 (G46 및 G47) 의 레플리카이다. 이에 따라, NAND 게이트 회로들 (G46r 및 G47r) 의 팬 아웃은 NAND 게이트 회로들 (G46 및 G47) 의 팬 아웃과 실질적으로 동일하도록 설계된다.

[0065] 이러한 방식으로, 내부 데이터 스트로브 신호 발생 회로 (400) 는 체배기 회로 (200) 의 신호 경로들과 그 개수가 동일한 로직 게이트들을 포함하고, 대응하는 게이트 회로들의 팬 아웃이 실질적으로 서로 동일하도록 설계된다. 그에 의해, 체배기 회로 (200) 가 갖는 지연량은 내부 데이터 스트로브 신호 발생 회로 (400) 가 갖는 지연량과 실질적으로 동일하다. 즉, 분주된 클럭 신호들 (PCLKF0 내지 PCLKF3 및 PCLKR0 내지 PCLKR3) 의 에지들이 체배기 회로 (200) 의 복수의 입력 노드들에 입력될 때부터 내부 클럭 신호 (PCLKD) 의 에지가 체배기 회로 (200) 의 출력 노드로부터 출력될 때까지의 시간, 외부 데이터 스트로브 신호 (DQS) 의 에지가 내부 데이터 스트로브 신호 발생 회로 (400) 의 입력 노드에 입력될 때부터 내부 데이터 스트로브 신호 (IDQS) 의 에지가 내부 데이터 스트로브 신호 발생 회로 (400) 의 출력 노드로부터 출력될 때까지의 시간과 실질적으로 동일하다.

[0066] 도 16 으로 전환하면, 스큐 검출 회로 (500) 는, 캐스캐이드로 연결되는 2개의 래치 회로들 (LT12 및 LT13) 을 포함한다. 래치 회로 (LT12) 는 인버터 회로 (G50) 및 클로킹된 인버터 회로 (G51) 가 순환 연결되도록 형성된다. 클로킹된 인버터 회로 (G51) 의 동작이 내부 데이터 스트로브 신호 (IDQS) 에 의해 제어된다. 클로킹된 인버터 회로 (G51) 의 로우측 제어 노드 (VL) 에, 내부 데이터 스트로브 신호 (IDQS) 가 인버터 회로 (G52) 를 통해 공급된다. 하이측 제어 노드 (VH) 에는, 반전된 내부 데이터 스트로브 신호 (IDQS) 가 트랜스퍼 게이트 회로 (TG11) 를 통해 공급된다. 트랜스퍼 게이트 회로 (TG11) 는 항상 온이다. 그 이유는, 인버터 회로 (G52) 에 의한 지연을 고려하여, 로우측 제어 노드 (VL) 에 공급된 신호 및 하이측 제어 노드 (VH) 에 공급된 신호가 동시에 변화하도록 타이밍이 조정되기 때문이다.

[0067] 인버터 회로 (G50) 의 입력 노드에는, 내부 클럭 신호 (PCLKD) 가 클로킹된 인버터 회로 (G53) 를 통해 공급된다. 클로킹된 인버터 회로 (G53) 의 로우측 제어 노드 (VL) 에는, 반전된 내부 데이터 스트로브 신호 (IDQS) 가 인버터 회로 (G54) 를 통해 공급된다. 하이측 제어 노드 (VH) 에는, 내부 데이터 스트로브 신호 (IDQS) 가 트랜스퍼 게이트 회로 (TG12) 를 통해 공급된다. 트랜스퍼 게이트 회로 (TG12) 는 항상 온이다. 그 이유는, 인버터 회로 (G54) 에 의한 지연을 고려하여, 로우측 제어 노드 (VL) 에 공급된 신호 및 하이측 제어 노드 (VH) 에 공급된 신호가 동시에 변화하도록 타이밍이 조정되기 때문이다.

[0068] 인버터 회로 (G50) 의 출력 신호가 클로킹된 인버터 회로 (G55) 를 통해 래치 회로 (LT13) 에 공급된다. 래치 회로 (LT13) 는 인버터 회로 (G56) 및 NAND 게이트 회로 (G57) 가 순환 연결되도록 형성된다. NAND 게이트 회로 (G57) 의 출력 노드와 인버터 회로 (G56) 의 입력 노드 사이에는, 트랜스퍼 게이트 회로 (TG13) 가

연결된다. NAND 게이트 회로 (G57) 의 다른 입력 노드에, 리셋 신호 (RST) 가 공급된다. 클로킹된 인버터 회로 (G55) 및 트랜스퍼 게이트 회로 (TG13) 는 내부 데이터 스트로브 신호 (IDQS) 와 동기하여 배타적으로 활성화된다.

[0069] 상기 구성에 의하면, 내부 데이터 스트로브 신호 (IDQS) 가 로우 레벨에 있을 때의 기간 동안, 클로킹된 인버터 회로 (G53) 가 활성화된다. 그러나, 클로킹된 인버터 회로 (G55) 가 비활성화된 이래로, 래치 회로 (LT13) 에 의해 유지된 데이터가 스큐 검출 신호 (SKEW) 로서 출력된다. 반면, 내부 데이터 스트로브 신호 (IDQS) 가 하이 레벨에 있을 때의 기간 동안, 클로킹된 인버터 회로 (G53) 가 비활성화되지만, 클로킹된 인버터 회로 (G55) 는 활성화된다. 이에 따라, 내부 데이터 스트로브 신호 (IDQS) 가 로우 레벨에서 하이 레벨로 변화할 때의 내부 클록 신호 (PCLKD) 의 로직 레벨은 스큐 검출 신호 (SKEW) 의 로직 레벨을 결정한다.

[0070] 도 17 로 전환하면, 이 예에서, 내부 클록 신호 (PCLKD) 의 상승 에지들 #5 및 #12 를 대상으로 하면, 내부 데이터 스트로브 신호 (IDQS) 가 로우 레벨로부터 하이 레벨로 변화된다. 내부 클록 신호 (PCLKD) 의 상승 에지 #5 에서, 내부 데이터 스트로브 신호 (IDQS) 가 내부 클록 신호 (PCLKD) 보다 더 일찍 하이 레벨로 변화된다. 그에 의해, 스큐 검출 신호 (SKEW) 가 로우 레벨에 있다. 내부 클록 신호 (PCLKD) 의 상승 에지 #12 에서, 내부 클록 신호 (PCLKD) 가 내부 데이터 스트로브 신호 (IDQS) 보다 더 일찍 하이 레벨로 변화된다. 그에 의해, 스큐 검출 신호 (SKEW) 가 하이 레벨에 있다.

[0071] 스큐 검출 신호 (SKEW) 가 스위칭되는 타이밍을, 내부 데이터 스트로브 신호 (IDQS) 의 변화 타이밍을 점진적으로 변화시킴으로써 발견하는 경우, 양쪽 신호들 사이의 스큐는 실질적으로 제로일 수 있다. 이러한 방식으로, 기입 레벨링 동작이 수행된다.

[0072] 이 경우, 분주된 클록 신호들 (PCLKF0 내지 PCLKF3 및 PCLKR0 내지 PCLKR3) 에 비해, 내부 클록 신호 (PCLKD) 가 체배기 회로 (200) 에 의해 지연된다. 그러나, 본 실시형태에 의하면, 외부 데이터 스트로브 신호 (DQS) 에 비해, 내부 데이터 스트로브 신호 (IDQS) 가 내부 데이터 스트로브 신호 발생 회로 (400) 에 의해 지연된다. 또한, 체배기 회로 (200) 에 의한 지연량이 내부 데이터 스트로브 신호 발생 회로 (400) 에 의한 지연량과 실질적으로 동일하다. 그에 의해, 상술한 기입 레벨링 동작이 수행되는 경우, 분주된 클록 신호들 (PCLKF0 내지 PCLKF3 및 PCLKR0 내지 PCLKR3) 과 외부 데이터 스트로브 신호 (DQS) 사이의 스큐가 실질적으로 제로일 수 있다. 이러한 방식으로, 체배기 회로 (200) 에 의한 지연량에 기인하는 기입 레벨링 동작 동안의 오프셋이 제거된다. 따라서, 정확한 기입 레벨링 동작이 가능하다.

[0073] 본 발명은 상기 실시형태들로 한정되지 않고, 본 발명의 범위 및 사상으로부터 벗어나는 일 없이 변형되고 변경될 수도 있다는 것이 명백하다.

[0074] 휘발성 메모리들, 불휘발성 메모리들, 또는 이들의 혼합물들이 본 발명의 메모리 셀들에 적용될 수 있다.

[0075] 본 발명의 기술적 콘셉트가 신호 전송 회로를 갖는 반도체 디바이스에 적용될 수 있다. 제어 신호들을 발생시키기 위한 도면들과 다른 회로들에 개시된 회로 블록들에서의 회로들의 형태들이 본 실시형태들에 개시된 회로 형태들로 한정되지 않는다.

[0076] 본 발명의 기술적 콘셉트가 CPU (Central Processing Unit), MCU (Micro Control Unit), DSP (Digital Signal Processor), ASIC (Application Specific Integrated Circuit), ASSP (Application Specific Standard Product), 및 메모리와 같은 일반적인 반도체 디바이스에 적용될 수 있다. 본 발명이 적용되는 반도체 디바이스의 타입의 예로서 SOC (System on Chip), MCP (Multi Chip Package), 및 POP (Package on Package) 등이 주목된다. 본 발명은 이들 임의의 제품 형태 및 패키지 형태를 갖는 반도체 디바이스에 적용될 수 있다.

[0077] 트랜지스터들이 전계 효과 트랜지스터 (FET) 들인 경우, MIS (Metal Insulator Semiconductor) 및 TFT (Thin Film Transistor) 뿐만 아니라 MOS (Metal Oxide Semiconductor) 를 포함하여 다양한 FET들이 적용가능하다. 이 디바이스는 심지어 바이폴라 트랜지스터들도 포함할 수도 있다.

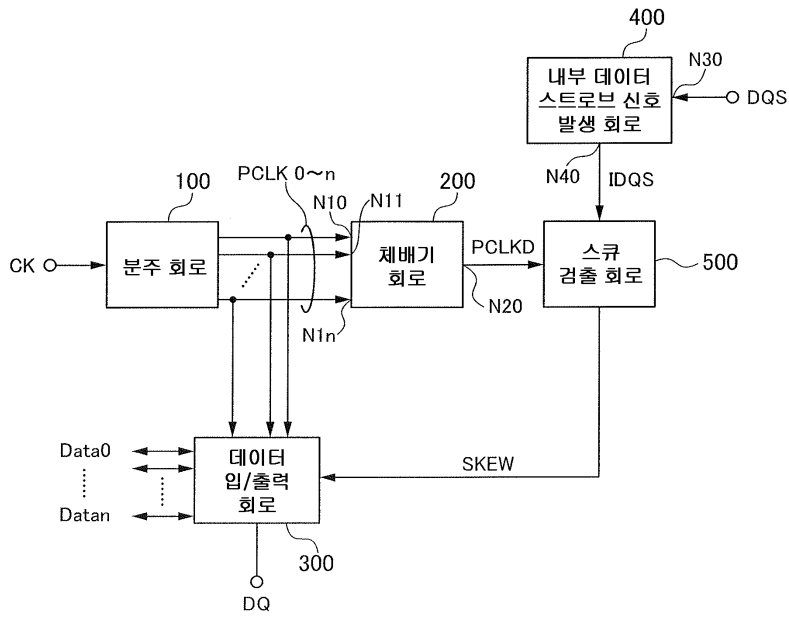
[0078] 또한, PMOS 트랜지스터 (P-채널 MOS 트랜지스터) 가 제 1 도전성 트랜지스터의 대표적인 예이고, NMOS 트랜지스터 (N-채널 MOS 트랜지스터) 가 제 2 도전성 트랜지스터의 대표적인 예이다.

[0079] 본 명세서에 개시된 다양한 구성요소들의 다수의 조합 및 선택은 본 발명의 특허청구범위의 범위 내에서 이루어질 수 있다. 즉, 본 발명은 특허청구범위를 포함하는 본 명세서의 전체 개시뿐만 아니라, 본 발명의 기술적 콘셉트에 기초하여 당업자에 의해 이루어질 수 있는 다양한 변형들 및 변형들을 포함한다는 것은 언급할 필요도 없다.

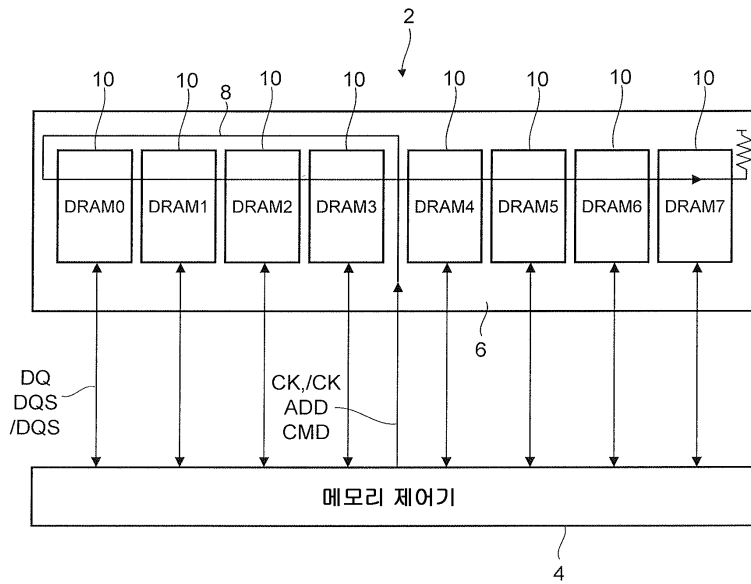
- [0080] 특허청구범위 섹션에서 특별히 주장하지는 않지만, 본 출원인은 본 출원의 특허청구범위 섹션에서 어떤 적절한 때에 다음의 데이터 프로세싱 시스템들을 포함하는 권리를 갖는다:
- [0081] A1.
- [0082] 제 1 반도체 디바이스; 및
- [0083] 제 1 반도체 디바이스에 연결된 제 2 반도체 디바이스를 포함하는 데이터 프로세싱 시스템으로서,
- [0084] 제 1 반도체 디바이스는,
- [0085] 제 1 데이터 스트로브 신호가 공급되어, 제 2 반도체 디바이스로부터 공급되는 제 2 데이터 스트로브 신호를 발생시키는 스트로브 신호 발생 회로로서, 제 2 데이터 스트로브 신호는, 스트로브 신호 발생 회로에 공급되는 제 1 데이터 스트로브 신호가 활성화된 이래로 제 1 기간의 경과 후에 활성화되는, 그 스트로브 신호 발생 회로;
- [0086] 제 2 데이터 스트로브 신호와 동기하여 제 2 반도체 디바이스로부터 직렬로 복수의 기입 데이터를 수신하는 입력 버퍼 회로;
- [0087] 복수의 제 1 클록 신호들을 체배하여 제 2 클록 신호를 발생시키는 체배기 회로로서, 제 2 클록 신호는, 체배기 회로에 공급되는 제 1 클록 신호들 각각이 활성화된 이래로 제 2 기간의 경과 후에 활성화되는, 그 체배기 회로;
- [0088] 제 1 클록 신호들과 동기하여, 입력 버퍼 회로로부터 직렬로 출력되는 기입 데이터를 병렬로 변환하는 직렬/병렬 변환 회로; 및
- [0089] 제 2 클록 신호와 제 2 데이터 스트로브 신호 사이의 스큐를 측정하는 스큐 검출 회로를 포함하고,
- [0090] 제 2 기간은 제 1 기간과 실질적으로 동일한, 데이터 프로세싱 시스템.
- [0091] A2.
- [0092] A1 에 있어서,
- [0093] 체배기 회로는, 각각의 제 1 입력 노드에 제 1 클록 신호들 중 관련 제 1 클록 신호가 공급되는 복수의 제 1 입력 노드들, 및 제 2 클록 신호가 출력되는 제 1 출력 노드를 포함하고,
- [0094] 스트로브 신호 발생 회로는, 제 1 데이터 스트로브 신호가 공급되는 제 2 입력 노드, 및 제 2 데이터 스트로브 신호가 출력되는 제 2 출력 노드를 포함하며,
- [0095] 제 1 입력 노드들 각각과 제 1 출력 노드 사이에 연결된 제 1 로직 게이트 회로들의 개수는, 제 2 입력 노드와 제 2 출력 노드 사이에 연결된 제 2 로직 게이트 회로들의 개수와 동일한, 데이터 프로세싱 시스템.
- [0096] A3.
- [0097] A2 에 있어서,
- [0098] 제 1 로직 게이트 회로들 각각은 제 2 로직 게이트 회로들 중 관련 제 2 로직 게이트 회로와 실질적으로 동일한 팬 아웃을 갖는, 데이터 프로세싱 시스템.

도면

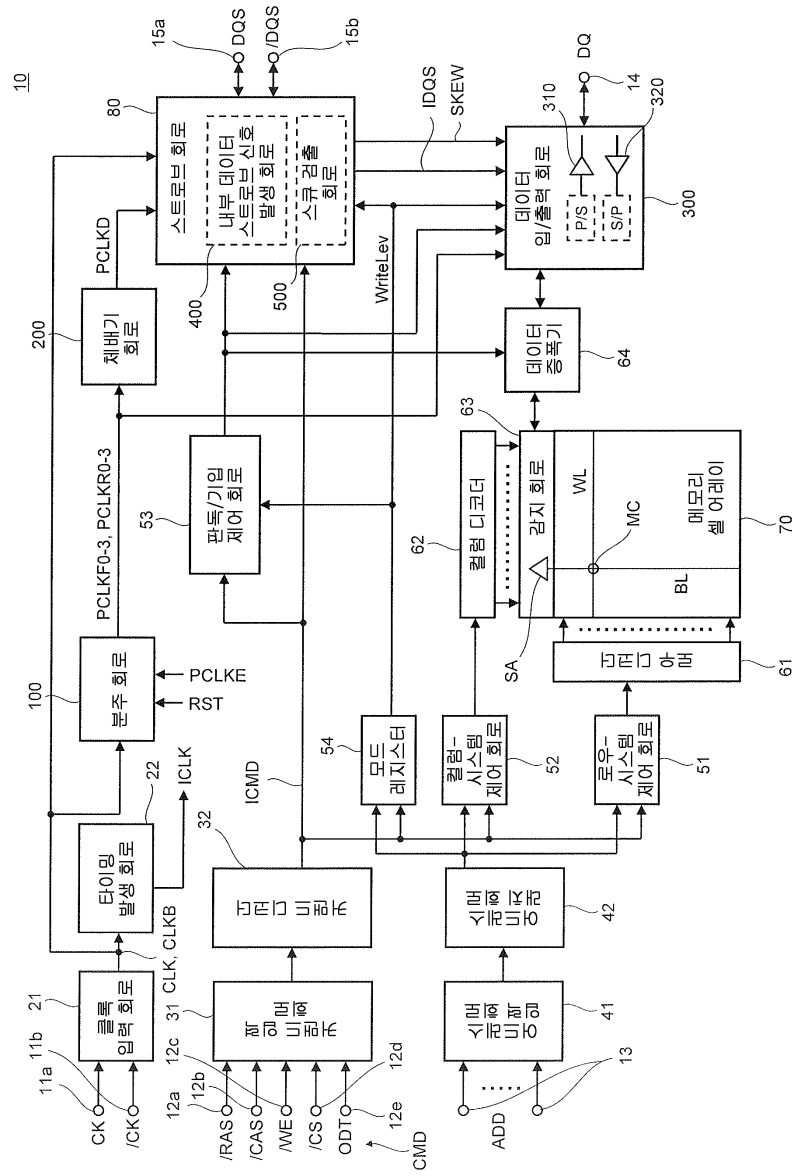
도면1



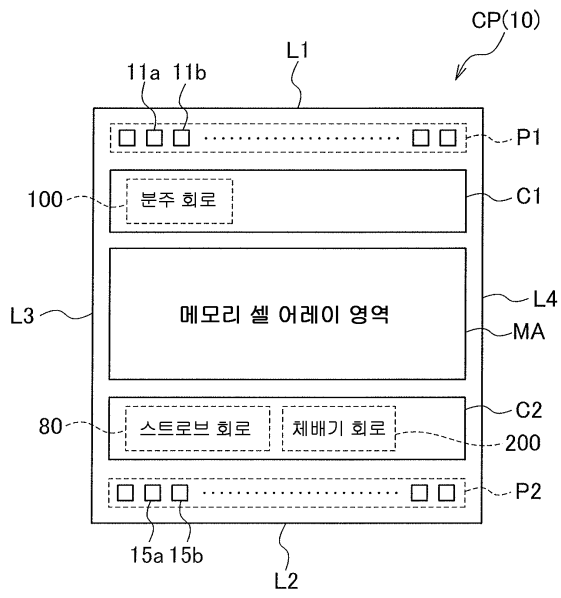
도면2



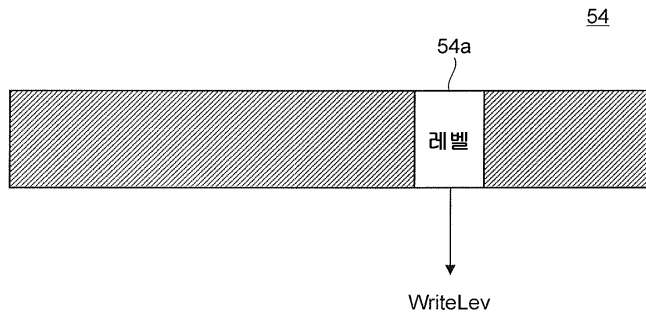
도면3



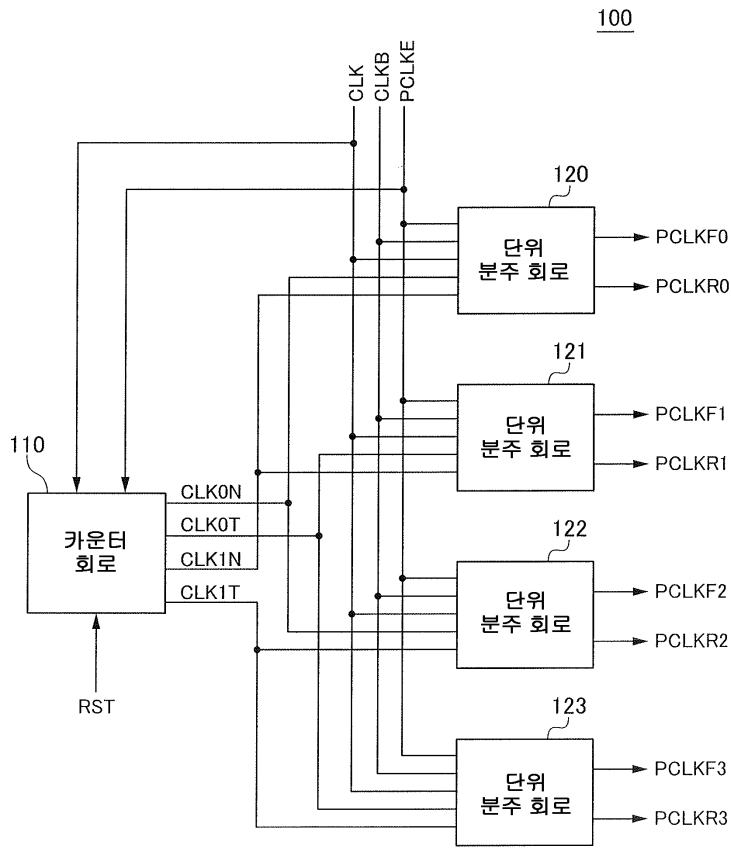
도면4



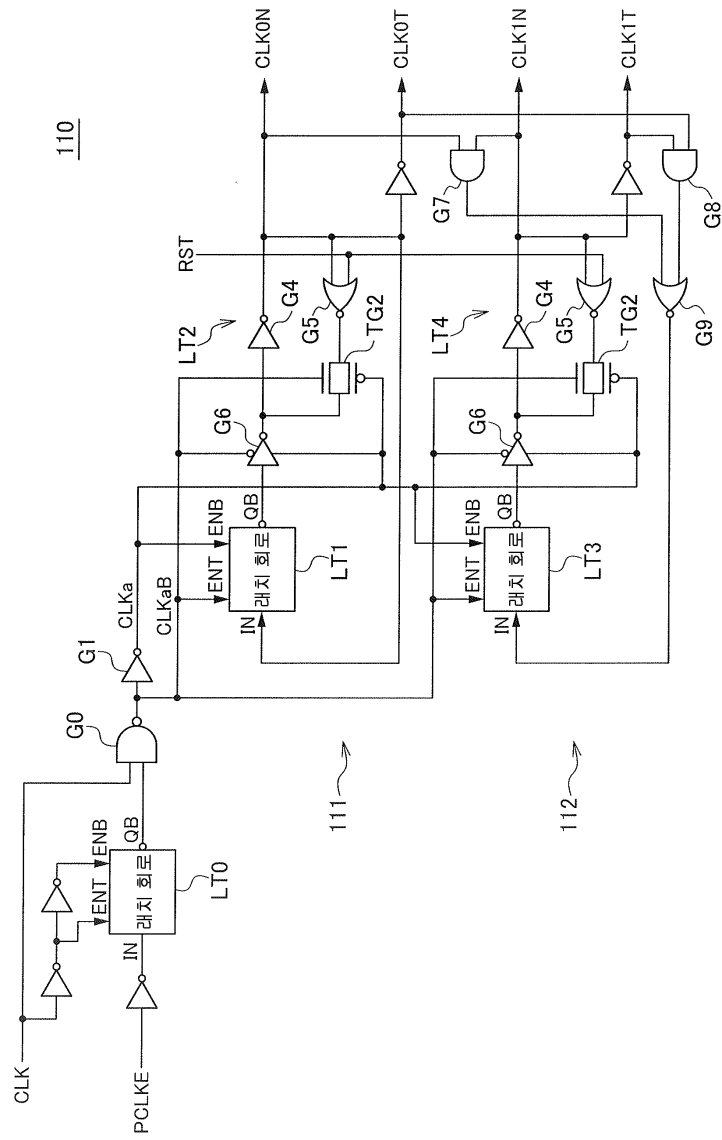
도면5



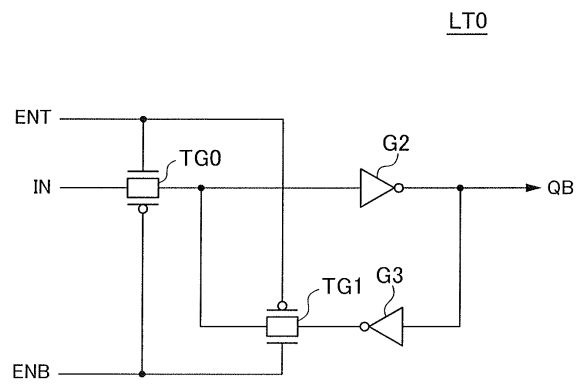
도면6



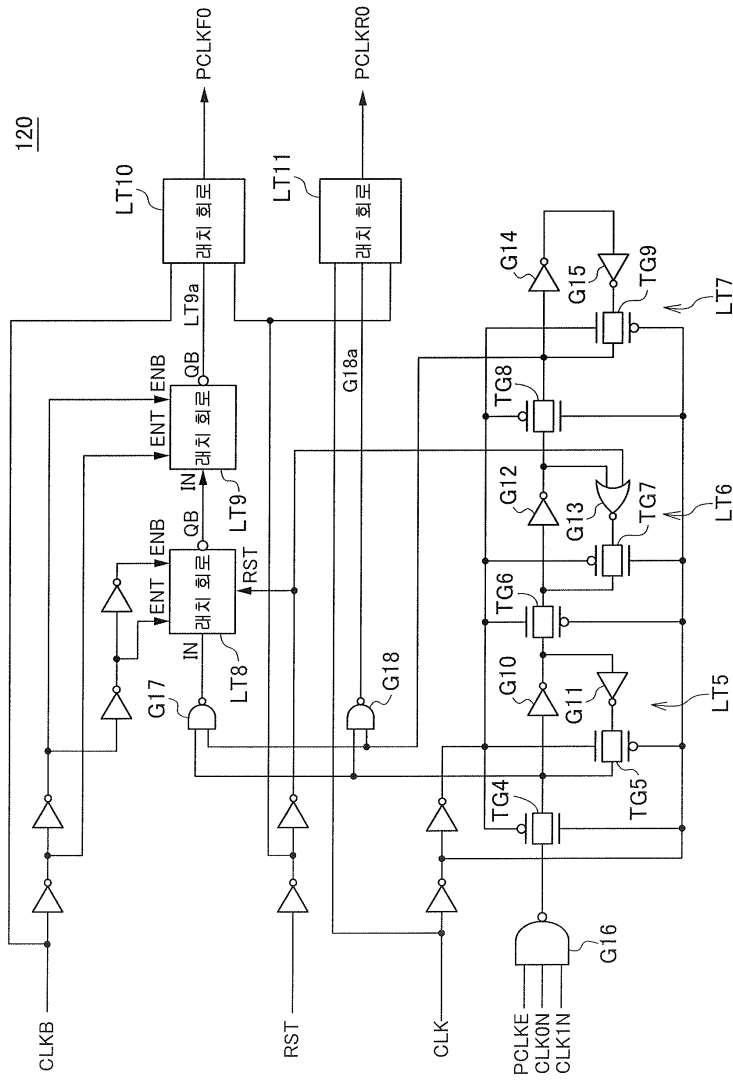
도면7



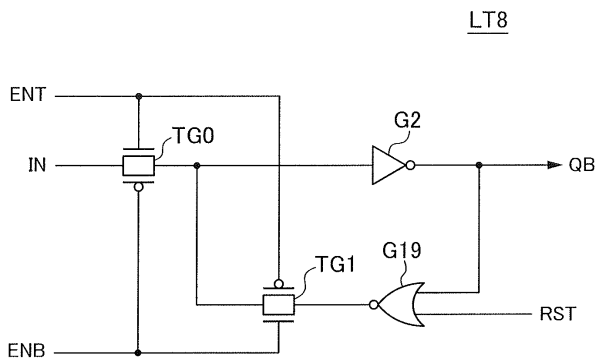
도면8



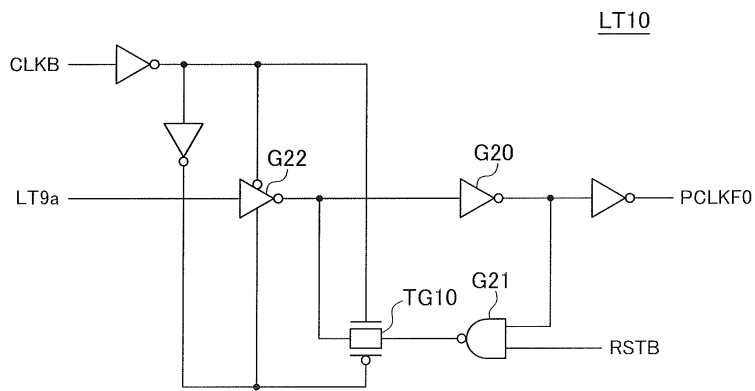
도면9



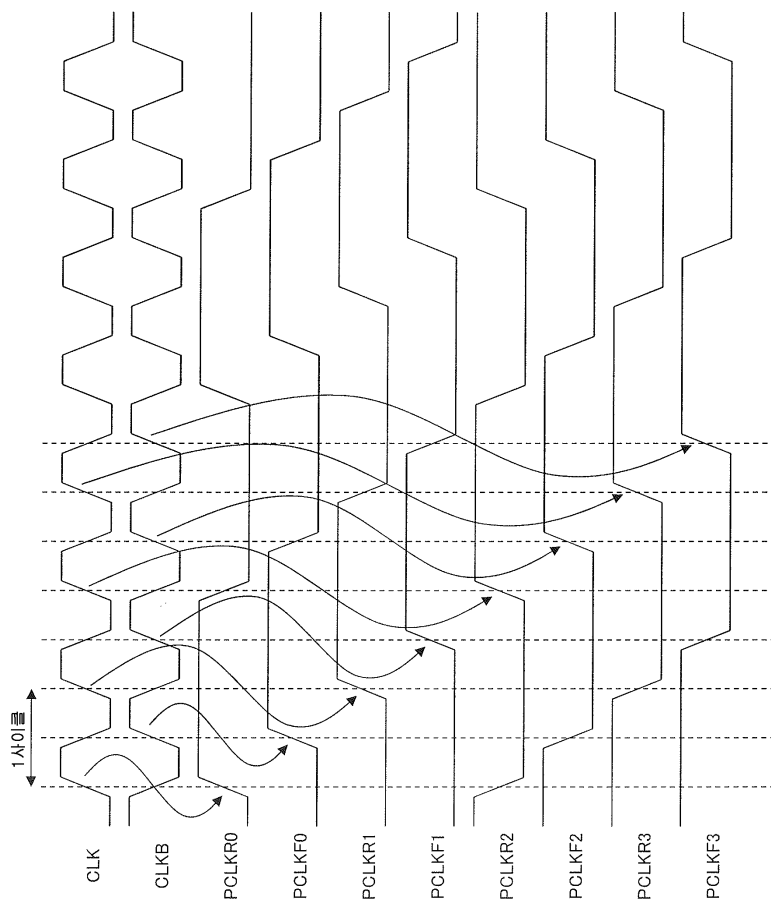
도면10



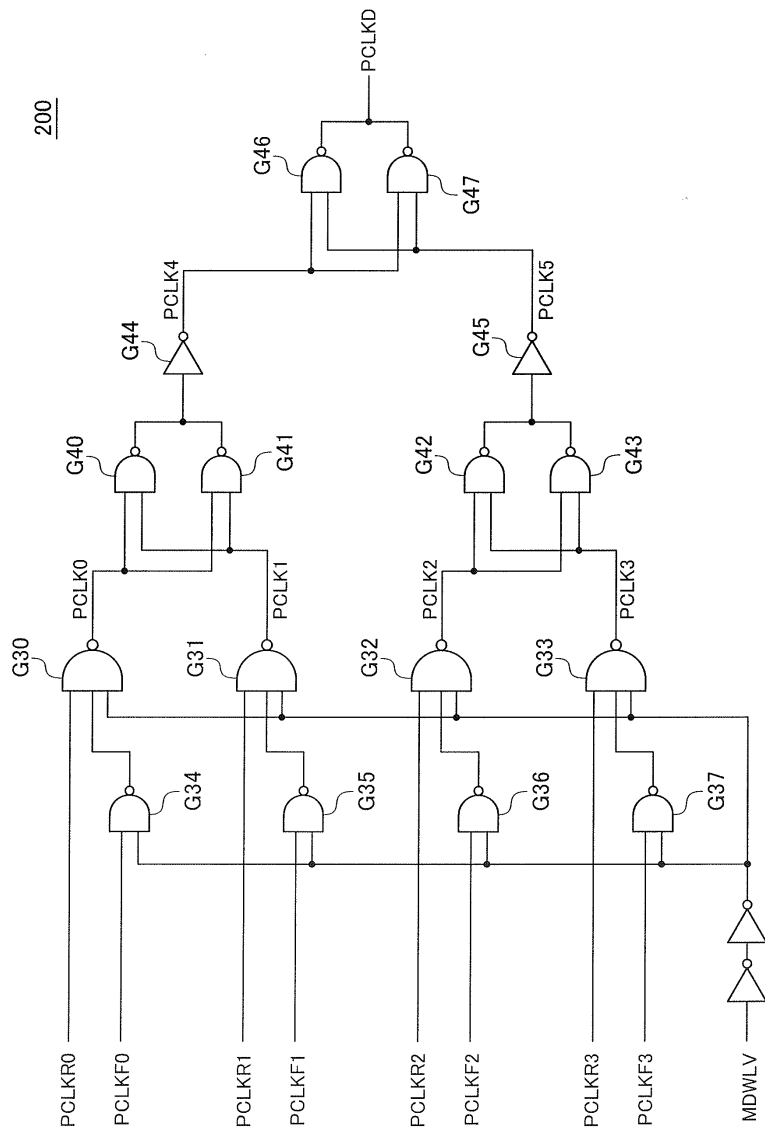
도면11



도면12

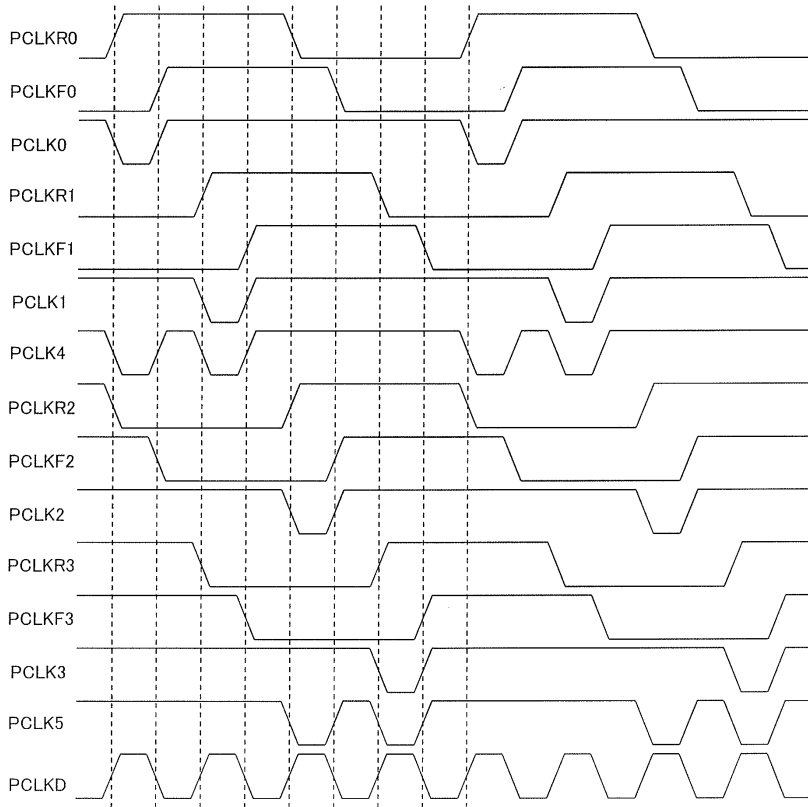


도면13



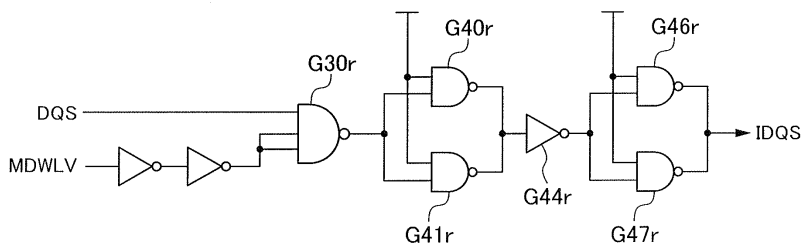
200

도면14



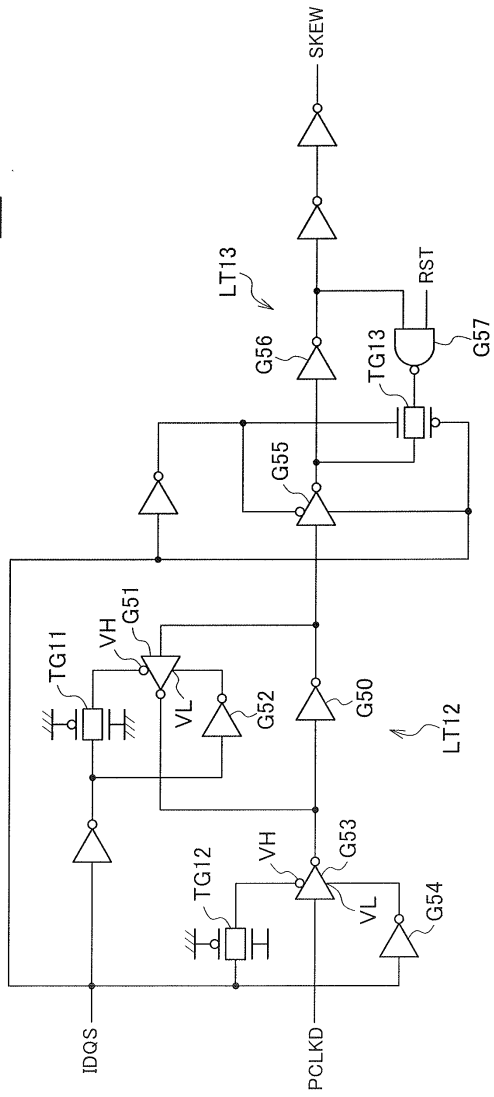
도면15

400



도면16

500



도면17

