



## (12) 发明专利

(10) 授权公告号 CN 107743682 B

(45) 授权公告日 2022.10.21

(21) 申请号 201680034758.4

(22) 申请日 2016.06.17

(65) 同一申请的已公布的文献号  
申请公布号 CN 107743682 A

(43) 申请公布日 2018.02.27

(30) 优先权数据  
62/181,554 2015.06.18 US  
15/184,683 2016.06.16 US(85) PCT国际申请进入国家阶段日  
2017.12.14(86) PCT国际申请的申请数据  
PCT/US2016/038048 2016.06.17(87) PCT国际申请的公布数据  
W02016/205624 EN 2016.12.22(73) 专利权人 密克罗奇普技术公司  
地址 美国亚利桑那州

(72) 发明人 A·库马尔 G·勒

(74) 专利代理机构 北京律盟知识产权代理有限公司 11287

专利代理师 沈锦华

(51) Int.Cl.  
H03B 5/06 (2006.01)  
H03B 5/32 (2006.01)  
H03B 5/36 (2006.01)  
H03K 21/40 (2006.01)(56) 对比文件  
US 2012306585 A1, 2012.12.06  
US 2012306585 A1, 2012.12.06  
US 2002180542 A1, 2002.12.05  
US 4956618 A, 1990.09.11  
EP 0905877 A1, 1999.03.31  
US 8902011 B2, 2014.12.02  
US 2014327487 A1, 2014.11.06  
CN 103296968 A, 2013.09.11

审查员 毕爽君

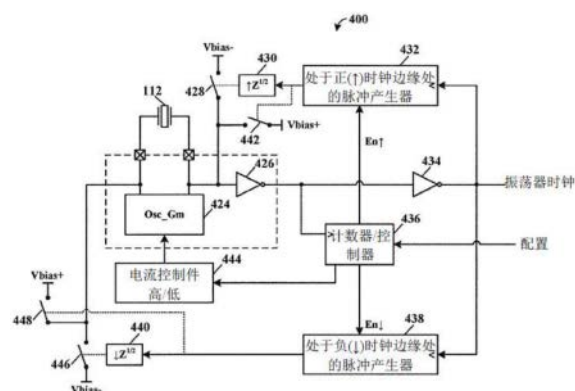
权利要求书2页 说明书5页 附图4页

## (54) 发明名称

具有自适应自启动的极低功率晶体振荡器

## (57) 摘要

一种晶体振荡器以高功率模式启动达一定时间周期以确保利用平均等级晶体启动振荡,接着一旦所述一定时间周期结束,所述振荡器便切换到低功率模式中且利用被振荡器输出频率触发且与所述振荡器输出频率同步的能量脉冲维持振荡。这些能量脉冲可产生于时钟输出波形的正边缘、负边缘或者正边缘及负边缘两者上。



1. 一种经配置以与外部晶体耦合的集成式振荡器,其包括:

振荡器,其具有第一连接件和第二连接件,所述第一连接件和所述第二连接件经配置用于与所述外部晶体连接以控制其振荡频率;及

控制电路,其经配置而以第一模式及第二模式操作,其中在所述振荡器启动时,所述控制电路以所述第一模式操作且将所述振荡器配置为在第一功率消耗下操作,其中在所述振荡器振荡特定时间周期之后,所述控制电路切换到所述第二模式;

其中当处于所述第二模式中时,所述控制电路将所述振荡器配置为在少于所述第一功率消耗的第二功率消耗下操作;及

脉冲产生器单元,其经配置以在所述第二功率消耗下进行的操作期间,通过在来自所述振荡器的输出信号的上升及/或下降边缘处将脉冲注入到所述振荡器的所述第一连接件及/或所述第二连接件中而维持振荡,

其进一步包括用以通过计数来自所述振荡器的所述输出信号的循环的数目而确定所述特定时间周期的计数器,其中在所述特定时间周期之后,所述计数器指示所述控制电路切换到所述第二模式且启用所述脉冲产生器单元。

2. 根据权利要求1所述的集成式振荡器,其中所述脉冲产生器由所述计数器启用且在所述输出信号的每一循环产生至少一个脉冲。

3. 根据权利要求2所述的集成式振荡器,其中所述脉冲产生器产生具有从5纳秒到500纳秒的脉冲宽度的所述脉冲。

4. 根据权利要求3所述的集成式振荡器,其中所述脉冲产生器产生具有约100纳秒的脉冲宽度的所述脉冲。

5. 根据权利要求3所述的集成式振荡器,其中所述脉冲产生器产生具有约5纳秒的脉冲宽度的所述脉冲。

6. 根据权利要求1所述的集成式振荡器,其中所述第二功率消耗少于所述第一功率消耗。

7. 根据权利要求6所述的集成式振荡器,其中所述第二功率消耗是所述第一功率消耗的约10%。

8. 根据权利要求1所述的集成式振荡器,其中所述振荡器包括反相器。

9. 根据权利要求1所述的集成式振荡器,其中所述振荡器包括跨导器。

10. 根据权利要求1所述的集成式振荡器,其中所述振荡器包括:

电流源,其耦合到供应电压;

第一电阻器,其耦合到偏置电压;

第一电容器,其耦合到所述第一电阻器;

第二电阻器,其耦合到所述第一电容器;

第一晶体管,其耦合到所述电流源、所述第一电容器以及所述第一电阻器及所述第二电阻器;

第二电容器,其耦合到所述第一电容器及所述第二电阻器;

第三电容器,其耦合到所述第二电阻器及所述第一晶体管;

第二晶体管,其耦合到所述第一电容器、所述第二电容器及所述第三电容器、所述第二电阻器以及所述第一晶体管;以及

所述外部晶体,其耦合到所述第一晶体管及所述第二晶体管,所述第一电容器、所述第二电容器及所述第三电容器,以及所述第二电阻器。

11.根据权利要求1所述的集成式振荡器,其中所述第一功率消耗包括从500纳安到1微安的电流。

12.根据权利要求1所述的集成式振荡器,其中所述第二功率消耗包括从25纳安到100纳安的电流。

13.根据权利要求1所述的集成式振荡器,其中所述脉冲产生器单元经配置以在所述振荡器输出的上升边缘产生正脉冲及/或产生负脉冲,所述负脉冲在所述振荡器输出的下降边缘产生。

14.根据权利要求13所述的集成式振荡器,其中所述正脉冲具有由正偏置电压提供的振幅,及/或,所述负脉冲具有由所述正偏置电压提供的振幅。

15.根据权利要求1所述的集成式振荡器,其中所述脉冲从来自所述振荡器的所述输出信号的所述上升及/或下降边缘被延迟达约一半循环。

16.一种微控制器,其包括根据前述权利要求中的任一项所述的集成式振荡器。

17.一种用于启动及运行经配置以与外部晶体耦合的集成式振荡器的方法,所述方法包括以下步骤:

利用所述外部晶体控制振荡器的频率,其中所述晶体与所述振荡器耦合;

以第一模式启动所述振荡器的操作,其中所述振荡器在第一功率消耗下操作;

通过计数来自所述振荡器的输出信号的循环的数目来确定特定时间周期,在所述振荡器振荡所述特定时间周期之后,切换所述振荡器且使所述振荡器以第二模式操作,其中所述振荡器在第二功率消耗下操作且所述第二功率消耗少于所述第一功率消耗;以及

在所述特定时间周期之后,在来自所述振荡器的所述输出信号的上升及/或下降边缘处启用将脉冲通过所述晶体与所述振荡器之间的耦合注入到所述振荡器中以使所述振荡器维持在所述第二功率消耗下操作,其中除此以外所述振荡器不会维持其振荡。

18.根据权利要求17所述的方法,其进一步包括以下步骤:将所述脉冲从来自所述振荡器的所述输出信号的所述上升及/或下降边缘延迟达约一半循环。

## 具有自适应自启动的极低功率晶体振荡器

[0001] 相关专利申请案

[0002] 本申请案主张2015年6月18日提出申请的共同拥有的美国临时专利申请案第62/181,554号的优先权,所述美国临时专利申请案据此出于所有目的以引用的方式并入本文中。

### 技术领域

[0003] 本公开涉及晶体振荡器,且特定来说涉及一种具有自适应自启动的极低功率晶体振荡器。

### 背景技术

[0004] 为了确保在休眠模式中功率消耗低,可将微控制器切换到由内部或外部振荡器提供的极低频率系统时钟。常规32KHz振荡器消耗约一微安,且在工业标准深度休眠模式中用于整个系统的功率预算是一(1)微安。为了满足此工业标准深度休眠要求,振荡器必须消耗少于150纳安(包含偏置产生),且仍能够支持广泛范围的晶体。在具有基于温度的晶体质量的此广泛变化( $R_{ESR}$ 从约30千欧姆到约90千欧姆)的情况下,在这些低电流值下晶体振荡器将无法启动或不能维持振荡。较低功率晶体振荡器(大约200纳安)将仅与极低ESR晶体一起工作,所述极低ESR晶体是昂贵的且不容易获得的。

### 发明内容

[0005] 因此,需要一种晶体振荡器,所述晶体振荡器将利用广泛范围的晶体来启动及工作,所述晶体大部分在极低功率消耗下工作且在所述极低功率消耗下维持振荡。

[0006] 根据实施例,一种经配置以与外部晶体耦合的集成式振荡器可包括:振荡器,其经配置以使晶体控制其振荡频率;控制电路,其经配置而以第一模式及第二模式操作,其中在所述振荡器启动时,所述控制电路以所述第一模式操作且将所述振荡器配置为在第一功率消耗下操作,其中在所述振荡器振荡特定时间周期之后,所述控制电路切换到所述第二模式;其中当处于所述第二模式中时,所述控制电路将所述振荡器配置为在可少于所述第一功率消耗的第二功率消耗下操作;且在所述第二功率消耗下进行的操作期间,可通过在来自所述振荡器的输出信号的上升及/或下降边缘处将脉冲注入到所述振荡器中而维持振荡。

[0007] 根据另一实施例,计数器可通过计数来自所述振荡器的所述输出信号的循环的数目而确定所述特定时间周期。根据另一实施例,脉冲产生器由计数器启用且在所述输出信号的每一循环产生至少一个脉冲。根据另一实施例,所述脉冲产生器可产生具有从约五(5)纳秒到约500纳秒的脉冲宽度的脉冲。根据另一实施例,所述脉冲产生器可产生具有约100纳秒的脉冲宽度的脉冲。根据另一实施例,所述脉冲产生器可产生具有约5纳秒的脉冲宽度的脉冲。根据另一实施例,所述第二功率消耗可少于所述第一功率消耗。根据另一实施例,所述第二功率消耗可以是所述第一功率消耗的约10%。

[0008] 根据另一实施例,微控制器可包括所述集成式振荡器。

[0009] 根据另一实施例,所述振荡器可包括反相器。根据另一实施例,所述振荡器可包括跨导器。

[0010] 根据另一实施例,所述振荡器可包括:电流源,其耦合到供应电压;第一电阻器,其耦合到偏置电压;第一电容器,其耦合到所述第一电阻器;第二电阻器,其耦合到所述第一电容器;第一晶体管,其耦合到所述电流源、所述第一电容器以及所述第一电阻器及所述第二电阻器;第二电容器,其耦合到所述第一电容器及所述第二电阻器;第三电容器,其耦合到所述第二电阻器及所述第一晶体管;第二晶体管,其耦合到所述第一电容器、所述第二电容器及所述第三电容器、所述第二电阻器以及所述第一晶体管;及所述外部晶体,其耦合到所述第一晶体管及所述第二晶体管、所述第一电容器、所述第二电容器及所述第三电容器以及所述第二电阻器。

[0011] 根据另一实施例,所述第一功率消耗可包括从约500纳安到约一(1)微安的电流。根据另一实施例,所述第二功率消耗可包括从约25纳安到约100纳安的电流。根据另一实施例,可将所述脉冲从来自所述振荡器的所述输出信号的所述上升及/或下降边缘延迟达约一半循环。

[0012] 根据另一实施例,一种用于启动及运行经配置以与外部晶体耦合的集成式振荡器的方法可包括以下步骤:利用晶体来控制振荡器的频率;以第一模式启动所述振荡器的操作,其中所述振荡器在第一功率消耗下操作;在所述振荡器振荡特定时间周期之后,使所述振荡器以第二模式操作,其中所述振荡器在第二功率消耗下操作且所述第二功率消耗可少于所述第一功率消耗;及在来自所述振荡器的输出信号的上升及/或下降边缘处将脉冲注入到所述振荡器中以使所述振荡器维持在所述第二功率消耗下的操作。

[0013] 根据另一实施例,所述方法可包括以下步骤:将所述脉冲从来自所述振荡器的所述输出信号的所述上升及/或下降边缘延迟达约一半循环。

## 附图说明

[0014] 通过参考结合随附图式而做出的以下描述可获取对本公开的较完整理解,其中:

[0015] 图1图解说明晶体振荡器电路的示意图;

[0016] 图2图解说明图1中所展示的振荡器的反相器实施方案的示意图;

[0017] 图3图解说明图1中所展示的振荡器的跨导器实施方案的示意图;

[0018] 图4图解说明根据本公开的特定实例实施例的具有自适应自启动的极低功率晶体振荡器的示意性框图;

[0019] 图5图解说明根据本公开的教示的振荡器输入及输出波形的示意性曲线图;且

[0020] 图6图解说明根据本公开的教示的包括图4中所展示的晶体振荡器电路的微控制器的示意性框图。

[0021] 虽然本公开易于做出各种修改及替代形式,但在图式中展示并在本文中详细描述其特定实例实施例。然而,应理解,本文中对特定实例实施例的描述并非打算将本公开限制于本文所公开的特定形式。

## 具体实施方式

[0022] 根据本公开的各种实施例,可提供一种自适应自启动晶体振荡器以在使用超低功率(例如,100纳安)时确保振荡。振荡器在100纳安下运行时不趋向于利用广泛范围的晶体启动。可存在能在此低功率振荡器中工作的几种晶体(极低 $R_{\text{ESR}}$ ),但所述晶体中极少可获得且极为昂贵。为避免前述问题,经改进振荡器电路可在约一(1)微安下启动且一旦获得振荡便可将操作电流降低到(举例来说但不限于)约100纳安。然而,振荡器使用易于获得的晶体无法在100纳安下维持其振荡。用于提供低功率晶体振荡器的常规方法需要使用特别高质量且昂贵的晶体,这是因为如果在计时器到时之前振荡未启动,那么振荡器将永不启动。

[0023] 根据本公开的各种实施例,可通过以下操作来维持低功率晶体振荡器中的振荡:通过提供由振荡器电路自身的时钟输出控制的脉冲而将额外能量注入到所述振荡器电路中。此晶体振荡器可在切换到低电流操作之前在较高电流下启动。接着,在特定数目个输出循环之后,利用注入到振荡器电路中的与振荡器输出同步的能量脉冲切换到较低功率操作。通过使用从晶体振荡器输出开始运行的计时器(例如,1024计数器),功率节省电路将等到晶体振荡器充分地维持其振荡才会将振荡器切换到低电流模式,例如,约100纳安。

[0024] 现在参考图式,示意性地图解说明实例实施例的细节。图式中,将由相同编号表示相同元件,且将由带有不同小写字母后缀的相同编号表示类似元件。

[0025] 参考图1,其描绘晶体振荡器电路的示意图。此晶体振荡器电路(通常由数字100指代)可包括电流源102、第一电阻器104、P沟道金属氧化物半导体(PMOS)场效应晶体管(FET)106、第一电容器108、第二电阻器110、晶体频率确定元件112、第二电容器114、第三电容器116及NMOS FET 118(其与PMOS FET 106以图腾柱(totem pole)电路配置而被配置在一起)。晶体振荡器电路100取决于电路噪声能量来启动其振荡,且花费最长时间来达到全操作振荡输出。在32KHz下振荡的晶体振荡器电路100可花费多达三秒到四秒来启动,且32MHz振荡器可花费约5毫秒到20毫秒来达成启动。

[0026] 这是标准晶体振荡器电路设计,且受益于本公开且电子电路设计领域的一般技术人员可容易地想出同样良好地工作的其它晶体振荡器电路设计。所有这些其它晶体振荡器电路适用于本公开且涵盖于本文中。

[0027] 参考图2,其描绘图1中所展示的振荡器的反相器实施方案的示意图。振荡器100a中所展示的主振荡主动装置是反相器222,其后续接着用作具有输出226的缓冲放大器的另一反相器224。

[0028] 参考图3,其描绘图1中所展示的振荡器的跨导器实施方案的示意图。振荡器100b中所展示的主振荡主动装置是跨导器322,其后续接着用作具有输出326的缓冲放大器的反相器324。

[0029] 如图2及3中所展示的极低功率振荡器的挑战是晶体质量基于温度范围而存在各种变化。典型晶体的 $R_{\text{ESR}}$ 范围可是从约30千欧姆到约90千欧姆。

[0030] 参考图4,其描绘根据本公开的特定实例实施例的具有自适应自启动的极低功率晶体振荡器的示意性框图。具有自适应自启动的极低功率晶体振荡器(通常由数字400表示)可包括:高功率及低功率可控制Gm装置424、反相器426、分别耦合于供应电压 $V_{\text{dd}}$ ( $V_{\text{bias}}$ +)与Gm装置424的输出之间及供应共同部 $V_{\text{ss}}$ ( $V_{\text{bias}}$ -)与Gm装置424的输出之间的可控制开关442及428;正半循环边缘延迟电路430、激活于正向时钟边缘上的第一脉冲产生器432、反

相器434、计数器/控制器436、起动于负向时钟边缘上的第二脉冲产生器438、负半循环边缘延迟电路440、用于Gm装置424的高/低电流控制件444以及分别耦合于供应电压 $V_{dd}$  ( $V_{bias+}$ )与供应共同部 $V_{ss}$  ( $V_{bias-}$ )之间的可控制开关448及446。第一脉冲产生器432及第二脉冲产生器438可以是具有用于控制正脉冲、负脉冲或正脉冲及负脉冲两者的可配置脉冲输出的单个脉冲产生器。

[0031] 以高功率模式运行的Gm装置424可用于支持具有广泛范围 $R_{ESR}$ 的晶体(例如,从约30千欧姆到约90千欧姆)。以高功率模式运行的Gm装置424的功率消耗可以是(举例来说但不限于)大约500纳安(典型)及约一(1)微安(最大值),所述功率消耗对于保持在深度休眠中(deep-sleep sticker)的装置来说是过高的。因此,通过在高功率模式中启动晶体振荡且保持在此高功率模式中达特定数目个振荡循环计数(例如,4096/8192)将确保起动振荡。一旦振荡被维持,开始产生到振荡器电路的能量脉冲,例如,与晶体振荡器输出频率同步的100纳秒宽的脉冲。接着切换到其中Gm装置424使用较低电流的低功率模式,例如,当在高功率模式中时所使用电流的约10%(10)。

[0032] 此可利用用于控制处于高功率模式或低功率模式中的Gm装置424的高/低电流控制件444而实现,其中电流控制件444进一步由对振荡器输出(反相器426的输出)所产生的循环的数目进行计数的计数器/控制器436控制。其中计数器/控制器436确保晶体振荡器以高功率模式运行足够长时间以确保充分启动振荡。接着,一旦已流逝足以确保充分启动振荡的时间,计数器/控制器436便指示高/低电流控制件444将Gm装置424切换到低功率模式,且启用脉冲产生器432及438中的任一个或两个。

[0033] 脉冲产生器432及438可产生与振荡器输出(反相器434的输出)的频率同步的脉冲,使得可将最大值传送到晶体频率带宽内的振荡器电路。脉冲宽度也可以是从约五(5)纳秒到约500纳秒。如由脉冲产生器432及/或438产生的到晶体振荡器的能量脉冲可通过使用以下三个选项中的任一个而提供:

[0034] (1) 通过闭合开关442而产生的正脉冲,此在来自反相器434的振荡器输出的上升边缘上将 $V_{bias+}$ 脉冲施加到Gm装置424,且任选地后续接着半循环延迟430以将开关428闭合到 $V_{bias-}$ 。

[0035] (2) 通过闭合开关448而产生的负脉冲,此在来自反相器434的振荡器输出的下降边缘上将 $V_{bias+}$ 脉冲施加到Gm装置424,且任选地后续接着半循环延迟440以将开关446闭合到 $V_{bias-}$ 。

[0036] (3) 分别在上升及下降时钟边缘处到 $V_{bias+}$ 及 $V_{bias-}$ 的正脉冲及负脉冲两者(如由开关428、442、446及448所提供)。

[0037] 参考图5,其描绘根据本公开的教示的振荡器输入及输出波形的示意性曲线图。来自开关448的正脉冲展示为在上升时钟振荡器波形上,且来自开关446的负脉冲展示为在下降时钟振荡器波形上。

[0038] 参考图6,其描绘根据本公开的教示的包括图4中所展示的晶体振荡器电路的微控制器的示意性框图。微控制器602可包括:数字处理器与存储器604、外围模块606、输入/输出608及时钟振荡器400。时钟振荡器400可耦合到外部晶体112及相关联外部组件,例如,电阻器110、220及320;以及电容器114及116。数字处理器与存储器604(核心)及外围装置606可耦合到不同时钟信号,例如,数字处理器604耦合到较快时钟振荡器400,且外围装置606

耦合到较慢时钟振荡器。输入/输出608可耦合到更慢时钟振荡器。

[0039] 本文中所公开的晶体振荡器实施例允许微控制器602较快启动操作且此后在较低功率下运行。

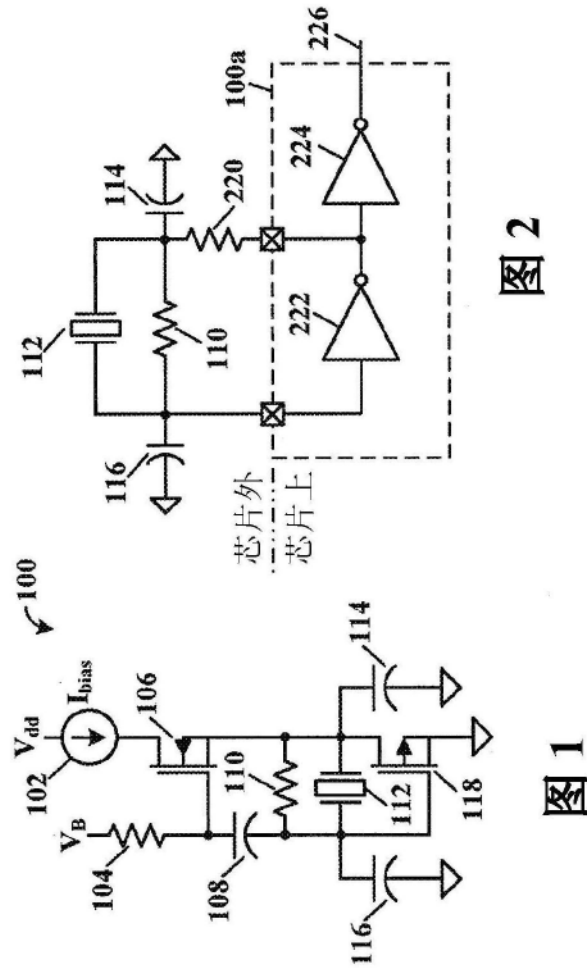


图 1

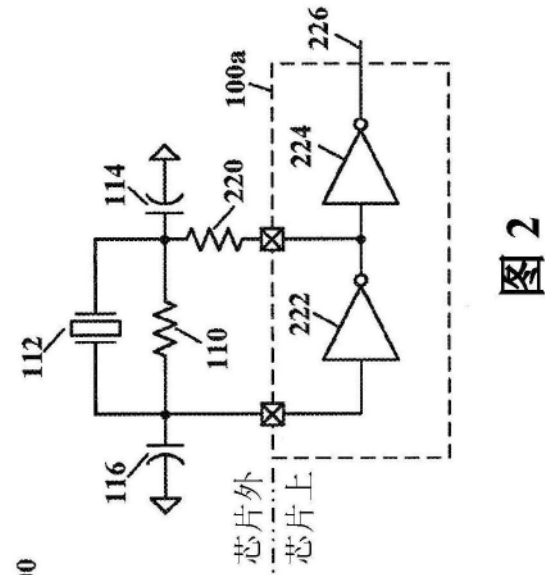


图 2

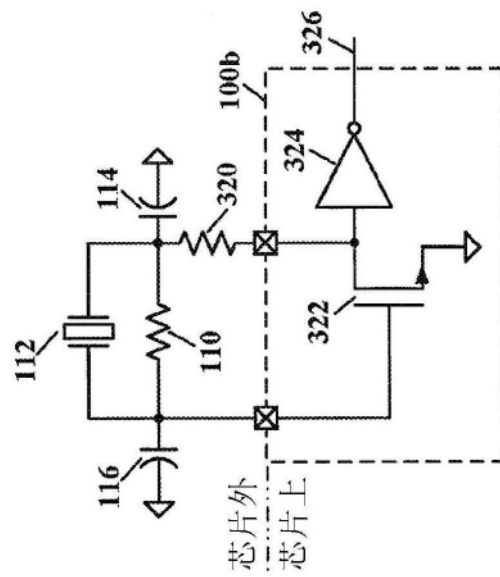


图3

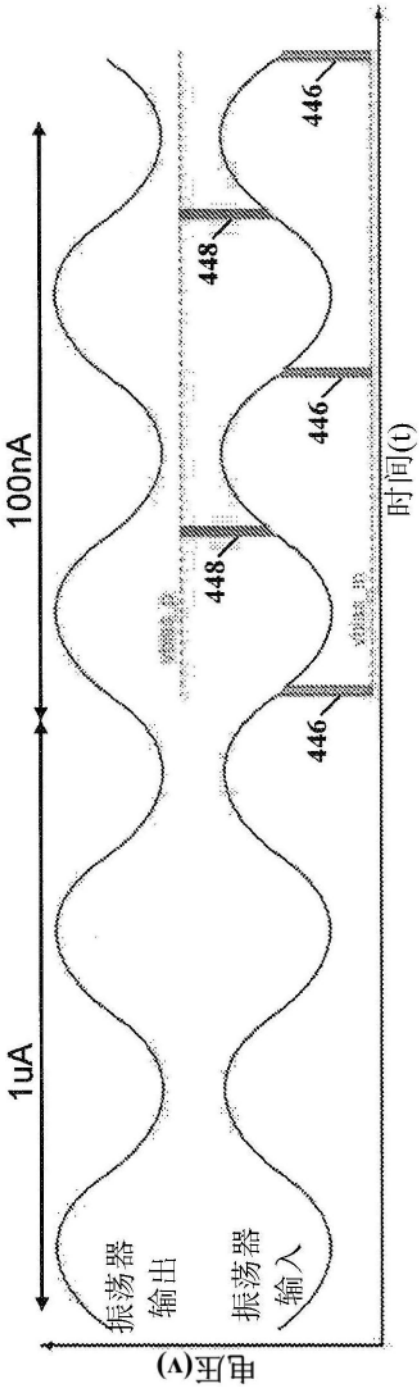


图5

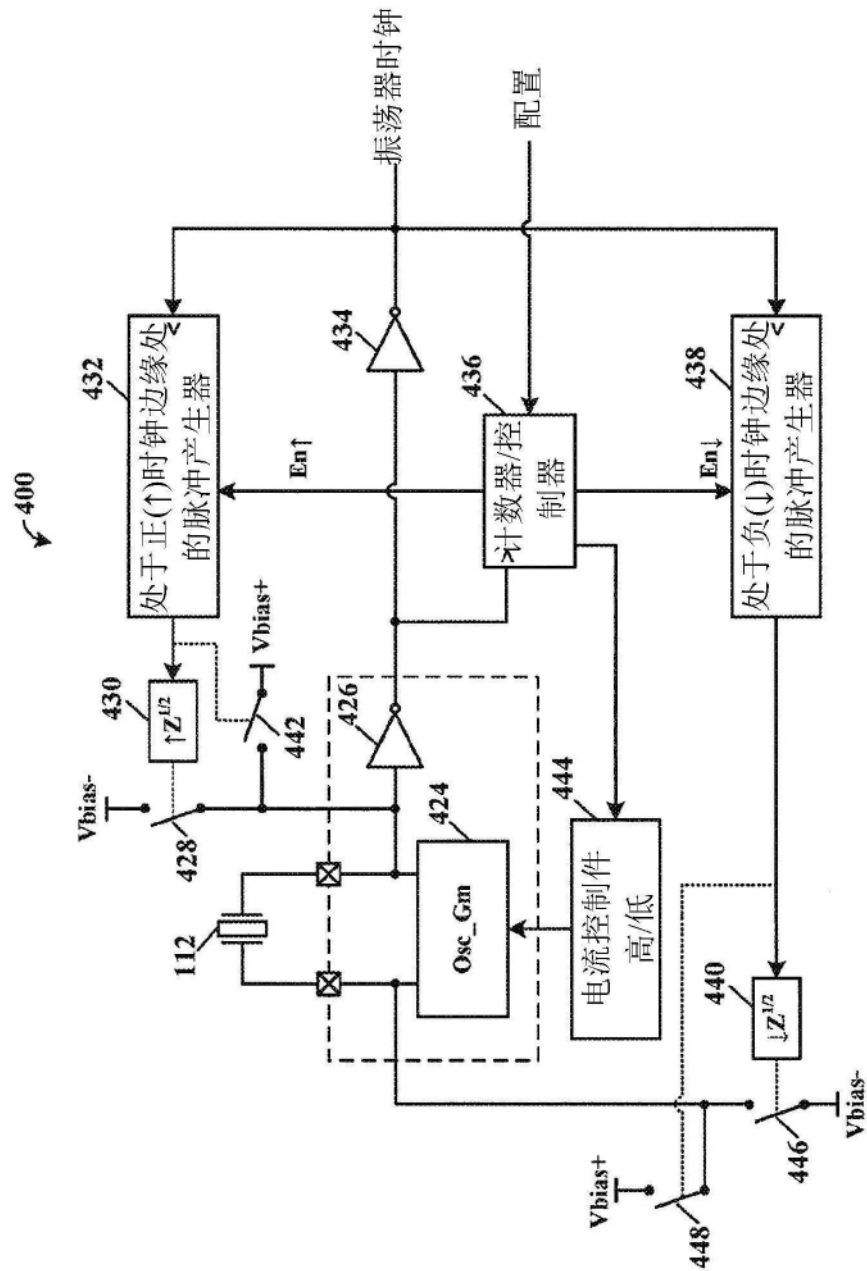


图4

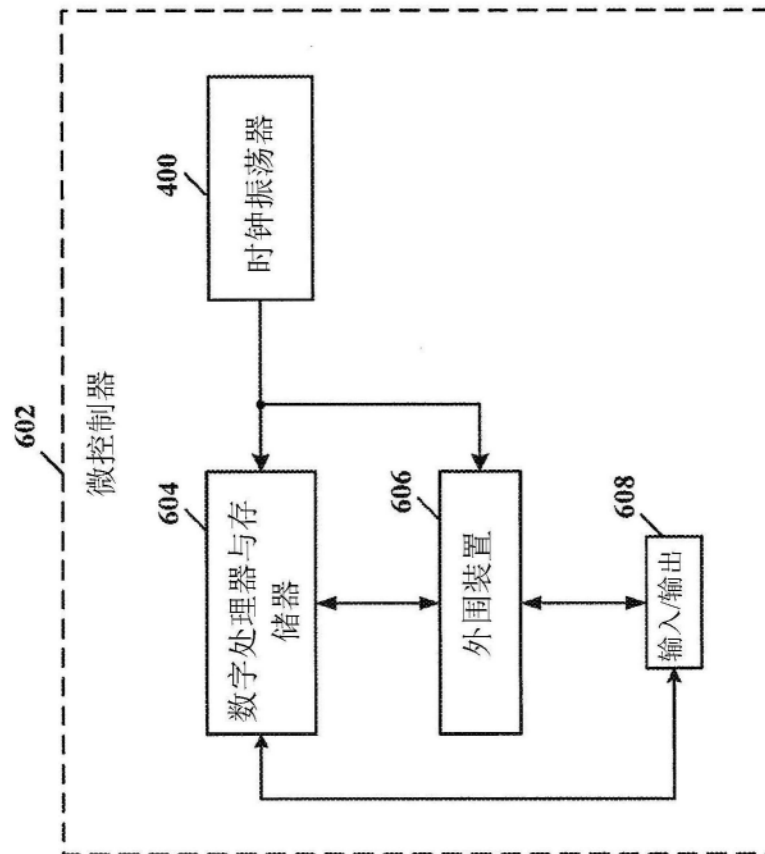


图6