

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2024 年 10 月 3 日 (03.10.2024)



(10) 国际公布号
WO 2024/198515 A1

- (51) 国际专利分类号:
H01L 29/06 (2006.01)
- (21) 国际申请号: PCT/CN2023/138054
- (22) 国际申请日: 2023 年 12 月 12 日 (12.12.2023)
- (25) 申请语言: 中文
- (26) 公布语言: 中文
- (30) 优先权:
202310316163.X 2023年3月28日 (28.03.2023) CN
- (71) 申请人: 无锡华润上华科技有限公司
(**CSMC TECHNOLOGIES FAB2 CO., LTD.**) [CN/CN];
中国江苏省无锡市新区新洲路 8 号,
Jiangsu 214028 (CN)。
- (72) 发明人: 李永顺 (**LI, Yongshun**); 中国江苏省无锡市
新区新洲路 8 号, Jiangsu 214028 (CN)。 金华
俊 (**JIN, Huajun**); 中国江苏省无锡市新区新洲路
8 号, Jiangsu 214028 (CN)。 宋亮 (**SONG, Liang**); 中
国江苏省无锡市新区新洲路 8 号, Jiangsu 214028
(CN)。 王亚南 (**WANG, Yanan**); 中国江苏省无锡
市新区新洲路 8 号, Jiangsu 214028 (CN)。 张清清

(**ZHANG, Qingqing**); 中国江苏省无锡市新区新洲
路 8 号, Jiangsu 214028 (CN)。 邵红 (**SHAO, Hong**);
中国江苏省无锡市新区新洲路 8 号, Jiangsu 214028
(CN)。 张森 (**ZHANG, Sen**); 中国江苏省无锡市
新区新洲路 8 号, Jiangsu 214028 (CN)。

(74) 代理人: 华进联合专利商标代理有限公司
(**ADVANCE CHINA IP LAW OFFICE**); 中国广东省
广州市天河区珠江东路 6 号 4501 房 (部
位: 自编 01-03 和 08-12 单元) (仅限办公用
途), Guangdong 510623 (CN)。

(81) 指定国(除另有指明, 要求每一种可提供的国家
保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG,
BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU,
CV, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI,
GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IQ,
IR, IS, IT, JM, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ,
LA, LC, LK, LR, LS, LU, LY, MA, MD, MG, MK, MN,
MU, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA,
PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD,

(54) **Title:** SEMICONDUCTOR DEVICE HAVING ISOLATION STRUCTURE, AND MANUFACTURING METHOD FOR ISO-LATION STRUCTURE

(54) 发明名称: 具有隔离结构的半导体器件及隔离结构的制造方法

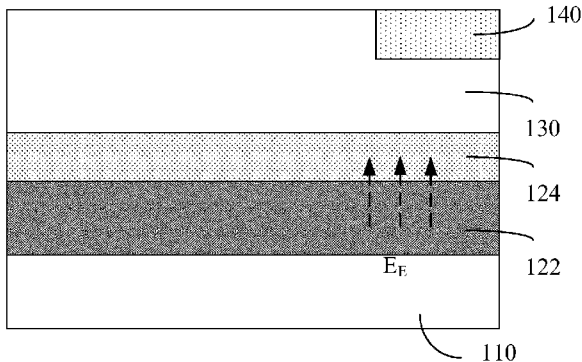


图 1

(57) **Abstract:** The present application relates to a semiconductor device having an isolation structure, and a manufacturing method for the isolation structure. The semiconductor device comprises: a substrate (110), having a second conductivity type; a junction isolation structure, comprising a first buried region (122) and a second buried region (124) in direct contact with the first buried region, wherein the first buried region (122) is located on the substrate (110) and has a first conductivity type, the second buried region (124) is located on the first buried region (122) and has the first conductivity type, and the doping concentration of the second buried region (124) is less than the doping concentration of the first buried region (122); a second conductivity type region (130), located on the second buried region (124); and a device body region, located in the second conductivity type region (130), wherein the junction isolation structure is used for performing insulation isolation on the substrate and the second conductivity type region. According to the present application, a hole blocking layer is formed on an interface between the first buried region and the second buried region, so that holes can be prevented from passing through the hole blocking layer to transit to the substrate to form substrate leakage, and a latch-up effect of a device is mitigated.

SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ,
UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW。

(84) 指定国(除另有指明, 要求每一种可提供的地区
保护): ARIPO (BW, CV, GH, GM, KE, LR, LS, MW, MZ,
NA, RW, SC, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚
(AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE,
BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR,
HU, IE, IS, IT, LT, LU, LV, MC, ME, MK, MT, NL, NO,
PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF,
CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN,
TD, TG)。

本国际公布:
— 包括国际检索报告(条约第21条(3))。

(57) 摘要: 本申请涉及一种具有隔离结构的半导体器件, 及隔离结构的制造方法, 所述半导体器件包括: 衬底(110), 具有第二导电类型; 结隔离结构, 包括第一埋藏区(122)和与所述第一埋藏区直接接触的第二埋藏区(124), 所述第一埋藏区(122)位于所述衬底(110)上且具有第一导电类型, 所述第二埋藏区(124)位于所述第一埋藏区(122)上且具有第一导电类型, 所述第二埋藏区(124)的掺杂浓度小于所述第一埋藏区(122)的掺杂浓度; 第二导电类型区(130), 位于所述第二埋藏区(124)上; 器件主体区, 位于所述第二导电类型区(130)中; 其中, 所述结隔离结构用于对所述衬底与所述第二导电类型区进行绝缘隔离。本申请在第一埋藏区和第二埋藏区的界面形成空穴阻挡层, 能够阻止空穴穿过空穴阻挡层渡越到衬底形成衬底漏电, 改善器件的门锁效应。

具有隔离结构的半导体器件及隔离结构的制造方法

相关申请

本申请要求 2023 年 3 月 28 日申请的，申请号为 202310316163.X，名称为“具有隔离结构的半导体器件及隔离结构的制造方法”的中国专利申请的优先权，在此将其全文引入作为参考。

技术领域

本申请涉及半导体制造领域，尤其涉及一种具有隔离结构的半导体器件，以及一种隔离结构的制造方法。

背景技术

示例性地，全隔离结构采用一个 N 型埋层将衬底和器件内部结构隔离开（即利用结隔离的方式进行隔离），以满足多样化的电路应用。

但是该 N 型埋层形成的隔离结构会形成寄生的 BJT（双极结型晶体管）。在 H 桥电路中，死区时间内半导体器件的体二极管续流时，会导致该寄生 BJT 触发，产生衬底漏电。对于半桥电路的低侧（LowSide）器件，该寄生 BJT 甚至会导致闩锁（Latch-up），乃至烧毁器件。

发明内容

基于此，有必要提供一种能够改善闩锁效应的具有隔离结构的半导体器件。

一种具有隔离结构的半导体器件，包括：衬底，具有第二导电类型；结隔离结构，包括第一埋藏区和与所述第一埋藏区直接接触的第二埋藏区，所述第一埋藏区位于所述衬底上且具有第一导电类型，所述第二埋藏区位于所述第一埋藏区上且具有第一导电类型，所述第二埋藏区的掺杂浓度小于所述第一埋藏区的掺杂浓度；所述第一导电类型和第二导电类型为相反的导电类型；第二导电类型区，位于所述第二埋藏区上；器件主体区，位于所述第二导电类型区中；其中，所述结隔离结构用于实现所述衬底与所述第二导电类型区之间的绝缘隔离。

上述具有隔离结构的半导体器件，隔离结构包括第一埋藏区和第二埋藏区。由于第一埋藏区和第二埋藏区存在载流子浓度差，因此在第一埋藏区和第二埋藏区的交界处会形成

内建电场，由于该电场的存在，在该界面处就形成了一个载流子阻挡层。具体地，对于第一导电类型是 N 型，第二导电类型是 P 型的实施例，载流子阻挡层为空穴阻挡层，能够阻止第二导电类型区的空穴穿过空穴阻挡层并渡越到衬底形成衬底漏电，因此能够改善器件的闩锁效应。对于第一导电类型是 P 型，第二导电类型是 N 型的实施例，载流子阻挡层为电子阻挡层，能够阻止第二导电类型区的电子穿过电子阻挡层并渡越到衬底形成衬底漏电，同样能够改善器件的闩锁效应。

在其中一个实施例中，所述第二埋藏区的底部与所述第一埋藏区的顶部直接接触。

在其中一个实施例中，所述第一埋藏区的掺杂浓度不低于 $1\text{E}19\text{ cm}^{-3}$ ，所述第二埋藏区的掺杂浓度不高于 $1\text{E}17\text{ cm}^{-3}$ 。

在其中一个实施例中，所述第二埋藏区的厚度小于所述第一埋藏区的厚度。

在其中一个实施例中，所述器件主体区包括漂移区，所述漂移区与所述第二埋藏区之间被所述第二导电类型区隔开。

在其中一个实施例中，所述第二导电类型区是外延层。

在其中一个实施例中，所述漂移区具有第一导电类型。

在其中一个实施例中，所述半导体器件包括横向器件。

在其中一个实施例中，所述半导体器件包括横向双扩散金属氧化物半导体场效应管。

在其中一个实施例中，所述第一导电类型为 N 型，所述第二导电类型为 P 型。

还有必要提供一种隔离结构的制造方法。

一种隔离结构的制造方法，包括：在衬底中形成第一埋藏区，所述衬底具有第二导电类型，所述第一埋藏区具有第一导电类型，所述第一导电类型和第二导电类型为相反的导电类型；在所述第一埋藏区上形成与所述第一埋藏区直接接触的第二埋藏区，所述第二埋藏区具有第一导电类型且掺杂浓度小于所述第一埋藏区的掺杂浓度；在所述第二埋藏区上形成第二导电类型区。

上述隔离结构的制造方法，第一埋藏区和第二埋藏区存在载流子浓度差，因此在第一埋藏区和第二埋藏区的交界处会形成内建电场，由于该电场的存在，在该界面处就形成了一个空穴阻挡层，能够阻止第二导电类型区的空穴穿过空穴阻挡层并渡越到衬底形成衬底漏电，因此能够改善器件的闩锁效应。

在其中一个实施例中，所述在衬底中形成第一埋藏区的步骤包括：在所述衬底中注入第一导电类型离子，然后进行推阱，推阱的温度为 1000 摄氏度以上、时间为 100 分钟以上。

在其中一个实施例中，所述第一埋藏区的掺杂浓度比所述第二埋藏区高至少 100 倍。

在其中一个实施例中，所述在所述第二埋藏区上形成第二导电类型区的步骤之后，上述方法还包括在所述第二导电类型区中形成器件主体区。

在其中一个实施例中，所述器件主体区包括漂移区。

在其中一个实施例中，所述漂移区具有第一导电类型。

在其中一个实施例中，所述在所述第二埋藏区上形成第二导电类型区的步骤是生长外延层。

在其中一个实施例中，所述半导体器件为横向器件。

在其中一个实施例中，所述半导体器件为横向双扩散金属氧化物半导体场效应管。

在其中一个实施例中，所述第一导电类型为 N 型，所述第二导电类型为 P 型。

附图说明

为了更清楚地说明本申请实施例或示例性实施例中的技术方案，下面将对实施例或示例性实施例描述中所需要使用的附图作简单地介绍。显而易见地，下面描述中的附图仅仅是本申请的一些实施例，对于本领域普通技术人员来讲，在不付出创造性劳动的前提下，还可以根据这些附图获得其他的附图。

图 1 是本申请一实施例中具有隔离结构的半导体器件的剖面结构示意图。

图 2 是图 1 所示结构的等效电路图。

图 3 是本申请一实施例中隔离结构的制造方法的流程图。

图 4 是本申请一实施例在图 3 中的步骤 S310 完成后得到的结构的剖面结构示意图。

图 5 是本申请一实施例在图 3 中的步骤 S320 完成后得到的结构的剖面结构示意图。

图 6 是本申请另一实施例中具有隔离结构的半导体器件的结隔离结构的电场方向示意图。

具体实施方式

为了便于理解本申请，下面将参照相关附图对本申请进行更全面的描述。附图中给出了本申请的首选实施例。但是，本申请可以以许多不同的形式来实现，并不限于本文所描述的实施例。相反地，提供这些实施例的目的是使对本申请的公开内容更加透彻全面。

除非另有定义，本文所使用的所有的技术和科学术语与属于本申请的技术领域的技术人员通常理解的含义相同。本文中在本申请的说明书中所使用的术语只是为了描述具体的实施例的目的，不是旨在于限制本申请。本文所使用的术语“及 / 或”包括一个或多个相关的所列项目的任意的和所有的组合。

应当明白，当元件或层被称为“在...上”、“与...相邻”、“连接到”或“耦合到”其它元件或层时，其可以直接地在其它元件或层上、与之相邻、连接或耦合到其它元件或层，或者可以存在居间的元件或层。相反，当元件被称为“直接在...上”、“与...直接相邻”、“直接连接到”或“直接耦合到”其它元件或层时，则不存在居间的元件或层。应当明白，尽管可使用术语第一、第二、第三等描述各种元件、部件、区、层和/或部分，这些元件、部件、区、层和/或部分不应当被这些术语限制。这些术语仅仅用来区分一个元件、部件、区、层或部分与另一个元件、部件、区、层或部分。因此，在不脱离本申请教导之下，下面讨论的第一元件、部件、区、层或部分可表示为第二元件、部件、区、层或部分。

空间关系术语例如“在...下”、“在...下面”、“下面的”、“在...之下”、“在...之上”、“上面的”等，在这里可为了方便描述而被使用从而描述图中所示的一个元件或特征与其它元件或特征的关系。应当明白，除了图中所示的取向以外，空间关系术语意图还包括使用和操作中的器件的不同取向。例如，如果附图中的器件翻转，然后，描述为“在其它元件下面”或“在其之下”或“在其下”元件或特征将取向为在其它元件或特征“上”。因此，示例性术语“在...下面”和“在...下”可包括上和下两个取向。器件可以另外地取向(旋转 90 度或其它取向)并且在此使用的空间描述语相应地被解释。

在此使用的术语的目的仅在于描述具体实施例并且不作为本申请的限制。在此使用时，单数形式的“一”、“一个”和“所述/该”也意图包括复数形式，除非上下文清楚指出另外的方式。还应明白术语“组成”和/或“包括”，当在该说明书中使用时，确定所述特征、整数、步骤、操作、元件和/或部件的存在，但不排除一个或更多其它的特征、整数、步骤、操作、元件、部件和/或组的存在或添加。在此使用时，术语“和/或”包括相关所列项目的任何及所有组合。

这里参考作为本申请的理想实施例(和中间结构)的示意图的横截面图来描述发明的实施例。这样，可以预期由于例如制造技术和/或容差导致的从所示形状的变化。因此，本申请的实施例不应当局限于在此所示的区的特定形状，而是包括由于例如制造导致的形状偏差。例如，显示为矩形的注入区在其边缘通常具有圆的或弯曲特征和/或注入浓度梯度，而不是从注入区到非注入区的二元改变。同样，通过注入形成的埋藏区可导致该埋藏区和注入进行时所经过的表面之间的区中的一些注入。因此，图中显示的区实质上是示意性的，它们的形状并不意图显示器件的区的实际形状且并不意图限定本申请的范围。

本文所使用的半导体领域词汇为本领域技术人员常用的技术词汇，例如对于 P 型和 N 型杂质，为区分掺杂浓度，简易的将 P+型代表重掺杂浓度的 P 型，P 型代表中掺杂浓度的 P 型，P-型代表轻掺杂浓度的 P 型，N+型代表重掺杂浓度的 N 型，N 型代表中掺杂浓度的

N 型，N-型代表轻掺杂浓度的 N 型。

本申请提供一种隔离结构，可以应用于所有需要形成结隔离结构的半导体器件。图 1 是本申请一实施例中具有隔离结构的半导体器件的剖面结构示意图，该半导体器件包括衬底 110、结隔离结构（包括第一埋藏区 122 和第二埋藏区 124）、第二导电类型区 130 及器件主体区。衬底 110 为半导体衬底，其材料可以采用未掺杂的单晶硅、掺杂有杂质的单晶硅等，还可以是以下所提到的材料中的至少一种：Si、Ge、SiGe、SiC、SiGeC、InAs、GaAs、InP 或者其它 III/V 化合物半导体。在图 1 所示的实施例中，衬底 110 是第二导电类型的单晶硅衬底。

第二埋藏区 124 位于第一埋藏区 122 上且与第一埋藏区 122 直接接触。第一埋藏区 122 和第二埋藏区 124 具有第一导电类型，且第二埋藏区 124 的掺杂浓度小于第一埋藏区 122 的掺杂浓度。在图 1 所示的实施例中，第一导电类型是 N 型，第二导电类型是 P 型。在其他实施例中，也可以第一导电类型是 P 型，第二导电类型是 N 型。其中第一导电类型是 N 型，第二导电类型是 P 型的实施例尤其适用于中低压器件中常见的 BCD 工艺。结隔离结构用于实现衬底 110 与第二导电类型区 130 之间的绝缘隔离。

第二导电类型区 130 位于第二埋藏区 124 上，器件主体区位于第二导电类型区 130 中。

上述具有隔离结构的半导体器件，隔离结构包括第一埋藏区 122 和第二埋藏区 124。由于第一埋藏区 122 和第二埋藏区 124 存在载流子浓度差，因此在第一埋藏区 122 和第二埋藏区 124 的交界处会形成内建电场，由于该电场的存在，在该界面处就形成了一个载流子阻挡层。具体地，对于第一导电类型是 N 型，第二导电类型是 P 型的实施例，载流子阻挡层为空穴阻挡层，能够阻止第二导电类型区 130 的空穴穿过空穴阻挡层并渡越到衬底 110 形成衬底漏电，因此能够改善器件的闩锁效应。对于第一导电类型是 P 型，第二导电类型是 N 型的实施例，载流子阻挡层为电子阻挡层，能够阻止第二导电类型区 130 的电子穿过电子阻挡层并渡越到衬底 110 形成衬底漏电，同样能够改善器件的闩锁效应。

可以理解地，为了达到所需的隔离效果，空穴阻挡层的分布应足够广，因此在需要形成隔离的全域，第二埋藏区 124 的底面都应第一埋藏区 122 的顶面直接接触。在本申请的一个实施例中，第二埋藏区 124 的整个底面都与第一埋藏区 122 直接接触，和/或第一埋藏区 122 的整个顶面都与第二埋藏区 124 直接接触。

由于第一埋藏区 122 和第二埋藏区 124 作为结隔离结构，因此衬底 110 的背面（即图 1 中衬底 110 的底部）不能作为器件的一个电极，器件不能是在衬底 110 背面设置电极的垂直器件，例如垂直双扩散金属氧化物半导体场效应管（VDMOSFET）等。在一个实施例中，本申请的具有隔离结构的半导体器件可以是横向器件，例如横向双扩散金属氧化物半

导体场效应管（LDMOSFET）。在本申请的一个实施例中，本申请的具有隔离结构的半导体器件是全隔离型半导体器件。

以第一导电类型是 N 型，第二导电类型是 P 型为例，第一埋藏区 122 为高浓度的 N 型埋层 BN⁺，第二埋藏区 124 为低浓度的 N 型埋层 BN⁻。在第一埋藏区 122 与第二埋藏区 124 的交界处由于载流子的浓度差会导致离子的扩散运动，从而形成内建电场，电场强度 $E_E = \frac{kT}{q} \ln \left(\frac{N_E^+}{N_E^-} \right)$ ，其中 N_E^+ 为 BN⁺ 的电子浓度， N_E^- 为 BN⁻ 的电子浓度，电场方向为从 BN⁺ 指向 BN⁻，如图 1 所示。由于该内建电场的存在，在界面处就形成了一个空穴阻挡层，能够阻止第二导电类型区 130 的空穴穿过空穴阻挡层并渡越到衬底 110 形成衬底漏电。而在第一导电类型是 P 型，第二导电类型是 N 型的实施例中，电场方向如图 6 所示。

要获得对空穴较好的阻挡效果，则前述内建电场的场强应足够大。在本申请的一个实施例中，第一埋藏区 122 的掺杂浓度比第二埋藏区 124 高至少 100 倍。进一步地，对于 BN⁺，更高的掺杂浓度能提供更好的少数载流子的复合能力，因此能进一步减少空穴渡越。在本申请的一个实施例中，第一埋藏区 122 的掺杂浓度不低于 $1E19 \text{ cm}^{-3}$ ，第二埋藏区的掺杂浓度不高于 $1E17 \text{ cm}^{-3}$ 。需要注意的是，高的 BN⁺ 的掺杂浓度会影响器件的击穿电压（耐压），即 BN⁺ 的掺杂浓度越高、器件的击穿电压越低，因此 BN⁺ 的掺杂浓度还要满足器件的击穿电压的需求。

在本申请的一个实施例中，第二埋藏区 124 的厚度小于第一埋藏区 122 的厚度，这样能够强化结隔离结构的少子复合作用。对于结隔离结构，第一埋藏区 122 承担主要的隔离作用，第二埋藏区 124 作为进一步加强第一埋藏区 122 的隔离作用的缓冲层（buffer 层），用来通过浓度梯度在隔离环上建立其内建电场，利用内建电场阻止电子或者空穴渡越到衬底 110，阻止衬底 110 漏电甚至闩锁。

参见图 1，在该实施例中，器件主体区包括漂移区 140，漂移区 140 与第二埋藏区 124 之间被第二导电类型区 130 隔开。在图 1 所示的实施例中，第二导电类型区 130 是 P 型外延层，漂移区 140 是 N 型漂移区。图 2 是图 1 所示结构的等效电路图，包括一个寄生 PNP 三极管（即 P 型外延层-N 型埋层-P 型衬底）和一个寄生 NPN 三极管（即 N 型漂移区-P 型外延层-N 型埋层）， R_{P-cpi} 为 P 型外延层的等效电阻， R_{BN^+} 为第一埋藏区 122（即 BN⁺）的等效电阻。在具有结隔离结构的器件的体二极管续流时，图 2 中等效电路的寄生 PNP 三极管的发射结和寄生 NPN 三极管的发射结正偏，但由于前述空穴阻挡层的存在，只会有极小的电流进入第一埋藏区 122。而又由于第一埋藏区 122 有较高的掺杂浓度，因此 R_{BN^+} 的电阻值很小， R_{BN^+} 的压降也就很小，寄生 PNP 三极管和寄生 NPN 三极管很难同时开启，

从而有效地避免了闩锁效应。

本申请相应提供了一种隔离结构的制造方法。图 3 是本申请一实施例中隔离结构的制造方法的流程图，包括下列步骤：

步骤 S310：在衬底中形成第一埋藏区 122。

第一埋藏区 122 具有第一导电类型。衬底 110 为半导体衬底，其材料可以采用未掺杂的单晶硅、掺杂有杂质的单晶硅等，还可以是以下所提到的材料中的至少一种：Si、Ge、SiGe、SiC、SiGeC、InAs、GaAs、InP 或者其它 III/V 化合物半导体。在本申请的一个实施例中，衬底 110 是第二导电类型的单晶硅衬底。在本申请的一个实施例中，第一导电类型是 N 型，第二导电类型是 P 型。在其他实施例中，也可以第一导电类型是 P 型，第二导电类型是 N 型。

在本申请的一个实施例中，在衬底 110 上通过离子注入工艺注入第一导电类型的离子，形成第一埋藏区 122。在本申请的一个实施例中，第一埋藏区 122 是重掺杂的 N 型埋层（BN+），N 型杂质的浓度应该在保证器件击穿电压的前提下尽可能重掺杂，因为较浓的 N 型杂质可以提供更强的少数载流子复合能力，减少空穴渡越。注入后利用热过程推阱，使第一埋藏区 122 的结深更深，宽度更大。在本申请的一个实施例中，该热过程的温度为 1000 摄氏度以上，时间为 100 分钟以上。

步骤 S320：在第一埋藏区 122 上形成与第一埋藏区直接接触的第二埋藏区 124。

具体地，第二埋藏区 124 具有第一导电类型，且掺杂浓度小于第一埋藏区 122 的掺杂浓度。在本申请的一个实施例中，可以是在形成第一埋藏区 122 后（即步骤 S310 的推阱后）再进行一道离子注入，形成第二埋藏区 124。在本申请的一个实施例中，形成第二埋藏区 124 是采用杂质浓度较低的 N 型注入，且注入深度较浅（注入能量较低），形成底部与第一埋藏区 122 的顶部直接接触的第二埋藏区 124（轻掺杂的 N 型埋层 BN-）。第一埋藏区 122 与第二埋藏区 124 的交界处由于浓度差会导致离子的扩散运动，从而形成内建电场，电场方向为从 BN+ 指向 BN-。由于该电场的存在，在 BN+ 与 BN- 的交界处就形成了一个空穴阻挡层，能够阻止半导体器件体区的空穴进入埋层并渡越到衬底 110 形成衬底漏电。同时，由于 BN+ 的浓度较高，因此阻值较低，且前述推阱使得埋层足够深（即埋层的顶部到底部的深度较大），从而抑制了闩锁效应对器件的损毁。

在本申请的一个实施例中，第一埋藏区 122 的掺杂浓度比第二埋藏区 124 高至少 100 倍。

步骤 S330：在第二埋藏区 124 上形成第二导电类型区 130。

在本申请的一个实施例中，在步骤 S320 形成的结构上生长外延，形成位于第二埋藏

区 124 上的第二导电类型区 130。在本申请的一个实施例中，第二导电类型区 130 为 P 型外延层。

在上述步骤之后可以在外延层上进行器件的内部制造工艺。

上述隔离结构的制造方法中，通过设置第一埋藏区 122 和第二埋藏区 124，在具有浓度差的第一埋藏区 122 和第二埋藏区 124 的交界面形成一层空穴阻挡层，利用接触电势差阻止空穴穿过埋层进入衬底 110 形成衬底漏电。从而提高了半导体器件的结隔离效果，改善了全隔离器件的闩锁问题。

在本申请的一个实施例中，第一埋藏区 122 的掺杂浓度比第二埋藏区 124 高至少 100 倍。

在本申请的一个实施例中，第一埋藏区 122 的掺杂浓度不低于 $1\text{E}19\text{ cm}^{-3}$ ，第二埋藏区 124 的掺杂浓度不高于 $1\text{E}17\text{ cm}^{-3}$ 。

在本申请的一个实施例中，在步骤 S330 之后，上述方法还包括：在所述第二导电类型区 130 中形成器件主体区。

在一个实施例中，所述器件主体区包括漂移区。

在一个实施例中，所述漂移区具有第一导电类型。

在一个实施例中，所述半导体器件可以为横向器件。

在一个实施例中，所述半导体器件可以为 LDMOSFET。

应该理解的是，虽然本申请的流程图中的各个步骤按照箭头的指示依次显示，但是这些步骤并不是必然按照箭头指示的顺序依次执行。除非本文中有明确的说明，这些步骤的执行并没有严格的顺序限制，这些步骤可以以其它的顺序执行。而且，本申请流程图中的至少一部分步骤可以包括多个步骤或者多个阶段，这些步骤或者阶段并不必然是在同一时刻执行完成，而是可以在不同的时刻执行，这些步骤或者阶段的执行顺序也不必然是依次进行，而是可以与其它步骤或者其它步骤中的步骤或者阶段的至少一部分轮流或者交替地执行。

在本说明书的描述中，参考术语“有些实施例”、“其他实施例”、“理想实施例”等的描述意指结合该实施例或示例描述的具体特征、结构、材料或者特征包含于本申请的至少一个实施例或示例中。在本说明书中，对上述术语的示意性描述不一定指的是相同的实施例或示例。

以上所述实施例的各技术特征可以进行任意的组合，为使描述简洁，未对上述实施例各个技术特征所有可能的组合都进行描述，然而，只要这些技术特征的组合不存在矛盾，都应当认为是本说明书记载的范围。

以上所述实施例仅表达了本申请的几种实施方式，其描述较为具体和详细，但并不能因此而理解为对申请专利范围的限制。应当指出的是，对于本领域的普通技术人员来说，在不脱离本申请构思的前提下，还可以做出若干变形和改进，这些都属于本申请的保护范围。因此，本申请专利的保护范围应以所附权利要求为准。

权 利 要 求

1. 一种具有隔离结构的半导体器件，包括：

衬底，具有第二导电类型；

结隔离结构，包括第一埋藏区和与所述第一埋藏区直接接触的第二埋藏区，所述第一埋藏区位于所述衬底上且具有第一导电类型，所述第二埋藏区位于所述第一埋藏区上且具有第一导电类型，所述第二埋藏区的掺杂浓度小于所述第一埋藏区的掺杂浓度，所述第一导电类型和第二导电类型为相反的导电类型；

第二导电类型区，位于所述第二埋藏区上；

器件主体区，位于所述第二导电类型区中；

其中，所述结隔离结构用于对所述衬底与所述第二导电类型区进行绝缘隔离。

2. 根据权利要求1所述的具有隔离结构的半导体器件，其中所述第二埋藏区的整个底面都与所述第一埋藏区直接接触，和/或所述第一埋藏区的整个顶面都与所述第二埋藏区直接接触。

3. 根据权利要求1所述的具有隔离结构的半导体器件，其中所述第一埋藏区的掺杂浓度不低于 $1\text{E}19\text{ cm}^{-3}$ ，所述第二埋藏区的掺杂浓度不高于 $1\text{E}17\text{ cm}^{-3}$ 。

4. 根据权利要求1所述的具有隔离结构的半导体器件，其中所述器件主体区包括漂移区，所述漂移区与所述第二埋藏区之间被所述第二导电类型区隔开。

5. 根据权利要求4所述的具有隔离结构的半导体器件，其中所述漂移区具有第一导电类型。

6. 根据权利要求1所述的具有隔离结构的半导体器件，其中所述半导体器件为横向器件。

7. 根据权利要求1所述的具有隔离结构的半导体器件，其中所述第二埋藏区的厚度小于所述第一埋藏区的厚度。

8. 根据权利要求1-7中任一项所述的具有隔离结构的半导体器件，其中所述第一导电类型为N型，所述第二导电类型为P型。

9. 一种隔离结构的制造方法，包括：

在衬底中形成第一埋藏区，所述衬底具有第二导电类型，所述第一埋藏区具有第一导电类型，所述第一导电类型和第二导电类型为相反的导电类型；

在所述第一埋藏区上形成与所述第一埋藏区直接接触的第二埋藏区，所述第二埋藏区

具有第一导电类型且掺杂浓度小于所述第一埋藏区的掺杂浓度；

在所述第二埋藏区上形成第二导电类型区。

10. 根据权利要求 9 所述的隔离结构的制造方法，其中所述在衬底中形成第一埋藏区的步骤包括：在所述衬底中注入第一导电类型离子，然后进行推阱，推阱的温度为 1000 摄氏度以上、时间为 100 分钟以上。

11. 根据权利要求 10 所述的隔离结构的制造方法，其中在所述第一埋藏区上形成与所述第一埋藏区直接接触的所述第二埋藏区的步骤包括：在形成所述第一埋藏区后再注入第一导电类型的离子，以形成所述第二埋藏区。

12. 根据权利要求 9 所述的隔离结构的制造方法，其中所述第一埋藏区的掺杂浓度比所述第二埋藏区高至少 100 倍。

13. 根据权利要求 9 所述的隔离结构的制造方法，其中在所述第二埋藏区上形成第二导电类型区的步骤之后，还包括：在所述第二导电类型区中形成器件主体区。

14. 根据权利要求 13 所述的隔离结构的制造方法，其中所述器件主体区包括漂移区。

15. 根据权利要求 14 所述的隔离结构的制造方法，其中所述漂移区具有第一导电类型。

16. 根据权利要求 9 所述的隔离结构的制造方法，其中所述在所述第二埋藏区上形成第二导电类型区的步骤是生长外延层。

17. 根据权利要求 9 所述的隔离结构的制造方法，其中所述半导体器件为横向器件。

18. 根据权利要求 9 所述的隔离结构的制造方法，其中所述半导体器件为横向双扩散金属氧化物半导体场效应管。

19. 根据权利要求 9 所述的隔离结构的制造方法，其中所述第一导电类型为 N 型，所述第二导电类型为 P 型。

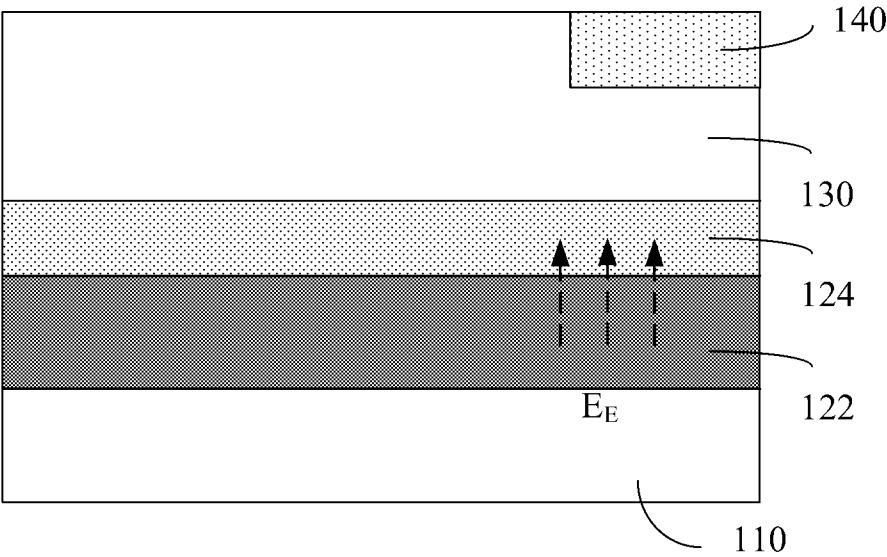


图 1

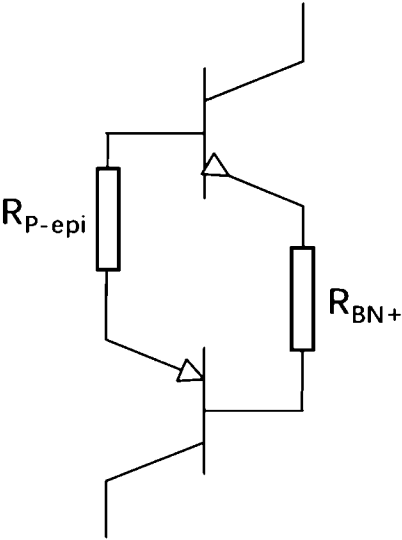


图 2

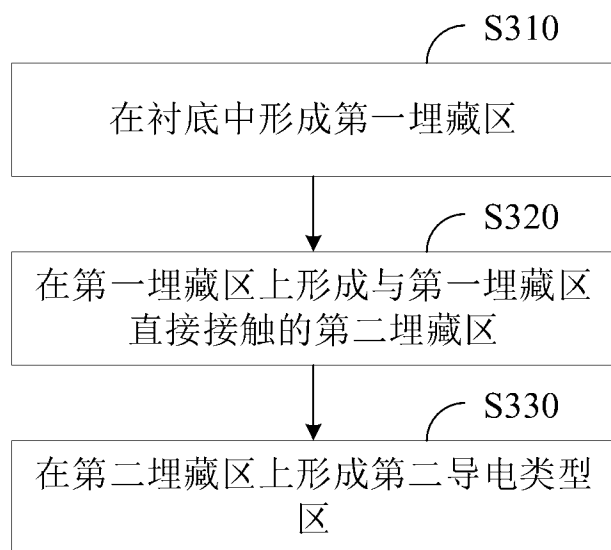


图 3

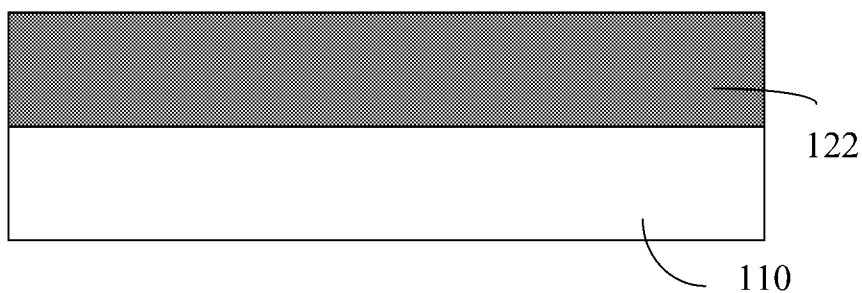


图 4

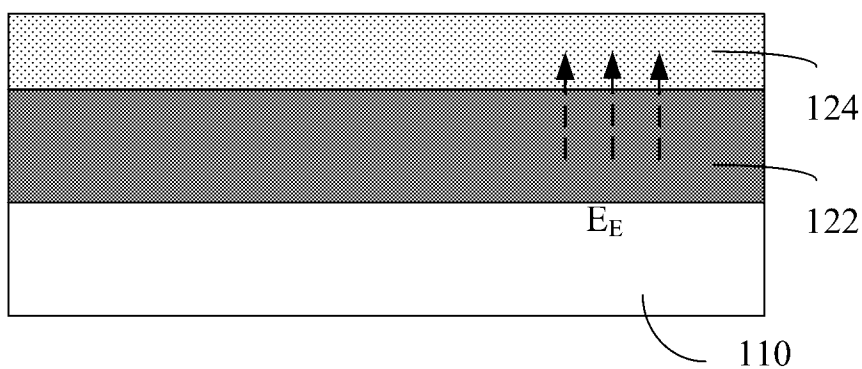


图 5

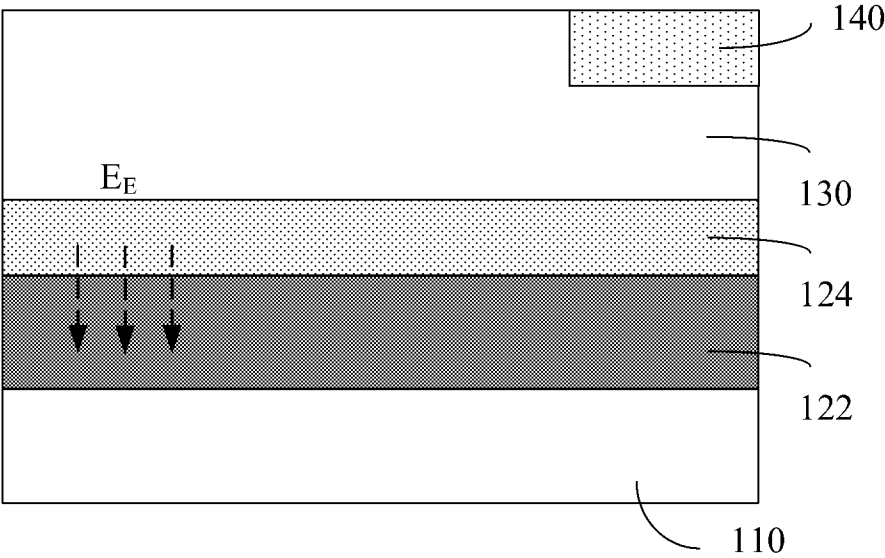


图 6

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2023/138054

A. CLASSIFICATION OF SUBJECT MATTER H01L29/06(2006.01)i According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) H01L Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Electronic data base consulted during the international search (name of data base and, where practicable, search terms used) CNTXT, ENTXTC, ENTXTC, DWPI, VEN, CNKI, IEEE: 栓锁, 门锁, 隔离, 截止, 阻隔, 埋, 掺杂, 注入, 扩散, 第二, 双, 两, 杂质, 浓度, 密度, 梯度, 体区, 漂移区, lock+, isolat+, buried, bury, dop+, second, double, concentrat+, body, drift+		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	CN 110518070 A (SHENZHEN THIRD GENERATION SEMICONDUCTOR RESEARCH INSTITUTE) 29 November 2019 (2019-11-29) description, paragraphs 38-41 and 49-50, and figures 3 and 9	1-19
A	CN 109545853 A (NUVOTON TECHNOLOGY CORP.) 29 March 2019 (2019-03-29) entire document	1-19
A	CN 114628498 A (SHAOXING CORE INTEGRATED CIRCUIT MANUFACTURING CO., LTD.) 14 June 2022 (2022-06-14) entire document	1-19
A	US 2018233555 A1 (SEMICONDUCTOR COMPONENTS INDUSTRIES, LLC) 16 August 2018 (2018-08-16) entire document	1-19
A	WO 2022142339 A1 (CSMC TECHNOLOGIES FAB2 CO., LTD.) 07 July 2022 (2022-07-07) entire document	1-19
☐ Further documents are listed in the continuation of Box C. ☒ See patent family annex.		
* Special categories of cited documents: “A” document defining the general state of the art which is not considered to be of particular relevance “D” document cited by the applicant in the international application “E” earlier application or patent but published on or after the international filing date “L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) “O” document referring to an oral disclosure, use, exhibition or other means “P” document published prior to the international filing date but later than the priority date claimed “T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention “X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone “Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art “&” document member of the same patent family		
Date of the actual completion of the international search 18 February 2024		Date of mailing of the international search report 21 February 2024
Name and mailing address of the ISA/CN China National Intellectual Property Administration (ISA/CN) China No. 6, Xitucheng Road, Jimenqiao, Haidian District, Beijing 100088		Authorized officer Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/CN2023/138054

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)			Publication date (day/month/year)
CN	110518070	A	29 November 2019	None			
CN	109545853	A	29 March 2019	US	2019088744	A1	21 March 2019
				US	10475885	B2	12 November 2019
				TWI	628792	B	01 July 2018
				TW	201916349	A	16 April 2019
CN	114628498	A	14 June 2022	None			
US	2018233555	A1	16 August 2018	KR	20170059706	A	31 May 2017
				US	2017148873	A1	25 May 2017
				US	9947742	B2	17 April 2018
				US	10312322	B2	04 June 2019
WO	2022142339	A1	07 July 2022	None			

A. 主题的分类

H01L29/06(2006.01)i

按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类

B. 检索领域

检索的最低限度文献(标明分类系统和分类号)

H01L

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用))

CNTEXT,ENTXTC,ENTXTC,DWPI,VEN,CNKI,IEEE:栓锁, 闩锁, 隔离, 截止, 阻隔, 埋, 掺杂, 注入, 扩散, 第二, 双, 两, 杂质, 浓度, 密度, 梯度, 体区, 漂移区, lock+, isolat+, buried, bury,dop+,second,double, concentrat+,body,drift+

C. 相关文件

类型*	引用文件, 必要时, 指明相关段落	相关的权利要求
X	CN 110518070 A (深圳第三代半导体研究院) 2019年11月29日 (2019 - 11 - 29) 说明书第38-41, 49-50段、附图3, 9	1-19
A	CN 109545853 A (新唐科技股份有限公司) 2019年3月29日 (2019 - 03 - 29) 全文	1-19
A	CN 114628498 A (绍兴中芯集成电路制造股份有限公司) 2022年6月14日 (2022 - 06 - 14) 全文	1-19
A	US 2018233555 A1 (SEMICONDUCTOR COMPONENTS IND. LLC.) 2018年8月16日 (2018 - 08 - 16) 全文	1-19
A	WO 2022142339 A1 (CSMC TECHNOLOGIES FAB2 CO., LTD.) 2022年7月7日 (2022 - 07 - 07) 全文	1-19

☐ 其余文件在C栏的续页中列出。

☒ 见同族专利附件。

* 引用文件的具体类型:

“A” 认为不特别相关的表示了现有技术一般状态的文件

“D” 申请人在国际申请中引证的文件

“E” 在国际申请日的当天或之后公布的在先申请或专利

“L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件(如具体说明的)

“O” 涉及口头公开、使用、展览或其他方式公开的文件

“p” 公布日先于国际申请日但迟于所要求的优先权日的文件

“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件

“X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性

“Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性

“&” 同族专利的文件

国际检索实际完成的日期

2024年2月18日

国际检索报告邮寄日期

2024年2月21日

ISA/CN的名称和邮寄地址

中国国家知识产权局
中国北京市海淀区蓟门桥西土城路6号 100088

授权官员

陆然

电话号码 (+86) 010-53961226

PCT/ISA/210 表(第2页) (2022年7月)

国际检索报告
关于同族专利的信息

国际申请号

PCT/CN2023/138054

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
CN	110518070	A	2019年11月29日	无			
CN	109545853	A	2019年3月29日	US	2019088744	A1	2019年3月21日
				US	10475885	B2	2019年11月12日
				TWI	628792	B	2018年7月1日
				TW	201916349	A	2019年4月16日
CN	114628498	A	2022年6月14日	无			
US	2018233555	A1	2018年8月16日	KR	20170059706	A	2017年5月31日
				US	2017148873	A1	2017年5月25日
				US	9947742	B2	2018年4月17日
				US	10312322	B2	2019年6月4日
WO	2022142339	A1	2022年7月7日	无			