

(12) NACH DEM VERTRAG ÜBER DIE INTERNATIONALE ZUSAMMENARBEIT AUF DEM GEBIET DES PATENTWESENS (PCT) VERÖFFENTLICHTE INTERNATIONALE ANMELDUNG

(19) Weltorganisation für geistiges Eigentum
Internationales Büro



(43) Internationales Veröffentlichungsdatum
18. November 2004 (18.11.2004)

PCT

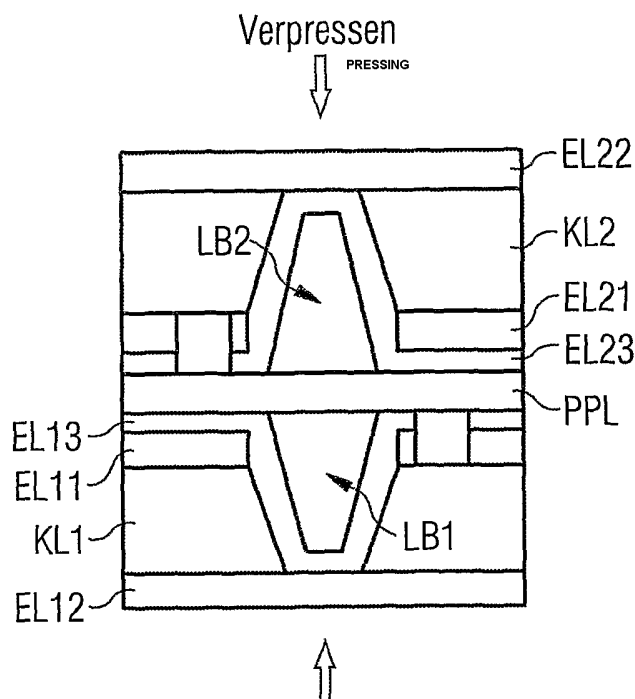
(10) Internationale Veröffentlichungsnummer
WO 2004/100627 A2

- (51) Internationale Patentklassifikation⁷: H05K 3/00 (72) Erfinder; und
(21) Internationales Aktenzeichen: PCT/EP2004/003360 (75) Erfinder/Anmelder (nur für US): RESSEL, Josef [DE/DE]; Postlagernd, 85283 Wolnzach (DE).
(22) Internationales Anmeldedatum: 30. März 2004 (30.03.2004) (74) Gemeinsamer Vertreter: SIEMENS AKTIENGESELLSCHAFT; Postfach 22 16 34, 80506 München (DE).
(25) Einreichungssprache: Deutsch (81) Bestimmungsstaaten (soweit nicht anders angegeben, für jede verfügbare nationale Schutzrechtsart): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NI, NO, NZ, OM, PG,
(30) Angaben zur Priorität: 103 19 979.9 5. Mai 2003 (05.05.2003) DE
(71) Anmelder (für alle Bestimmungsstaaten mit Ausnahme von US): SIEMENS AKTIENGESELLSCHAFT [DE/DE]; Wittelsbacherplatz 2, 80333 München (DE).

[Fortsetzung auf der nächsten Seite]

(54) Title: METHOD FOR THE PRODUCTION OF A PRINTED BOARD

(54) Bezeichnung: VERFAHREN ZUM HERSTELLEN EINER LEITERPLATTE



(57) Abstract: Disclosed is a method for producing a printed board, comprising the following steps: a first insulating core layer (KL1) having a first electrically conducting layer (E11) and a second electrically conducting layer (E12) is provided; a second insulating core layer (KL2) having a first electrically conducting layer (E21) and a second electrically conducting layer (E22) is provided; at least one planar section of a first electrically conducting layer of the first and second insulating core layer is removed, respectively; a bore (LB1, LB2) is created by means of laser technique in the area of the bared planar section of the first electrically conducting layer through the respective first and second insulating core layer all the way to the second electrically conducting layer thereof; a prepreg layer (PPL) is provided above the first electrically conducting layer of the first insulating core layer, and the second insulating core layer is disposed on the prepreg layer, the first electrically conducting layer of the second insulating core layer facing the prepreg layer. The inventive method makes it possible to create a printed board that is provided with a high-density circuit structure and connection structure.

(57) Zusammenfassung: Offenbart ist ein Verfahren zum Herstellen einer Leiterplatte mit den Schritten: Bereitstellen einer ersten isolierenden Kernlage

(KL1) mit einer ersten elektrisch leitende Lage (E11) und einer zweiten elektrisch leitenden Lage (E12); Bereitstellen einer zweiten isolierenden Kernlage (KL2) mit einer ersten elektrisch leitenden Lage (E21) und einer zweiten elektrisch leitenden Lage (E22); Abtragen zumindest eines Flächenabschnitts einer jeweiligen ersten elektrisch leitenden Lage der ersten und der zweiten isolierenden Kernlage; Durchführen einer Laserbohrung (LB1, LB2) im Bereich des freigelegten Flächenabschnitts der ersten elektrisch leitenden Lage durch die jeweilige erste und zweite isolierende Kernlage bis zu deren zweiter elektrisch leitenden Lage; Vorsehen einer Prepreg-Lage

[Fortsetzung auf der nächsten Seite]

WO 2004/100627 A2



PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SY, TJ, TM,
TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM,
ZW.

RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA,
GN, GQ, GW, ML, MR, NE, SN, TD, TG).

Veröffentlicht:

— ohne internationalen Recherchenbericht und erneut zu ver-
öffentlichen nach Erhalt des Berichts

(84) Bestimmungsstaaten (soweit nicht anders angegeben, für
jede verfügbare regionale Schutzrechtsart): ARIPO (BW,
GH, GM, KE, LS, MW, MZ, SD, SL, SZ, TZ, UG, ZM,
ZW), eurasisches (AM, AZ, BY, KG, KZ, MD, RU, TJ,
TM), europäisches (AT, BE, BG, CH, CY, CZ, DE, DK,
EE, ES, FI, FR, GB, GR, HU, IE, IT, LU, MC, NL, PL, PT,

Zur Erklärung der Zweibuchstaben-Codes und der anderen Ab-
kürzungen wird auf die Erklärungen ("Guidance Notes on Co-
des and Abbreviations") am Anfang jeder regulären Ausgabe der
PCT-Gazette verwiesen.

(PPL) oberhalb der ersten elektrisch leitenden Lage der ersten isolierenden Kernlage und Anordnen der zweiten isolierenden Kern-
lage auf der Prepreg-Lage, wobei die erste elektrisch leitenden Lage der zweiten isolierenden Kernlage der Prepreg-Lage zugewandt
ist. So kann eine Leiterplatte mit hochdichter Schaltungs- und Verbindungsstruktur hergestellt werden.

Beschreibung

Verfahren zum Herstellen einer Leiterplatte

5 Die vorliegende Erfindung betrifft ein Verfahren zum Herstellen einer Leiterplatte, insbesondere einer Leiterplatte in der Ausführung eines mehrlagigen Schaltungsträgers.

Hochwertige Mobilfunkgeräte, wie beispielsweise hochwertige
10 Mobiltelefone, haben einen sehr hohen Miniaturisierungsgrad. Für die interne Elektronik bedeutet das, dass die Leiterplatte zu einem multifunktionalen elektromechanischen Bauteil wird. Einerseits hat sie mechanische Funktionen in der Gerätekonstruktion, und andererseits wird die Leiterplatte zu einem
15 beidseitig genutzten Schaltungsträger, um einen erhöhten Funktionsumfang bei reduziertem Platzbedarf zu erzielen. Insbesondere bringt die Miniaturisierung mit sich, dass auf einer Seite der Leiterplatte eine digitale Logik, beispielsweise für Signalverarbeitungsprozesse im Basisband, und auf der
20 anderen Seite ein Hochfrequenzbereich mit hoher Signalintegrität vorgesehen sind.

Eine herkömmliche Leiterplatte LP01 ist beispielsweise als ein Schaltungsträger mit acht elektrisch leitenden Lagen bzw.
25 Signallagen ausgeführt, wie es in Figur 1 gezeigt ist.

Der Herstellungsprozess dieser Leiterplatte sieht folgendermaßen aus:

Zwei beidseitig kupferbeschichtete Kernlagen KL03 und KL04
30 werden mechanisch gebohrt (so dass mechanische Durchgangsbohrungen DB01 bis DB04 entstehen) und verkupfert. Anschließend werden die beiden Signallagen S04 und S05 photochemisch strukturiert. Im nächsten Schritt werden die beiden Kernlagen

KL03 und KL04 getrennt durch ein Prepreg PP und Beaufschlagung von Druck und Temperatur miteinander verpresst. Jetzt wird ein mechanische Bohrung DB05 vorgesehen und wiederum werden die Außenseiten, d.h. nun die Kupferlagen oder Signallagen S03 und S06 photochemisch strukturiert. Um weitere Signallagen, wie die Signallagen S02 und S07, bereitzustellen werden HDI (high density interconnect)-Lagen KL02 bzw. KL05 aus RCC (resin coated copper) oder FR4 (glasfaserverstärktes Harz) mit dem gerade hergestellten Träger, genauer gesagt mit den Außenlagen S03 und S06 in diesem Stadium verpresst und photolithografisch strukturiert. Zur elektrischen Verbindung der Signallagen S02 und S03 werden Laserbohrungen in die Kernlage KL02 eingebracht. Analog dazu wird die Kernlage KL05 mit dem Laser gebohrt, um eine Verbindung der Signallagen von S06 und S07 herzustellen. Um weitere Signallagen S01 und S08 vorzusehen, werden HDI (high density interconnect)-Lagen KL01 und KL06 aus RCC (resin coated copper) oder FR4 (glasfaserverstärktes Harz) mit dem bisher hergestellten Träger, genauer gesagt den Außenlagen S02 und S07 in diesem Stadium verpresst und photolithografisch strukturiert. Zur Verbindung der Signallagen S01 und S02 werden Laserbohrungen in die Kernlage KL01 eingebracht. Analog dazu wird die Kernlage KL06 mit dem Laser gebohrt, um eine Verbindung der Signallagen S07 und S08 herzustellen.

25

Ein Nachteil, der sich aus dem gerade gezeigten Leiterplattenaufbau ergibt, ist das Vorsehen einer Vielzahl von mechanischen Vias, insbesondere der Vias DB01 bis DB05, die durch Kernlagen, hier die Kernlagen KL03 und KL04, gebohrt worden sind. Zum einen ist die Herstellung der mechanischen Bohrungen bzw. Vias mit großem vorrichtungs- und verfahrenstechnischem Aufwand verbunden, da jedes Via mit einem hochdrehzahligen Bohrer gebohrt werden muss. Außerdem bringt das Vorse-

30

3

hen von mechanischen Vias mit sich, dass auf einer Signallage ein relativ große Flächenabschnitt für ein Via in Anspruch genommen wird, was einer hochdichten Schaltungs- bzw. Verbindungsstruktur in der Signallage und somit der Leiterplatte entgegensteht.

Somit ist es die Aufgabe der vorliegenden Erfindung, eine Leiterplatte mit einer hochdichten Schaltungs- bzw. Verbindungsstruktur bei minimiertem vorrichtungs- und verfahrenstechnischem Aufwand zu schaffen.

Diese Aufgabe wird durch ein Verfahren gemäß Anspruch 1 gelöst. Vorteilhafte Ausgestaltungen sind Gegenstand der Unteransprüche.

15

Das der Erfindung zugrunde liegende Prinzip besteht darin, eine Leiterplatte bzw. deren innere Lagen aus zwei Teilabschnitten aufzubauen, die zunächst separat bearbeitet und dann durch eine isolierende Lage, wie eine Prepreg-Lage, getrennt, miteinander verbunden werden. Genauer gesagt ist es bei einem derartigen Verfahren möglich, in jedem Teilabschnitt, der aus einer isolierenden Kernlage besteht, welche an beiden Seiten mit einer elektrisch leitenden Lage versehen ist, nach Abtragen eines für eine Bohrung vorgesehenen Flächenabschnitt der ersten elektrisch leitenden Lage mittels Laserbohren eine Bohrung bis zur jeweils zweiten elektrisch leitenden Lage vorzusehen. Das bedeutet, im Gegensatz zum Stand der Technik können hier aufgrund der Aufteilung der (inneren) Leiterplattenstruktur in zwei in der Dickenabmessung dünnere Teilabschnitte Bohrungen mittels des zeitlich schnelleren Laserbohrverfahrens durchgeführt werden, anstatt auf das langsamere sowie verfahrens- und vorrichtungstechnisch aufwendigere mechanische Bohrverfahren zurückgreifen zu

4

müssen. Dies wiederum bedeutet, dass aufgrund des geringeren Flächenbedarfs (auf einer elektrisch leitenden Lage) der Laserbohrung dichtere bzw. hochdichte Schaltungs- bzw. Verbindungsstrukturen in der Leiterplatte geschaffen werden können.

5

Ferner ist bei dem beschriebenen Verfahren möglich, dass zunächst die beiden Teilabschnitte ausgehend von den jeweiligen ersten elektrisch leitenden Lagen mit Bohrungen versehen, eventuell durchkontaktiert und strukturiert werden, wobei die

10 Teilabschnitte mit einander zugewandten ersten elektrisch leitenden Lagen und durch eine Prepreg-Lage voneinander getrennt miteinander verbunden werden. Dies hat den Vorteil, dass auch die nun inneren (ersten) elektrisch leitenden Lagen eine hochdichte Schaltungs- bzw. Verbindungsstruktur erreichen können.

15

Bevorzugte Ausführungsformen der vorliegenden Erfindung werden nachfolgend Bezug nehmend auf die beiliegenden Zeichnungen näher erläutert. Es zeigen:

20

Figur 1 eine schematische Darstellung des Schichtaufbaus einer herkömmlichen Leiterplatte;

25

Figuren 2 Bearbeitungsschritte zur Ausbildung von Teilabschnitten einer Leiterplatte bzw. deren innerer Struktur;

30

Figur 3 eine vorläufige Leiterplattendarstellung nach einem Verpressen von zwei in Figur 2 hergestellten Teilabschnitten;

5

Figur 4 eine schematische Darstellung des Schichtaufbaus einer Leiterplatte gemäß einer Ausführungsform der Erfindung.

5

Es soll nun im Folgenden die Herstellung einer Leiterplatte gemäß einer Ausführungsform der vorliegenden Erfindung beschrieben werden.

10 Dazu wird in einem ersten in Figur 2A gezeigten Schritt eine erste isolierende Kernlage KL1 (als erster Teilabschnitt der Leiterplatte), die auf einer ersten Seite eine erste elektrisch leitende Lage EL11 und auf einer entgegengesetzten
15 zweite Seite eine zweite elektrisch leitende Lage EL12 aufweist, bereitgestellt. Ferner wird eine zweite isolierende Kernlage KL2 (als zweiter Teilabschnitt), die auf einer ersten Seite eine erste elektrisch leitende Lage EL21 und auf einer entgegengesetzten zweiten Seite eine zweite elektrisch leitende Lage EL22 aufweist, bereitgestellt. Dabei bestehen
20 die ersten EL11, EL12 und die zweiten EL21, EL22 elektrisch leitende Lagen aus Kupfer (Cu). Die erste KL1 und die zweite KL2 isolierenden Kernlage umfassen einen elektrisch isolierenden Kunststoff, wie ein FR4-Laminat. Vorzugsweise wird nun vor dem Aufbringen der ersten Schicht aus elektrisch leitendem Material auf die jeweiligen zweiten elektrisch leitenden
25 Lagen der ersten und der zweiten isolierenden Kernlage eine Abdeckschicht aufgebracht.

Wie es in Figur 2B gezeigt ist, werden in einem zweiten
30 Schritt ausgewählte Flächenabschnitte FLA1 und FLA2 einer jeweiligen ersten elektrisch leitenden Lage EL11, EL12 der ersten und der zweiten isolierenden Kernlage KL1, KL2 abgetragen (beispielsweise mittels eines YAG-Lasers oder CO₂-Lasers), in

6

einem Umfang eines darunter vorzusehenden Bohrloches. Ferner wird in einem dritten Schritt eine Laserbohrung LB1, LB2 im Bereich des freigelegten Flächenabschnitts der ersten elektrisch leitenden Lage durch die jeweilige erste und zweite isolierende Kernlage bis zu deren zweiter elektrisch leitenden Lage EL21, EL22 durchgeführt (beispielsweise ebenso mittels eines YAG-Lasers oder CO₂-Lasers). Dabei ist die für eine Laserbohrung typische sich nach unten verjüngende Form in der Figur zu erkennen.

10

In einem vierten in Figur 2C gezeigten Schritt wird nun eine erste Schicht EL13, EL23 aus leitendem Material auf den jeweiligen ersten elektrisch leitenden Lagen EL11, EL21 einschließlich der Laserbohrlöcher LB1, LB2 der ersten und zweiten isolierenden Kernlage KL1, KL2 aufgebracht. Dabei kann das Aufbringen der ersten Schicht aus elektrisch leitendem Material in zwei Teilschritten geschehen, die einen ersten Teilschritt einer chemischen Kupfer-Aufbringung und einen zweiten Teilschritt einer galvanischen Kupfer-Aufbringung umfassen.

20

Anschließend erfolgt in einem in Figur 2D gezeigten Schritt eine Strukturierung dieser ersten Schicht EL13, EL23 aus elektrisch leitendem Material sowie der darunter liegenden ersten elektrisch leitenden Lage EL11, EL21 der jeweiligen ersten und zweiten isolierenden Kernlage KL1, KL2. Dabei kann die Strukturierung ein Aufbringen eines Musters eines säurefesten Lacks, insbesondere nach dem Belichtungsverfahren, auf die Schicht EL13, EL23 aus elektrisch leitendem Material und ein chemisches Wegätzen der belichteten Abschnitte der Schicht aus elektrisch leitendem Material sowie der ersten elektrischen Lage umfassen.

30

In einem folgenden Schritt wird eine Prepreg-Lage PPL oberhalb der ersten elektrisch leitenden Lage EL11 bzw. oberhalb der ersten Schicht EL13 aus elektrisch leitendem Material der ersten isolierenden Kernlage KL1 vorgesehen und wird die
5 zweite isolierenden Kernlage KL2 quasi um 180° gewendet und auf der Prepreg-Lage PPL angeordnet, wobei die erste elektrisch leitende Lage EL21 bzw. die erste Schicht EL23 aus elektrisch leitendem Material der zweiten isolierenden Kernlage KL2 der Prepreg-Lage PPL zugewandt ist (vgl. Figur 3). Anschließend werden die erste isolierende Kernlage KL1, die
10 Prepreg-Lage PPL und die zweite isolierende Kernlage KL2 unter Beaufschlagung von Druck und Wärme miteinander verpresst. Dabei dringt Material (Harz) der Prepreg-Lage in Bohrlöcher der jeweiligen Kernlagen ein, und stabilisiert so die Lagenstruktur.
15

Gemäß einer vorteilhaften Ausgestaltung kann die Abdeckungsschicht von den zweiten elektrisch leitenden Lagen EL12, EL22 weggenommen werden und eine Strukturierung der zweiten elektrisch leitenden Lagen EL12, EL22 vorgenommen werden, die ent-
20 sprechend obiger Beschreibung durch Aufbringen eines Musters eines säurefesten Lacks, insbesondere nach dem Belichtungsverfahren, und ein chemisches Wegätzen der belichteten Abschnitte der zweiten elektrischen Lage realisierbar ist.
25

Gemäß einer weiteren vorteilhaften Ausgestaltung kann ferner zumindest eine mechanische Durchgangsbohrung durch die zweite elektrisch leitende Lage E12 der ersten isolierenden Kernlage KL1, die Prepreg-Lage PPL und die zweite elektrisch leitende
30 Lage E22 der zweiten isolierenden Kernlage KL2 durchgeführt werden. Anschließend kann eine zweite Schicht aus elektrisch leitendem Material auf die jeweiligen zweiten elektrisch leitenden Lagen und die Wandung der zumindest einen Durchgangs-

8

bohrung aufgebracht werden. In einem derartigen Fall erfolgt die Strukturierung der zweiten elektrisch leitenden Lagen EL12, EL22 erst nach dem Aufbringen der zweiten Schicht aus elektrisch leitendem Material.

5

Ferner kann gemäß einer weiteren Ausgestaltung, auf die noch in Figuren 4 Bezug genommen werden wird, auf die jeweiligen zweiten elektrisch leitenden Lagen eine zumindest weitere isolierende Kernlage mit einer dritten elektrisch leitenden Lage aufgebracht werden, wobei diese eine weitere Kernlage einen elektrisch isolierenden Kunststoff, insbesondere in Form eines FR4 (Epoxid-Glashartgewebe)-Laminats oder einer RCC-Folie, umfasst. Die jeweiligen dritten elektrisch leitenden Lagen können dann wiederum strukturiert werden, in einer Weise, wie es bereits oben des öfteren erläutert wurde. Zum Herstellen einer elektrischen Verbindung zwischen den einzelnen elektrisch leitenden Lagen können ferner mittels Laserbohrungen hergestellte Vias vorgesehen werden.

20 Es sei nun auf Figur 4 verwiesen, in der eine schematische Darstellung des Schichtaufbaus einer Leiterplatte LP11 gemäß einer Ausführungsform der Erfindung gezeigt ist. Diese Leiterplatte LP11 hat eine ähnliche Lagenanordnung wie die in Figur 1 gezeigte Leiterplatte LP01. Dabei sind von oben nach
25 unten betrachtet acht Signallagen bzw. elektrisch leitende Lagen S11 bis S18 angeordnet, zwischen denen jeweilige elektrisch isolierende Lagen KL11 bis KL16, sowie eine Prepreg-Lage PP vorgesehen sind. Wie es jedoch insbesondere an der Form der durch Laserbohrung erzeugten Vias LB110, LB111,
30 LB113, LB114 zu sehen ist, wurde die Leiterplatte LP11 bzw. deren innere Lagen gemäß einem erfindungsgemäßen Verfahren hergestellt. Kennzeichen hierfür ist, dass die Bohrlöcher der genannten Vias sich in Richtung weg von der Prepreg-Lage PP

verjüngen. Das bedeutet, dass bei der Herstellung des inneren Leiterplattenabschnitts die Laserbohrung der Vias LB110, LB111 in Richtung von der Signallage S14 zur Signallage S13 durchgeführt wurde, und anschließend die Kernlage KL13 um
5 180° gewendet auf der Prepreg-Lage PP angeordnet wurde, so dass die Signallage S14 bzw. die Bohrlöcher der Vias LB110, LB111 der Prepreg-Lage PP zugewandt sind (vgl. auch die zu Figur 3 erläuterten Verfahrensschritte). Somit entspricht also aus herstellungstechnischer Sicht die Kernlage KL14 mit
10 den Signallagen S15, S16 der Kernlage KL1 mit den elektrisch leitenden Lagen EL11, EL12 (vgl. Figuren 2 und 3) und entspricht die Kernlage KL13 mit den Signallagen S13, S14 der Kernlage KL2 mit den elektrisch leitenden Lagen EL21, EL22 (vgl. Figuren 2 und 3).

15

Nach dem Verpressen der Kernlagen KL13 und KL14 mit der Prepreg-Lage PP (entsprechend dem in Figur 3 erläuterten Prozess) wurde eine mechanische Bohrung durch die Kernlage KL13, KL14 bzw. deren Signallagen S13, S14 bzw. S15, S16 zur Herstellung des Via DB11 vorgenommen. Entweder vor oder nach dem
20 mechanischen Bohren wird nun eine eventuell auf den Signallagen S13 und S16 vorgesehene Abdeckschicht entfernt, um eine Schicht aus elektrisch leitendem Material (beispielsweise aus Kupfer) auf den Signallagen S13, S16 sowie auf der Innenwandung des mechanischen Bohrloches aufzubringen. Anschließend
25 werden die Signallagen S13, S16, zu denen nun auch die jeweiligen Schichten aus elektrisch leitendem Material gezählt werden, strukturiert (beispielsweise nach einem bereits oben erwähnten Verfahren).

30

Auf die elektrisch leitenden Lagen bzw. Signallagen S13, S16 werden dann Kernlagen in Form von elektrisch isolierenden RCC-Folien KL12 und KL15 mit elektrisch leitenden Lagen S12

10

und S17 aufgebracht (vgl. dazu auch die Erläuterungen zu Figur 1 bezüglich der Aufbringung bzw. Verpressung der äußeren Kernlagen KL02 bzw. KL05 sowie KL01 bzw. KL06 mit dem Träger), wobei die RCC-Folien KL12, KL15 anschließend durchkontaktiert (durch Laserbohrungen LB11, LB13, LB16, LB17 und Aufbringen einer Schicht aus leitendem Material wie Kupfer) und die elektrisch leitenden Lagen S12 und S17 strukturiert werden. Daraufhin werden auf die Signallagen S12, S17 weitere Kernlagen in Form von RCC-Folien KL11 und KL16 mit elektrisch leitenden Lagen S11 und S18 aufgebracht, wobei die RCC-Folien KL11, KL16 anschließend durchkontaktiert (durch Laserbohrung LB15 und Aufbringen einer Schicht aus leitendem Material wie Kupfer) und die elektrisch leitenden Lagen S11 und S18 strukturiert werden.

15

Auf diese Weise ist es also möglich, eine Leiterplatte LP11 zu schaffen, die eine hochdichte Schaltungs- und Verbindungsstruktur aufweist, da zum einen jede elektrisch leitende Lage S11 bis S18 (hochdicht) strukturierbar und zum anderen durch mittels Laserbohrungen hergestellte Vias LB11, LB12, LB13, LB14, LB15, LB16, LB17, LB110, LB111, LB113, LB114, welche nur einen geringen Durchmesser haben und somit einen geringen Flächenabschnitt auf einer Signallage in Anspruch nehmen, verbindbar ist.

25

Abschließend seien noch einige Abmessungen für die einzelnen Komponenten der Leiterplatte LP11 aufgeführt. Eine Kontaktfläche ("Land") F1 eines lasergebohrten Via der Kernlagen KL11, KL12, KL15, KL16 hat einen Durchmesser von ca. 300 μ m, während die Kontaktfläche F2 eines lasergebohrten Via der Kernlage KL13 und KL14 einen Durchmesser von ca. 350 μ m und die Kontaktfläche F3 eines mechanisch gebohrten Via (hier) der Kernlage KL13, KL14 einen Durchmesser von ca. 600 μ m (bei

30

11

einem Bohrl Lochdurchmesser von ca. $300\mu\text{m}$) hat. Die Dicke einer Signallage S11 bis S18 liegt bei ca. $30\mu\text{m}$, wobei die Dicke der Kernlagen KL11, KL12, KL15, KL16 bei ca. $50\mu\text{m}$ und die Dicke der Kernlagen KL13 und KL14 bei ca. $100\mu\text{m}$ liegen. Die Dicke der Prepreg-Lage PP liegt bei ca. $120\mu\text{m}$, so dass eine Gesamtdicke der Leiterplatte LP11 von ca. $860\mu\text{m}$ erreicht wird. Es sei erwähnt, dass die Dicke der einzelnen Lagen, insbesondere der Kernlagen und der Prepreg-Lage je nach Anwendungsfall variierbar ist.

10

Eine gemäß der vorliegenden Erfindung hergestellte Leiterplatte ist also für den Einsatz in elektrischen Geräten, insbesondere in der Ausführung von Mobilfunkgeräten bzw. Mobiltelefone oder (kleinen) tragbaren Computern, geeignet, die einen abmessungsmäßigen kleinen bzw. miniaturisierten Aufbau aufweisen (sollen). Dabei kann im Fall des elektrischen Geräts in der Form eines Mobilfunkgeräts bzw. Mobiltelefons eine Seite (z.B. in Figur 4 die Seite bezüglich der Prepreg-Lage PP mit den Kernlagen KL11, KL12, KL13) der Leiterplatte eine digitale Logik, beispielsweise für Signalverarbeitungsprozesse im Basisband, und die andere Seite (z.B. in Figur 4 die Seite bezüglich der Prepreg-Lage PP mit den Kernlagen KL14, KL15, KL16) einen Hochfrequenzbereich mit hoher Signalintegrität aufweisen. Die beiden Seiten bzw. Signalverarbeitungsbereiche können dann durch mechanisch gebohrte Vias (z.B. das Via DB11 in Figur 4) elektrisch miteinander verbunden werden.

30

Patentansprüche

1. Verfahren zum Herstellen einer Leiterplatte mit folgenden Schritten:

5

Bereitstellen einer ersten isolierenden Kernlage (KL1), die auf einer ersten Seite eine erste elektrisch leitende Lage (E11) und auf einer entgegengesetzten zweiten Seite eine zweite elektrisch leitende Lage (E12) aufweist;

10

Bereitstellen einer zweiten isolierenden Kernlage (KL2), die auf einer ersten Seite eine erste elektrisch leitende Lage (E21) und auf einer entgegengesetzten zweiten Seite eine zweite elektrisch leitende Lage (E22) aufweist;

15

Abtragen zumindest eines Flächenabschnitts (FLA1, FLA2) einer jeweiligen ersten elektrisch leitenden Lage der ersten und der zweiten isolierenden Kernlage;

20

Durchführen einer Laserbohrung (LB1, LB2) im Bereich des freigelegten Flächenabschnitts der ersten elektrisch leitenden Lage durch die jeweilige erste und zweite isolierende Kernlage bis zu deren zweiter elektrisch leitenden Lage;

25

Vorsehen einer Prepreg-Lage (PPL) oberhalb der ersten elektrisch leitenden Lage der ersten isolierenden Kernlage und Anordnen der zweiten isolierenden Kernlage auf der Prepreg-Lage, wobei die erste elektrisch leitende Lage der zweiten isolierenden Kernlage der Prepreg-Lage zugewandt ist.

30

2. Verfahren nach Anspruch 1, bei dem die erste isolierende Kernlage, die Prepreg-Lage und die zweite isolierende Kernla-

ge, insbesondere unter Beaufschlagung von Druck und Wärme miteinander verpresst werden.

3. Verfahren nach einem der Ansprüche 1 oder 2, bei dem
5 nach dem Schritt des Durchführens einer Laserbohrung eine erste Schicht (EL12, EL23) aus leitendem Material auf den jeweiligen ersten elektrisch leitenden Lagen einschließlich der Laserbohrlöcher der ersten und zweiten isolierenden Kernlage aufgebracht wird.
- 10 4. Verfahren nach Anspruch 3, bei dem das Aufbringen der ersten Schicht aus elektrisch leitendem Material in zwei Teilschritten aufgebracht wird, die einen ersten Teilschritt einer chemischen Kupfer-Aufbringung und einen zweiten Teilschritt einer galvanischen Kupfer-Aufbringung umfassen.
- 15 5. Verfahren nach einem der Ansprüche 3 oder 4, bei dem nach dem Schritt des Aufbringens der ersten Schicht aus elektrisch leitendem Material eine Strukturierung dieser ersten Schicht aus elektrisch leitendem Material sowie der darunter liegenden ersten elektrisch leitenden Lage der jeweiligen ersten und zweiten isolierenden Kernlage durchgeführt wird.
- 20 6. Verfahren nach Anspruch 5, bei dem die Strukturierung ein Aufbringen eines Musters eines säurefesten Lacks, insbesondere nach dem Belichtungsverfahren, auf die Schicht aus elektrisch leitendem Material und ein chemisches Wegätzen der belichteten Abschnitte der Schicht aus elektrisch leitendem
30 Material umfasst.
7. Verfahren nach einem der Ansprüche 3 bis 6, bei dem vor dem Aufbringen der ersten Schicht aus elektrisch leitendem

Material auf die jeweiligen zweiten elektrisch leitenden Lagen der ersten und der zweiten isolierenden Kernlage eine Abdeckschicht aufgebracht wird.

5 8. Verfahren nach einem der Ansprüche 2 bis 7, bei dem nach dem Verpressen der ersten isolierenden Kernlage, der Prepreg-Lage und der zweiten isolierenden Kernlage die Abdeckschicht der jeweiligen zweiten elektrisch leitenden Lagen der ersten und der zweiten isolierenden Kernlage entfernt wird.

10

9. Verfahren nach Anspruch 8, bei dem zumindest eine mechanische Durchgangsbohrung (DB11) durch die zweite elektrisch leitende Lage der ersten isolierenden Kernlage, die Prepreg-Lage und die zweite elektrisch leitende Lage der zweiten isolierenden Kernlage durchgeführt wird.

15

10. Verfahren nach Anspruch 9, bei dem eine zweite Schicht aus elektrisch leitendem Material auf die jeweiligen zweiten elektrisch leitenden Lagen und die Wandung der zumindest einen Durchgangsbohrung aufgebracht wird.

20

11. Verfahren nach einem der Ansprüche 1 bis 10, bei dem auf die jeweiligen zweiten elektrisch leitenden Lagen eine zumindest weitere isolierende Kernlage mit einer dritten elektrisch leitenden Lage aufgebracht wird.

25

12. Verfahren nach einem der Ansprüche 1 bis 11, bei dem das Abtragen des Flächenabschnitts mittels eines Lasers, insbesondere eines YAG-Lasers oder CO₂-Lasers erfolgt.

30

13. Verfahren nach einem der vorhergehenden Ansprüche, bei dem die erste, die zweite und die dritte elektrisch leitende

15

Lage sowie die erste und die zweite Schicht aus elektrisch leitendem Material aus Kupfer bestehen.

14. Verfahren nach einem der vorhergehenden Ansprüche, bei
5 dem die erste und die zweite isolierenden Kernlage einen elektrisch isolierenden Kunststoff, insbesondere einem FR4-Laminat, und die zumindest eine weitere Kernlage einen elektrisch isolierenden Kunststoff, insbesondere in Form eines FR4-Laminats oder RCC-Folie, umfasst.

10

15. Leiterplatte, die nach einem Verfahren der vorhergehenden Ansprüche hergestellt ist.

FIG 1

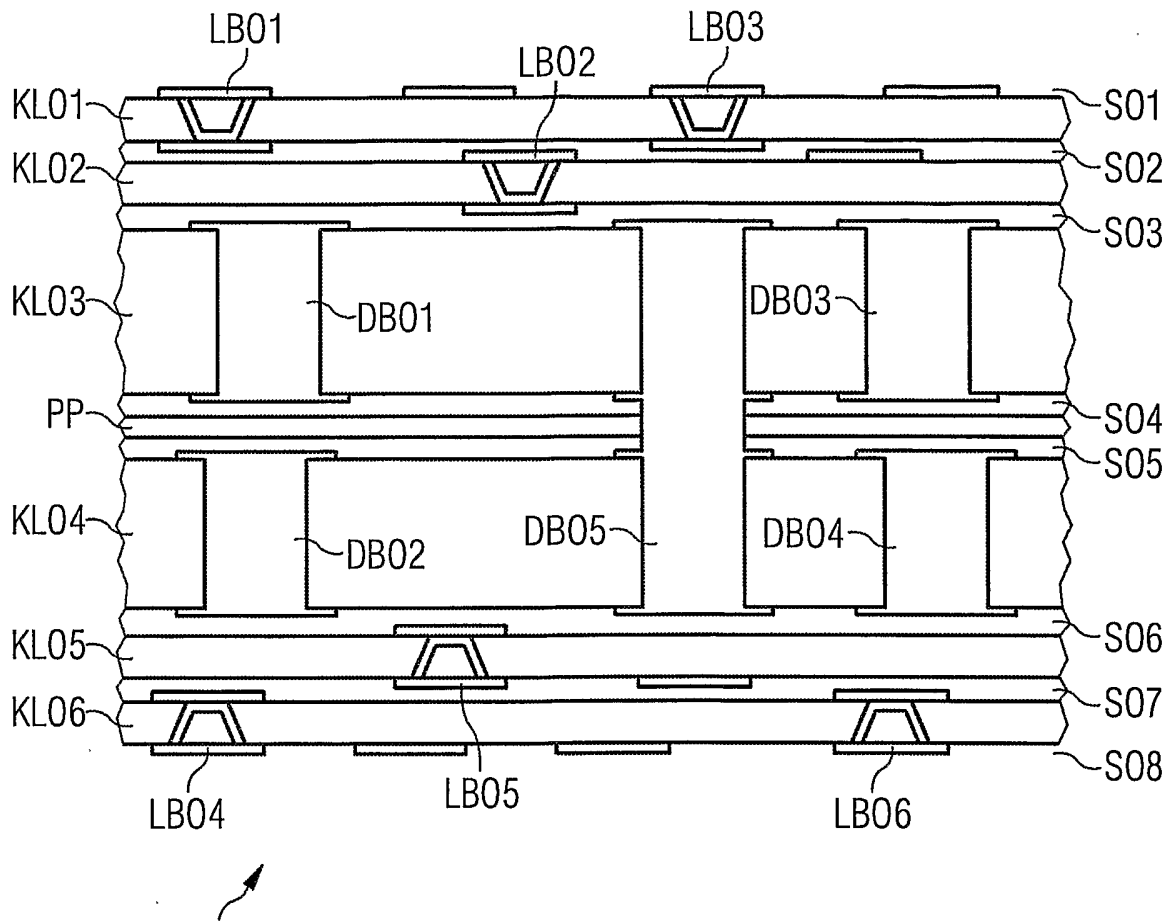


FIG 2A

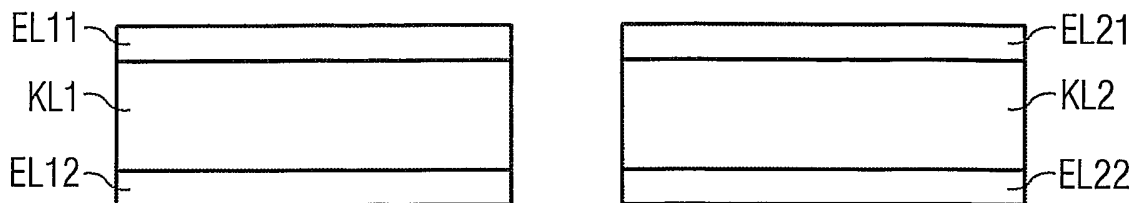


FIG 2B

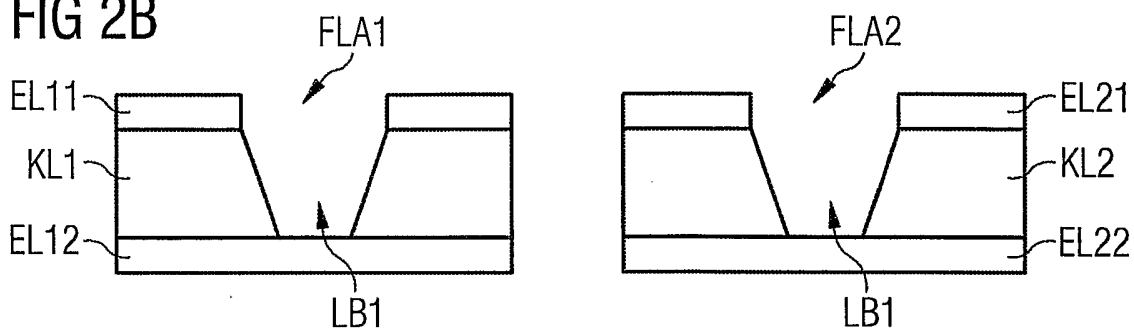


FIG 2C

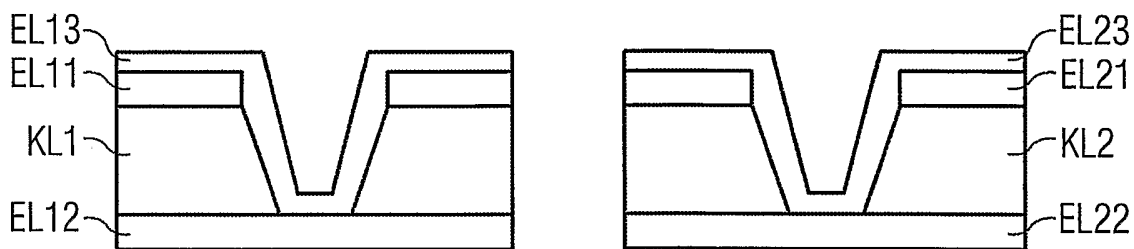


FIG 2D

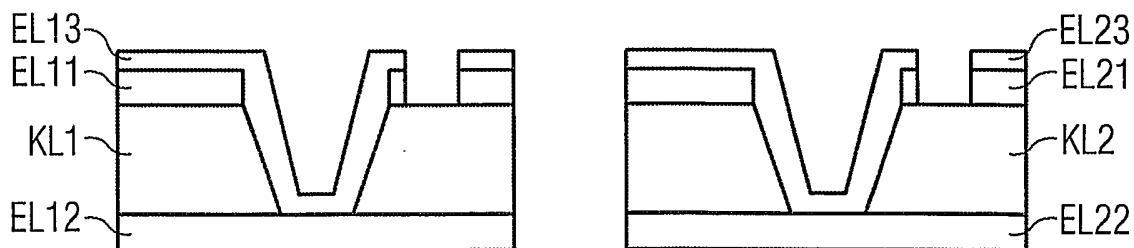


FIG 3

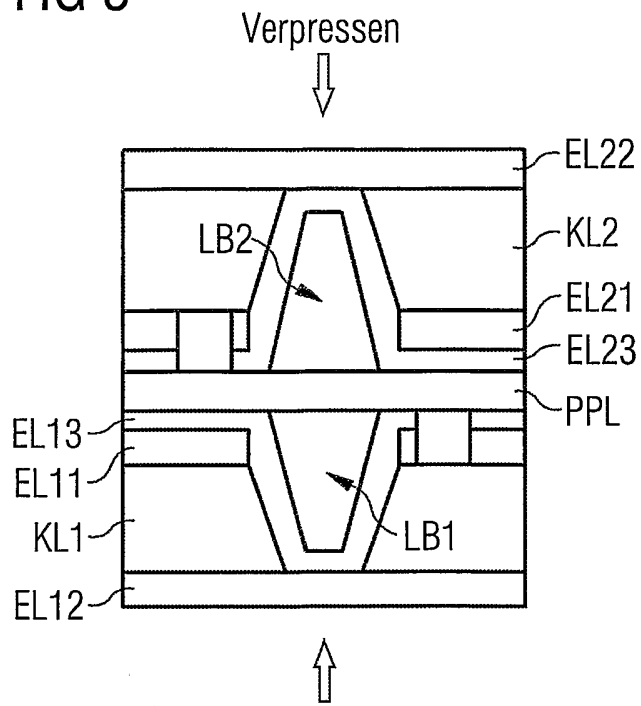


FIG 4

