

[19] 中华人民共和国国家知识产权局

[ 51 ] Int. Cl<sup>7</sup>

H01L 21/8239

H01L 27/115 G11C 16/04



# [12] 发明专利说明书

[21] ZL 专利号 97113608.4

[45] 授权公告日 2003 年 7 月 9 日

[11] 授权公告号 CN 1114228C

[22] 申请日 1997.6.13 [21] 申请号 97113608.4

[30] 优先权

[32] 1996. 6. 14 [33] JP [31] 175506/1996

[71] 专利权人 冲电气工业株式会社

地址 日本东京

[72] 发明人 池上正美

[56] 参考文献

EP0637035A1 1995.02.01 G11C16/04

EP0655785A2 1995.05.31 H01L27/115

US5089433 1992.02.18 H01L27/265

审查员 刘天飞

[74] 专利代理机构 上海专利商标事务所

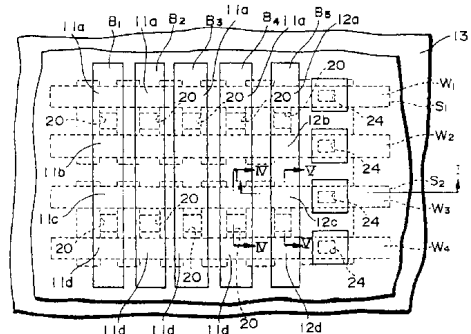
代理人 张政权

权利要求书 3 页 说明书 11 页 附图 8 页

[54] 发明名称 半导体存储器及其制造方法

[57] 摘要

一种简化的制造半导体存储器(10)的工艺,其中,在形成具有控制栅极导电层(19)、栅极间绝缘膜(17)和浮动栅极导电层(18)的多层结构后,按两个步骤形成供连接器(21)用的接触孔,该连接器将浮动栅极导电层(18)和控制栅极导电层(19)连接在一起:形成第一接触孔(24),它穿过控制栅极导电层(19)并在栅极间绝缘膜(17)上开口,然后形成第二接触孔(26),它穿过栅极间绝缘膜(17)并对浮动栅极导电层(18)开口,第一接触孔(24)与控制栅极(g1)的成型一起形成,第二接触孔(26)与漏极接触孔(20)的形成一起形成。



ISSN 1008-4274

1. 一种制造半导体存储器的方法，该半导体存储器在一个半导体衬底上包括多个按矩阵形式排列的存储单元，每个存储单元具有浮动栅极和控制栅极，该半导体存储器还包括选择晶体管，每个选择晶体管配置一个用以选择存储单元的栅极，其特征在于，所述方法包括以下步骤：

在半导体衬底上形成浮动栅极导电层、栅极间绝缘层和控制栅极导电层，在所述半导体衬底的每个有源区域内包括存储单元区部分和选择晶体管区部分；

通过优先蚀刻控制栅极导电层、栅极间绝缘膜和浮动栅极导电层成型形成每条字线的控制栅极，同时在接近每个选择晶体管区域部分的控制栅极部分中形成第一接触孔，它穿过控制栅极导电层并在栅极间绝缘层上开口；

在每个存储单元区域部分和每个选择晶体管区域部分中形成源极区和漏极区；

在用层间绝缘膜覆盖衬底的表面后，形成穿过层间绝缘膜并向每个漏极区开口的漏极接触孔，同时形成第二接触孔，它穿过第一接触孔部分和栅极间绝缘层并向每个浮动栅极导电层开口，并采用对绝缘材料比对金属材料更有效的蚀刻剂蚀刻形成第二接触孔；以及

形成位线，每条位线穿过漏极接触孔与漏极区接触，同时形成连接器，它穿过第一和第二接触孔，在每个选择晶体管区域部分中将浮动栅极导电层和控制栅极导电层连接在一起。

2. 如权利要求1所述的制造半导体存储器的方法，其特征在于，通过利用掩模溅射金属材料形成所述位线和所述连接器。

3. 如权利要求1所述的制造半导体存储器的方法，其特征在于，所述控制栅极导电层具有双层结构，通过在掺杂的多晶硅导电层部分上沉积金属导电层部分而形成。

4. 如权利要求1所述的制造半导体存储器的方法，其特征在于，所述第二接触孔的顶端孔径大于第一接触孔的孔径。

5. 如权利要求1所述的制造半导体存储器的方法，其特征在于，所述第一和第二接触孔同轴形成。

6. 一种制造半导体存储器的方法，该半导体存储器在一个半导体衬底上包括多个按矩阵形式排列的存储单元，每个存储单元具有浮动栅极和控制栅极，该半导体存储器还包括选择晶体管，每个选择晶体管配置一个用以选择存储单元的栅极，其特征在于，所述方法包括以下步骤：

在半导体衬底上形成浮动栅极导电层、栅极间绝缘层和控制栅极导电层，在由半导体衬底的隔离区域分隔的每个有源区域内，包含存储单元区部分和选择晶体管区部分；

通过优先蚀刻控制栅极导电层、栅极间绝缘膜和浮动栅极导电层成型形成每条字线的控制栅极，同时形成第一接触孔，它穿过控制栅极导电层、栅极间绝缘层和浮动栅极导电层，并在接近每个选择晶体管区域部分的控制栅极部分内的隔离区域上开口；

在每个存储单元区域部分和每个选择晶体管区域部分形成源极区和漏极区；

在用层间绝缘膜覆盖衬底的表面后，形成漏极接触孔，它穿过层间绝缘膜并向每个漏极区开口，同时形成第二接触孔，该孔穿过第一接触孔部分，并向每个隔离区开口，并采用对绝缘材料比对金属材料更有效的蚀刻剂蚀刻形成第二接触孔；以及

形成位线，每条位线穿过漏极接触孔与漏极区接触，通过把紫外线辐射到浮动栅极除去电荷而进入未充电状态，以当施加电压于控制栅极时，在选择晶体管的源极区和漏极区之间形成沟道。

7. 根据权利要求1的方法制造的一种半导体存储器，其特征在于包括：

第一存储区；以及

第二存储区，每个存储区包括：

在半导体衬底上按矩阵形式排列的多个存储单元，每个存储单元包括浮动栅极和控制栅极，每行控制栅极连接到一条字线；以及

多个选择晶体管，每个选择晶体管的栅极连接到该行的存储单元，用以选择相应行的存储单元，

其中，每个选择晶体管包括浮动栅极导电层、栅极间绝缘层和控制栅极导电层的多层结构的一个栅极，通过在半导体衬底内的源极区与漏极区之间插入一绝缘层而形成于半导体衬底上，通过用连接器连接浮动栅极导电层和控制栅极导电层组成电气上为一个整体的多层结构的栅极，其中，每对位于相对的存储区但分享相同的字线的选择晶体管共用一个连接器。

8. 根据权利要求6的方法制造的一种半导体存储器，其特征在于包括：

在半导体衬底上按矩阵形式排列的多个存储单元，每个存储单元包括浮动栅极和控制栅极，每行控制栅极连接到一条字线；以及

多个选择晶体管，每个选择晶体管的栅极连接到该行的存储单元，用以选择相应行的存储单元，

其中，每个选择晶体管包括浮动栅极和控制栅极，所述选择晶体管的所述

---

控制栅极作为栅极连接到所述字线，所述选择晶体管的所述浮动栅极设置成未充电状态。

## 半导体存储器及其制造方法

## 5 技术领域

本发明涉及半导体存储器及其制造方法，尤其涉及这样一种半导体存储器及其制造方法，它包括按矩阵结构排列的多个非易失性半导体存储单元，以及用以选择存储单元的多个选择晶体管。

## 10 背景技术

在能够分批擦除存储器内数据的所谓快速存储器的一种半导体存储器中，按矩阵结构排列一种将其浮动栅极用作非易失性半导体存储单元的存储单元，在一块半导体衬底上形成按行选择存储单元的选择晶体管。选择晶体管采用一种MOS晶体管，它为存储单元提供一种分层结构，包括浮动栅极导电层、栅极间绝缘层

## 15 和控制栅极导电层。

为了制造选择晶体管，为存储单元采用多层结构，电连接选择晶体管无需的浮动栅极层和控制栅极层。为此种电连接形成一接触孔，它通过栅极间绝缘层并在上述浮动栅极层上开口，在此接触孔中形成一连接器，它由一种金属材料制成，用以短路选择晶体管的浮动栅极和控制栅极，能利用存储单元的多层结构建立选择晶体管。

## 20

然而，在上述常规的制造方法中，接触孔成型工艺是独立于其他工艺进行的，因此，为了成型接触孔需要专用掩膜、复杂的光刻和蚀刻工艺，这是造成复杂的接触孔制造工艺的主要原因。

此外，在常规的制造方法中，在形成接触孔的蚀刻步骤中，为了保护存储单元区域中的栅极间绝缘层免受蚀刻的损害，必须在一种双层结构中形成栅极层覆盖栅极间绝缘层，该双层结构包括主要由具有较高抗蚀刻剂的多晶硅组成的第一导电层，以及由金属组成的第二导电层，接触孔必须在这种条件下形成，即用事先沉积的第一导电层保护存储单元区域的栅极间绝缘层。在双层结构中形成栅极层是绝对必要的，这样就使制造过程相当复杂。

## 25 30

## 发明内容

本发明的目的在于提供一种简单的半导体存储器制造方法。

本发明的另一目的在于提供一种结构简化的半导体存储器。

根据本发明的一个方面，提供一种制造半导体存储器的方法，该半导体存储

器在一个半导体衬底上包括多个按矩阵形式排列的存储单元，每个存储单元具有浮动栅极和控制栅极，该半导体存储器还包括选择晶体管，每个选择晶体管配置一个用以选择存储单元的栅极，其特征在于，所述方法包括以下步骤：

5 在半导体衬底上形成浮动栅极导电层、栅极间绝缘层和控制栅极导电层，在所述半导体衬底的每个有源区域内包括存储单元区部分和选择晶体管区部分；

通过优先蚀刻控制栅极导电层、栅极间绝缘膜和浮动栅极导电层成型形成每条字线的控制栅极，同时在接近每个选择晶体管区域部分的控制栅极部分中形成第一接触孔，它穿过控制栅极导电层并在栅极间绝缘层上开口；

10 在每个存储单元区域部分和每个选择晶体管区域部分中形成源极区和漏极区；

在用层间绝缘膜覆盖衬底的表面后，形成穿过层间绝缘膜并向每个漏极区开口的漏极接触孔，同时形成第二接触孔，它穿过第一接触孔部分和栅极间绝缘层并向每个浮动栅极导电层开口，并采用对绝缘材料比对金属材料更有效的蚀刻剂蚀刻形成第二接触孔；以及

15 形成位线，每条位线穿过漏极接触孔与漏极区接触，同时形成连接器，它穿过第一和第二接触孔，在每个选择晶体管将浮动栅极导电层和控制栅极导电层连接在一起。

20 在根据本发明的制造方法中，在形成一种包括控制栅极导电层、栅极间绝缘膜和浮动栅极导电层的多层结构之后，通过分别形成第一接触孔和第二接触孔形成连接器所用的接触孔，连接浮动栅极导电层和控制栅极导电层，其中，第一接触孔穿过控制栅极导电层并向栅极间绝缘层开口，第二接触孔穿过栅极间绝缘层并向浮动栅极导电层开口。

25 第一接触孔与控制栅极的成型一起形成，第二接触孔与漏极接触孔的形成一起形成，故第一和第二接触孔的每个接触孔的形成是与包括光刻在内的制作过程同时完成的。

因此，不必象现有技术那样，为接触孔实现专门的工艺，仅仅为接触孔制备专用的掩模，以及进行专门的光刻和蚀刻过程，可以简化制作过程。

30 在根据本发明的上述制造方法中，在穿过栅极间绝缘层的接触孔中，用控制栅极导电层和层间绝缘膜覆盖栅极间绝缘层的较大部分，并形成第二接触孔的一部分。为此，控制栅极导电层无需具备常规的抗腐蚀的保护特性。因此无需象现有技术那样为控制栅极导电层采用包括多晶体层的双层结构，即可安全地防止存储单元区域内的栅极间绝缘层受到蚀刻的损害。

因此，本发明使由金属材料形成的单层结构能用于控制用的导电层，由此可以简化半导体存储器的结构及其制作过程。

较佳地，通过向掩模溅射金属材料形成位线和连接器，具有制作简易和高精度。

至于控制栅极导电层，可以采用常规的双层结构，通过在掺杂的多晶体导电层部分上沉积金属导电层部分而形成。

5 较佳地，第二接触孔的顶端孔径大于第一接触孔的孔径，以方便连接控制栅极层与浮动栅极层的接触孔的形成。

较佳地，第一和第二接触孔同轴形成以改善两种接触孔之间的匹配。

根据本发明的另一方面，在例如用常规的双层结构形成控制栅极导电层并保护栅极间绝缘层抗蚀刻的情况下，可以通过以下步骤制作半导体存储器：

10 在半导体衬底上形成浮动栅极导电层、栅极间绝缘层和控制栅极导电层，在由半导体衬底的隔离区域分隔的每个有源区域内，包含存储单元区部分和选择晶体管区部分；

通过优先蚀刻控制栅极导电层、栅极间绝缘膜和浮动栅极导电层成型形成每条字线的控制栅极，同时形成第一接触孔，它穿过控制栅极导电层、栅极间绝缘层和浮动栅极导电层，并在接近每个选择晶体管区域部分的控制栅极部分内的隔离区域上开口；

在每个存储单元区域部分和每个选择晶体管区域部分形成源极区和漏极区；

在用层间绝缘膜覆盖衬底的表面后，形成漏极接触孔，它穿过层间绝缘膜并向每个漏极区开口，同时形成第二接触孔，该孔穿过第一接触孔部分，并向每个20 隔离区开口，并采用对绝缘材料比对金属材料更有效的蚀刻剂蚀刻形成第二接触孔；以及

形成位线，每条位线穿过漏极接触孔与漏极区接触，通过把紫外线辐射到浮动栅极除去电荷而进入未充电状态，以当施加电压于控制栅极时，在选择晶体管的源极区和漏极区之间形成沟道。

25 通过安排同时成型控制栅极的过程，形成字线和形成第一接触孔，控制栅极和第一接触孔可以用单一掩模图形同时成型。因此，在光刻步骤中就不必考虑控制栅极和第一接触孔相对位置的容差，而当控制栅极和第一接触孔是分开成型时就必须予以考虑。因此，可以在存储器中减少相应于该容差的空间量，由此减小了存储器的尺寸。

30 根据本发明的另一方面，提供一种半导体存储器，它包括：

第一存储区；以及

第二存储区，每个存储区包括：

在半导体衬底上按矩阵形式排列的多个存储单元，每个存储单元包括浮动栅极和控制栅极，每行控制栅极连接到一条字线；以及

多个选择晶体管，每个选择晶体管的栅极连接到该行的存储单元，用以选择相应行的存储单元，

其中，每个选择晶体管包括浮动栅极导电层、栅极间绝缘层和控制栅极导电层的多层结构的一个栅极，通过在半导体衬底内的源极区与漏极区之间插入一绝缘层形成于半导体衬底上，通过用连接器连接浮动栅极导电层和控制栅极导电层组成电气上为一个整体的多层结构的栅极，其中，每对位于相对的存储区，但共享相同的字线的选择晶体管共用一个连接器。

在根据本发明的半导体存储器中，在任一存储区内选择相应行存储单元的选择晶体管中，每对选择晶体管共享相同的字线并共用一个连接器，该连接器连接其浮动栅极导电层和控制栅极导电层。因此，不必提供对应于若干选择晶体管的各个连接器。

因此，根据本发明的半导体存储器可以简化和缩短制作过程。

根据本发明的另一方面，半导体存储器采用浮动栅极型的存储单元，诸如所谓的 MOS 晶体管，它包括按矩阵形式排列的多个存储单元，每个存储单元包括浮动栅极和控制栅极，每行的控制栅极连接到字线；以及

多个选择晶体管，每个选择晶体管的栅极连接到该行存储单元，用以选择相应行的存储单元，

其中，选择晶体管包括浮动栅极和控制栅极，选择晶体的控制栅极作为一个栅极连接到字线，选择晶体的浮动栅极设置在未充电状态。

浮动栅极在非导通状态下的选择晶体管的漏极电流因加到栅极的电压的有无而导通和截止，由此在该行存储单元上进行相同的选择作用。

因此，无需象现有技术那样，用连接器或类似的方法来短路控制栅极和浮动栅极就可以制作选择晶体管，为此，简化了半导体存储器的结构及其制造方法。

## 附图说明

图 1 是一个剖面图，它表示根据本发明第一个实施例的半导体存储器的制造方法；

图 2 是根据本发明的半导体存储器的电路图；

图 3 是根据本发明的半导体存储器的平面图；

图 4 是沿图 3 所示 IV-IV 线的剖面图；

图 5 是沿图 3 所示 V-V 线的剖面图；

图 6 是一个剖面图，它表示根据本发明第二个实施例的半导体存储器的制造方法；

图 7 是一个剖面图，它表示根据本发明第三个实施例的半导体存储器的制造

方法;

图 8 是一个平面图, 它表示根据本发明另一个实施例的半导体存储器;

图 9 是沿图 8 所示 IX-IX 线的剖面图;

图 10 是一个剖面图, 它表示根据本发明的另一个实施例的半导体存储器。

5

具体实施方式

以下将详细描述本发明的较佳实施例。

第一实施例

10 图 1(a)至 1(f)是根据本发明的第一个实施例的半导体存储器制造方法的各个步骤的剖面图。在描述该制造方法前, 首先将描述图 2 至图 5 所示采用该制造方法制造的半导体存储器。

15 在图 2 所示的电路中, 根据本发明的半导体存储器 10 包括按一个  $4 \times 4$  矩阵排列的 16 个非易失性存储单元 11(11a 至 11d), 以及对应于水平行的存储单元 (11a、11b、11c、和 11d) 设置的 4 个选择晶体管 12(12a 至 12d), 所有这些元件均以矩阵形式排列。

20 字线 W1 至 W4 和源极线 S(S1 和 S2)沿着图 2 所示的水平方向延伸。字线 W1 至 W4 把每行存储单元 11(11a, 11b, 11c 和 11d)的控制栅极 g1 与选择晶体管 12(12a, 12b, 12c 和 12d)的控制栅极 g2 连接起来, 该晶体管对应于存储单元的各行。源极线 S(S1, S2)连接各行存储单元的源极。连接按图 2 所示垂直方向排列的各列存储单元 11(11a, 11b, 11c 和 11d)的漏极的位线 B1 至 B4, 以及连接选择晶体管 12 之漏极的位线 B5 都沿垂直方向延伸。

25 在本存储器电路中, 如果读信号例如输入到字线 W1 和位线 B1, 流向源极线 S1 的电流根据存储单元 11a 的浮动栅极 g3 的已充电或未充电状态改变, 存储单元 11a 位于图 2 中 B1 和 W1 的最上和最左交叉点。换句话说, 如果电荷主要储存在浮动栅极 g3, 电流不流向源极线 S1, 但如果电荷基本上未储存在浮动栅极 g3, 则电流流向源极线 S1。因此, 通过检测源极线 S1 中电流的存在与否, 即可以读得有关存储单元 11 的储存数据。

30 当读取源极线 S1 上的电流时, 只有连接到字线 W1 的选择晶体管 12a 由漏极至源极导通, 其他选择晶体管 12b 至 12d 处于未导通状态。结果, 在对应于选择晶体管那一行的存储单元 11a 有选择地进入导通至位线 B5 的状态, 即使暗电流流入其他行的存储单元 11b 至 11d, 也必须防止暗电流流向源极线 S1, 它保证防止因暗电流而引起的读错误。

通过将电荷注入浮动栅极 g3 或对浮动栅极 g3 成批放电, 可以象现有技术那样在该存储器电路的存储单元 11 上写和成批擦除信息, 因此省略了对此的描述。

图 3 是实施图 2 所示电路的半导体存储器 10 的平面图。

在半导体存储器 10 中,位线 B1 至 B5 和字线 W1 至 W4 在例如 P 型半导体衬底 13 上相互垂直交叉设置。尽管未表明,源极线 S1 和 S2 在半导体衬底 13 上的字线 W1 和 W3 之下延伸。

5 如图 4(沿图 3 的 IV-IV 线)所示,存储单元 11(11a 至 11d)在位线 B(B1 至 B4)之下形成。图 4 中,由符号 11c 表示的每个存储单元 11 包括在半导体衬底 13 内相互间隔的一个 n+型源极区 14 和一个 n+型漏极区 15,还包括由浮动栅极导电层 18 形成的浮动栅极 g3 以及由控制栅极导电层 19 形成的控制栅极 g1,两者位于  
10 于 n+区域 14 与 15 之间的半导体衬底 13 之上,浮动栅极 g3 和控制栅极 g1 具有位于两者之间的栅极间绝缘膜 17。栅极绝缘膜 16' 位于衬底 13 与浮动栅极 g3 之间。

各条位线 B1 至 B4 穿过与位线交叉的各行存储单元 11 的漏极区 15 上开口的漏极接触孔 20,并且连接到这些漏极区 15。各列存储单元 11a、11b、11c 和 11d 的源极区 14 与延伸到每个源极区 14 的源极线 S1 和 S2 相连,如现有技术那样,  
15 故对此不再描述。

如图 5(沿图 3 的 V-V 线)所示,选择晶体管 12(12a 至 12d)以与存储单元 11 的各行对应的这种方式在位线 B5 之下形成。图 5 中,与存储单元 11 相同,由符号 12c 表示的每个选择晶体管 12 包括在半导体衬底 13 内相互间隔的一个 n+型源极区 14 和一个 n+型漏极区 15,还包括浮动栅极导电层 18 以及控制栅极导电层 19,两者位于 n+区域 14 与 15 之间的半导体衬底 13 之上,浮动栅极导电层 18 和控制栅极导电层 19 具有位于两者之间的层间绝缘膜 17。栅极绝缘膜 16 位于衬底 13 与浮动栅极导电层 18 之间。  
20

在选择晶体管 12 内,由浮动栅极导电层 18 形成的栅极 g3 以及由控制栅极导电层 19 形成的栅极 g1 由连接器 21 连接在一起,并通过该电连接器使栅极 g1 和  
25 g3 在电气上相互成为整体,由此形成每个选择晶体管 12 的栅极 g2。

位线 B5 穿过选择晶体管 11 的漏极区 15 上开口的漏极接触孔 20 连接到漏极区 15。每列存储单元 11a、11b、11c 和 11d 的源极区 14 与延伸到每个源极区 14 的源极线 S1 和 S2 相连,与其他位线 B1 至 B4 的相同。

上述半导体存储器 10 是一种众所周知的采用 MOS 非易失性存储单元作为存储  
30 单元 11 的非易失性快速存储器。以下将以上述半导体存储器 10 为例描述根据本发明的半导体存储器的制造方法。

图 1(a)至 1(f)是沿图 3I-I 线的纵向剖面图。

半导体衬底 13 例如是一种 P 型硅半导体衬底。如图 1(a)所示,在半导体衬底 13 中,采用众所周知的 LOCOS 方法,由隔离区 22 分隔用以形成存储单元 11

的存储单元区，以及用以形成选择晶体管 12 的选择晶体管区。

之后，在选择晶体管区形成用于选择晶体管区 12 的例如 500A. U. 厚的栅极绝缘膜 16，在存储单元区形成用作存储单元 11 的栅极绝缘膜的例如 100A. U. 厚的栅极绝缘膜 16'。

5 通过例如在蒸汽环境下对半导体衬底 13 进行热处理，可以分别形成绝缘膜 16 和 16'。

10 半导体衬底 13 上的隔离区 22 和栅极绝缘膜 16 和 16' 覆盖浮动栅极导电层 18。浮动栅极导电层 18 可以通过沉积多晶硅，例如为 1000A. U. 厚而形成，然后，按  $10^{15}$  离子/cm<sup>2</sup> 的浓度将杂质离子，诸如磷离子注入到多晶硅层。浮动栅极导电层 18 以分割为用于存储单元 11 的浮动栅极部分 (g3)，以及用于选择晶体管 12 的栅极部分 (g2) 而成型，由此，两个栅极部分 (g2 和 g3) 通过间隙 23 在电气上相互切断。通过热氧化覆盖浮动栅极导电层 18 的整个表面，例如形成厚度为 200A. U. 的栅极间绝缘膜 17，间隙 23 也由此覆盖。栅极间绝缘膜 17 例如由沉积至 1000A. U. 厚的多晶硅覆盖，然后，通过例如磷的热扩散由杂质浓度约为  $10^{20}$  离子/cm<sup>2</sup> 的多晶硅形成下层部分 19a 作为控制栅极导电层 19 的组成部分。

如图 1(b) 所示，形成上层部分 19b 以覆盖下层部分 19a。通过在下层 19a 上溅射例如为 1000A. U. 厚的高熔点金属材料，例如钨，形成上层部分 19b。

20 如上所述，采用具有双层结构的控制栅极导电层 19，它包括具有多晶硅的下层部分 19a 和具有金属材料的上层部分 19b。所述下层部分 19a 和上层部分 19b 由不同的材料即多晶硅和金属组成，故采用双层结构的控制栅极导电层 19 对不同种类的腐蚀剂呈现两种不同的抗力。

控制栅极导电层 19 通过光刻和腐蚀技术形成图形，形成字线 W1 至 W4。

如图 1(c) 所示，在该图形中，通过在选择晶体管 12 的栅极绝缘膜 16 附近优先蚀刻形成第一接触孔 24，它通过控制栅极导电层 19 到达栅极间绝缘膜 17。

25 第一接触孔 24 未穿过栅极间绝缘膜 17，而且，栅极间绝缘膜 17 完全由控制栅极导电层 19 覆盖，从而与存储单元 11 和选择晶体管 12 的区域隔离，为此，栅极间绝缘膜 17 不会受到这些元件区域的损害。

30 形成第一接触孔 24 的同时，控制栅极导电层 19 通过刻蚀构筑图形边框，故导电层 19 位于半导体衬底 13 内。在构筑图形边框之后，控制栅极导电层 19 接下来形成图形。

通过上述形成图形，在存储单元 11 的区域内留下一一种多层结构，它包括由控制栅极导电层 19 组成的存储单元控制栅极 g1，以及由浮动栅极导电层 18 组成的下层浮动栅极 g3。在选择晶体管 12 的区域中，留下一一种多层结构，它包括由浮动栅极导电层 18 组成的选择晶体管栅极 g2，以及由控制栅极导电层 19 组成的栅

极 g2。

因此，控制栅极导电层 19、栅极间绝缘膜 17 以及浮动栅极导电层 18 的不想要的部分均被除去。

5 如上所述，连同形成图形一起形成字线 W1 至 W4，换句话说，在形成控制栅极导电层 19 边框的同时形成第一接触孔 24，故无需针对形成第一接触孔进行光刻和刻蚀，即可形成第一接触孔 24。

对控制栅极导电层 19 的沉积确保栅极间绝缘膜 17 防止因刻蚀引起的损害。

10 在通过形成控制栅极导电层 19 之图形形成第一接触孔 24 和字线 W1 至 W4 时，可以采用包括第一接触孔 24 的掩模部分和字线的掩模部分的单一掩模。通过采用该掩模，可以同时进行形成第一接触孔和字线 W1 至 W4 的成批制图。为此，在光刻过程中有可能不必考虑字线和第一接触孔的可允许的相对位置差，当采用两个分离的掩模时则必须予以考虑。

因此，为了通过消除容差所需的空间减小半导体存储器的尺寸，希望进行成批制图，形成具有一个掩模图形的第一接触孔和字线。

15 在形成字线 W1 至 W4 后，通过采用该掩模，用 60keV 的加速能量将例如砷一类的杂质注入半导体衬底 13 的预定区域内，以获得例如为  $10^{15}$  离子/cm<sup>2</sup> 的掺杂浓度，通过该离子注入，形成存储单元 11 和选择晶体管 12 的源极区 14 和漏极区 15。

20 接下来，如图 1(d) 所示，例如形成由厚度为 10000Å 的 BPSG 薄膜制成的层间绝缘膜 25，以覆盖半导体衬底 13 的整个表面。

在形成层间绝缘膜 25 后，形成穿过层间绝缘膜 25 并在存储单元 11 和选择晶体管 12 的漏极区 15 上开口的漏极接触孔 20 (图 3 至图 5)。在形成漏极接触孔 20 的同时，形成第二接触孔 26，如图 1(e) 所示，它穿过第一接触孔 24、层间绝缘膜 25 以及栅极间绝缘膜 17，并在浮动栅极导电层 18 上开口。

25 漏极接触孔 20 和第二接触孔 26 采用光刻和蚀刻工艺形成，该两种孔 20 和 26 可以通过成批光刻过程处理形成，其掩模包括同时形成两种孔 20 和 26 的掩模部分。

蚀刻过程中，由于层间绝缘膜 25 和栅极间绝缘膜 17 由绝缘材料形成，故采用对该绝缘材料呈现优良蚀刻效果的蚀刻剂。

30 在形成穿过第一接触孔 24 的第二接触孔 26 和在浮动栅极导电层 18 上的开口之后，通过例如用金属材料溅射，形成位线 B1 至 B5，如图 1(f) 所示，与此同时，形成连接器 21，它通过第二接触孔 26 延伸。

位线 B1 至 B5 经漏极接触孔 20 延伸并连接到相应的漏极区 15 (图 3 至图 5)。在第二接触孔 26 内延伸的连接器 21 连接控制栅极导电层 19 和浮动栅极导电

层 18。

通过该连接器 21 的连接,选择晶体管 12 内的浮动栅极导电层 18 和控制栅极导电层 19 在电气上相互成为一体,这样就使选择晶体管起到原始晶体管的作用。

在第一实施例中,第一接触孔 24 连同栅极 g1、g2 和 g3 的成型的一起形成,产生字线 W1 至 W5,第二接触孔 26 连同漏极接触孔 20 的成型一起形成,为此,在各种情况下,可以对其它种类的元件同时进行制作过程,包括光刻步骤。

因此,可以免去仅用于第一或第二接触孔的专用掩模,以及专用光刻步骤和蚀刻步骤,而采用双重用途的掩模以及组合的光刻步骤和蚀刻步骤,可以简化制造过程。

10 可以采用由金属材料制成的单层结构作为控制用途的导电层,通过采用该单层结构,可以进一步简化制造过程。

#### 第二实施例

如图 6 所示,较佳地,穿过控制栅极导电层 19 的第一接触孔 24 和穿过层间绝缘膜 25 与栅极间绝缘膜 17 的第二接触孔 26 同轴形成,第二接触孔的顶端孔 15 26a 的直径 A 较佳地大于第一接触孔 24 的孔径 B。

通过设置第二接触孔 26 的顶端孔径 A 大于第一接触孔 24 的孔径 B,可以保证大于约 0.2 微米的误差容限定位掩模形成第二接触孔 26。通过同轴安排接触孔 24 和 26,可以改善接触孔 24 和 26 的匹配,可以更安全地连接选择晶体管 12 的浮动栅极导电层 18 和控制栅极导电层 19。

#### 20 第三实施例

在第一和第二实施例中,第二接触孔 26 穿过栅极间绝缘膜 17,而第一接触孔 24 未穿过栅极间绝缘膜 17。作为一种替换,如图 7(a)和 7(b)所示,可以形成使第一接触孔 24 穿过栅极间绝缘膜 17,并在隔离区 22 上开口。

25 如图 7(a)所示,如果控制栅极导电层 19 采用保护栅极间绝缘膜 17 的性能优良的双层结构(19a 和 19b),可以形成使第一接触孔 24 穿过栅极间绝缘膜 17 和浮动栅极导电层 18,并在隔离区 22 上开口。

在形成第一接触孔 24 的同时,通过成型控制栅极导电层 19 形成字线 W1 至 W4。

30 在形成字线 W1 至 W4 之后,如第一个实施例那样,形成存储单元 11 和选择晶体管 12 的源极区 14 和漏极区 15。

此外,参见图 7(b),如第一个实施例那样,形成层间绝缘膜 25,形成第二接触孔 26,穿过第一接触孔 24 并在隔离区 22 上开口。

尽管未作说明,在形成第二接触孔 26 的同时,形成漏极接触孔 20,连同这些孔 20 和 26 形成与上述类似的位线 B1 至 B5 和连接器 21。

在第三实施例中，可以采用单一图形掩模，包括用于第一接触孔 24 的掩模部分和用于字线的掩模部分。采用这些掩模，可以进行形成第一接触孔 24 和字线 W1 至 W4 的成批制图。由此，在光刻过程中就不必考虑字线和第一接触孔相对位置的容差，而在单独进行制图时必须予以考虑，故可以消除提供给此种容差的空间，并可以减小半导体存储器 10 的侧面。

#### 第四实施例

在第一至第三实施例中，在所述半导体存储器 10 中，为每行存储单元 11(11a 至 11d) 设置一个选择晶体管，但在第四实施例中，则为每行存储单元设置两个选择晶体管 12。

10 在图 8 所示的半导体存储器 10 中，与上述相同的存储单元 11 设置在 3 条位线 B1 至 B3 下，选择晶体管 12 设置在与一列连接器 21 对称形成的位线 B5 下。

图 9 是沿图 8 所示 IX-IX 线的剖视图。图 9 中，用与图 1 至图 7 所用相同的标号表示与以上相同的功能部分。

15 如图 9 所示，在第四个实施例中，在隔离区 22 的两侧示出栅极绝缘膜部分 16。尽管图 9 中未示出，在横跨绝缘膜 22 的栅极绝缘膜 16 上成对地形成选择晶体管 12。

通过在一对选择晶体管 12 之间形成的连接器 21，将该对选择晶体管 12 的浮动栅极导电层 18 与控制栅极导电层 19 连接在一起。因此，在一个整体中，该对选择晶体管 12 的导电层 18 和 19 起到栅极 g2 的作用。

20 在连接器 21 一侧上的选择晶体管 12 选择位于一侧上的位线 B1 和 B2 下的存储单元 11，在连接器 21 另一侧上的选择晶体管 12 选择位于另一侧上的位线 B3 下的存储单元 11。

25 在第四实施例中，由位于其两侧上的一对选择晶体管 12 共享一个连接器 21，故可以简化半导体存储器 10 的结构和制造工艺，而且，明显的优点是提高了半导体存储器 10 的元件封装密度。

#### 第五实施例

在上述第一至第四实施例中，选择晶体管 12 形成为 MOS 晶体管，其栅极通过将选择晶体管 12 的浮动栅极导电层 18 和控制栅极导电层 19 电连接在一起而形成。

30 与其它实施例相反，在如图 10 所示的本实施例中，选择晶体管 12 可以形成为这样一种 MOS 晶体管，其浮动栅极 g3 由浮动栅极导电层 18 组成，其控制栅极 g1 由控制栅极导电层 19 组成，与存储单元 11 中的连接不同，它无需连接浮动栅极导电层 18 和控制栅极导电层 19。

浮动栅极 g3 作为选择晶体管 12 的元件，它通过将紫外线辐射到浮动栅极 g3

除去电荷而进入未充电状态。

因此，当一个电压施加到由上述整体上与字线 W1 至 W4 连接在一起的控制栅极导电层 19 所形成的控制栅极 g1 时，由于浮动栅极 g3 处于未充电状态，在选择晶体管 12 的源极区 14 和漏极区 15 之间形成一条沟道，选择晶体管 12 进入导通状态。

当除去加到控制栅极 g1 的电压时，在选择晶体管 12 的源极区 14 与漏极区 15 之间不存在通道，选择晶体管 12 进入非导通状态。

因此，无需象第一至第四实施例那样形成连接器 21，选择晶体管 12 可以完成如第一至第四实施例中的选择晶体管 12 那样的相同功能。

此外，在选择晶体管 12 中，不必设置连接器 21 可完成所有与连接器 21 的形成有关的处理，因此，可以用比之现有技术更为简单和更为紧凑的结构实现半导体存储器，并以极低的成本生产半导体存储器。

根据本发明的半导体存储器的存储单元和选择晶体管的设置并不局限于以上所述内容，可以对此作出许多改变和变换。此外，制造方法描述中所述的数值和材料仅用以说明，可以选择其它合适的数值和材料。

根据本发明权利要求 1 所述制造半导体存储器的方法，使第一和第二接触孔与包括光刻在内的制作过程同时形成，事实上可以不需要专用的掩模，和仅用于接触孔的光刻和蚀刻工艺，因此，简化了制造方法。此外，可以采用单金属层结构用于控制用途的导电层，通过采用单层结构，可以进一步简化半导体存储器的结构和制造过程。

根据本发明权利要求 6 所述制造半导体存储器的方法，通过用一个掩模图形对控制栅极和第一接触孔进行成批制图，在光刻过程中可以不必考虑字线和第一接触孔相对位置的容差，而当制图是连续两次进行时则必须予以考虑。因此，可以减少为这种容差所提供的空间，减少了半导体存储器 10 的尺寸。

根据本发明权利要求 7 所述的半导体存储器，由共享一条字线的一组两个选择晶体管共享连接浮动栅极导电层和控制栅极导电层的连接器，因此，不必提供象选择晶体管那样多的分立连接器，而常规制造方法中所提供的连接器数可以减少一半，故因此可简化制造方法并减小半导体存储器的尺寸。

根据本发明权利要求 8 所述的半导体存储器，由于处于非导通状态的具有浮动栅极的选择晶体管，可以完成如常规选择晶体管相同的功能，无需形成连接器或类似的器件短路控制栅极和浮动栅极就可以制作选择晶体管，因此，可以简化半导体存储器的结构和制造方法。

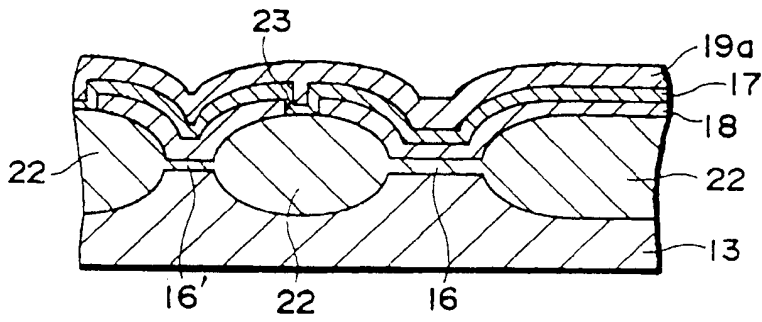


图 1(a)

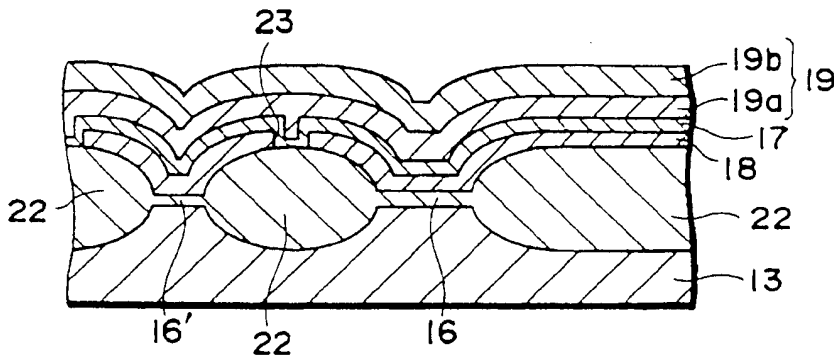


图 1(b)

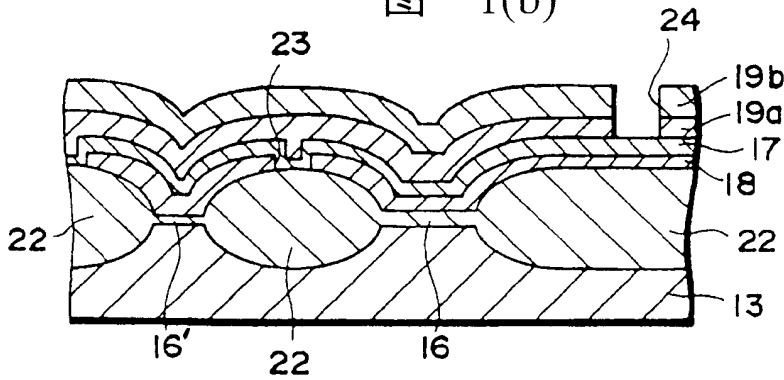
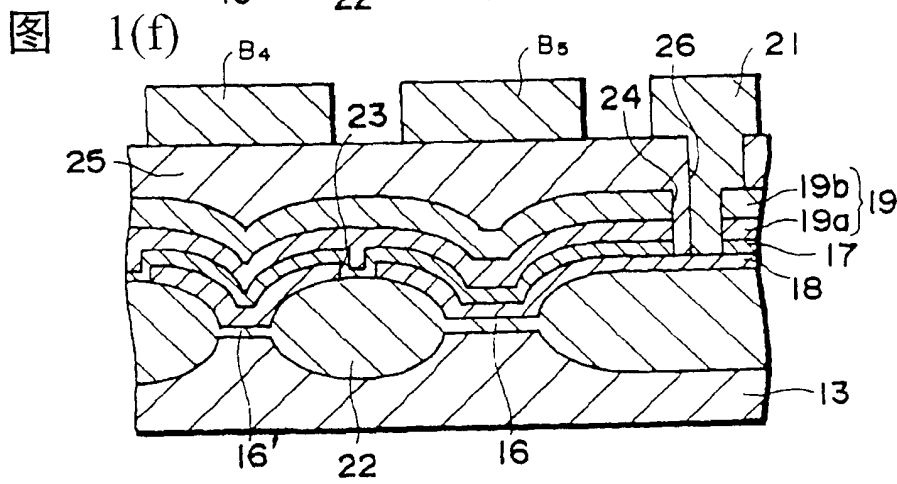
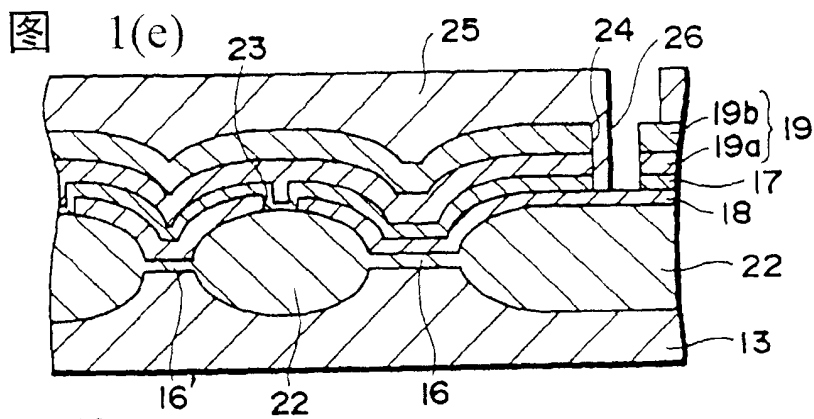
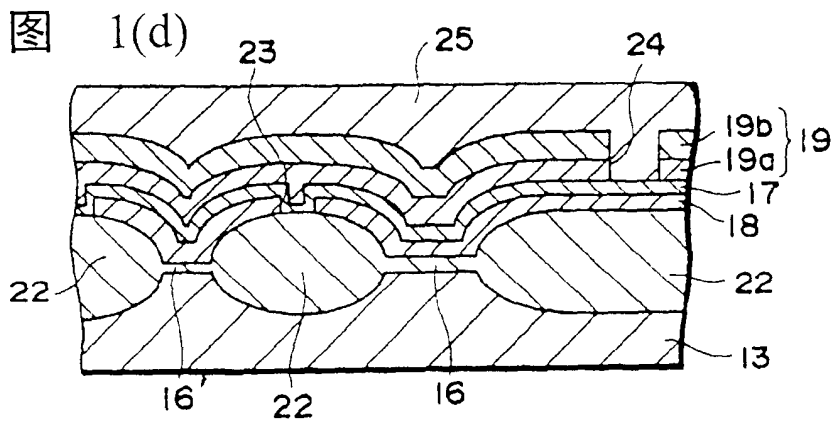


图 1(c)



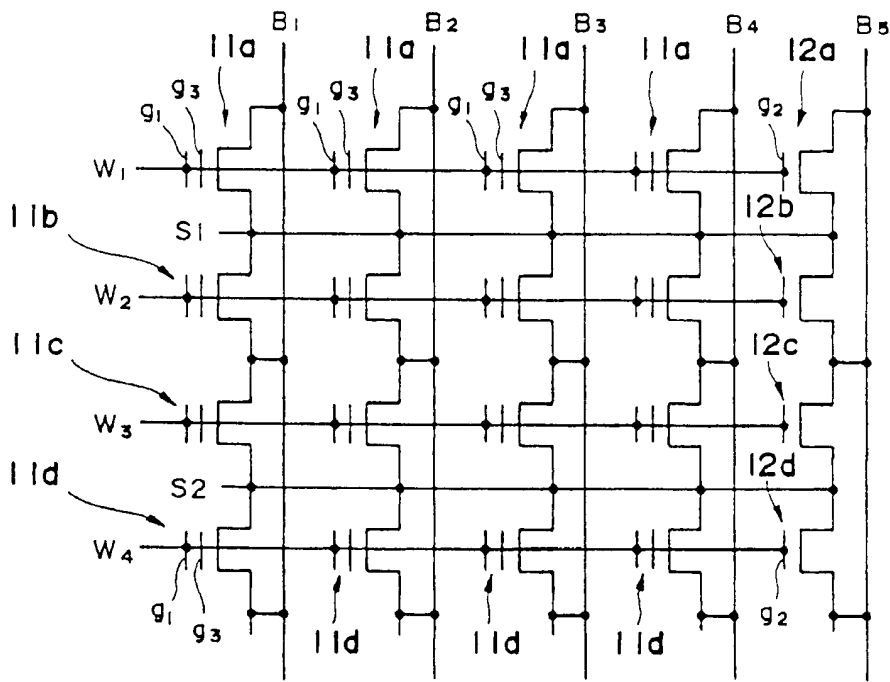


图 2

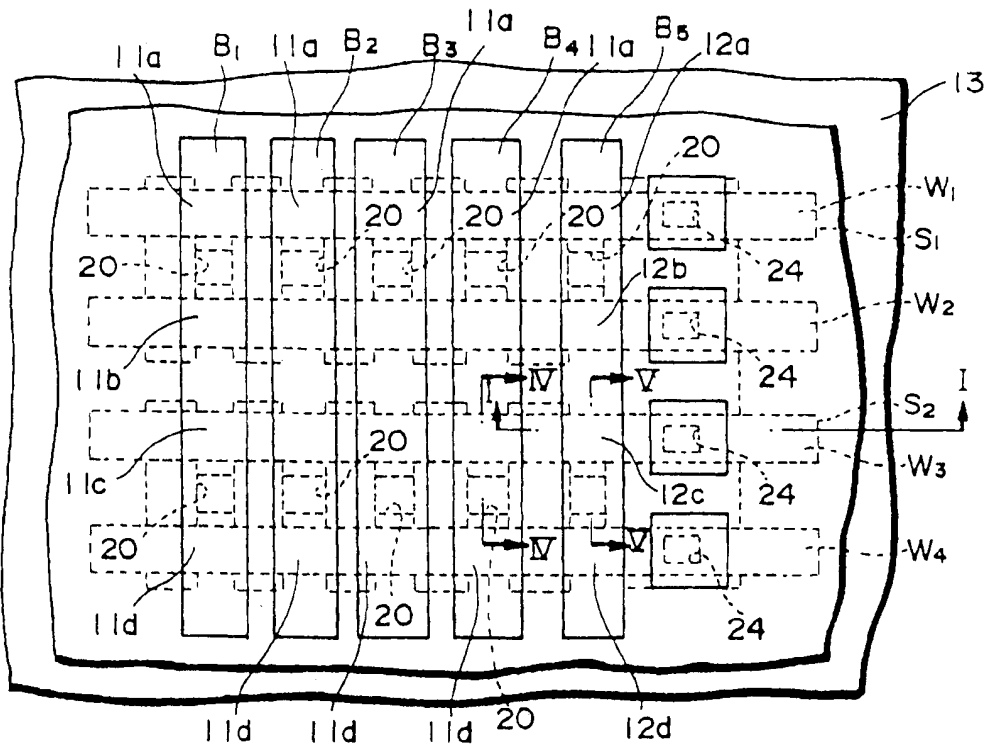


图 3

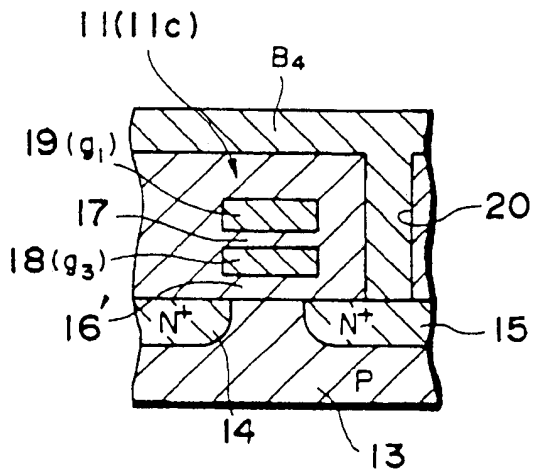


图 4

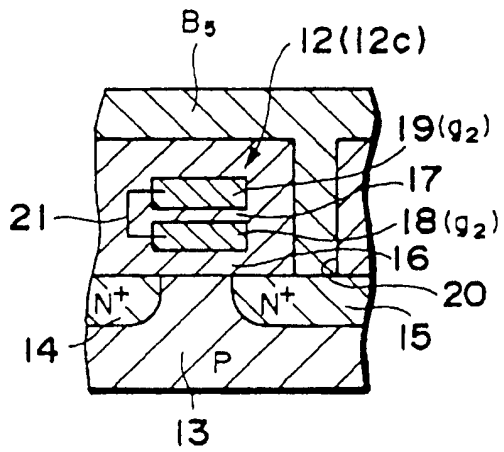


图 5

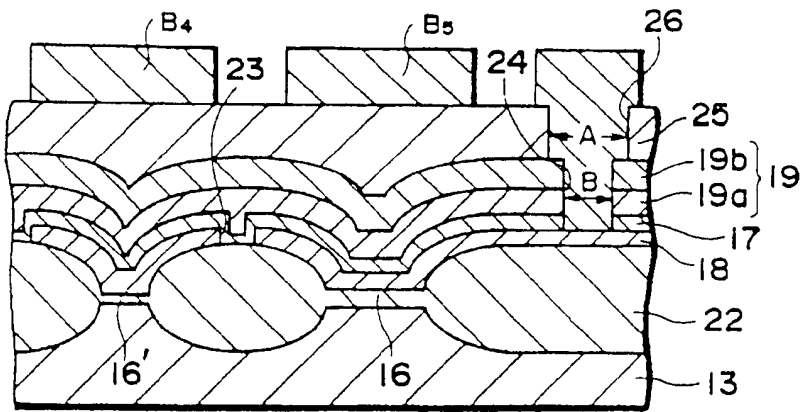


图 6

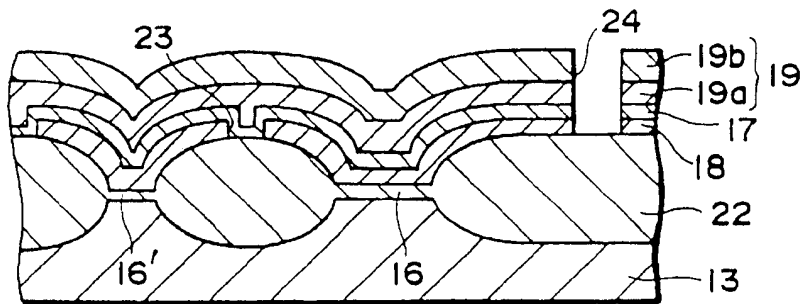


图 7(a)

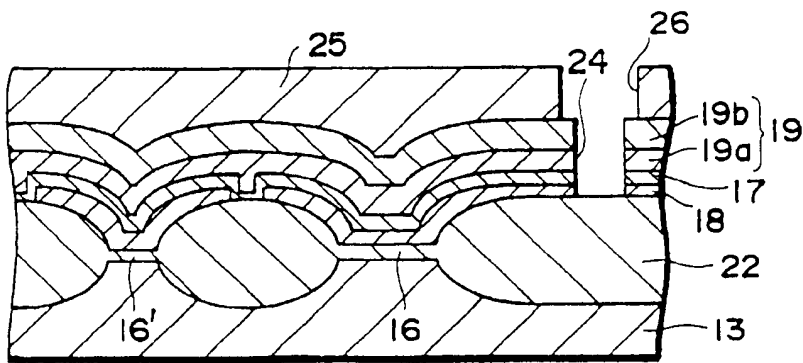


图 7(b)

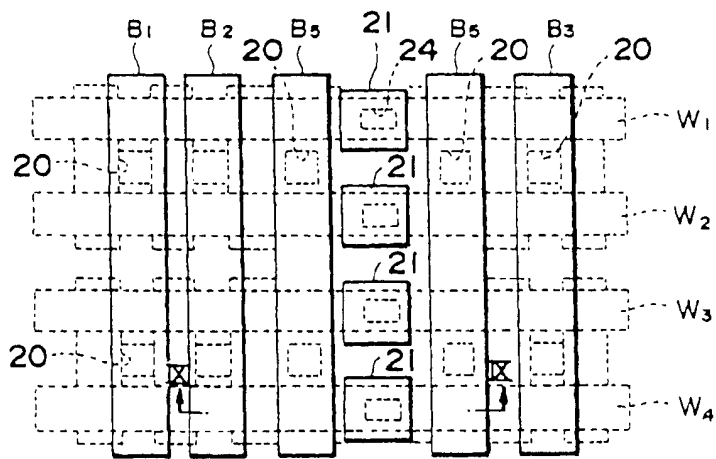


图 8

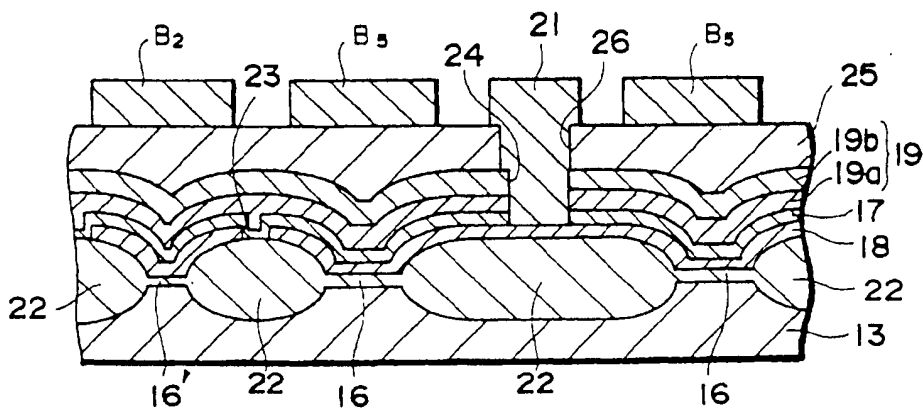


图 9

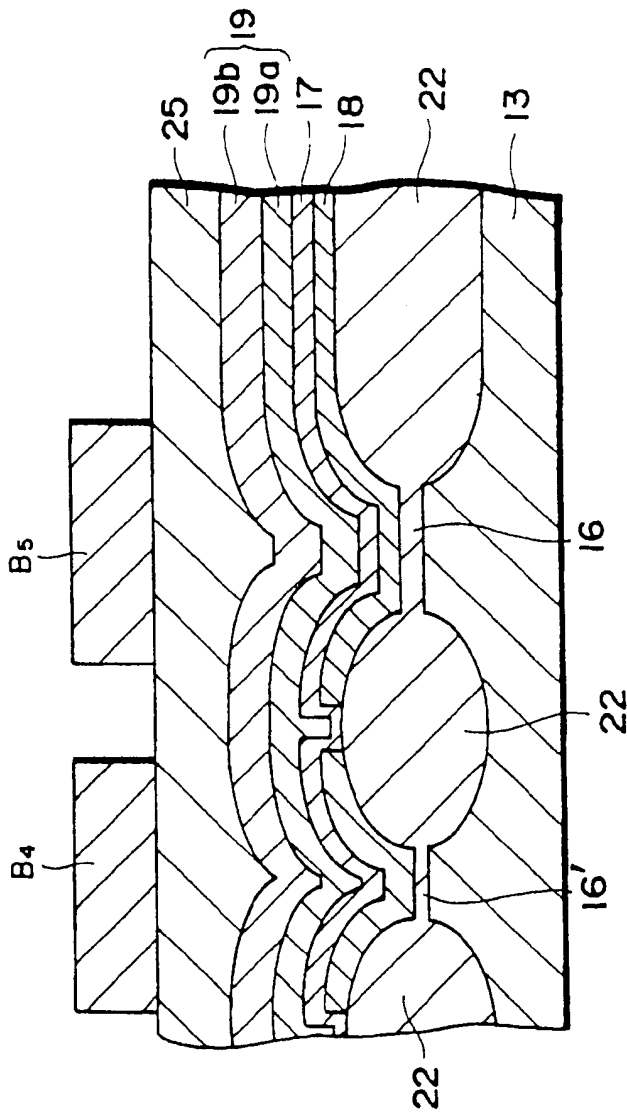


图 10